(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月13日(13.10.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/215485 A1

(51) 国際特許分類:
*H01L 27/04* (2006.01) *H01L 21/8234* (2006.01)
*H01L 21/82* (2006.01) *H01L 27/06* (2006.01)

(21) 国際出願番号： PCT/JP2022/012403

(22) 国際出願日： 2022年3月17日(17.03.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-065885 2021年4月8日(08.04.2021) JP

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

(72) 発明者: 田 中 英 俊 (**TANAKA Hidetoshi**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

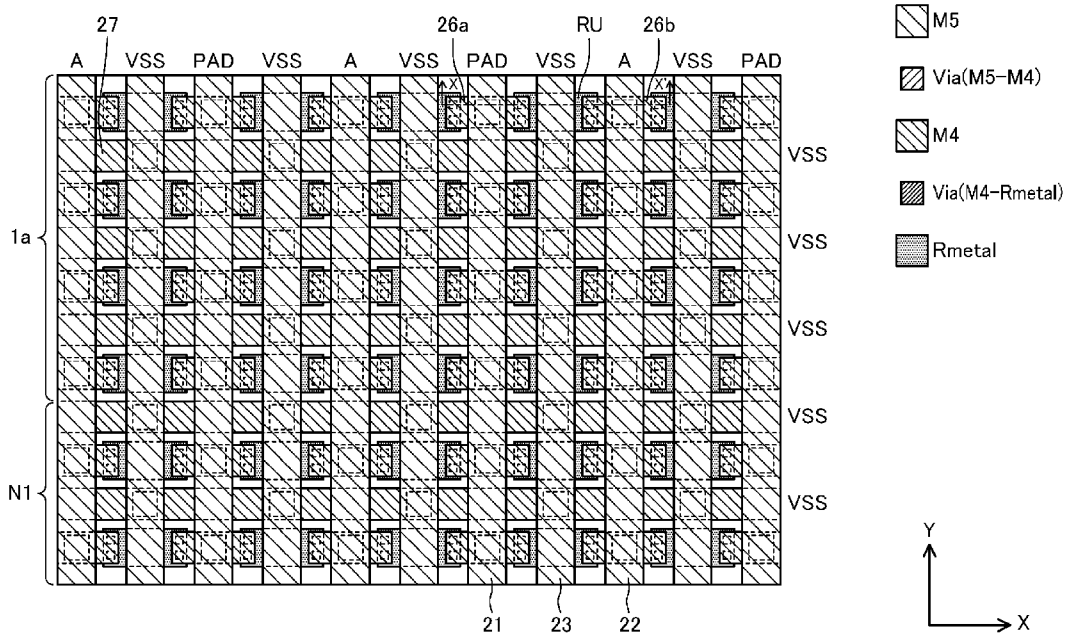
(74) 代理人:弁理士法人前田特許事務所(**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜１丁目２番１号 新ダイビル２３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) **Title:** SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称： 半導体集積回路装置

［図4］




(57) **Abstract:** In this semiconductor integrated circuit device, wirings (26a, 26b) extending in an X direction are formed on a metal wiring layer. The wirings (26a, 26b) are disposed on both X-direction sides of a resistor element (RU), and are connected to the resistor element (RU). The wiring (26a) is connected to a PAD, and a wiring (27) is connected to a VSS. An anode and a cathode of an ESD protection diode (1a) are alternately formed in a Y direction. The resistor element (RU) and the wirings (26a, 26b) overlap the cathode of the ESD protection diode (1a) when viewed from above, and the

WO 2022/215485 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

**(84)** 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

wiring (27) overlaps the anode of the ESD protection diode (1a) when viewed from above.

**(57)** 要約：半導体集積回路装置において、メタル配線層に、Ｘ方向に延びる配線（２６ａ，２６ｂ）が形成されている。配線（２６ａ，２６ｂ）は抵抗素子（ＲＵ）のＸ方向両側に配置され、抵抗素子（ＲＵ）に接続されている。配線（２６ａ）はＰＡＤと接続され、配線（２７）はＶＳＳと接続されている。ＥＳＤ保護ダイオード（１ａ）は、アノードとカソードがＹ方向において交互に形成されている。抵抗素子（ＲＵ）と配線（２６ａ，２６ｂ）は、平面視でＥＳＤ保護ダイオード（１ａ）のカソードと重なり、配線（２７）は、平面視でＥＳＤ保護ダイオード（１ａ）のアノードと重なる。

# 明　細　書

## 発明の名称 ： 半導体集積回路装置

## 技術分野

[0001] 本開示は、チップ上にコア領域とＩ／Ｏ領域とが配置された半導体集積回路装置に関し、特に、Ｉ／Ｏ領域に配置されたＩ／Ｏセルのレイアウト構造に関する。

## 背景技術

[0002] 半導体集積回路では、コア領域の周囲に入出力セル（Ｉ／Ｏセル）が配置され、Ｉ／Ｏセルを介して、半導体集積回路装置外部との信号の入出力や、電源の供給が行われる。

[0003] 近年の微細化プロセスにおいては、Ｈｉｇｈ－ｋゲート絶縁膜とメタルゲートによってトランジスタのゲートを構成することが広く行われている。これにより、抵抗素子としてＦＥＯＬ（Front End of Line：基板工程）において形成される非シリサイド化ポリシリコン抵抗を用いることが困難となっている。現在では、抵抗素子として、ＢＥＯＬ（Back End of Line：配線工程）において金属配線層の間に形成された窒化チタンなどの金属化合物等によって形成された抵抗素子が用いられるようになっている。

[0004] 特許文献１では、ＢＥＯＬにおいて金属配線層間に形成された抵抗素子が、例えばＥＳＤ（Electro-Static Discharge）保護素子としてのダイオード素子の上部に配置された半導体集積回路装置が開示されている。

## 先行技術文献

## 特許文献

[0005] 特許文献1：米国特許公開公報２０１９／０３０４９０５号

## 発明の概要

## 発明が解決しようとする課題

[0006] 微細化プロセスにおいては、半導体集積回路のＥＳＤ耐性が低くなっており、その設計においては、ＥＳＤ耐性をできるだけ向上させるための配線構

造の詳細な検討が必要である。ところが、特許文献１では、このような検討はなされていない。

[0007] 本開示は、ＢＥＯＬにおいて形成された抵抗素子を用いる半導体集積回路装置について、ＥＳＤ耐性を向上させる構成を提供することを目的とする。

## 課題を解決するための手段

[0008] 本開示の第１態様では、出力回路を備える半導体集積回路装置において、前記出力回路は、外部出力端子と、第１ノードが前記外部出力端子と接続され、第２ノードが第１電源と接続された第１ＥＳＤ（Electro-Static Discharge）保護ダイオードと、配線工程（ＢＥＯＬ：Back End of Line）において形成される第１配線層に形成された複数の抵抗素子によって構成されており、一端が前記外部出力端子と接続された第１保護抵抗と、前記第１保護抵抗の他端と、前記第１電源との間に接続された第１出力トランジスタと、を備え、第２配線層において、第１方向に延びる第１、第２、第３配線が形成されており、前記第１および第２配線は、平面視で、前記抵抗素子の前記第１方向における両側に配置され、前記抵抗素子にそれぞれ接続されており、かつ、前記第１配線は、前記外部出力端子と接続されており、前記第３配線は、前記第１電源と接続されており、前記第１ＥＳＤ保護ダイオードは、前記第１および第２ノードが、前記第１方向と垂直をなす第２方向において交互に形成されており、前記抵抗素子並びに前記第１および第２配線は、平面視で、前記第１ＥＳＤ保護ダイオードの前記第１ノードと重なっており、前記第３配線は、平面視で、前記第１ＥＳＤ保護ダイオードの前記第２ノードと重なっている。

[0009] この態様によると、出力回路は、外部出力端子と、第１ノードが外部出力端子と接続され、第２ノードが第１電源と接続された第１ＥＳＤ保護ダイオードと、一端が外部出力端子と接続された第１保護抵抗と、第１保護抵抗の他端と第１電源との間に接続された第１出力トランジスタとを備える。第１保護抵抗は、配線工程（ＢＥＯＬ）において形成される第１配線層に形成された複数の抵抗素子によって、構成されている。第２配線層において、第１

および第２配線は、平面視で、抵抗素子の第１方向における両側に配置され、抵抗素子にそれぞれ接続されており、かつ、第１配線は外部出力端子と接続されており、第３配線は第１電源と接続されている。そして、第１ＥＳＤ保護ダイオードは、第１および第２ノードが、第１方向と垂直をなす第２方向において交互に形成されており、抵抗素子並びに第１および第２配線は、平面視で第１ＥＳＤ保護ダイオードの第１ノードと重なっており、第３配線は、平面視で第１ＥＳＤ保護ダイオードの第２ノードと重なっている。すなわち、第１ＥＳＤ保護ダイオードの、第１電源と接続される第２ノードが、第１電源と接続される第３配線と平面視で重なっているので、第１電源から第１ＥＳＤ保護ダイオードに至る経路の抵抗を抑制することができる。これにより、第１ＥＳＤ保護ダイオードを効果的に働かせることができ、ＥＳＤ耐性を向上させることができる。

## 発明の効果

[0010] 本開示によると、ＢＥＯＬにおいて形成された抵抗素子を用いる半導体集積回路装置について、ＥＳＤ耐性をより向上させることができる。

## 図面の簡単な説明

[0011] [図1]実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図

[図2]第１実施形態に係る出力回路の回路構成図

[図3]第１実施形態におけるＩＯセルレイアウトの概要例

[図4]図３のＩＯセルレイアウトの詳細を示す平面図

[図5]図３のＩＯセルレイアウトの詳細を示す平面図

[図6]図３のＩＯセルレイアウトの詳細を示す平面図

[図7]ＥＳＤ保護ダイオードのレイアウトを示す平面図

[図8]出力トランジスタのレイアウトを示す平面図

[図9]図３のＩＯセルレイアウトの詳細を示す断面図

[図10]ＥＳＤ保護ダイオードのレイアウトを示す平面図

[図11]出力トランジスタのレイアウトを示す平面図

[図12]第２実施形態に係る出力回路の回路構成図

[図13]第２実施形態におけるＩＯセルレイアウトの概要例

[図14]図１３のＩＯセルレイアウトの詳細を示す平面図

[図15]変形例におけるＩＯセルレイアウトの概要例

## 発明を実施するための形態

[0012] 以下、図面を参照して、実施形態について説明する。なお、以下の説明では、「ＶＤＤ」「ＶＳＳ」は、電源電圧または電源自体を指すものとする。また、トランジスタは、Ｐ型基板およびＮ型ウェル上に形成されるものとする。なお、トランジスタは、Ｐ型ウェル上に形成されてもよいし、Ｎ型基板上に形成されてもよい。

[0013] （第１実施形態）

図１は実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図である。図１に示す半導体集積回路装置１は、内部コア回路が形成されたコア領域２と、コア領域２とチップエッジとの間に設けられ、インターフェイス回路（Ｉ／Ｏ回路）が形成されたＩ／Ｏ領域３とを備えている。Ｉ／Ｏ領域３には、半導体集積回路装置１の周辺部を環状に囲むように、Ｉ／ＯセルＩＯＡが設けられている。図１では図示を簡略化しているが、Ｉ／ＯセルＩＯＡには、インターフェイス回路を構成する複数のＩ／ＯセルＩＯが並んでいる。また図１では図示を省略しているが、半導体集積回路装置１には、複数の外部接続パッドが配置されている。なお、ＩＯセルＩＯＡは、半導体集積回路装置１の周辺部の一部に設けられていてもよい。

[0014] ＩＯセルＩＯは、信号ＩＯセルおよび電源ＩＯセルを含む。信号ＩＯセルには、半導体集積回路装置１の外部との間、または、コア領域２との間で信号のやりとりを行うために必要な回路、例えば、レベルシフタ回路、出力バッファ回路、ＥＳＤ保護用回路等が含まれる。電源ＩＯセルは、外部接続パッドに供給される各電源を半導体集積回路装置１の内部に供給するものであり、ＥＳＤ保護用回路等を含む。

[0015] 図２はＩ／ＯセルＩＯに含まれる出力回路１１の回路構成図である。なお、実際の出力回路には、図２に示す回路要素以外も含まれているが、図２で

は記載を省略している。

[0016] 図２に示す出力回路１１は、外部出力端子ＰＡＤと、出力トランジスタＰ１，Ｎ１と、ＥＳＤ（ElectroStatic Discharge）保護ダイオード１ａ，１ｂと、保護抵抗Ｒｓｎ，Ｒｓｐとを備えている。出力トランジスタＰ１はＰ導電型のトランジスタであり、出力トランジスタＮ１はＮ導電型のトランジスタである。

[0017] 出力トランジスタＰ１，Ｎ１は、ゲートに受ける信号に従って、出力信号を外部出力端子ＰＡＤに出力する。出力トランジスタＰ１は、ソースがＶＤＤに接続され、ドレインが保護抵抗Ｒｓｐを介して外部出力端子ＰＡＤに接続されている。出力トランジスタＮ１は、ソースがＶＳＳに接続され、ドレインが保護抵抗Ｒｓｎを介して外部出力端子ＰＡＤに接続されている。本実施形態では、保護抵抗Ｒｓｐ，Ｒｓｎは、ＢＥＯＬ（Back End of Line：配線工程）において形成される配線層に形成された複数の抵抗素子によって、構成される。なお、出力トランジスタＮ１と保護抵抗Ｒｓｎの間のノードをノードＡとし、出力トランジスタＰ１と保護抵抗Ｒｓｐの間のノードをノードＢとする。

[0018] ＥＳＤ保護ダイオード１ａは、ＶＳＳと外部出力端子ＰＡＤとの間に設けられており、アノードがＶＳＳに接続され、カソードが外部出力端子ＰＡＤに接続されている。ＥＳＤ保護ダイオード１ｂは、ＶＤＤと外部出力端子ＰＡＤとの間に設けられており、アノードが外部出力端子ＰＡＤに接続され、カソードがＶＤＤに接続されている。外部出力端子ＰＡＤに高圧ノイズが入力されると、ＥＳＤ保護ダイオード１ａ，１ｂを介してＶＤＤ，ＶＳＳに電流が流れ、これにより、出力トランジスタＰ１，Ｎ１が保護される。

[0019] 図３はＩＯセルレイアウトの概要の一例である。図３のレイアウトは、図１の半導体集積回路装置１における下辺に並ぶＩＯセル１０のうちの１つであるＩＯセル１０ａに相当する。ＩＯセルは一般に、ＥＳＤ保護用回路や半導体集積回路装置外部へ信号を出力するための出力バッファ等を含む高電源電圧領域と、半導体集積回路装置内部へ信号を入出力するための回路等を含

む低電源電圧領域とを有している。そして、図３のＩＯセル１０ａは、Ｙ方向において、低電源電圧領域３１と高電源電圧領域３２とに分かれている。ここで、Ｘ方向は半導体集積回路装置１の外辺に沿う方向であり、Ｙ方向はＸ方向と垂直をなす方向である。低電源電圧領域３１はコア領域２側にあり、高電源電圧領域３２はチップエッジ側にある。

[0020] 図３に示すＩＯセル１０ａは、図２の出力回路１１が構成されている。高電源電圧領域３２には、出力トランジスタＮ１、ＥＳＤ保護ダイオード１ａ、ＥＳＤ保護ダイオード１ｂ、および、出力トランジスタＰ１が、チップエッジから順に配置されている。出力トランジスタＮ１，Ｐ１、ＥＳＤ保護ダイオード１ａ，１ｂの上部には、抵抗素子ＲＵがＸＹ方向にアレイ状に配置されている。出力トランジスタＮ１およびＥＳＤ保護ダイオード１ａの上部に配置された抵抗素子ＲＵが互いに接続されることによって、保護抵抗Ｒｓｎが構成される。出力トランジスタＰ１およびＥＳＤ保護ダイオード１ｂの上部に配置された抵抗素子ＲＵが互いに接続されることによって、保護抵抗Ｒｓｐが構成される。なお、抵抗素子ＲＵの接続形態は、直列接続、並列接続、または、直列接続と並列接続の組み合わせのいずれであってもよい。

[0021] 図４～図８はＩＯセルのレイアウトの詳細を示す平面図である。図４～図８は図３のＥＳＤ保護ダイオード１ａおよび出力トランジスタＮ１の部分を拡大し、階層別に示した図である。図９は断面図であり、図４の線Ｘ－Ｘ’における断面構造を示す。

[0022] 図４はＭ５配線層、Ｍ４配線層およびＲＭｅｔａｌ配線層の構造を示す。ＲＭｅｔａｌ配線層は、Ｍ４配線層とＭ３配線層との間に形成されており、抵抗素子ＲＵを形成するための配線層である。ＲＭｅｔａｌ配線層は、ＢＥＯＬ（Back End of Line：配線工程）において形成される。ＲＭｅｔａｌ配線層に形成された抵抗素子ＲＵは、Ｍ４配線層の配線とビアを介して接続される。

[0023] Ｍ５配線層において、Ｙ方向に延びるＭ５配線２１，２２，２３が形成されている。Ｍ５配線２１は外部出力端子ＰＡＤに相当し、図示しないＩＯパ

ッドに接続される。Ｍ５配線２２はノードＡに相当し、Ｍ５配線２３はＶＳＳに接続される。Ｍ４配線層において、Ｘ方向に延びるＭ４配線２６ａ，２６ｂ，２７が形成されている。Ｍ４配線２７は、Ｍ５配線２３とビアを介して接続される。すなわち、Ｍ４配線２７はＶＳＳに接続される。

[0024] ＲＭｅｔａｌ配線層において、抵抗素子ＲＵが形成されている。抵抗素子ＲＵはＸ方向における両端が、それぞれ、Ｍ４配線２６ａ，２６ｂとビアを介して接続されている。Ｍ４配線２６ａは、Ｍ５配線２１とビアを介して接続されており、Ｍ４配線２６ｂは、Ｍ５配線２２とビアを介して接続されている。すなわち、Ｍ５配線２１（ＰＡＤ）→ビア（Ｍ５－Ｍ４）→Ｍ４配線２６ａ→ビア（Ｍ４－ＲＭｅｔａｌ）→抵抗素子ＲＵ→ビア（Ｍ４－ＲＭｅｔａｌ）→Ｍ４配線２６ｂ→ビア（Ｍ５－Ｍ４）→Ｍ５配線２２（Ａ）という経路で、外部出力端子ＰＡＤとノードＡとの間に、抵抗素子ＲＵが接続されている。複数の抵抗素子ＲＵによって、保護抵抗Ｒｓｎが構成されている。

[0025] また、ＥＳＤ保護ダイオード１ａの配置位置において、ＶＳＳを供給するＭ４配線２７は、Ｙ方向における抵抗素子ＲＵの間において、Ｘ方向に延伸している。すなわち、Ｍ４配線２７は、抵抗素子ＲＵの存在によって分割されていない。

[0026] 図５は図４の下層部分であり、Ｍ３配線層およびＭ２配線層の構造を示す。図５において、Ｍ３配線およびＭ２配線は、Ｘ方向に延びている。また、ビア（Ｍ４－Ｍ３）とビア（Ｍ３－Ｍ２）は、平面視で同じ位置に形成されている。

[0027] 外部出力端子ＰＡＤに接続されるＭ２配線５１は、ビアおよびＭ３配線およびＭ４配線を介して、Ｍ５配線２１と接続されている。ノードＡに接続されるＭ２配線５２は、ビアおよびＭ３配線およびＭ４配線を介して、Ｍ５配線２２と接続されている。ＶＳＳを供給するＭ２配線５３およびＭ３配線５４は、平面視で同じ位置に配置されており、ビアを介してＭ４配線２７と接続されている。

[0028] ＥＳＤ保護ダイオード１ａには、ＰＡＤに接続されるＭ２配線５１が、図示しないＭ１配線を介して接続される。このＭ１配線は、Ｍ２配線５１と平面視で同じ位置に形成されている。また、ＥＳＤ保護ダイオード１ａには、ＶＳＳを供給するＭ２配線５４が、図示しないＭ１配線を介して接続される。このＭ１配線は、Ｍ２配線５４と平面視で同じ位置に形成されている。出力トランジスタＮ１には、ノードＡに接続されるＭ２配線５２が、図示しないメタル配線層およびビア等を介して接続される。また、出力トランジスタＮ１には、ＶＳＳを供給するＭ２配線５４が、図示しないメタル配線層およびビア等を介して接続される。

[0029] 図６は図５の下層部分であり、Ｍ２配線層とＥＳＤ保護ダイオード１ａのアノードおよびカソードとの位置関係を示す。図６に示すように、ＥＳＤ保護ダイオード１ａは、外部出力端子ＰＡＤに接続されるＭ２配線５１と重なる位置に、外部出力端子ＰＡＤと接続されるカソードが配置されており、ＶＳＳを供給するＭ２配線５３と重なる位置に、ＶＳＳと接続されるアノードが配置されている。すなわち、抵抗素子ＲＵと、ＥＳＤ保護ダイオード１ａのカソードとは、平面視で重なる位置に配置されている。

[0030] 以上のような位置関係を満たすためには、Ｙ方向において、ＥＳＤ保護ダイオード１ａのカソードの配置ピッチ、ＥＳＤ保護ダイオード１ａのアノードの配置ピッチ、抵抗素子ＲＵの配置ピッチが、互いに等しいことが好ましい。

[0031] 図７は図６のエリアＬＤ１、すなわちＥＳＤ保護ダイオード１ａのレイアウトである。図７に示すように、ＥＳＤ保護ダイオード１ａは、Ｐ導電型のフィン３２によって形成されたアノード部３１と、Ｎ導電型のフィン３４ａ，３４ｂによって形成されたカソード部３３ａ，３３ｂとを備える。フィン３２，３４ａ，３４ｂはＸ方向に延びている。アノード部３１はＶＳＳに接続されており、カソード部３３ａ，３３ｂは外部出力端子ＰＡＤに接続されている。Ｐ導電型のフィン３２とＮ導電型のフィン３４ａ，３４ｂとの間にダイオードが形成される。

[0032] 図８は図６のエリアＬＴ１、すなわち出力トランジスタＮ１のレイアウトである。図８に示すように、出力トランジスタＮ１は、Ｘ方向にそれぞれ延びており、Ｙ方向に並べて配置された複数のＮ導電型のフィン６１と、Ｙ方向にそれぞれ延びており、Ｘ方向に並べて配置された複数のゲート配線６２とが、形成されている。平面視で重なるフィン６１およびゲート配線６２がトランジスタを形成している。各トランジスタは、図示しない配線によって並列接続される。各トランジスタのドレインが、保護抵抗Ｒｓｎを介して外部出力端子ＰＡＤに接続される。

[0033] なお、ＥＳＤ保護ダイオード１ｂおよび出力トランジスタＰ１の部分も、上述したものと同様のレイアウトである。すなわち、図４～図６のレイアウトについて、上下（Ｙ方向に）反転して、ＶＳＳをＶＤＤとし、ノードＡをノードＢとすればよい。ＥＳＤ保護ダイオード１ｂの場合は、ＶＤＤを供給するＭ２配線と重なる位置に、ＶＤＤと接続されるカソードが配置され、外部出力端子ＰＡＤと接続されるＭ２配線と重なる位置に、アノードが配置される。すなわち、ＥＳＤ保護ダイオード１ｂのアノードと抵抗素子ＲＵとが、平面視で重なる位置に配置される。ＥＳＤ保護ダイオード１ｂに関しても、Ｙ方向において、カソードの配置ピッチおよびアノードの配置ピッチが、抵抗素子ＲＵの配置ピッチと等しいことが好ましい。

[0034] 図１０はＥＳＤ保護ダイオード１ｂのレイアウトを示す。ＥＳＤ保護ダイオード１ｂは、Ｎ導電型のフィン３７によって形成されたカソード部３６と、Ｐ導電型のフィン３９ａ，３９ｂによって形成されたアノード部３８ａ，３８ｂとを備える。フィン３７，３９ａ，３９ｂはＸ方向に延びている。カソード部３６はＶＤＤに接続されており、アノード部３８ａ，３８ｂは外部出力端子ＰＡＤに接続されている。Ｎ導電型のフィン３７とＰ導電型のフィン３９ａ，３９ｂとの間にダイオードが形成される。

[0035] 図１１は出力トランジスタＰ１のレイアウトを示す。Ｘ方向にそれぞれ延びており、Ｙ方向に並べて配置された複数のＰ導電型のフィン６６と、Ｙ方向にそれぞれ延びており、Ｘ方向に並べて配置された複数のゲート配線６７

とが、形成されている。平面視で重なるフィン６６およびゲート配線６７がトランジスタを形成している。各トランジスタは、図示しない配線によって並列接続される。各トランジスタのドレインが、保護抵抗Ｒｓｐを介して外部出力端子ＰＡＤに接続される。

[0036] 本実施形態によると、次のような効果が得られる。すなわち、本実施形態に係る構成では、ＥＳＤ保護ダイオード１ａ，１ｂのアノードおよびカソードのうち、電源ＶＳＳ，ＶＤＤと接続される側の端子（すなわち、ＥＳＤ保護ダイオード１ａのアノード、ＥＳＤ保護ダイオード１ｂのカソード）が、抵抗素子ＲＵと重ならないように配置されている。これにより、電源ＶＳＳ，ＶＤＤからＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができるので、ＥＳＤ保護ダイオード１ａ，１ｂを効果的に働かせることができ、ＥＳＤ耐性を向上することができる。

[0037] また、Ｙ方向において、ＥＳＤ保護ダイオード１ａ，１ｂのアノードの配置ピッチおよびカソードの配置ピッチと、抵抗素子ＲＵの配置ピッチとを、等しくしている。このため、ＥＳＤ保護ダイオード１ａ，１ｂの電源と接続される側の端子を、電源を供給する上層配線と、平面視で重ねて配置することができる。これにより、上層配線から、真下方向に、ＥＳＤ保護ダイオード１ａ，１ｂの電源と接続される側の端子を接続することができるため、Ｙ方向に延びる接続配線を必要としない。したがって、電源からＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができる。

[0038] また、ＥＳＤ保護ダイオード１ａ，１ｂのアノードおよびカソードのうち、外部信号端子ＰＡＤと接続される側の端子（すなわち、ＥＳＤ保護ダイオード１ａのカソード、ＥＳＤ保護ダイオード１ｂのアノード）が、外部信号端子ＰＡＤと接続された配線（例えば、Ｍ４配線２６ａ）と重なるように配置されている。これにより、外部信号端子ＰＡＤからＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができるので、ＥＳＤ保護ダイオード１ａ，１ｂを効果的に働かせることができ、ＥＳＤ耐性を向上することができる。

[0039] （第２実施形態）

図１２は本実施形態に係る出力回路１２の回路構成図である。図１２の回路構成は、第１実施形態における図２の回路構成とほぼ同様であるが、保護抵抗の挿入位置が異なっている。すなわち、図１２の出力回路１２では、図２における保護抵抗Ｒｓｎ，Ｒｓｐに代えて、保護抵抗Ｒｓが設けられている。図１２では、出力トランジスタＰ１，Ｎ１のドレイン同士が接続されており、保護抵抗Ｒｓは、外部出力端子ＰＡＤと出力トランジスタＰ１，Ｎ１のドレインとの間に設けられている。なお、出力トランジスタＰ１，Ｎ１のドレインと保護抵抗Ｒｓとの間のノードを、ノードＣとしている。

[0040] 図１３はＩＯセルレイアウトの概要の一例である。図１３のＩＯセルレイアウトは、第１実施形態における図３のＩＯセルレイアウトと同様である。ただし、出力トランジスタＮ１，Ｐ１およびＥＳＤ保護ダイオード１ａ，１ｂの上部に配置された抵抗素子ＲＵが互いに接続されることによって、保護抵抗Ｒｓが構成される。抵抗素子ＲＵの接続形態は、直列接続、並列接続、または、直列接続と並列接続の組み合わせのいずれであってもよい。

[0041] 図１４はＩＯセルのレイアウトの詳細を示す平面図であり、図１３のＥＳＤ保護ダイオード１ａおよび出力トランジスタＮ１の部分を拡大した図である。図１４はＭ５配線層、Ｍ４配線層およびＲＭｅｔａｌ配線層の構造を示す。なお、図１４よりも下層の構成、および断面構造は、第１実施形態と同様であり、ここでは図示を省略している。

[0042] 図１４のレイアウトは、第１実施形態における図４のレイアウトと同様である。ただし、Ｍ５配線２２が、ノードＡではなく、ノードＣに相当する点が異なる。また、図１４よりも下層のレイアウトに関しても、第１実施形態で示したレイアウトと同様であり、ノードＡに接続されていた配線等がノードＣに接続される点が異なる。

[0043] また、図１３のＥＳＤ保護ダイオード１ｂおよび出力トランジスタＰ１の部分のレイアウトに関しても、第１実施形態と基本的に同様であり、ノードＢに接続されていた配線等がノードＣに接続される点が異なる。図１４にお

けるＭ５配線２２と、ＥＳＤ保護ダイオード１ｂおよび出力トランジスタＰ１の部分の、ノードＣに相当するＭ５配線とは、共通に接続される。

[0044] 本実施形態において、第１実施形態と同様の作用効果が得られる。すなわち、ＥＳＤ保護ダイオード１ａ，１ｂのアノードおよびカソードのうち電源ＶＳＳ，ＶＤＤと接続される側の端子が、抵抗素子ＲＵと重ならないように配置されている。これにより、電源ＶＳＳ，ＶＤＤからＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができるので、ＥＳＤ保護ダイオード１ａ，１ｂを効果的に働かせることができ、ＥＳＤ耐性を向上させることができる。

[0045] また、Ｙ方向において、ＥＳＤ保護ダイオード１ａ，１ｂのアノードの配置ピッチおよびカソードの配置ピッチと、抵抗素子ＲＵの配置ピッチとを、等しくしている。このため、ＥＳＤ保護ダイオード１ａ，１ｂの電源と接続される側の端子を、電源を供給する上層配線と、平面視で重ねて配置することができる。これにより、上層配線から、真下方向に、ＥＳＤ保護ダイオード１ａ，１ｂの電源と接続される側の端子を接続することができるため、Ｙ方向に延びる接続配線を必要としない。したがって、電源からＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができる。

[0046] また、ＥＳＤ保護ダイオード１ａ，１ｂのアノードおよびカソードのうち、外部信号端子ＰＡＤと接続される側の端子（すなわち、ＥＳＤ保護ダイオード１ａのカソード、ＥＳＤ保護ダイオード１ｂのアノード）が、外部信号端子ＰＡＤと接続された配線（例えば、Ｍ４配線２６ａ）と重なるように配置されている。これにより、外部信号端子ＰＡＤからＥＳＤ保護ダイオード１ａ，１ｂに至る経路の抵抗を抑制することができるので、ＥＳＤ保護ダイオード１ａ，１ｂを効果的に働かせることができ、ＥＳＤ耐性を向上させることができる。

[0047] （変形例）

図１５は変形例に係るＩＯセルレイアウトの概要である。図１５に示すように、抵抗素子ＲＵは、低電源電圧領域３１に配置されていてもよい。これ

により、より大きな面積を要する保護抵抗を構成することができる。

[0048] なお、上述の実施形態では、ＥＳＤ保護ダイオード１ａ，１ｂおよび出力トランジスタＮ１，Ｐ１は、フィンによって構成されるものとしたが、これに限られるものではない。

[0049] また、上述の実施形態における出力回路は、Ｐ導電型トランジスタとＮ導電型出力トランジスタがいずれも、１段のトランジスタであるものとしたが、これに限られるものではなく、例えば２段、３段等の複数段のトランジスタが直列接続された構成であってもよい。また、上述の実施形態における出力回路は、入力回路を含む入出力回路であってもかまわない。

[0050] また、上述の実施形態では、ＲＭｅｔａｌ配線層は、Ｍ４配線層とＭ３配線層との間に形成されるものとしたが、これに限られるものではない。ＲＭｅｔａｌ配線層は、ＢＥＯＬで形成されるものであればよい。

## 産業上の利用可能性

[0051] 本開示では、ＢＥＯＬにおいて形成された抵抗素子を用いる半導体集積回路装置について、ＥＳＤ耐性を向上させることができるので、例えばシステムＬＳＩの性能向上に有用である。

## 符号の説明

[0052] １ａ，１ｂ　ＥＳＤ保護ダイオード

１１，１２　出力回路

２６ａ，２６ｂ，２７　Ｍ４配線

Ｎ１，Ｐ１　出力トランジスタ

ＰＡＤ　外部出力端子

Ｒｓｎ，Ｒｓｐ，Ｒｓ　保護抵抗

ＲＵ　抵抗素子

# 請求の範囲

[請求項1] 出力回路を備える半導体集積回路装置であって、

前記出力回路は、

外部出力端子と、

第１ノードが前記外部出力端子と接続され、第２ノードが第１電源と接続された第１ＥＳＤ（Electro-Static Discharge）保護ダイオードと、

配線工程（ＢＥＯＬ：Back End of Line）において形成される第１配線層に形成された複数の抵抗素子によって構成されており、一端が前記外部出力端子と接続された第１保護抵抗と、

前記第１保護抵抗の他端と、前記第１電源との間に接続された第１出力トランジスタと、を備え、

第２配線層において、第１方向に延びる第１、第２、第３配線が形成されており、前記第１および第２配線は、平面視で、前記抵抗素子の前記第１方向における両側に配置され、前記抵抗素子にそれぞれ接続されており、かつ、前記第１配線は、前記外部出力端子と接続されており、前記第３配線は、前記第１電源と接続されており、

前記第１ＥＳＤ保護ダイオードは、前記第１および第２ノードが、前記第１方向と垂直をなす第２方向において交互に形成されており、

前記抵抗素子並びに前記第１および第２配線は、平面視で、前記第１ＥＳＤ保護ダイオードの前記第１ノードと重なっており、前記第３配線は、平面視で、前記第１ＥＳＤ保護ダイオードの前記第２ノードと重なっている

半導体集積回路装置。

[請求項2] 請求項１記載の半導体集積回路装置において、

前記第２方向において、前記第１ＥＳＤ保護ダイオードの前記第１ノードの配置ピッチ、前記第１ＥＳＤ保護ダイオードの前記第２ノードの配置ピッチ、および、前記抵抗素子の配置ピッチは、互いに等し

い

半導体集積回路装置。

[請求項3] 請求項１記載の半導体集積回路装置において、

前記複数の抵抗素子は、前記第１配線層において、前記第１および第２方向にアレイ状に配置されている

半導体集積回路装置。

[請求項4] 請求項１記載の半導体集積回路装置において、

前記出力回路は、

第１ノードが第２電源と接続され、第２ノードが前記外部出力端子と接続された第２ＥＳＤ保護ダイオードと、

前記第１配線層に形成された複数の抵抗素子によって構成されており、一端が前記外部出力端子と接続された第２保護抵抗と、

前記第２保護抵抗の他端と、前記第２電源との間に接続された第２出力トランジスタと、を備える

半導体集積回路装置。

[請求項5] 請求項１記載の半導体集積回路装置において、

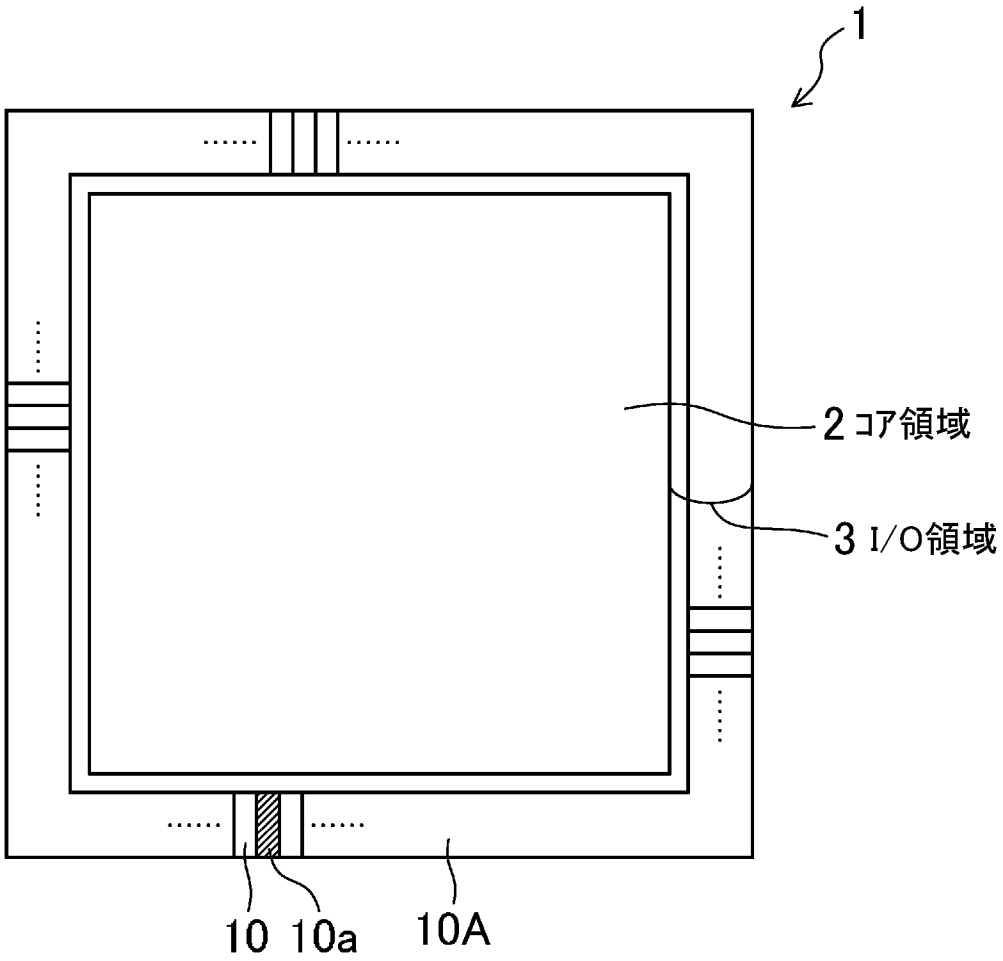
前記出力回路は、

第１ノードが第２電源と接続され、第２ノードが前記外部出力端子と接続された第２ＥＳＤ保護ダイオードと、

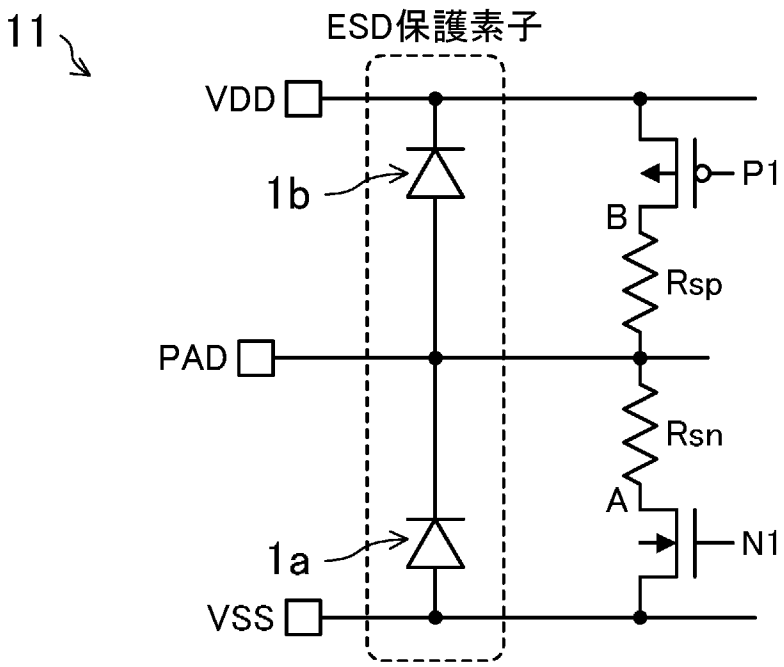
前記第１保護抵抗の他端と、前記第２電源との間に接続された第２出力トランジスタと、を備える

半導体集積回路装置。

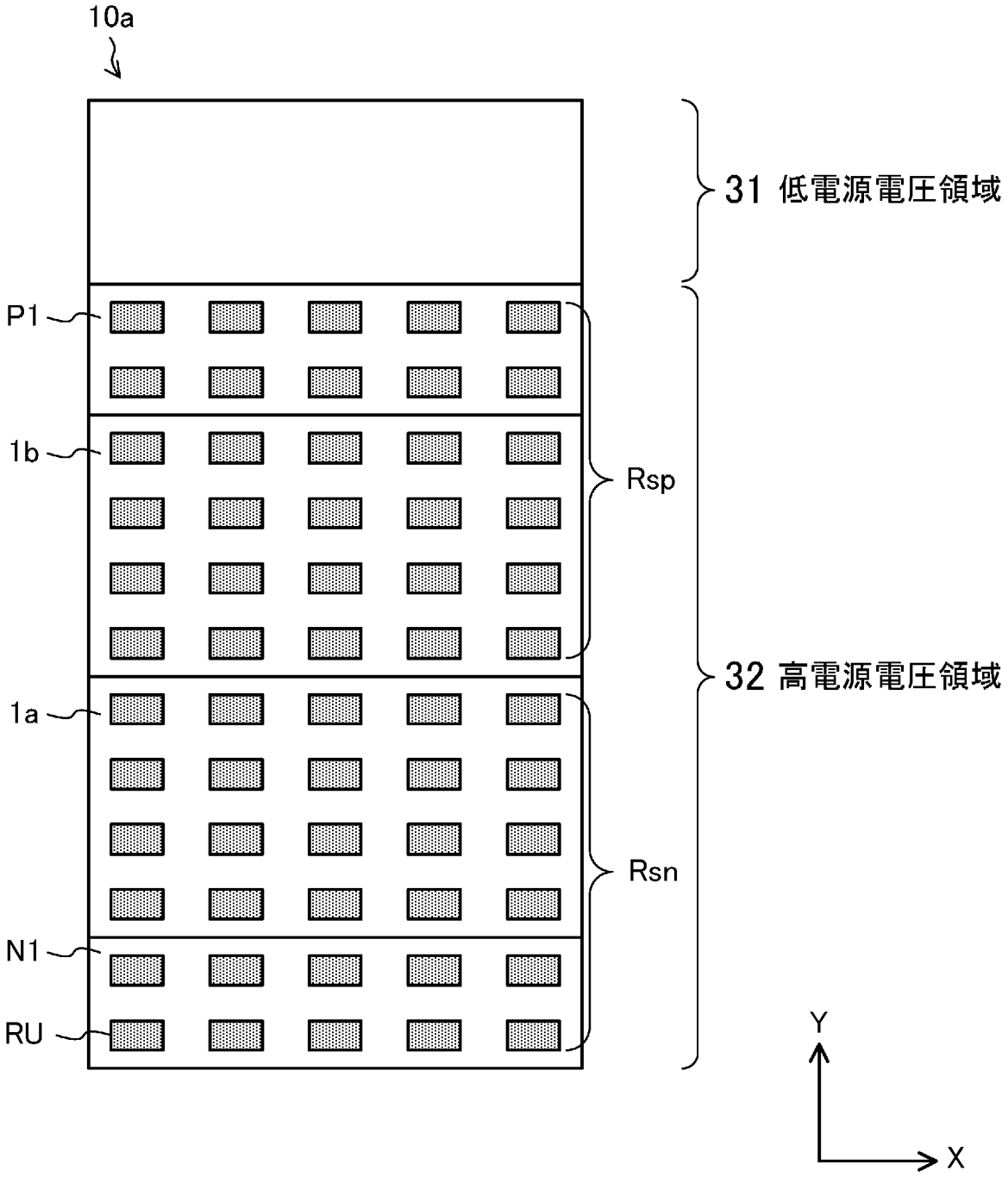
[図1]


1
2 コア領域
3 I/O領域
10
10a
10A

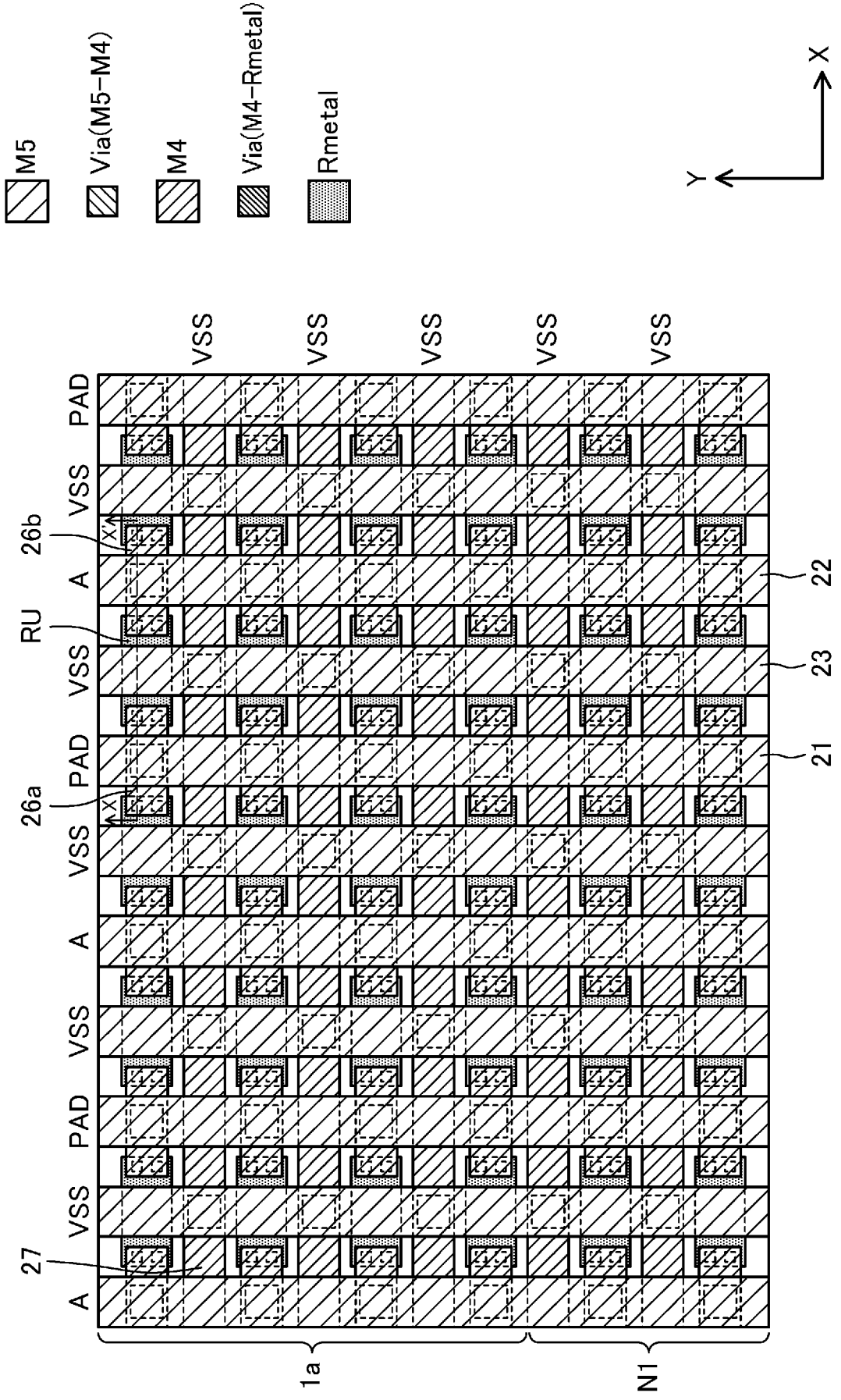
[図2]


11
ESD保護素子
VDD
1b
P1
B
Rsp
PAD
Rsn
A
1a
N1
VSS

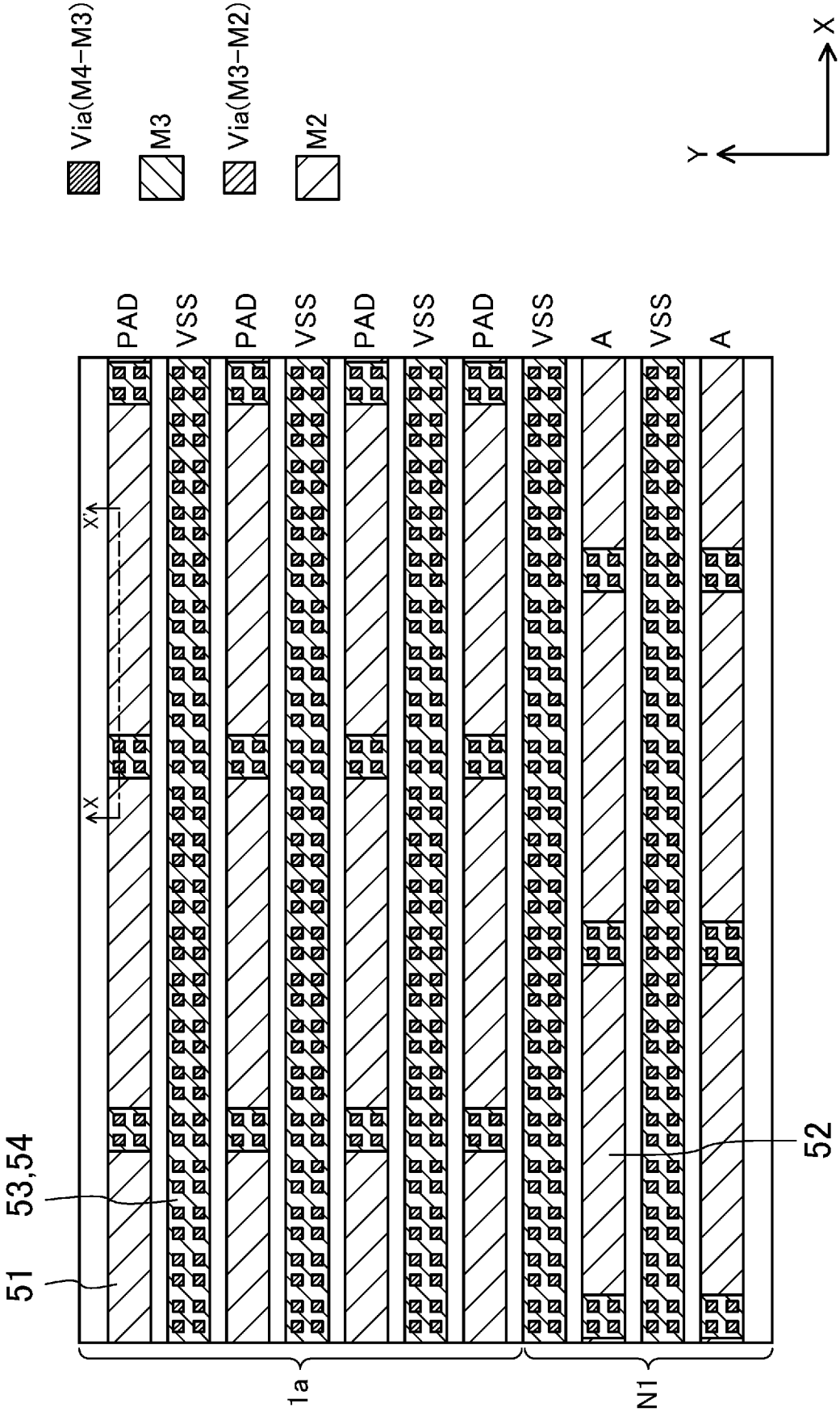
[図3]



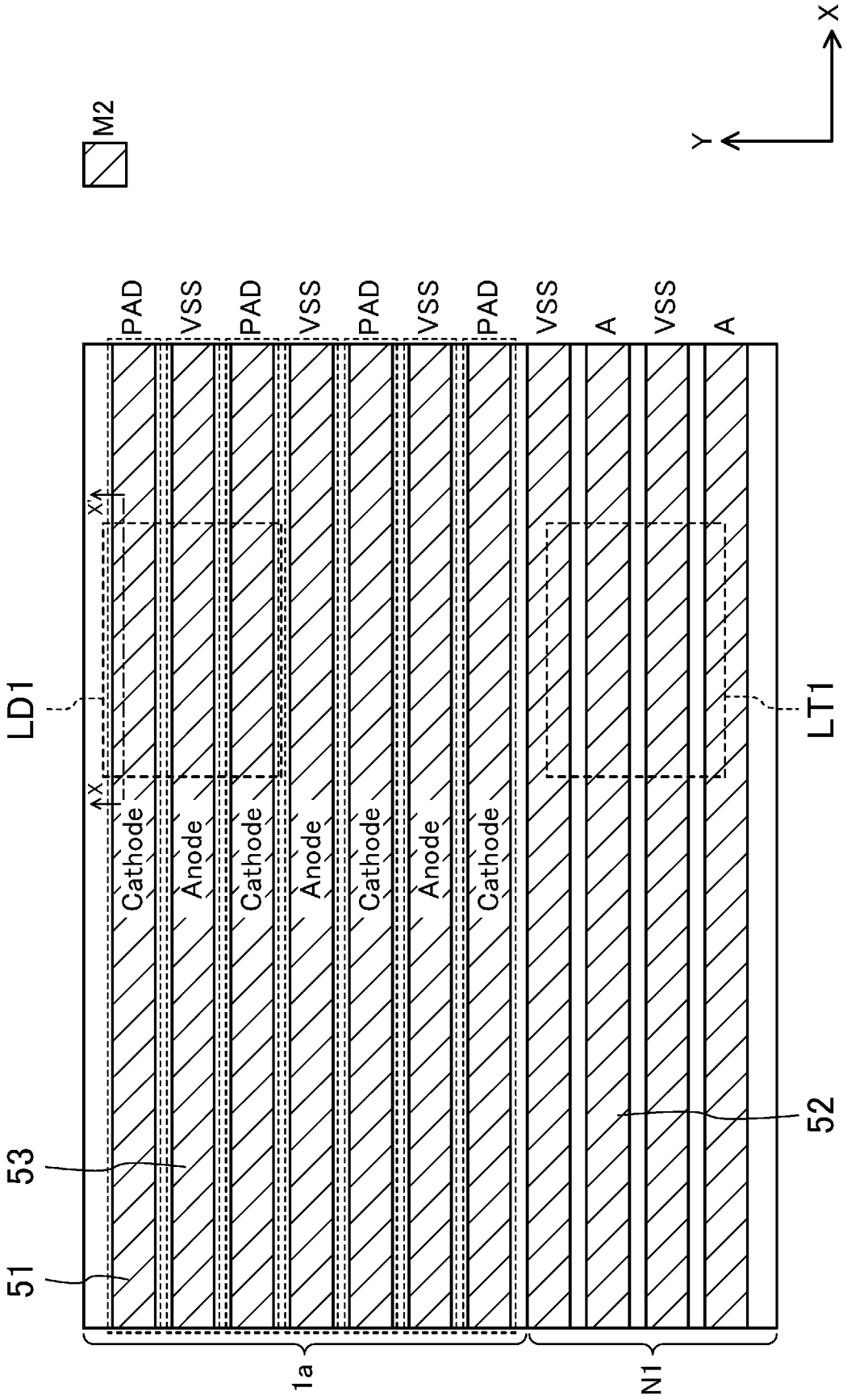
[図4]


M5
Via(M5-M4)
M4
Via(M4-Rmetal)
Rmetal
X
Y
VSS
VSS
VSS
VSS
VSS
PAD
VSS
26b
A
RU
VSS
PAD
26a
VSS
A
VSS
PAD
VSS
27
A
22
23
21
1a
N1

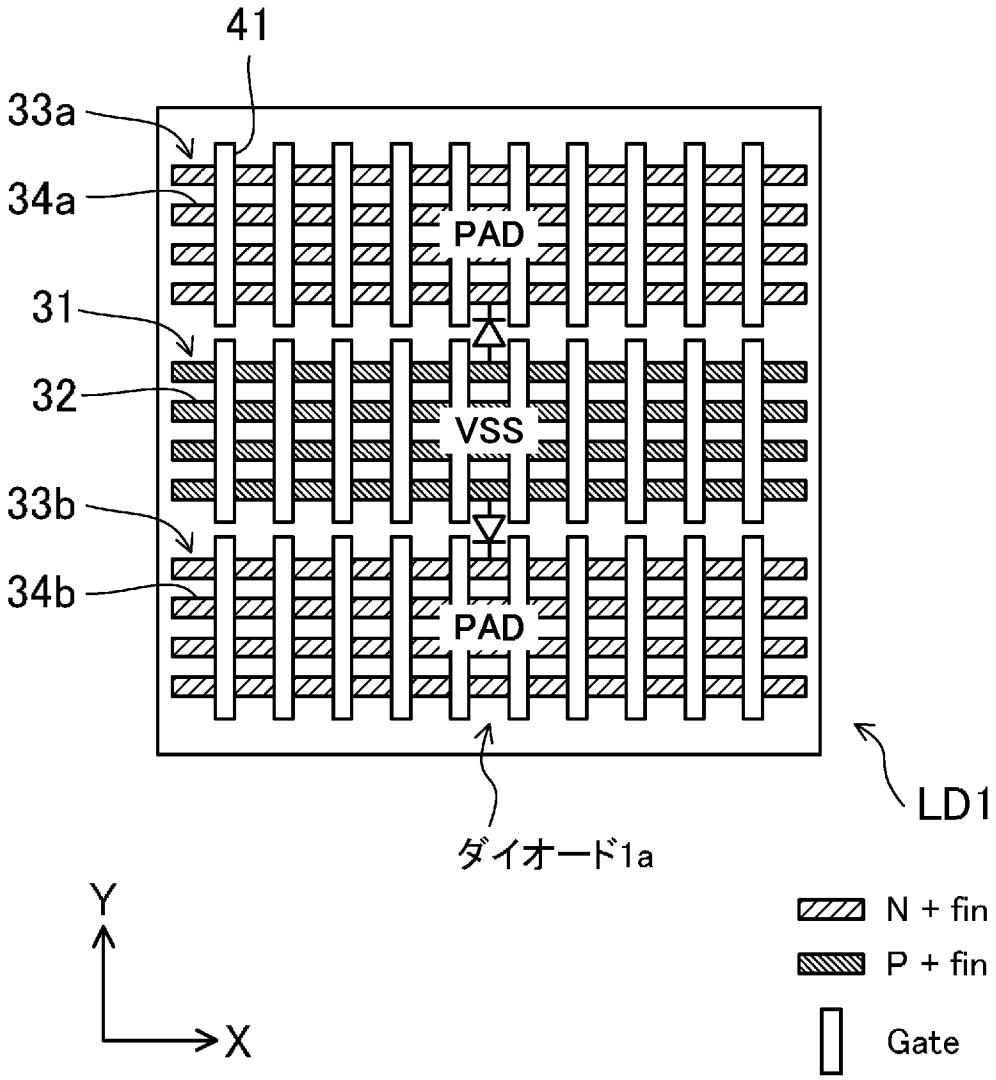
[図5]


Via(M4-M3)
M3
Via(M3-M2)
M2
X
Y
PAD
VSS
PAD
VSS
PAD
VSS
PAD
VSS
A
VSS
A
X'
X
53,54
51
52
1a
N1

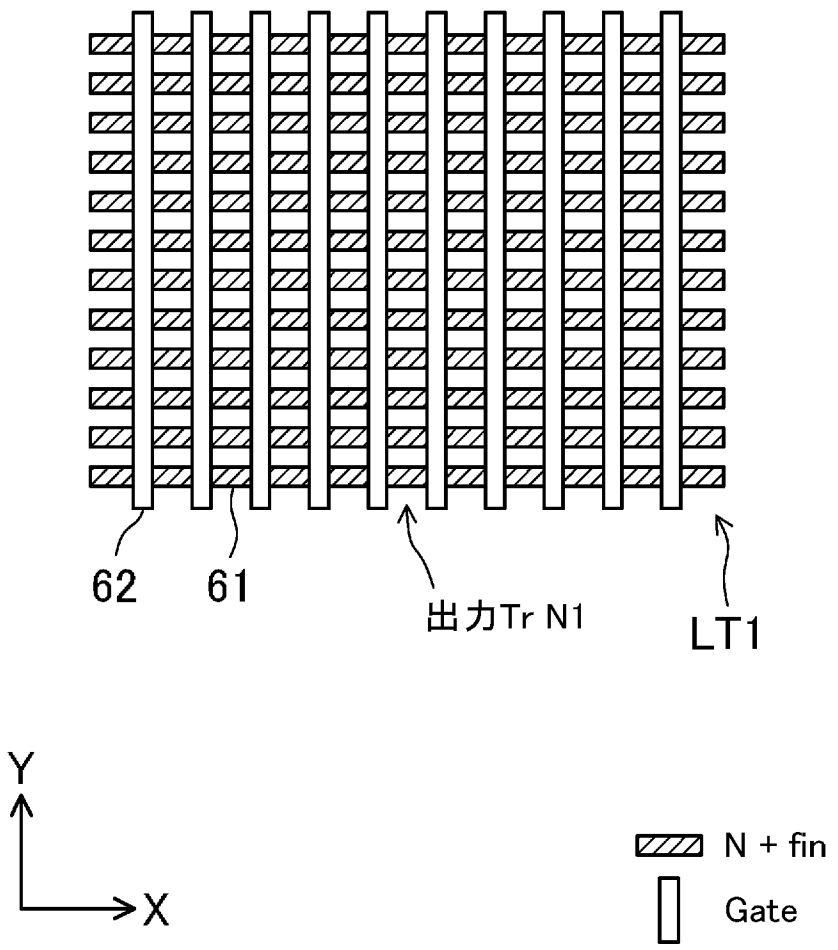
[図6]


M2
X
Y
PAD
VSS
PAD
VSS
PAD
VSS
PAD
VSS
A
VSS
A
X'
X
LD1
LT1
Cathode
Anode
Cathode
Anode
Cathode
Anode
Cathode
53
51
52
1a
N1

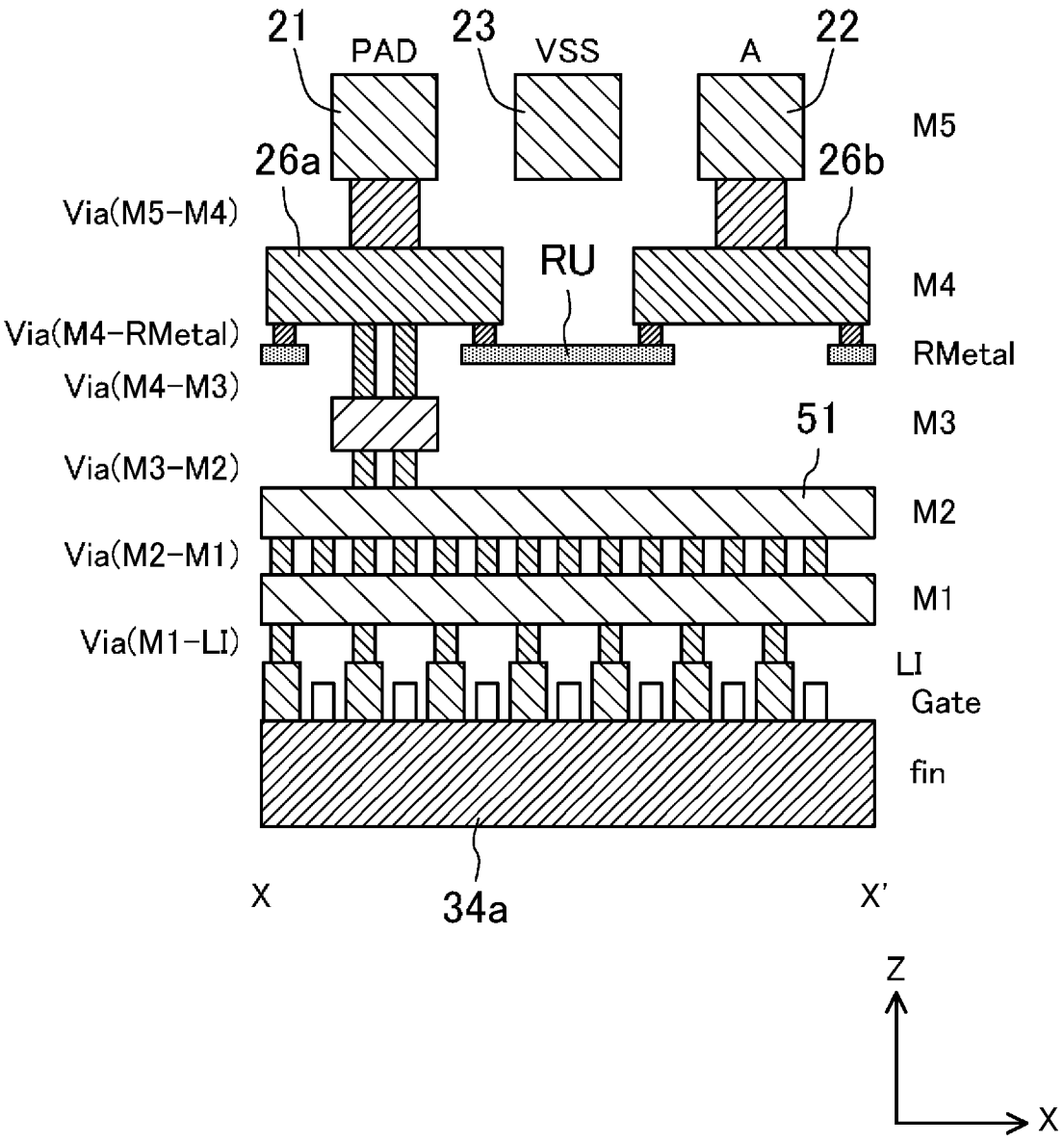
[図7]


41
33a
34a
PAD
31
32
VSS
33b
34b
PAD
LD1
ダイオード1a
Y
X
N + fin
P + fin
Gate

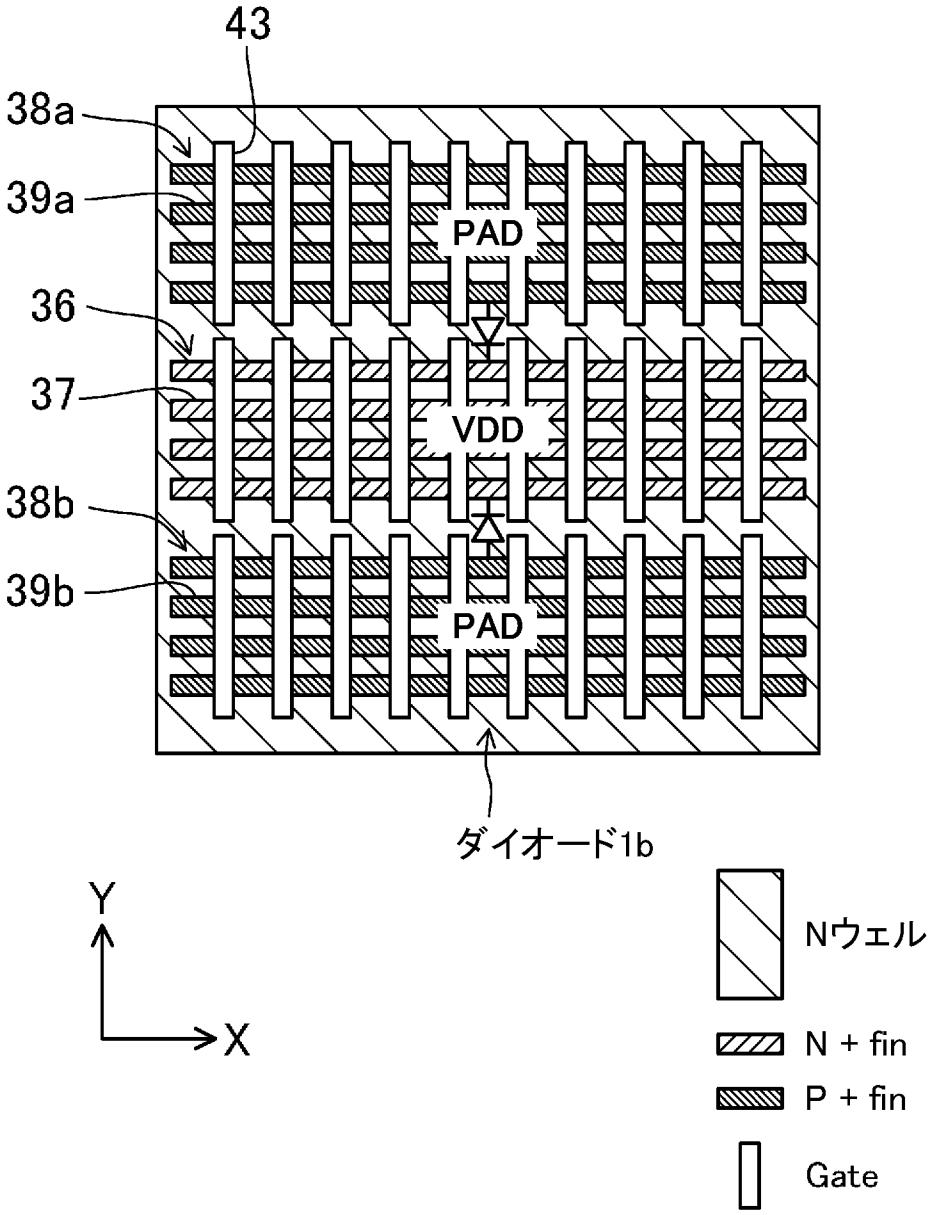
[図8]



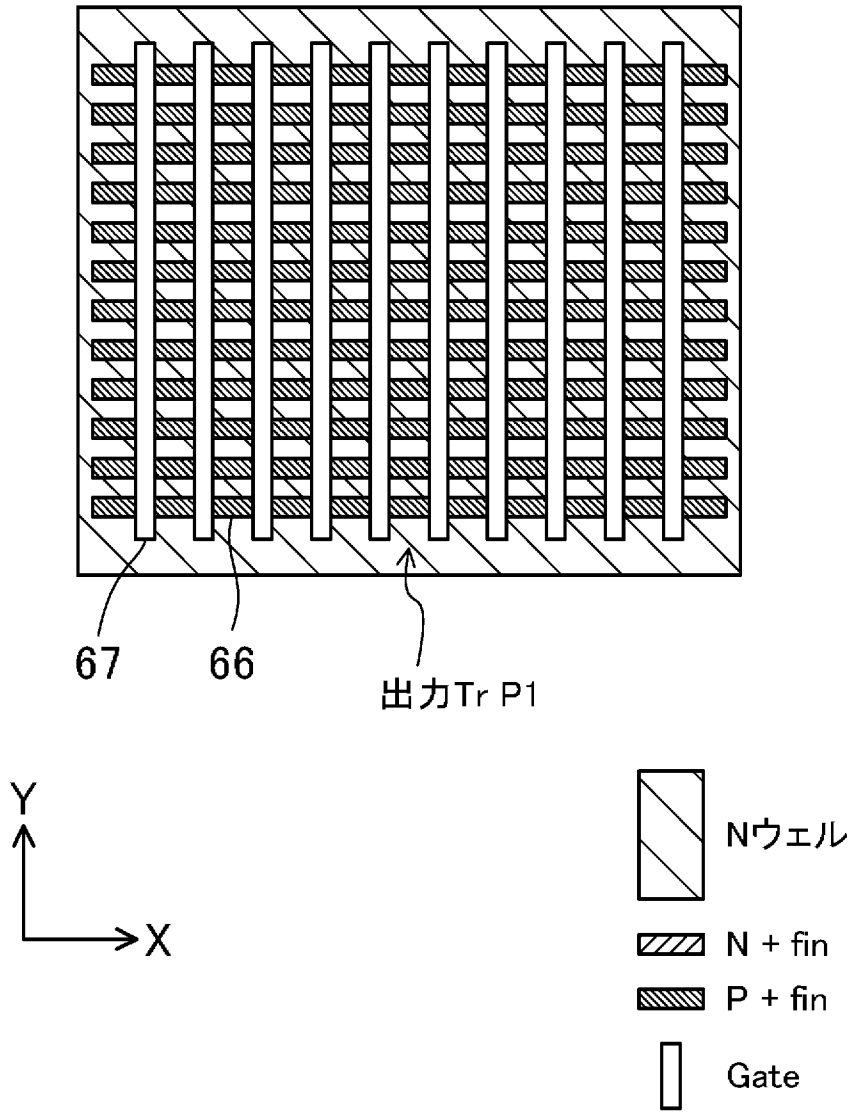
[図9]


21
PAD
23
VSS
A
22
M5
26a
26b
Via(M5-M4)
RU
M4
Via(M4-RMetal)
RMetal
Via(M4-M3)
51
M3
Via(M3-M2)
M2
Via(M2-M1)
M1
Via(M1-LI)
LI
Gate
fin
X
34a
X'
Z
X

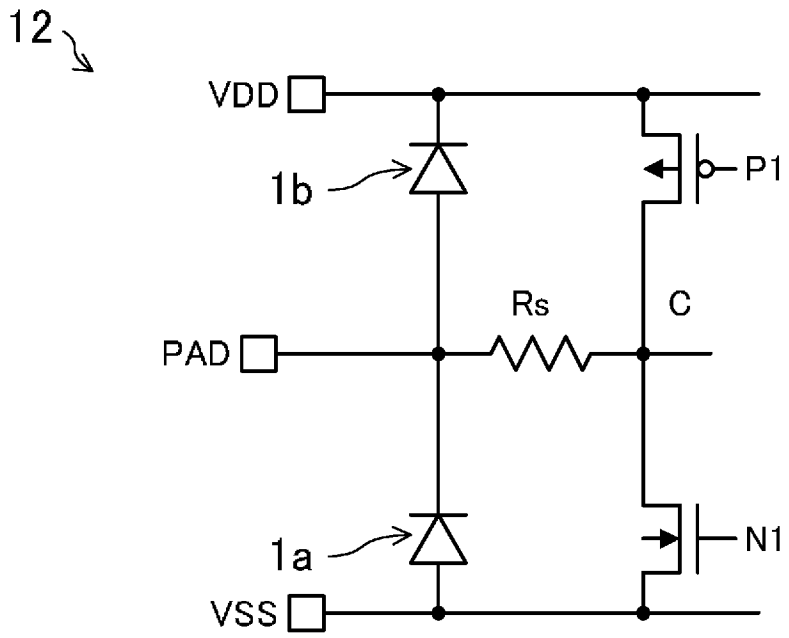
[図10]


43
38a
39a
36
37
38b
39b
PAD
VDD
PAD
ダイオード1b
Y
X
Nウェル
N + fin
P + fin
Gate

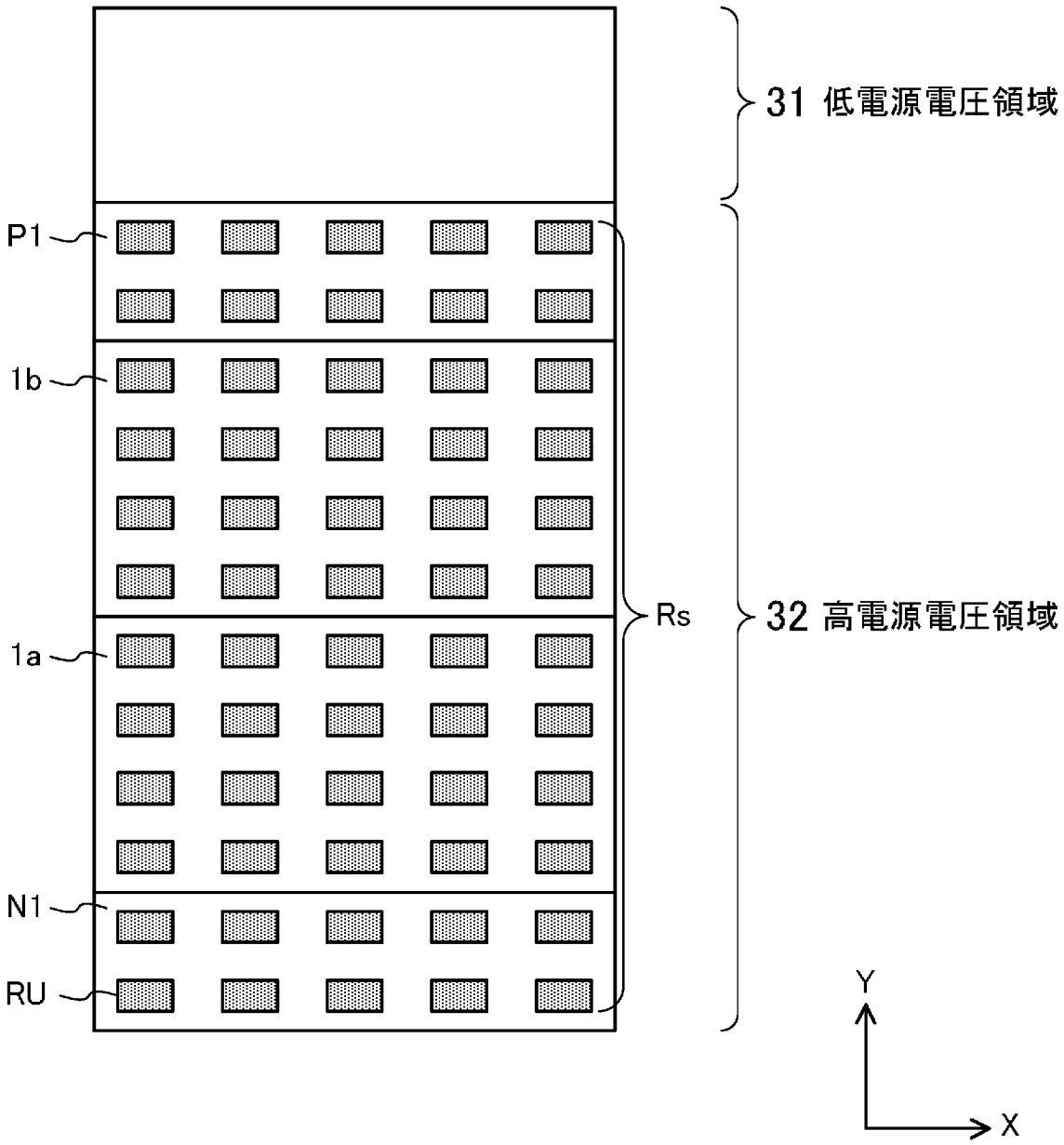
[図11]



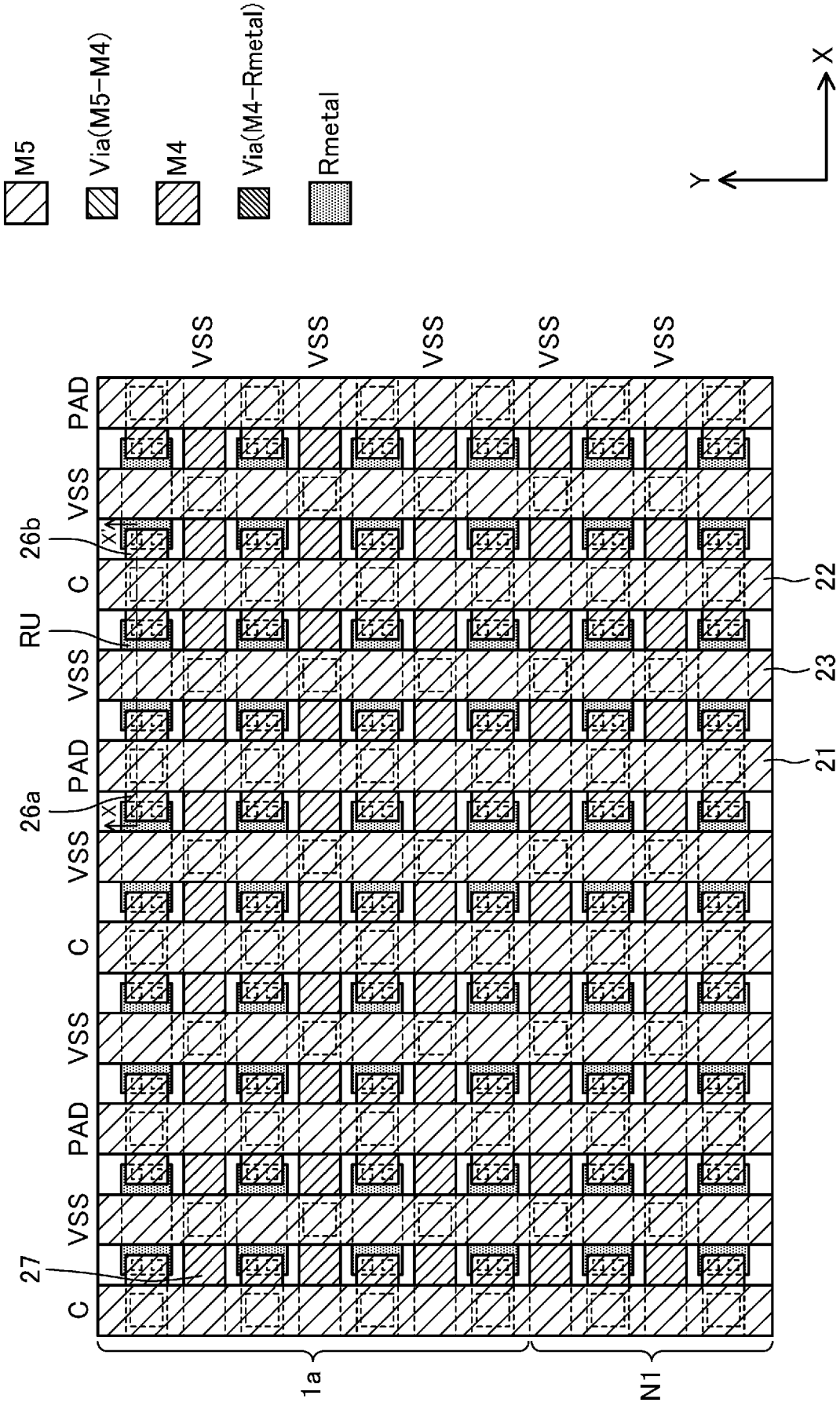
[図12]



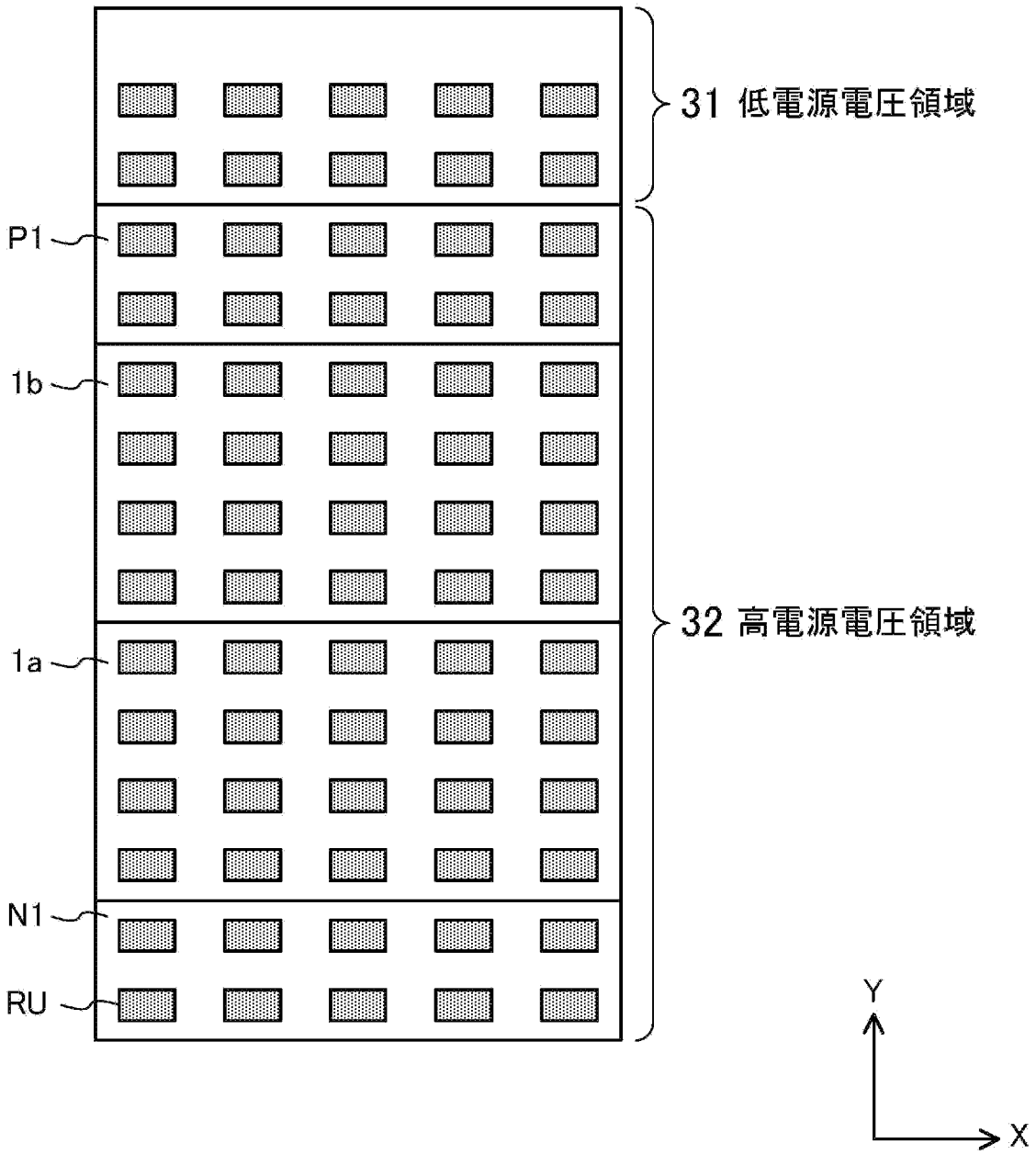
[図13]



[図14]


M5
Via(M5-M4)
M4
Via(M4-Rmetal)
Rmetal
X
Y
VSS
VSS
VSS
VSS
VSS
PAD
VSS
26b
X'
C
RU
VSS
PAD
26a
X
VSS
C
VSS
PAD
VSS
27
C
22
23
21
1a
N1

[図15]



# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2022/012403**

## A. CLASSIFICATION OF SUBJECT MATTER

***H01L 27/04***(2006.01)i; ***H01L 21/82***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i
FI: H01L27/04 H; H01L27/06 311B; H01L27/06 311A; H01L21/82 D; H01L27/04 P; H01L27/06 102A; H01L27/06 311

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L21/82; H01L21/8234; H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | US 2019/0304905 A1 (QUALCOMM INC.) 03 October 2019 (2019-10-03)<br>entire text, all drawings | 1-5 |
| A | JP 2010-147282 A (RENESAS TECHNOLOGY CORP.) 01 July 2010 (2010-07-01)<br>entire text, all drawings | 1-5 |
| A | JP 2007-150150 A (RENESAS TECHNOLOGY CORP.) 14 June 2007 (2007-06-14)<br>entire text, all drawings | 1-5 |
| A | JP 2020-178061 A (SEIKO EPSON CORP.) 29 October 2020 (2020-10-29)<br>entire text, all drawings | 1-5 |
| A | WO 2019/163102 A1 (SOCIONEXT INC.) 29 August 2019 (2019-08-29)<br>entire text, all drawings | 1-5 |
| A | JP 10-163433 A (NEC CORP.) 19 June 1998 (1998-06-19)<br>entire text, all drawings | 1-5 |
| A | JP 2016-72349 A (RENESAS ELECTRONICS CORP.) 09 May 2016 (2016-05-09)<br>entire text, all drawings | 1-5 |

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **27 May 2022** | **07 June 2022** |
| Name and mailing address of the ISA/JP<br>**Japan Patent Office (ISA/JP)**<br>**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915**<br>**Japan** | Authorized officer<br><br>Telephone No. |

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2022/012403**

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | WO 2019/043888 A1 (SOCIONEXT INC.) 07 March 2019 (2019-03-07)<br>entire text, all drawings | 1-5 |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/JP2022/012403**

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|---|---|---|---|
| US 2019/0304905 A1 | 03 October 2019 | WO 2019/190697 A1 | |
| | | TW 201946242 A | |
| JP 2010-147282 A | 01 July 2010 | TW 201029079 A | |
| JP 2007-150150 A | 14 June 2007 | US 2007/0120258 A1 | |
| | | CN 1976032 A | |
| | | KR 10-2007-0057053 A | |
| | | TW 200735277 A | |
| JP 2020-178061 A | 29 October 2020 | (Family: none) | |
| WO 2019/163102 A1 | 29 August 2019 | US 2020/0381416 A1 | |
| JP 10-163433 A | 19 June 1998 | US 5923079 A | |
| | | CN 1184276 A | |
| | | TW 375839 B | |
| | | KR 10-1998-0042939 A | |
| JP 2016-72349 A | 09 May 2016 | US 2016/0094027 A1 | |
| | | CN 105470252 A | |
| WO 2019/043888 A1 | 07 March 2019 | US 2020/0203334 A1 | |
| | | CN 111033720 A | |

国際調査報告

国際出願番号
PCT/JP2022/012403

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01L 21/82(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i
FI: H01L27/04 H; H01L27/06 311B; H01L27/06 311A; H01L21/82 D; H01L27/04 P; H01L27/06 102A; H01L27/06 311

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01L21/82; H01L21/8234; H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０２２年 |
| 日本国実用新案登録公報 | １９９６－２０２２年 |
| 日本国登録実用新案公報 | １９９４－２０２２年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | US 2019/0304905 A1 (QUALCOMM INCORPORATED) 03.10.2019 (2019-10-03)<br>全文，全図 | 1-5 |
| A | JP 2010-147282 A (株式会社ルネサステクノロジ) 01.07.2010 (2010-07-01)<br>全文，全図 | 1-5 |
| A | JP 2007-150150 A (株式会社ルネサステクノロジ) 14.06.2007 (2007-06-14)<br>全文，全図 | 1-5 |
| A | JP 2020-178061 A (セイコーエプソン株式会社) 29.10.2020 (2020-10-29)<br>全文，全図 | 1-5 |
| A | WO 2019/163102 A1 (株式会社ソシオネクスト) 29.08.2019 (2019-08-29)<br>全文，全図 | 1-5 |
| A | JP 10-163433 A (日本電気株式会社) 19.06.1998 (1998-06-19)<br>全文，全図 | 1-5 |
| A | JP 2016-72349 A (ルネサスエレクトロニクス株式会社) 09.05.2016 (2016-05-09)<br>全文，全図 | 1-5 |

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 27.05.2022 | 07.06.2022 |

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
市川　武宜 5F 4056

電話番号 03-3581-1101 内線 3514

国際調査報告

| 国際出願番号 |
| --- |
| PCT/JP2022/012403 |

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
| --- | --- | --- |
| A | WO 2019/043888 A1（株式会社ソシオネクスト）07.03.2019（2019-03-07）<br>全文，全図 | 1-5 |

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/012403

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| US 2019/0304905 A1 | 03.10.2019 | WO 2019/190697 A1 | |
| | | TW 201946242 A | |
| JP 2010-147282 A | 01.07.2010 | TW 201029079 A | |
| JP 2007-150150 A | 14.06.2007 | US 2007/0120258 A1 | |
| | | CN 1976032 A | |
| | | KR 10-2007-0057053 A | |
| | | TW 200735277 A | |
| JP 2020-178061 A | 29.10.2020 | （ファミリーなし） | |
| WO 2019/163102 A1 | 29.08.2019 | US 2020/0381416 A1 | |
| JP 10-163433 A | 19.06.1998 | US 5923079 A | |
| | | CN 1184276 A | |
| | | TW 375839 B | |
| | | KR 10-1998-0042939 A | |
| JP 2016-72349 A | 09.05.2016 | US 2016/0094027 A1 | |
| | | CN 105470252 A | |
| WO 2019/043888 A1 | 07.03.2019 | US 2020/0203334 A1 | |
| | | CN 111033720 A | |