

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97128611

※ 申請日期：97.7.29

※IPC 分類：H03L 7/16 (2006.01)

一、發明名稱：(中文/英文)

鎖相迴路、壓控振盪器、以及相位頻率偵測器

Phase lock loop, voltage controlled oscillator and phase-frequency detector

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 聯發科技股份有限公司 / MediaTek Inc.

2. 國立台灣大學 / National Taiwan University

代表人：(中文/英文) 1. 蔡明介 / Ming-Kai Tsai 2. 李嗣涔 / Si-Chen Lee

住居所或營業所地址：(中文/英文)

1. 新竹科學工業園區新竹市篤行一路 1 號 / No. 1, Dusing Rd. 1st,
Science-Based Industrial Park, Hsin-Chu 300, Taiwan, R.O.C.

2. 台北市羅斯福路 4 段 1 號 / No.1, Sec.4, Roosevelt Road, Taipei, Taiwan
106

國籍：(中文/英文) 1. 中華民國 / TW 2. 中華民國 / TW

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 李致毅 / Jri LEE

2. 劉明忠 / Ming-Chung LIU

國籍：(中文/英文)

1. 中華民國 / TW

2. 中華民國 / TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2007/7/30、60/952,609

2. 美國(US)、2008/6/24、12/145,247

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電子電路，特別是有關於鎖相迴路(Phase Locked Loop, PLL)、壓控振盪器(Voltage Controlled Oscillator, VCO)、以及相位頻率偵測器(Phase-Frequency Detector, PFD)的電子電路。

【先前技術】

當元件尺寸越來越小，互補式金氧半(Complementary Metal Oxide Semiconductor, CMOS)元件可以達成更高的操作速度。因為縮小化的元件具有低功率消耗以及高電路整合的特性，並且伴隨著寬頻技術的改進，使得 CMOS 技術在實現超快速鎖相迴路電路上成為很有吸引力的選擇。

第 1 圖是習知鎖相迴路電路的方塊圖，包括相位頻率偵測器 10、電荷幫浦(charge pump)電路 12、壓控振盪器 14、以及除頻器 16。相位頻率偵測器 10 耦接電荷幫浦電路 12、再依序耦接壓控振盪器 14、除頻器 16、最後耦接回相位頻率偵測器 10，形成一迴圈。

相位頻率偵測器 10 比較 CK_{in} 和回授訊號，用以判定這兩個訊號之間的相位和頻率誤差，用以對電荷幫浦電路 12 進行充電或放電。電荷幫浦電路 12 所累積電荷則產生控制電壓，送到壓控振盪器 14，用以產生時脈訊號 CK_{out} 。除頻器 16 接收時脈訊號 CK_{out} 來進行除頻動

作，用以產生送到相位頻率偵測器 10 的回授訊號，用以進行相位及頻率偵測。

PLL 系統設計需要考慮許多因素，例如，PLL 電路的寄生電容可能會導致壓控振盪器或除頻器內的訊號出現頻率偏移，而讓 PLL 無法鎖住。參考訊號的突波也會在傳統電荷幫浦 PLL 電路上造成問題，其中在相位偵測器中進行脈波寬度的比較處理，導致在鄰近傳輸通道上出現干擾的問題。在傳統電荷幫浦 PLL 電路中，參考時脈穿透(clock feedthrough)效應會造成問題，過去已有許多方法用來降低參考訊號的突波，例如，利用電荷轉換技術將短暫的訊號突波(surge)打散在既定時間區間上、使用電流模式邏輯(current-mode logic, CML)的類比相位偵測器來減低信號擺動、利用互補型的電荷幫浦設計來平衡元件不匹配的問題、以及利用分散式相位偵測器來避免控制電壓的突發性變化。但是這些方法都無法完全消除突波，所以並沒有辦法完全地消除控制訊號的漣波現象。

因此，需要一種鎖相迴路、壓控振盪器、以及相位頻率偵測器，可以提供高速以及低雜訊的時脈訊號。

【發明內容】

有鑑於此，本發明提供一種鎖相迴路，包括一相位頻率偵測器、一迴路濾波器、一壓控振盪器、以及一三階段除頻器。相位頻率偵測器接收一參考訊號以及一回

授訊號，用以判定相位以及頻率誤差。迴路濾波器耦接上述相位頻率偵測器，對於上述相位以及頻率誤差進行濾波，產生控制電壓。壓控振盪器耦接上述迴路濾波器，根據上述控制電壓產生一壓控振盪(VCO)輸出訊號。三階段除頻器耦接上述壓控振盪器，對於上述壓控振盪輸出訊號進行三次除頻，用以產生上述回授訊號。

本發明另提供一種壓控振盪器，包括一傳輸線對以及一交連耦合電晶體對。傳輸線對具有一長度，其一端短路並且另一端開路，在上述開路端對一壓控振盪輸出訊號提供一初始壓控振盪波長。交連耦合電晶體對耦接到上述傳輸線對中距離短路端三分之一長度的位置。上述傳輸線對之長度是上述初始壓控振盪波長的四分之三。

本發明另提供一種相位頻率偵測器，包括一相位偵測器以及一頻率偵測器。相位偵測器接收一參考訊號以及一回授訊號的正交訊號對，包括一第一相位偵測(PD)乘法器、一第二相位偵測乘法器、一相位偵測加法器。頻率偵測器接收上述參考訊號以及上述回授訊號的正交訊號對，以及上述相位誤差，包括一第一頻率偵測(FD)乘法器、一第二頻率偵測乘法器、一頻率偵測加法器、以及一正反器。第一相位偵測乘法器將上述參考訊號的同相(in-phase)訊號和上述回授訊號的正交(quadrature)訊號相乘，產生一第一乘法輸出值。第二相位偵測乘法器將上述參考訊號的正交訊號和上述回授訊號的同相訊號

相乘，產生一第二乘法輸出值。相位偵測加法器耦接上述第一相位偵測乘法器以及上述第二相位偵測乘法器，將上述第一乘法輸出值和上述第二乘法輸出值之負值相加，產生上述相位誤差。第一頻率偵測乘法器將上述參考訊號的同相訊號和上述回授訊號的同相訊號相乘，產生一第三乘法輸出值。第二頻率偵測乘法器將上述參考訊號的正交訊號和上述回授訊號的正交訊號相乘，產生一第四乘法輸出值。該頻率偵測加法器耦接上述第一頻率偵測乘法器以及上述第二頻率偵測乘法器，將上述第三乘法輸出值和上述第四乘法輸出值相加，產生一單邊帶(SSB)輸出值。正反器耦接上述相位偵測加法器以及上述頻率偵測加法器，利用單邊帶輸出值鎖存(latch)上述相位誤差，用以產生上述頻率誤差。

【實施方式】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

第 2 圖顯示本發明實施例之鎖相迴路(Phase Locked Loop, PLL)的方塊圖，包括除 2 除法器 20、相位頻率偵測器 22、迴路濾波器 24、壓控振盪器 26、以及三階段除頻器 28。除 2 除法器 20 耦接相位頻率偵測器 22。相位頻率偵測器 22、迴路濾波器 24、壓控振盪器 26、以及三階段除頻器 28 耦接成一個迴圈。

鎖相迴路 2 是用來產生低訊號抖動 (jitter) 以及寬操作範圍的時脈訊號。除 2 除法器 20 提供正交的參考輸入訊號 $CK_{ref,i}$, $CK_{ref,q}$ 。相位頻率偵測器 22 接收參考訊號 $CK_{ref,i}$, $CK_{ref,q}$ 以及回授訊號 $CK_{div,i}$, $CK_{div,q}$ ，用以判定相位以及頻率誤差。迴路濾波器 24 接著對相位以及頻率誤差進行濾波，用以產生控制電壓 V_{ctrl} 。壓控振盪器 26 根據控制電壓 V_{ctrl} 產生 VCO 輸出訊號 CK_{out} 。三階段除頻器 28 將 VCO 輸出訊號 CK_{out} 的頻率進行三次除頻，用以產生回授訊號 $CK_{div,i}$, $CK_{div,q}$ 。

相位頻率偵測器 22 包括相位偵測器 (phase detector, PD) 220、頻率偵測器 (frequency detector, FD) 222、PD 電壓至電流轉換器 224、以及 FD 電壓至電流轉換器 226。相位頻率偵測器 22 可以由習知的電荷幫浦電路實現，或利用可以抑制參考信號穿透現象 (reference feedthrough) 的單邊帶混頻器 (single sideband, SSB) 以及低通濾波器。頻率偵測器 222 和 FD 電壓至電流轉換器 226 估算參考訊號 $CK_{ref,i}$, $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$, $CK_{div,q}$ 之間的頻率誤差，並且將頻率誤差訊號轉換為電流。必須注意的是當頻率鎖定時，頻率偵測器 222 和 FD 電壓至電流轉換器 226 都會關閉，用以減低對 VCO 的干擾。相位偵測器 220 和 PD 電壓至電流轉換器 224 估算參考訊號 $CK_{ref,i}$, $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$, $CK_{div,q}$ 之間的相位誤差，並且將相位誤差訊號轉換為電流，相位偵測器 220 和 PD 電壓至電流轉換器 224 在 PLL 運作時都會持續動作。頻率偵測器

222 和 FD 電壓至電流轉換器 226 對控制電壓 V_{ctrl} 進行主要的粗調節，而相位偵測器 220 和 PD 電壓至電流轉換器 224 提供對控制電壓 V_{ctrl} 的細調節。

迴路濾波器 24 包括電阻 R240 和 R242，以及電容 C240、C242 和 C244。迴路濾波器 24 由積體電路實現，用以減低經由金線 (bonding wire) 而產生的雜訊耦合 (noise coupling)。90 奈米製程的 9 層互連金屬層 (interconnect metal) 可以用於提供高密度的邊緣電容 (fringe capacitor)，藉此將迴路濾波器 24 的電路尺寸降低到 $100 \times 300 \mu\text{m}^2$ 。

三階段除頻器 28 包括注入鎖定除頻器 (injection locked divider) 280、米勒除頻器 (Miller divider) 282、以及靜態除頻器 (static divider) 284。注入鎖定除頻器 280 耦接米勒除頻器 282，然後耦接到靜態除頻器 284。三階段除頻器 28 對 VCO 輸出訊號 CK_{out} 進行三次除頻以導出回授訊號 $CK_{div,i}$ ， $CK_{div,q}$ 。為了在輸入頻率以及操作範圍之間取一個平衡點，三階段除頻器 28 中使用了多種除頻器類型。大致說來，注入鎖定除頻器由於電路構造簡單，所以可以提供最高的操作頻率，但是鎖定範圍最窄。另一方面，靜態除頻器提供相對較寬的操作範圍，但僅止於低頻率範圍內。米勒除頻器也可稱為再生式除頻器 (regenerative divider)，特性上是在注入鎖定除頻器以及靜態除頻器之間，產生的輸出信號是在相對中間的頻率並且具有中等程度的鎖定範圍。因此將這 3 種除頻器以

操作頻率的下降順序串聯(cascade)，即，注入鎖定除頻器、米勒除頻器、以及靜態除頻器，用以對回授訊號提供低的操作頻率以及寬的鎖定範圍。

參考第 3a 圖，第 3a 圖顯示除頻頻率和每個除頻階段所需鎖定範圍之間的關係。每個除頻器具有和 VCO 調頻範圍同寬的操作範圍，每個除頻階段以 VCO 輸出頻率 f_0 為中心的鎖定範圍進行。標準化(normalized)的鎖定範圍隨著除頻數而增加，因此除 8 的除頻階段所需鎖定範圍至少是 8 倍的 VCO 輸出訊號 CK_{out} 鎖定範圍。另外，考慮到製程/電壓/溫度(process, voltage, and temperature, PVT)的變化以及繞線(routing)寄生阻抗，電路會以兩倍的鎖定範圍來設計，其中 PVT 變化以及繞線寄生阻抗都會使 VCO 輸出訊號 CK_{out} 產生頻率偏移。例如， $20\mu\text{m}$ 金屬層 4 的繞線路徑相當於 $1\sim 2\text{fF}$ 的寄生電容，會使得第一除頻接段的中央頻率從目標鎖定範圍偏移 300-500 MHz。

第 3b 圖顯示對應於不同種類除頻器之操作範圍和輸入頻率 f_0 之間的關係。注入鎖定除頻器、米勒除頻器、以及靜態除頻器可以提供的操作範圍是輸入頻率 f_0 的 5%, 25%, and 150%。換言之，米勒除頻器以及靜態除頻器比注入鎖定除頻器提供更有彈性的操作範圍，因此三階段除頻器 28 將米勒除頻器以及靜態除頻器使用在最後兩個除頻階段。注入鎖定除頻器 280、米勒除頻器 282、和靜態除頻器 284 是以電流模式邏輯(current mode logic, CML)來實現，藉此降低功率消耗。三階段除頻器 28 也可以另

外在米勒除頻器 282 和靜態除頻器 284 之間插入 AB 類 (class AB) 的靜態 CML 除頻器 (第 1 圖未圖示)，藉由移除拖尾電流 (tail current) 以及使用閘邏輯 (gate) 控制電路切換，加速除頻動作。

第 4a 圖顯示本發明實施例之壓控振盪器的電路圖，可適用於第 2 圖中，包括電流源 I_{40} 、傳輸線對 (transmission line pair) L_{40} 、交連耦合的電晶體對 (cross-coupled transistor pair) M_{40} 、電晶體 M_{42} 和 M_{44} 。電流源 I_{40} 耦接傳輸線對 L_{40} 、交連耦合的電晶體對 M_{40} 、其後耦接到電晶體 M_{42} 和 M_{44} 。

不論此”振盪管”(oscillating tube) 是否為傳輸線，傳輸線對 L_{40} 都可以模擬為短路 $1/4$ 波長 ($\lambda/4$) 的共振器 (resonator)。壓控振盪器在一頻率振盪，使得此頻率的波長是傳輸線等效長度 L 之 4 倍，使得耦接到端點 A 和 A' 的交連耦合電晶體對 M_{40} 具有最大擺動幅度 (swing)。電晶體 M_{42} 作為可變電容，根據 V_{ctrl} 改變其電容值以及 VCO 輸出訊號 CK_{out} 的 VCO 輸出頻率 f_0 。電晶體 M_{44} 做為一緩衝器，提供 VCO 輸出訊號 CK_{out} 到外部電路以及回授路徑。在第 4a 圖中的交連耦合電晶體對 M_{40} 、電晶體 M_{42} 和電晶體 M_{44} 的元件尺寸 (寬長比) 分別是 $8/0.1$ 、 $2/0.1$ 以及 $6/0.1$ 。當 VCO 輸出頻率 f_0 增加時，電晶體 M_{42} 、電晶體 M_{44} 、以及除頻器 (未圖示) 的負載 (loading) 相較於交連耦合電晶體對的負載來得大，因此會限制住 VCO 輸出頻率 f_0 的最大頻率。第 4b 圖顯示採用第 4a 圖的壓控振盪

器時，控制電壓 V_{ctrl} 和 VCO 輸出訊號 CK_{out} 的輸出頻率之間的關係。使用其所提供之電晶體元件尺寸，壓控振盪器電路的最大輸出頻率只有大約 46GHz。這裡使用的是最小電晶體元件尺寸，電路更加縮小化會導致擺動幅度明顯地惡化。

第 5a 圖顯示本發明實施例之另一壓控振盪器的電路圖，包括電流源 I_{40} 、傳輸線對 L_{50} 、交連耦合的電晶體對 M_{40} 、電晶體 M_{42} 和 M_{44} 。電流源 I_{40} 耦接傳輸線對 L_{50} 、交連耦合的電晶體對 M_{40} 、然後耦接到電晶體 M_{42} 和 M_{44} 。

為了解決第 4a 圖中的負載問題以及增加壓控振盪器的 VCO 輸出頻率，所以此處採用具有等效長度為 VCO 輸出訊號之 $3/4$ 波長的傳輸線，將負載分散並且增加 VCO 輸出頻率。傳輸線對 L_{50} 具有等效長度 $3L$ ，每條傳輸線之一端短路 (short-circuited) 並且另一端開路 (open-circuited)，提供具有初始 VCO 波長的 VCO 輸出訊號 CK_{out} ，使得傳輸線對的等效長度 $3L$ 是初始 VCO 波長的 $3/4$ 。交連耦合的電晶體對 M_{40} 耦接到距離短路端為長度 $3L$ 之 $1/3$ 的位置。電晶體 M_{42} 耦接到傳輸線對 L_{50} 的開路端，根據控制電壓 V_{ctrl} ，將 VCO 輸出訊號 CK_{out} 的初始 VCO 波長調整為輸出 VCO 波長。

交連耦合的電晶體對 M_{40} 提供負的電阻值以補償傳輸線對 L_{50} 的能量損失。交連耦合的電晶體對 M_{40} 驅動傳輸線對 L_{50} ，以便在端點 A 和 A' 提供峰值擺動幅度。端點 A 和 A' 上的差動訊號會沿著傳輸線對 L_{50} 傳遞，並且

在開路端反射，形成在端點 B 和 B' 的峰值擺動幅度。在端點 A 和 B(以及端點 A' 和 B') 的波形具有 180° 的相位差。電晶體 M_{42} 、緩衝器 M_{44} 、以及除頻器(未圖示)的負載由端點 A 和 A' 被移除，使得其 VCO 輸出頻率在和第 4a 圖相同的元件尺的情況下，可以驅動到約 75GHz，因此增加 VCO 輸出頻率而沒有額外功率損耗。第 5b 圖顯示採用第 5a 圖的壓控振盪器時，控制電壓 V_{ctrl} 和 VCO 輸出訊號 CK_{out} 的輸出頻率之間的關係。當控制電壓 V_{ctrl} 從 0 增加到 1.5V 時，VCO 輸出頻率從 74GHz 增加到 74.5GHz。

雖然電晶體 M_{42} 耦接端點 B 和 B'，交連耦合的電晶體對 M_{40} 還是可以經由傳輸線的 $2L$ 長度察覺到在遠端的負載變化。因為共振頻率(VCO 初始頻率)是由第一段三分之一傳輸線的電感以及端點 A 和 A' 的等效電容所決定，壓控振盪器的調頻具有幾乎線性增加的特性，類似於習知的電感電容式(LC tank)壓控振盪器。此外也製作了以上揭露具有相同電路結構的獨立壓控振盪器進行驗證。由此獨立的壓控振盪器所得之測量結果顯示當控制電壓 V_{ctrl} 為 1.2V 時 VCO 輸出頻率會穩定增加 800MHz。

為了得到高 Q 因數以及緊實的電路佈局，傳輸線由 3 個完全相同之電感串聯所實現。第 6 圖顯示第 5a 圖中傳輸線之接地屏蔽(ground shield)的佈局圖。兩層的接地屏蔽包括複晶矽層 Poly 和金屬層 M_1 ，複晶矽層 Poly 和金屬層 M_1 交互放置於螺旋體 Spiral(即傳輸線)之下。因

為螺旋體 Spiral 和基底(substrate)之間的空格被填滿，所以電場被限制於螺旋體 Spiral 和屏蔽之間，減少到基底的電容性耦合以及增加電感的 Q 因數。模擬顯示壓控振盪器之電感的 Q 因數在 75GHz 時是 16。

第 7a 圖顯示本發明實施例之另一壓控振盪器的電路圖，包括偏壓電路 70a、電晶體 M_{70} 和 M_{72} 、傳輸線對 L_{50} 以及交連耦合的電晶體對 M_{40} 。偏壓電路 70a 耦接電晶體 M_{70} 、電晶體 M_{72} 、傳輸線對 L_{50} 、接著耦接交連耦合的電晶體對 M_{40} 。

為了抑制來自電力線的耦合，壓控振盪器是由偏壓電路 70a 進行偏壓。偏壓電路 70a 包括電晶體 M_{700} 、 M_{702} 、 M_{704} 和 M_{706} ，以及電阻 R_S 。電晶體 M_{700} 和 M_{702} 以及電晶體 M_{704} 和 M_{706} 是電流鏡電路，從電晶體 M_{700} 到 M_{706} 以及電晶體 M_{70} 通過的汲極電流只由其元件尺寸所決定，和供應電壓 V_{DD} 不相關。實施例中加入電晶體 M_{72} 是用來吸收電晶體 M_{70} 受到通道長度調變效應(channel-length modulation)影響而產生的額外電流變動，藉此降低來自供應電源的雜訊。藉由適當的元件尺寸，可以得到以下關係式：

$$\left| \frac{\delta I_{ss}}{\delta V_{DD}} \right| = \left| \frac{\delta I_c}{\delta V_{DD}} \right| \quad (1)$$

其中 V_{DD} 是供應電壓， I_{ss} 是電晶體 M_{70} 的汲極電流，以及 I_c 是電晶體 M_{72} 的汲極電流。第 7b 圖顯示供應電壓 V_{DD} 以及汲極電流 I_{ss} 和 I_c 之間的關係。由第 7b 圖可以觀察出當供應電壓 V_{DD} 改變時，汲極電流 I_{ss} 和 I_c 具

有相同的斜率，因此 I_{ss} 內的通道長度調變效應電流可以由 I_c 補償，其餘流過傳輸線的電流會維持固定，VCO 共振頻率便會對供應電源的擾動比較不敏感，如同第 7c 圖所示。第 7c 圖顯示供應電壓 V_{DD} 以及第 7a 圖中壓控振盪器的振盪頻率之間的關係。補償電晶體 M_{72} 的功率消耗可以控制在 20-30% 以下。

第 8 圖顯示本發明實施例之另一壓控振盪器的電路圖，包括偏壓電路 70、壓控振盪器 80、除頻器 82、電感 L_{80} 、電阻 R_{80} 、緩衝器電晶體 M_{80} 和 M_{82} 、以及補償電感 L_R 。

偏壓電路 70 和壓控振盪器 80 的電路已在第 5a 圖和第 7a 圖中說明，因此此處不再重複。交連耦合的電晶體對 M_{800} 建立一自然偏壓，讓壓控振盪器 80 能夠與外部電路或回授路徑進行直流耦合。除頻器 82 是第一除頻階段，由注入鎖定除頻器來實現。兩個完全相同的除頻器 82 用於維持電路對稱性，其中之一產生到第二除頻階段的 37.5GHz VCO 輸出訊號 CK_{out} ，另一個提供一半速率的時脈輸出作為測試功能使用。實施例中電晶體 M_{80} 需要謹慎的佈局，以便提供端點 B 和 B' 之間負載的平衡。電路中加入補償電感 L_R 來抵銷寄生電容，因此可以經由轉換放大器(transducer amplifier)的電晶體 M_{82} 允許較強的訊號注入。

第 9 圖顯示本發明實施例之一相位頻率偵測器的方塊圖，包括相位頻率偵測電路 22、迴路濾波器 90、磁滯

緩衝器(Hysteresis buffer)92、和正反器 94。相位頻率偵測電路 22 耦接迴路濾波器 90、磁滯緩衝器 92、最後耦接正反器 94。

相位頻率偵測器使用單邊帶(single sideband, SSB)混頻器以實現參考訊號 $CK_{ref,i}$ 、 $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$ 、 $CK_{div,q}$ 之間的相位及頻率偵測，以及提供相位誤差訊號 $V_{PD}(=V_1)$ 和頻率誤差信號 $V_{FD}(=V_2)$ ，控制控制電壓 V_{ctrl} 用以調整壓控振盪器的輸出頻率，藉此減少相位以及頻率誤差。在此實施例中，相位及頻率偵測功能是整合在單一電路中，用以減低電路複雜度、電路尺寸以及製造成本。單邊帶的方式可以減低參考訊號突波的訊號干擾，如第 1 圖所示之相位頻率偵測器中電荷幫浦電路的情況。

第 10a 圖顯示第 9 圖中一相位偵測器的方塊圖，包括混頻器 1000 和 1002 以及加法器 1004。混頻器 1000 和混頻器 1002 耦接到加法器 1004，產生相位誤差訊號 V_{PD} 。

相位偵測器 220 是一種單邊帶混頻器，其中混頻器 1000 將參考訊號的同相(in-phase)訊號 $CK_{ref,i}$ 和回授訊號的正交(quadrature)訊號 $CK_{div,q}$ 相乘，產生第一乘法輸出值；混頻器 1002 將參考訊號的正交訊號 $CK_{ref,q}$ 和回授訊號的同相訊號 $CK_{div,i}$ 相乘，產生第二乘法輸出值。加法器 1004 將第一乘法輸出值和第二乘法輸出值之負值相加，產生相位誤差訊號 V_{PD} 。

為了避免產生參考突波的開/關脈波，相位偵測是利

用參考訊號和回授訊號的正交(orthogonal)成分進行混頻的方式進行。單邊帶混頻器用於抽出參考訊號和回授訊號間的相位誤差，產生相位誤差訊號 V_{PD} ，其與參考訊號和回授訊號間實際相位誤差 θ 間有正弦函數關係。第 10b 圖顯示在第 10a 圖的相位偵測器中，相位誤差訊號 V_{PD} 和相位誤差 θ 之間的關係。參考第 10b 圖，由於在原點附近，此波形特性近似於線性關係，因此可以根據相位誤差訊號 V_{PD} 運算出相位誤差 θ 。利用第 10a 圖的相位偵測器以及第 10b 圖的關係，在相位偵測時不需要產生脈波，使得相位測量較平穩，同時大幅減低參考突波。

接著，PD 電壓至電流轉換器 224 取得相位誤差 θ ，依比例轉換電流，輸出正或負轉換後之相位誤差電流到迴路濾波器 24，迴路濾波器 24 則對應地產生控制電壓 V_{ctrl} 。由於相位偵測器 220 產生參考訊號和回授訊號間的補償值來補償偏移量，使得 PD 電壓至電流轉換器 224 內沒有電流不平衡的問題。

在電路不匹配(mismatch)的情況下，在參考訊號 $CK_{ref,i}$ ， $CK_{ref,p}$ 的兩倍參考頻率上會觀察到特定的諧波訊號，因此實施例中插入低通濾波器用以抑制諧波訊號。第 10c 圖顯示本發明實施例之一相位偵測器的的電路圖，可以抑制諧波訊號，其包括混頻器 1000、混頻器 1002、電阻 R、和電容 C。第 10c 圖的相位偵測器在單邊帶混頻器加上電阻電容網路，例如， $R=600\Omega$ ， $C=32pF$ ，產生 8.3MHz 的角頻率(corner frequency)，並且將諧波訊

號降低至少 40dB。低通濾波器對整個迴路頻寬只有些微影響，並且在大約 2-3 MHz 運作。第 10c 圖的相位偵測器產生 $15\mu\text{V}$ 的最小漣波。

第 11 圖顯示第 9 圖之一頻率偵測器的方塊圖，包括混頻器 1100、混頻器 1102、混頻器 1104、混頻器 1106、加法器 1108、和加法器 1110。混頻器 1100 和混頻器 1102 耦接到加法器 1108。混頻器 1104 和混頻器 1106 耦接到加法器 1110。

混頻器 1100 將參考訊號的同相訊號和回授訊號的正交訊號相乘，產生第一乘法輸出值。混頻器 1102 將參考訊號的正交訊號和回授訊號的同相訊號相乘，產生第二乘法輸出值。加法器 1108 將上述第一乘法輸出值和上述第二乘法輸出值之負值相加，產生第一 SSB 輸出值 V_{PD} 。混頻器 1104 將參考訊號的同相訊號和回授訊號的同相訊號相乘，產生第三乘法輸出值。混頻器 1106 將參考訊號的正交訊號和回授訊號的正交訊號相乘，產生第四乘法輸出值。加法器 1110 將第三乘法輸出值和第四乘法輸出值相加，產生第二 SSB 輸出值 V_2 。一正反器可用以耦接加法器 1108 和加法器 1110，將第一 SSB 輸出值 V_{PD} 用第二 SSB 輸出值 V_2 鎖存(latch)，用以產生頻率誤差 V_{FD} 。

頻率偵測器 222 由兩個單邊帶混頻器所組成。第一 SSB 輸出值 V_{PD} 也可以用於相位偵測器 220 的相位偵測訊號。第一 SSB 輸出值 V_{PD} 和第二 SSB 輸出值 V_2 在具

有 $\Delta\omega_{in}$ 的情況下互為正交(orthogonal):

$$V_{PD} = kA_1A_2\sin(\Delta\omega_{in}t+\theta) \quad (2)$$

$$V_2 = kA_1A_2\cos(\Delta\omega_{in}t+\theta) \quad (3)$$

其中 $\Delta\omega_{in}$ 是參考訊號 $CK_{ref,i}$ ， $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$ ， $CK_{div,q}$ 之間的頻率差值， k 是單邊帶混頻器的混頻器增益， A_1 是參考訊號 $CK_{ref,i}$ ， $CK_{ref,q}$ 的振幅， A_2 是回授訊號 $CK_{div,i}$ ， $CK_{div,q}$ 的振幅， θ 是相位誤差。第一 SSB 輸出值 V_{PD} 是否領先或落後第二 SSB 輸出值 V_2 ，是由 $\Delta\omega_{in}$ 的正負號所決定。正反器利用第二 SSB 輸出值 V_2 鎖存第一 SSB 輸出值 V_{PD} ，用以取樣第一 SSB 輸出值 V_{PD} ，以獲得 $\Delta\omega_{in}$ 的正負號。根據正反器的輸出，FD 電壓至電流轉換器 226 正或負的頻率偵測電流注入到迴路濾波器 24。頻率偵測電流會比 PD 電壓至電流轉換器 224 之峰值電流大 3 倍，以便提供平穩的頻率取樣。為了減低控制電壓 V_{ctrl} 的擾動，藉由將訊號 ENFD 施加到 FD 電壓至電流轉換器 226 上，使得頻率偵測器 222 和 FD 電壓至電流轉換器 226 具有自動關閉的功能。在頻率鎖住後，停止頻率偵測器 222 和 FD 電壓至電流轉換器 226 的功能，可以減低功率損耗以及增加訊號穩定度。

當參考訊號 $CK_{ref,i}$ ， $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$ ， $CK_{div,q}$ 的頻率很接近時，正弦波形的第一 SSB 輸出值 V_{PD} 和第二 SSB 輸出值 V_2 會變化的很慢。這是因為當迴圈接近鎖住時，參考訊號 $CK_{ref,i}$ ， $CK_{ref,q}$ 和回授訊號 $CK_{div,i}$ ， $CK_{div,q}$ 的轉換動作都會變得非常緩慢。此時由不需要的

電路耦合以及加入性雜訊所產生的暫時波動，則可能讓波形的轉換變得不明確，使得正反器的輸出產生多個錯誤的零交越值(zero crossing)。為了解決這個問題，實施例中使用磁滯緩衝器(Hysteresis buffer)來使得波形更明確。第 12a 圖顯示第 9 圖中一磁滯緩衝器的電路圖，包括交連耦合的電晶體對 M_{1200} 、 M_{1202} 、電阻 R 、以及電流源 I_{SS1} 和 I_{SS2} 。電晶體對 M_{1202} 對於低至高轉換階段 LH 和高至低轉換階段 HL 提供不同的切換臨界值，並且正回授也可以協助形成方波。在實施例中，元件的寬長比是 $(W/L)_{M1200} = (W/L)_{M1202} = 8/0.25$ ，並且第 12b 圖中提供了 46mV 的臨界值差值。第 12b 圖則顯示第 10a 圖中的相位偵測器之輸入電壓以及輸出電壓之間的關係。

第 11 圖中之頻率偵測器 222 可以更包括第一及第二磁滯緩衝器。第一磁滯緩衝器耦接 PD 加法器 1108 以及上述正反器，當相位誤差 θ 超過第一低至高臨界值時，輸出高準位電壓至正反器的資料埠(data port)，以及當相位誤差 θ 小於或等於第一高至低臨界值時，輸出低準位電壓至上述正反器的上述資料埠。第一低至高臨界值超過第一高至低臨界值。第二磁滯緩衝器耦接 FD 加法器 1110 以及正反器，當頻率誤差超過第二低至高臨界值時，輸出高準位電壓至上述正反器的時脈埠(clock port)，以及當頻率誤差小於或等於第二高至低臨界值時，輸出低準位電壓至上述正反器的上述時脈埠。第二低至高臨界值超過第二高至低臨界值。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖是習知鎖相迴路電路的方塊圖。

第 2 圖顯示本發明實施例之鎖相迴路電路的方塊圖。

第 3a 圖顯示除頻頻率和每個除頻階段所需鎖定範圍之間的關係圖。

第 3b 圖顯示對應於不同類型的除頻器之操作範圍和 VCO 輸出頻率 f_o 之間的關係圖。

第 4a 圖顯示在第 2 圖中本發明實施例之壓控振盪器的電路圖。

第 4b 圖顯示在第 4a 圖的壓控振盪器中，控制電壓 V_{ctrl} 和 VCO 輸出訊號 CK_{out} 的輸出頻率之間的關係圖。

第 5a 圖顯示本發明實施例之另一壓控振盪器的電路圖。

第 5b 圖顯示在第 5a 圖的壓控振盪器中，控制電壓 V_{ctrl} 和 VCO 輸出訊號 CK_{out} 的輸出頻率之間的關係圖。

第 6 圖顯示第 5a 圖中傳輸線之接地屏蔽(ground shield)的佈局圖。

第 7a 圖顯示本發明實施例之另一壓控振盪器的電路圖。

第 7b 圖顯示在第 7a 圖的壓控振盪器中，供應電壓 V_{DD} 以及汲極電流 I_{ss} 和 I_c 之間的關係圖。

第 7c 圖顯示供應電壓 V_{DD} 以及第 7a 圖中壓控振盪器的振盪頻率之間的關係圖。

第 8 圖顯示本發明實施例之另一壓控振盪器的電路圖。

第 9 圖顯示本發明實施例之一相位頻率偵測器的電路圖。

第 10a 圖顯示第 9 圖中相位偵測器的方塊圖。

第 10b 圖顯示在第 10a 圖的相位偵測器中，相位偵測訊號 V_{PD} 和相位誤差 θ 之間的關係。

第 10c 圖顯示第 10a 圖之相位偵測器的電路圖。

第 11 圖顯示第 9 圖中頻率偵測器的方塊圖。

第 12a 圖顯示第 9 圖中磁滯緩衝器的電路圖。

第 12b 圖顯示在第 10a 圖之相位偵測器中，輸入電壓和輸出電壓之間的關係圖。

【主要元件符號說明】

- | | |
|-------------|-------------|
| 10~相位頻率偵測器； | 12~電荷幫浦電路； |
| 14~壓控振盪器； | 16~除頻器； |
| 20~除 2 除法器； | 22~相位頻率偵測器； |
| 24~迴路濾波器； | 26~壓控振盪器； |

- 28~三階段除頻器； 280~注入鎖定除頻器；
282~米勒除頻器； 284~靜態除頻器；
220~相位偵測器； 222~頻率偵測器；
224~PD 電壓至電流轉換器；
226~FD 電壓至電流轉換器；
70a~偏壓電路； 70~偏壓電路；
80~壓控振盪器； 82~除頻器；
92~磁滯緩衝器；
220a、220b、220c、220d、1000、1002、1100、1102、
1104、1106~混頻器；
2208、2210、1004、1108、1110~加法器；
90~低通濾波器； 94~正反器。

五、中文發明摘要：

一種鎖相迴路、壓控振盪器、以及相位頻率偵測器。此鎖相迴路包括一相位頻率偵測器、一迴路濾波器、一壓控振盪器以及一三階段除頻器。相位頻率偵測器接收一參考訊號以及一回授訊號，用以判定相位以及頻率誤差。迴路濾波器耦接上述相位頻率偵測器，用以濾除上述相位以及頻率誤差，產生控制電壓。壓控振盪器耦接上述迴路濾波器，根據上述控制電壓產生一壓控振盪輸出訊號。三階段除頻器耦接上述壓控振盪器，對於上述壓控振盪輸出訊號進行三次除頻，用以產生上述回授訊號。

六、英文發明摘要：

A phase locked loop, voltage controlled oscillator, and phase-frequency detector are provided. The phase locked loop comprises a phase-frequency detector (PFD), a loop filter (LF), a voltage controlled oscillator (VCO), and a 3-stage frequency divider. The PFD receives a reference signal and a feedback signal to determine phase and frequency errors. The LF, coupled to the phase-frequency detector, filters the phase and frequency errors to generate a control voltage. The VCO, coupled to the loop filter, generates a VCO output signal according to the control voltage. The 3-stage frequency divider, coupled to the voltage controlled oscillator, divides the frequency of the VCO output signal 3 times to generate the feedback signal.

十、申請專利範圍：

1.一種鎖相迴路，包括：

一相位頻率偵測器（phase-frequency detector, PFD），接收一參考訊號以及一回授訊號，用以判定相位以及頻率誤差；

一迴路濾波器，耦接上述相位頻率偵測器，對於上述相位以及頻率誤差進行濾波，用以產生一控制電壓；

一壓控振盪器，耦接上述迴路濾波器，根據上述控制電壓產生一壓控振盪輸出訊號；以及

一三階段除頻器(3-stage frequency divider)，耦接上述壓控振盪器，將上述壓控振盪輸出訊號進行三次除頻，以產生上述回授訊號。

2.如申請專利範圍第 1 項所述之鎖相迴路，其中上述三階段除頻器包括依序耦接之一注入鎖定除頻器(injection locked divider)、一米勒除頻器(Miller divider)和一靜態除頻器(static divider)。

3.如申請專利範圍第 1 項所述之鎖相迴路，其中上述壓控振盪器包括：

一傳輸線對，具有一長度，該傳輸線對其一端短路並且另一端開路(open-circuited)，對上述壓控振盪輸出訊號提供一初始壓控振盪波長；

一交連耦合電晶體對，耦接到上述傳輸線對中距短路端三分之一長度之位置；以及

一可變電容，耦接上述傳輸線對之開路端，根據一

控制電壓調整上述初始壓控振盪波長來獲得一最終壓控振盪波長，其中上述傳輸線對之長度是上述初始壓控振盪波長的四分之三。

4.如申請專利範圍第 3 項所述之鎖相迴路，其中上述壓控振盪器更包括：

一偏壓電路，提供一偏壓，其與上述壓控振盪器之一供應電壓不相關；

一主動負載，耦接上述偏壓電路以及上述傳輸線對，接收上述偏壓用以提供一供應電流至上述傳輸線對，上述供應電流與上述供應電壓不相關；以及

一電晶體，耦接上述主動負載以及上述傳輸線對，對上述供應電流因為通道長度調變效應(channel-length modulation)而產生的變化進行補償，用以產生一補償電流。

5.如申請專利範圍第 3 項所述之鎖相迴路，其中上述可變電容是金氧半電晶體，具有一閘極、一汲極以及一源極，上述閘極耦接上述傳輸線對之開路端，上述汲極與上述源極互連並且接收上述控制電壓。

6.如申請專利範圍第 1 項所述之鎖相迴路，其中上述參考電壓以及上述回授訊號具有正交(orthogonal)訊號對，以及上述相位及頻率偵測器包括一相位偵測器，接收上述參考訊號以及上述回授訊號的正交訊號對，上述相位偵測器包括：

一第一相位偵測乘法器，將上述參考訊號的同相

(in-phase)訊號和上述回授訊號的正交(quadrature)訊號相乘，產生一第一乘法輸出值；

一第二相位偵測乘法器，將上述參考訊號的正交訊號和上述回授訊號的同相訊號相乘，產生一第二乘法輸出值；以及

一相位偵測加法器，耦接上述第一相位偵測乘法器以及上述第二相位偵測乘法器，將上述第一乘法輸出值和上述第二乘法輸出值的負值相加，產生上述相位誤差。

7.如申請專利範圍第1項所述之鎖相迴路，其中上述參考訊號以及上述回授訊號具有正交訊號對，以及上述相位頻率偵測器包括一頻率偵測器，該頻率偵測器接收上述參考訊號以及上述回授訊號的正交訊號對，上述頻率偵測器包括：

一第一頻率偵測乘法器，將上述參考訊號的同相訊號和上述回授訊號的正交訊號相乘，產生一第一乘法輸出值；

一第二頻率偵測乘法器，將上述參考訊號的正交訊號和上述回授訊號的同相訊號相乘，產生一第二乘法輸出值；

一第一頻率偵測加法器，耦接上述第一頻率偵測乘法器以及上述第二頻率偵測乘法器，將上述第一乘法輸出值和上述第二乘法輸出值之負值相加，產生一第一單邊帶輸出值；

一第三頻率偵測乘法器，將上述參考訊號的同相訊

號和上述回授訊號的同相訊號相乘，產生一第三乘法輸出值；

一第四頻率偵測乘法器，將上述參考訊號的正交訊號和上述回授訊號的正交訊號相乘，產生一第四乘法輸出值；

一第二頻率偵測加法器，耦接上述第三頻率偵測乘法器以及上述第四頻率偵測乘法器，將上述第三乘法輸出值和上述第四乘法輸出值相加，產生一第二單邊帶輸出值；以及

一正反器，耦接上述第一頻率偵測加法器以及上述第二頻率偵測加法器，利用第二單邊帶輸出值鎖存上述第一單邊帶輸出值，用以產生上述頻率誤差。

8.一種壓控振盪器，包括：

一傳輸線對，具有一長度，該傳輸線對其一端短路並且另一端開路，在上述開路端對一壓控振盪輸出訊號提供一初始壓控振盪波長；

一交連耦合電晶體對，耦接到上述傳輸線對中距離短路端三分之一長度的位置；以及

其中上述傳輸線對之長度是上述初始壓控振盪波長的四分之三。

9.如申請專利範圍第 8 項所述之壓控振盪器，更包括一可變電容，耦接上述傳輸線對之開路端，根據一控制電壓調整上述初始壓控振盪波長來獲得一最終壓控振盪波長。

10.如申請專利範圍第9項所述之壓控振盪器，其中上述可變電容是金氧半電晶體，具有一閘極、一汲極以及一源極，上述閘極耦接上述傳輸線對之開路端，上述汲極與上述源極互連並且接收上述控制電壓。

11.如申請專利範圍第8項所述之壓控振盪器，更包括：

一偏壓電路，提供一偏壓，其與上述壓控振盪器之一供應電壓不相關；

一主動負載，耦接上述偏壓電路以及上述傳輸線對，接收上述偏壓用以提供一供應電流至上述傳輸線對，上述供應電流與上述供應電壓不相關；以及

一電晶體，耦接上述主動負載以及上述傳輸線對，對上述供應電流因為通道長度調變效應(channel-length modulation)而產生的變化進行補償，用以產生一補償電流。

12.一種相位頻率偵測器，包括：

一相位偵測器，接收一參考訊號以及一回授訊號的正交訊號對，包括：

一第一相位偵測乘法器，將上述參考訊號的同相(in-phase)訊號和上述回授訊號的正交(quadrature)訊號相乘，產生一第一乘法輸出值；

一第二相位偵測乘法器，將上述參考訊號的正交訊號和上述回授訊號的同相訊號相乘，產生一第二乘法輸出值；以及

一相位偵測加法器，耦接上述第一相位偵測乘法器以及上述第二相位偵測乘法器，將上述第一乘法輸出值和上述第二乘法輸出值之負值相加，產生一相位誤差；以及

一頻率偵測器，接收上述參考訊號以及上述回授訊號的正交訊號對和上述相位誤差，上述頻率偵測器包括：

一第一頻率偵測乘法器，將上述參考訊號的同相訊號和上述回授訊號的同相訊號相乘，產生一第三乘法輸出值；

一第二頻率偵測乘法器，將上述參考訊號的正交訊號和上述回授訊號的正交訊號相乘，產生一第四乘法輸出值；

一頻率偵測加法器，耦接上述第一頻率偵測乘法器以及上述第二頻率偵測乘法器，將上述第三乘法輸出值和上述第四乘法輸出值相加，用以產生一單邊帶輸出值；以及

一正反器，耦接上述 PD 加法器以及上述 FD 加法器，利用單邊帶輸出值鎖存上述相位誤差，用以產生一頻率誤差。

13.如申請專利範圍第 12 項所述之相位頻率偵測器，更包括：

一第一磁滯緩衝器(Hysteresis buffer)，耦接上述相位偵測加法器以及上述正反器，當上述相位誤差超過一第一低至高臨界值時，輸出高準位電壓至上述正反器的

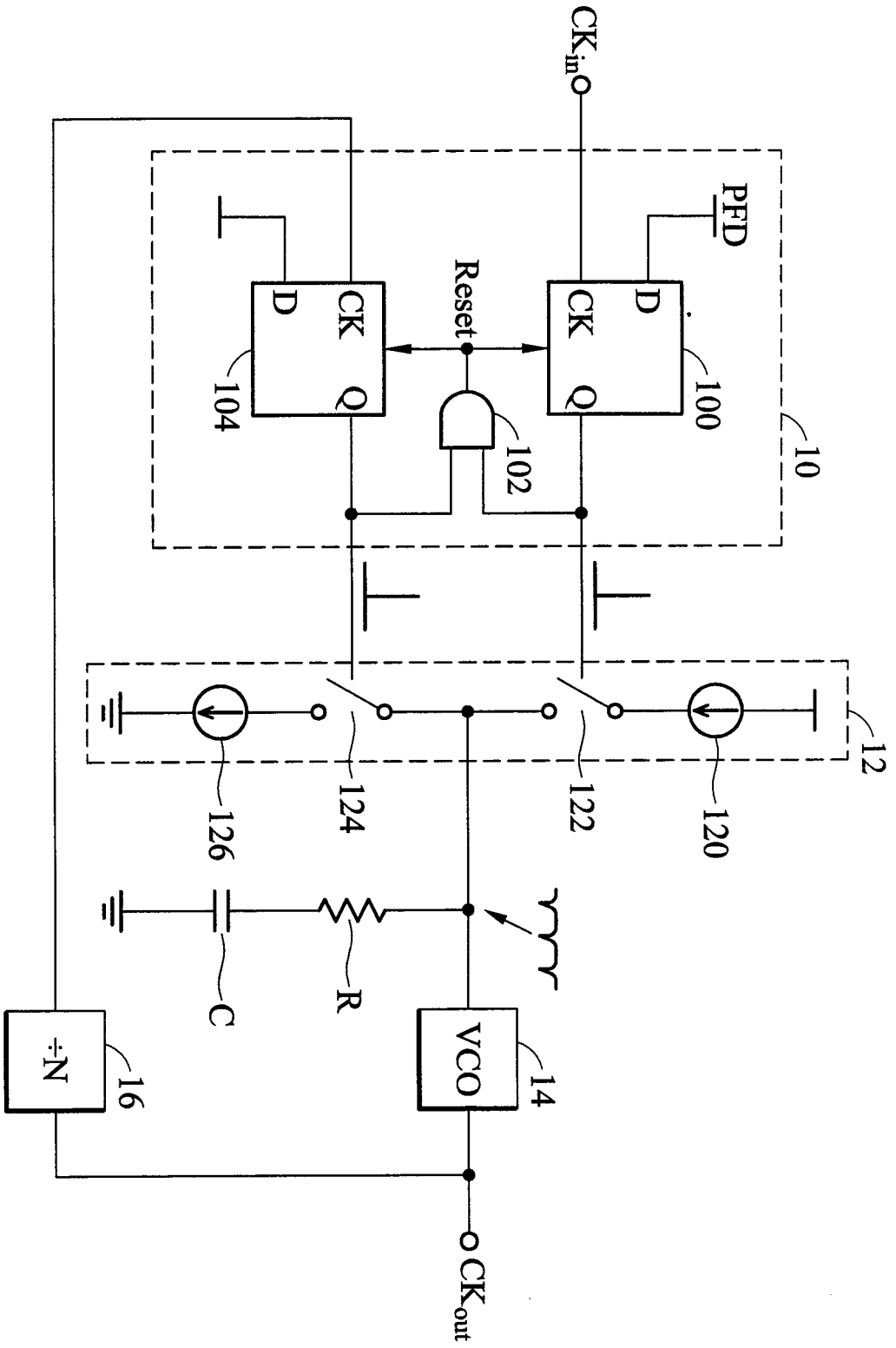
資料埠(data port)，以及當上述相位誤差小於或等於一第一高至低臨界值時，輸出低準位電壓至上述正反器的上述資料埠；以及

一第二磁滯緩衝器，耦接上述頻率偵測加法器以及上述正反器，當上述頻率誤差超過一第二低至高臨界值時，輸出高準位電壓至上述正反器的時脈埠(clock port)，以及當上述頻率誤差小於或等於一第二高至低臨界值時，輸出低準位電壓至上述正反器的上述時脈埠。

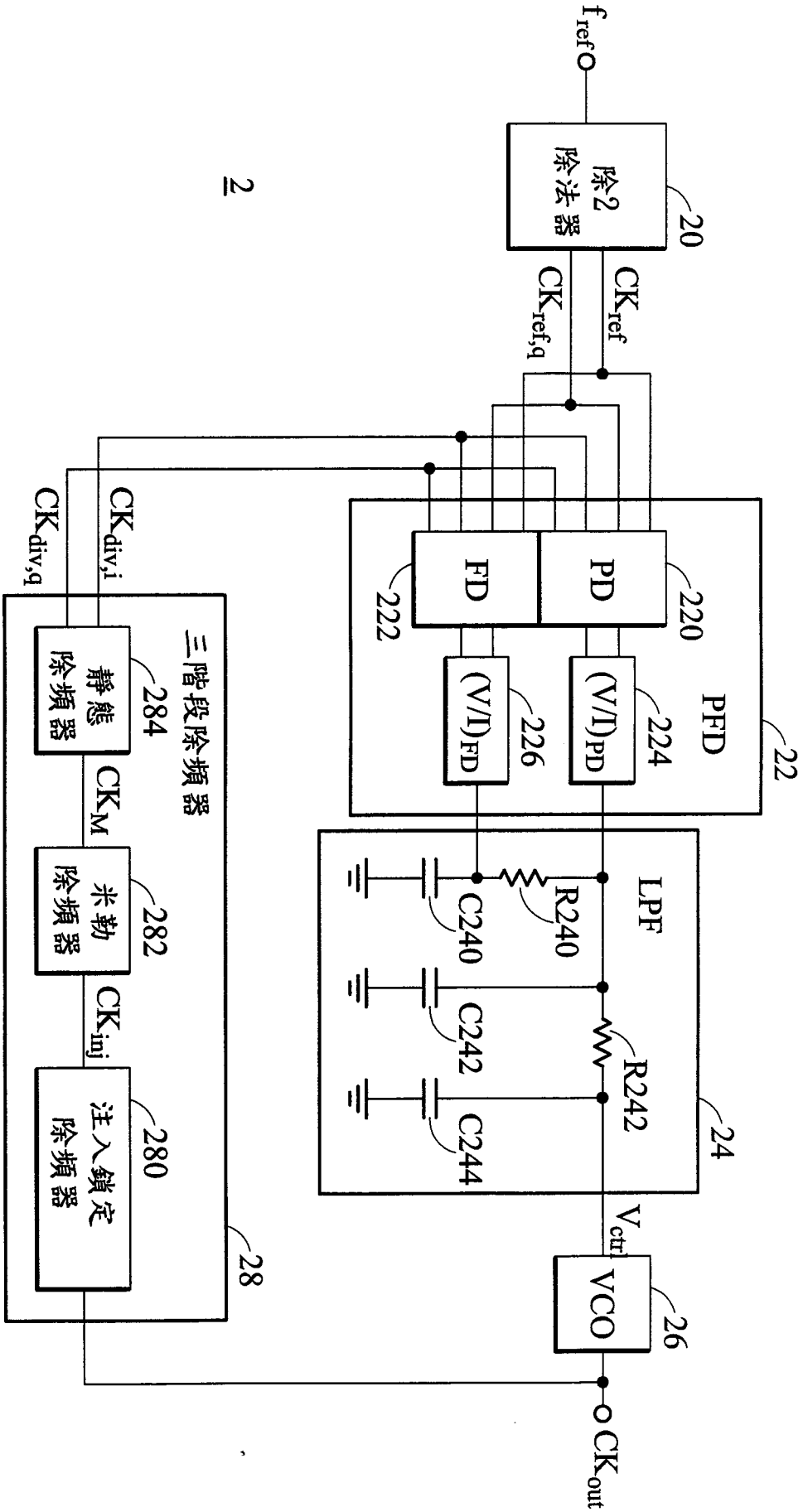
14.如申請專利範圍第 12 項所述之相位頻率偵測器，更包括：

一第一低通濾波器，耦接上述相位偵測加法器以及上述正反器，從上述相位偵測加法器的輸出端，濾除具有上述參考訊號之參考頻率兩倍頻的部分；以及

一第二低通濾波器，耦接上述頻率偵測加法器以及上述正反器，從上述頻率偵測加法器的輸出端，濾除具有上述參考訊號之參考頻率兩倍頻的部分。

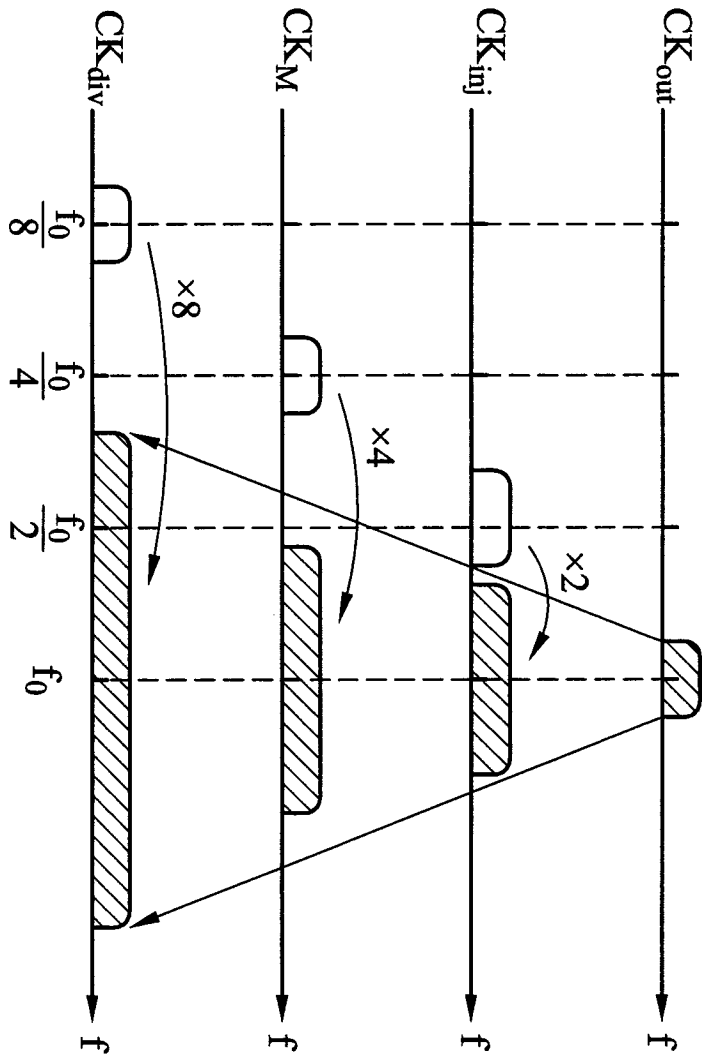


第 1 圖

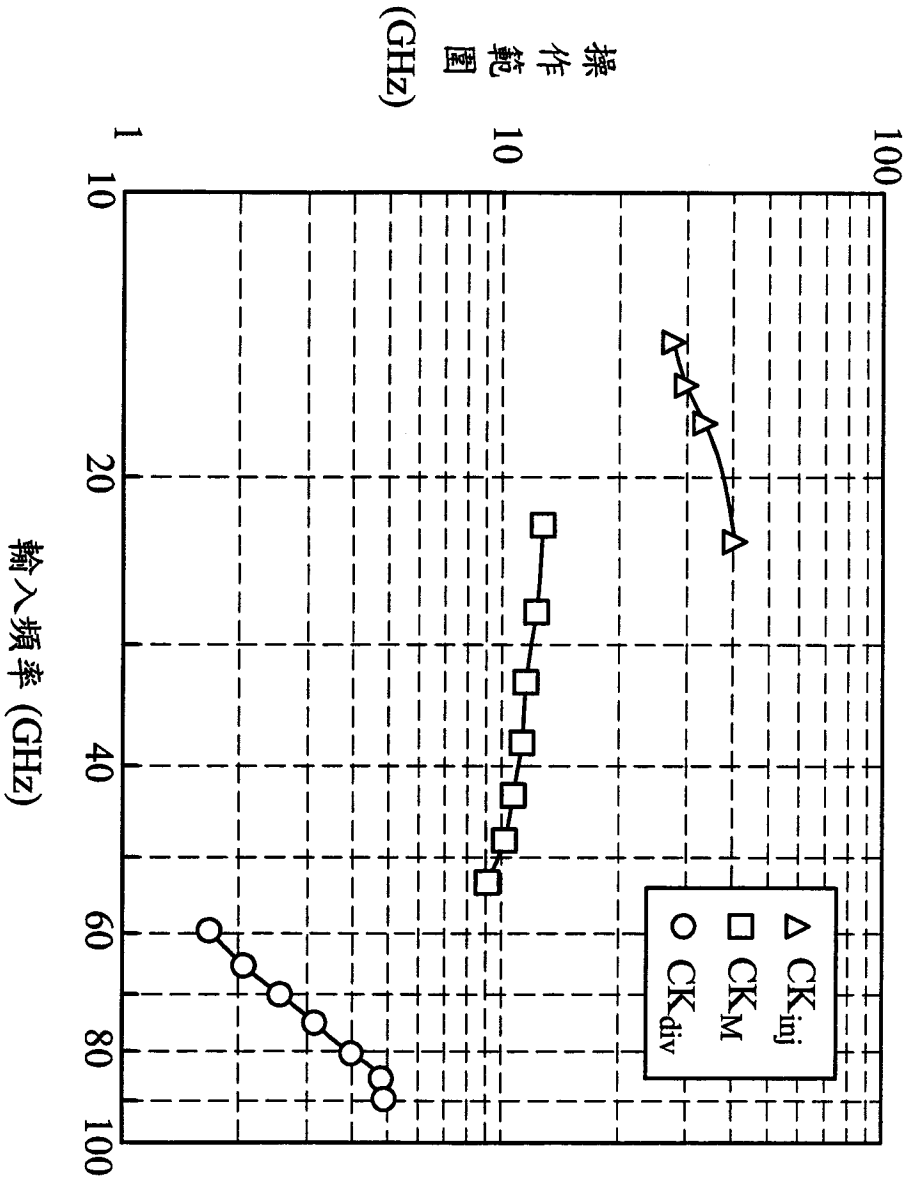


2

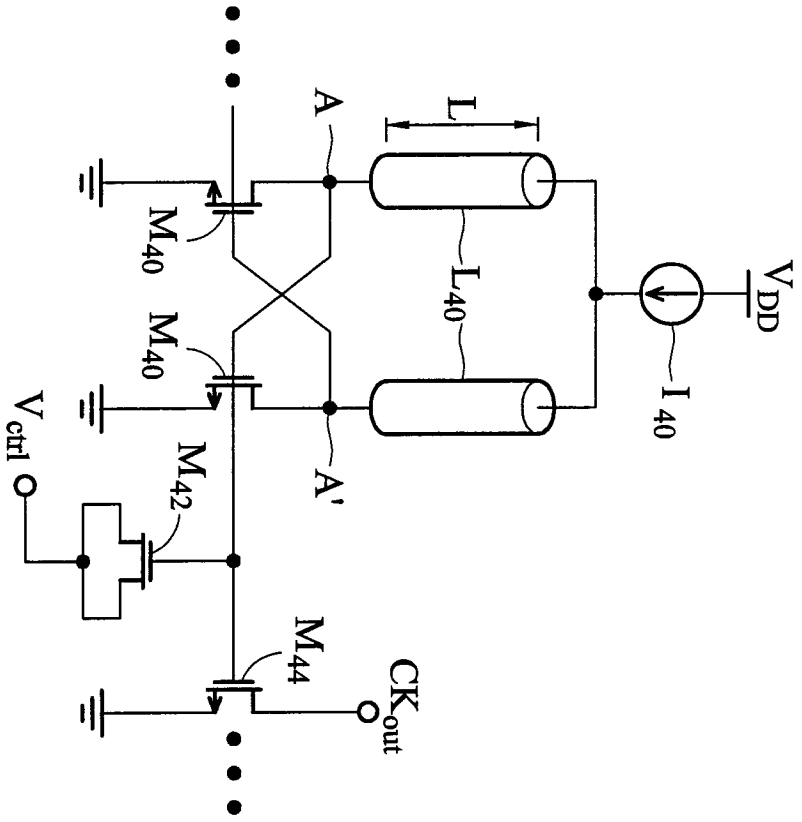
第 2 圖



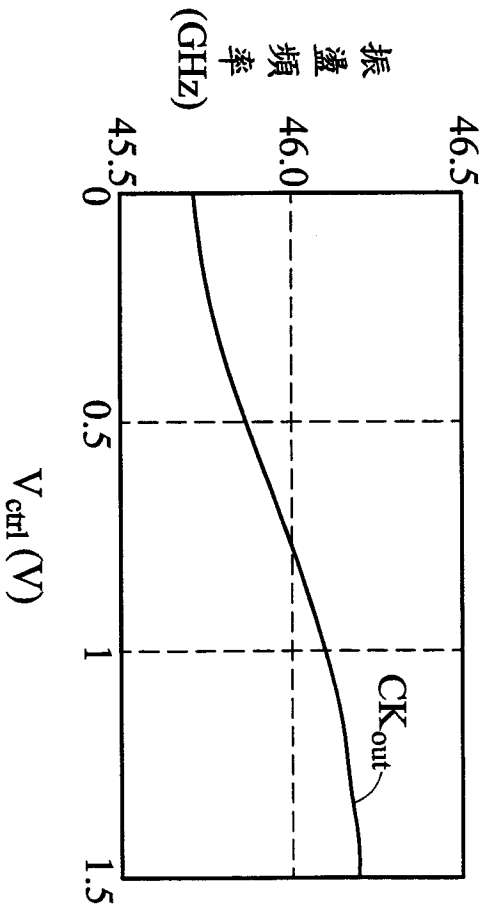
第3a圖



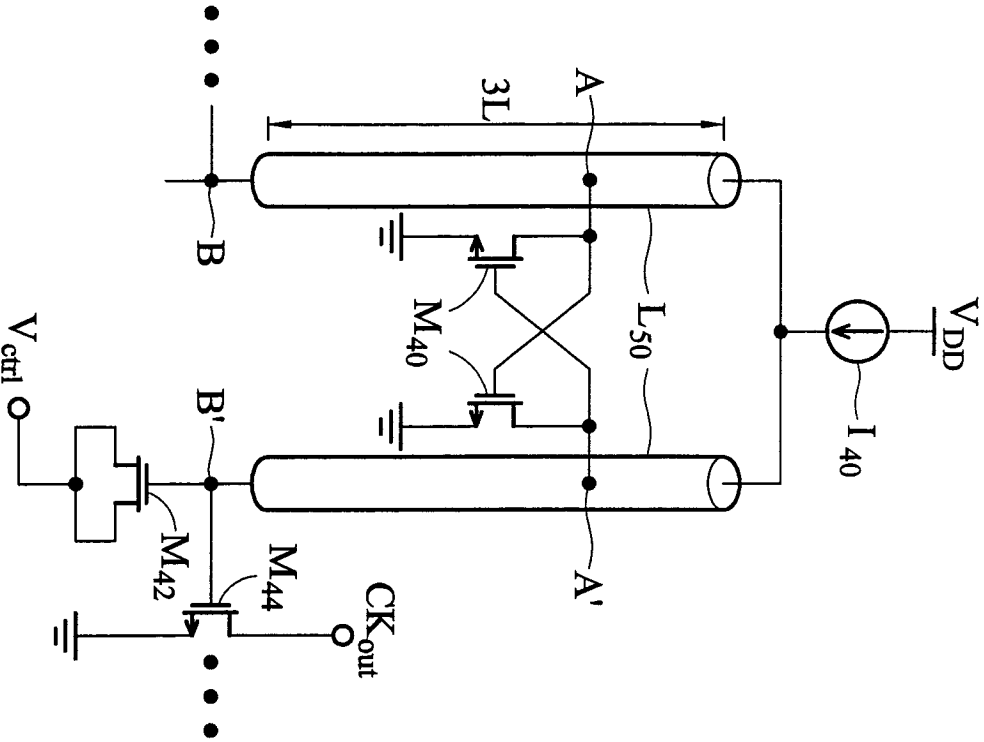
第 3b 圖



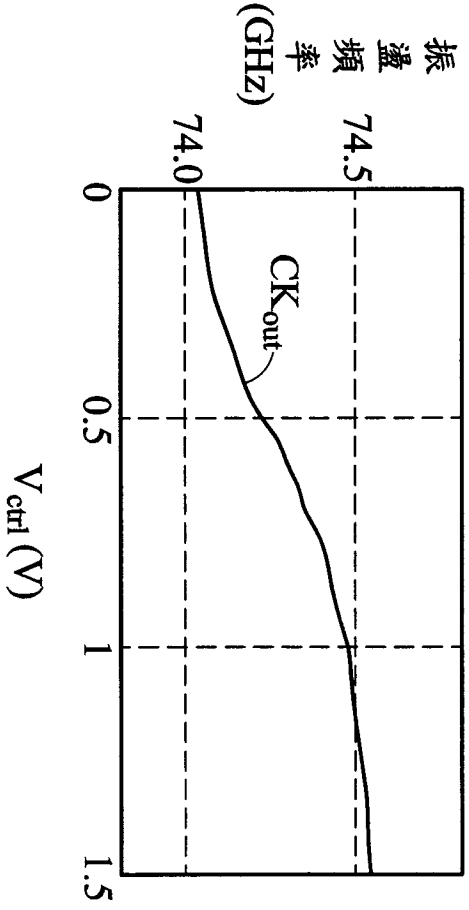
第4a圖



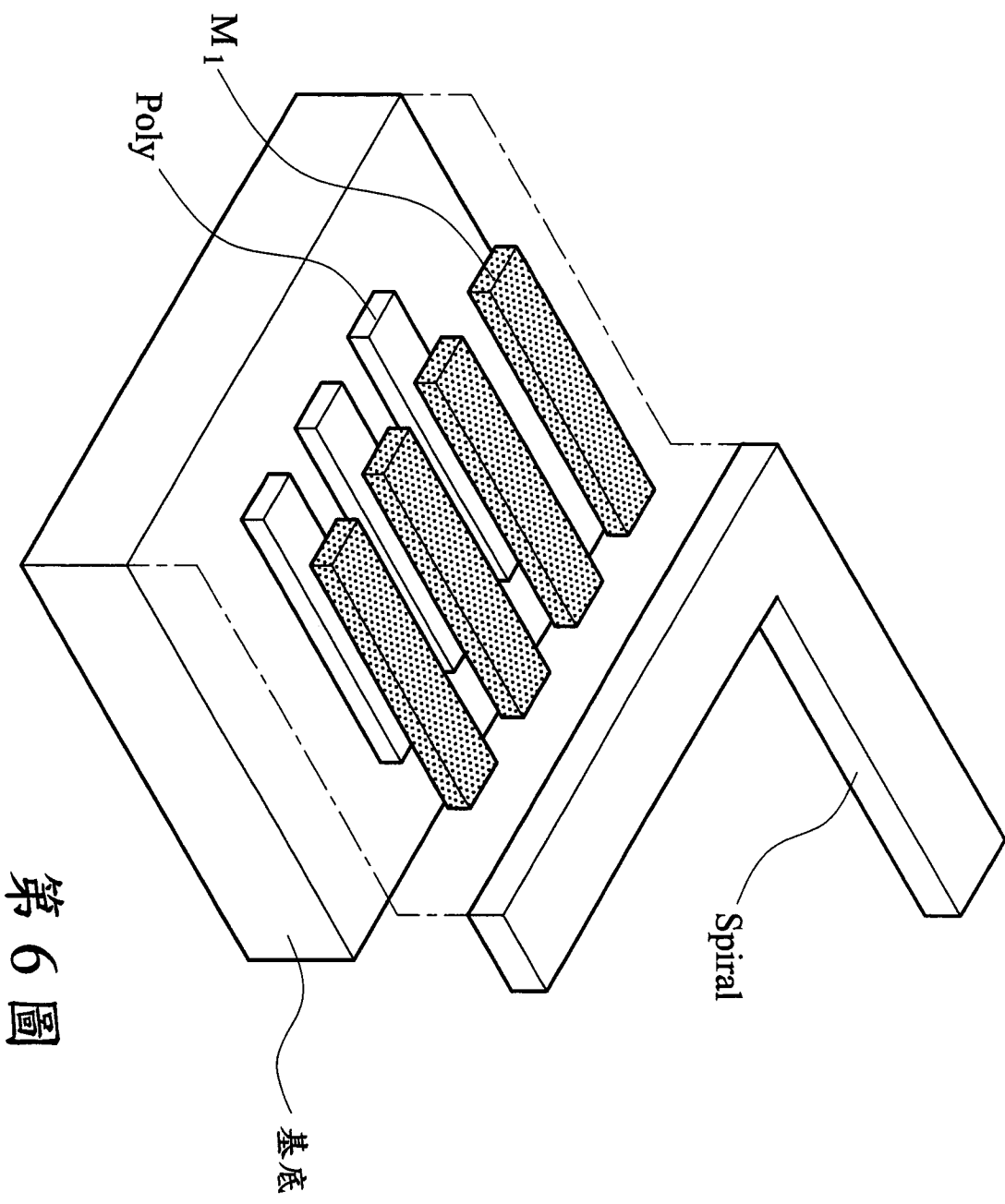
第4b圖



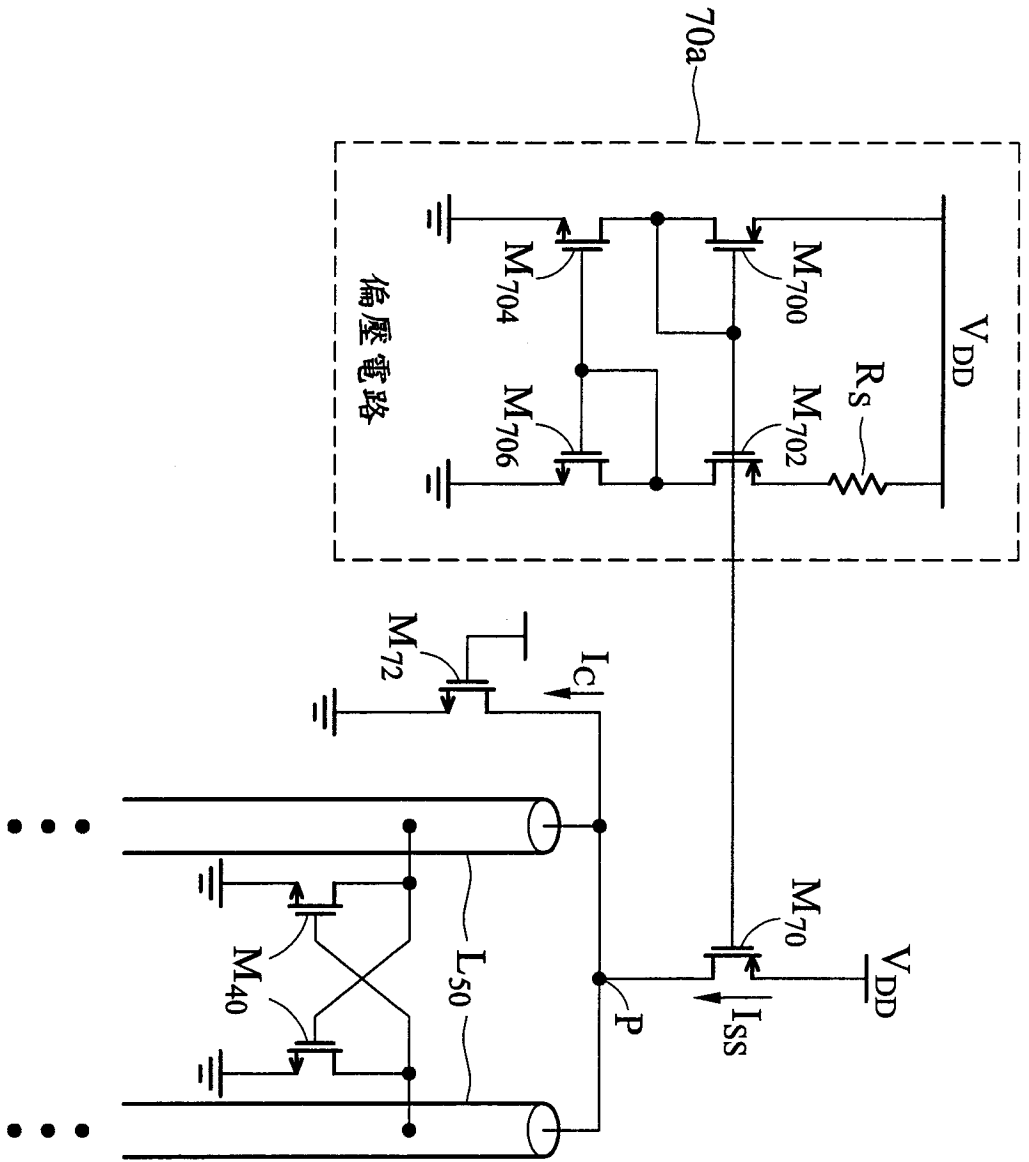
第 5a 圖



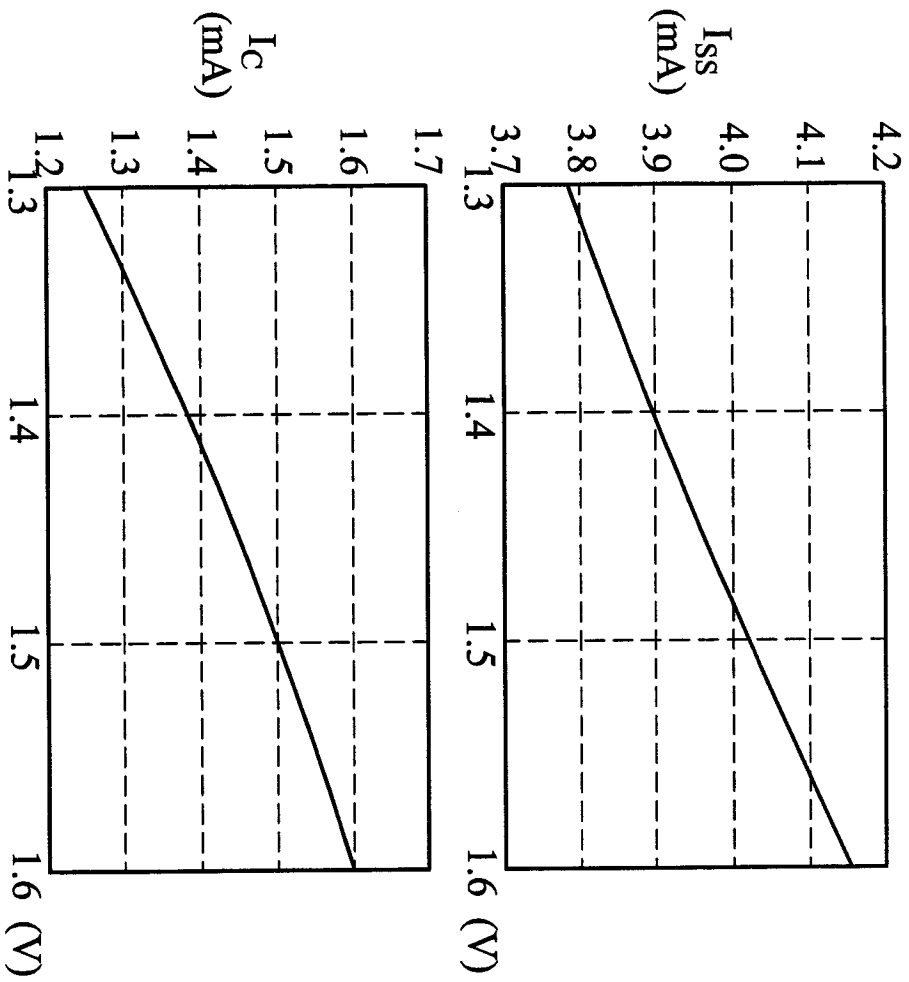
第 5b 圖



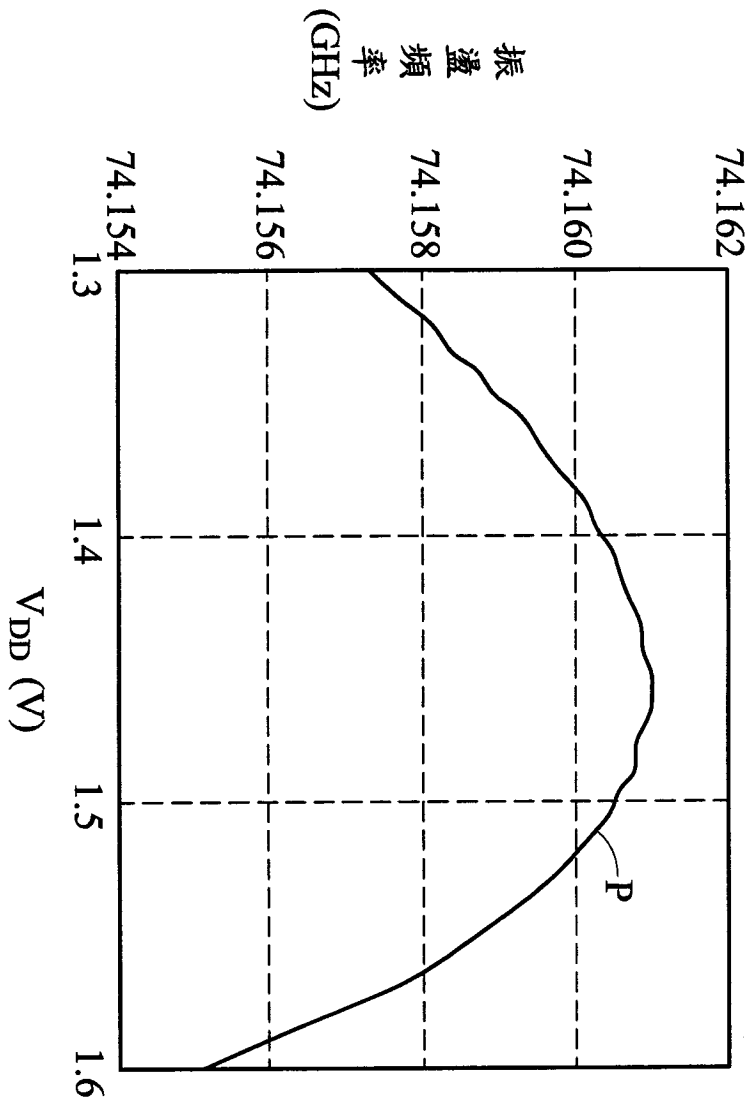
第 6 圖



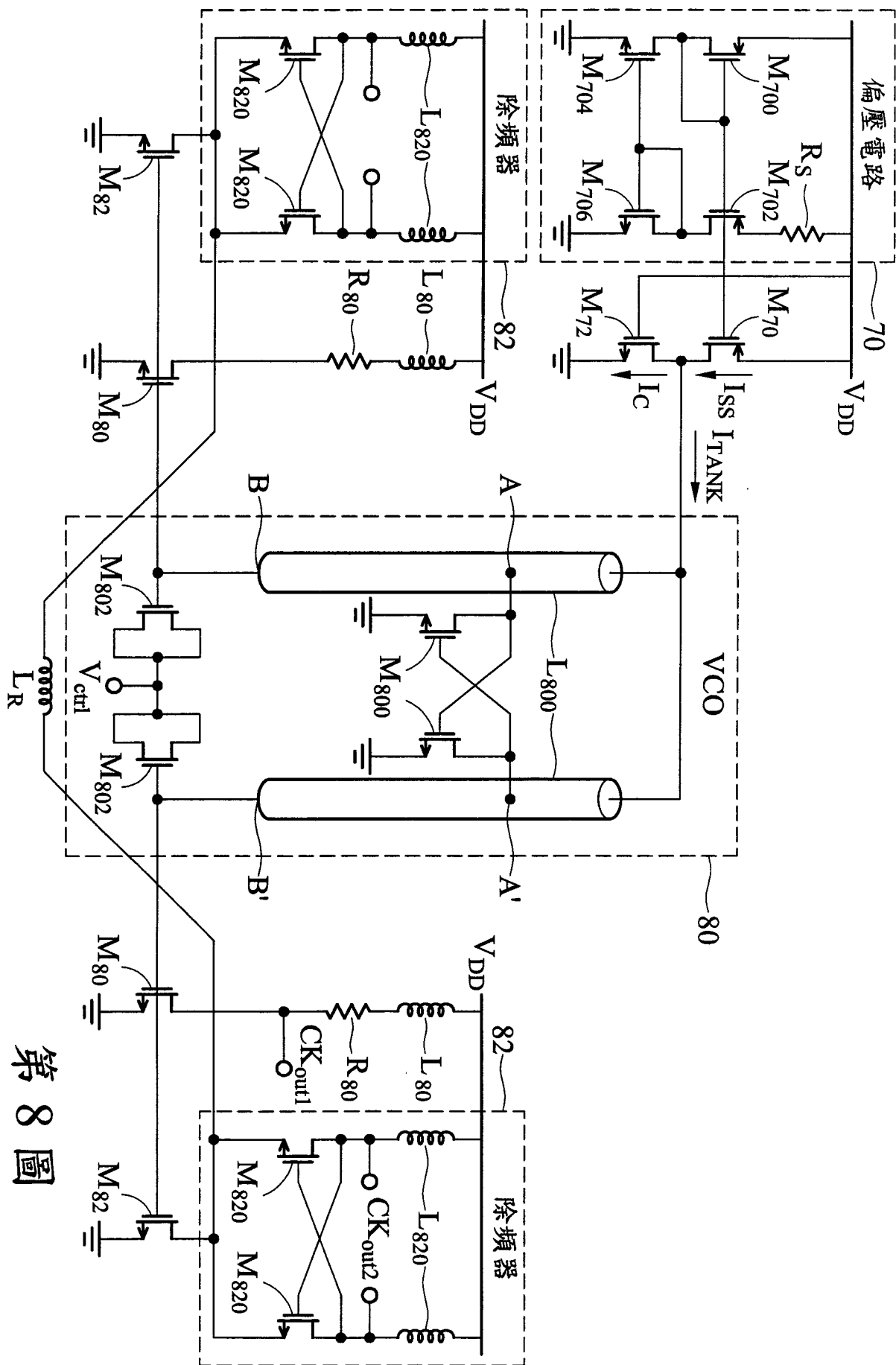
第7a圖



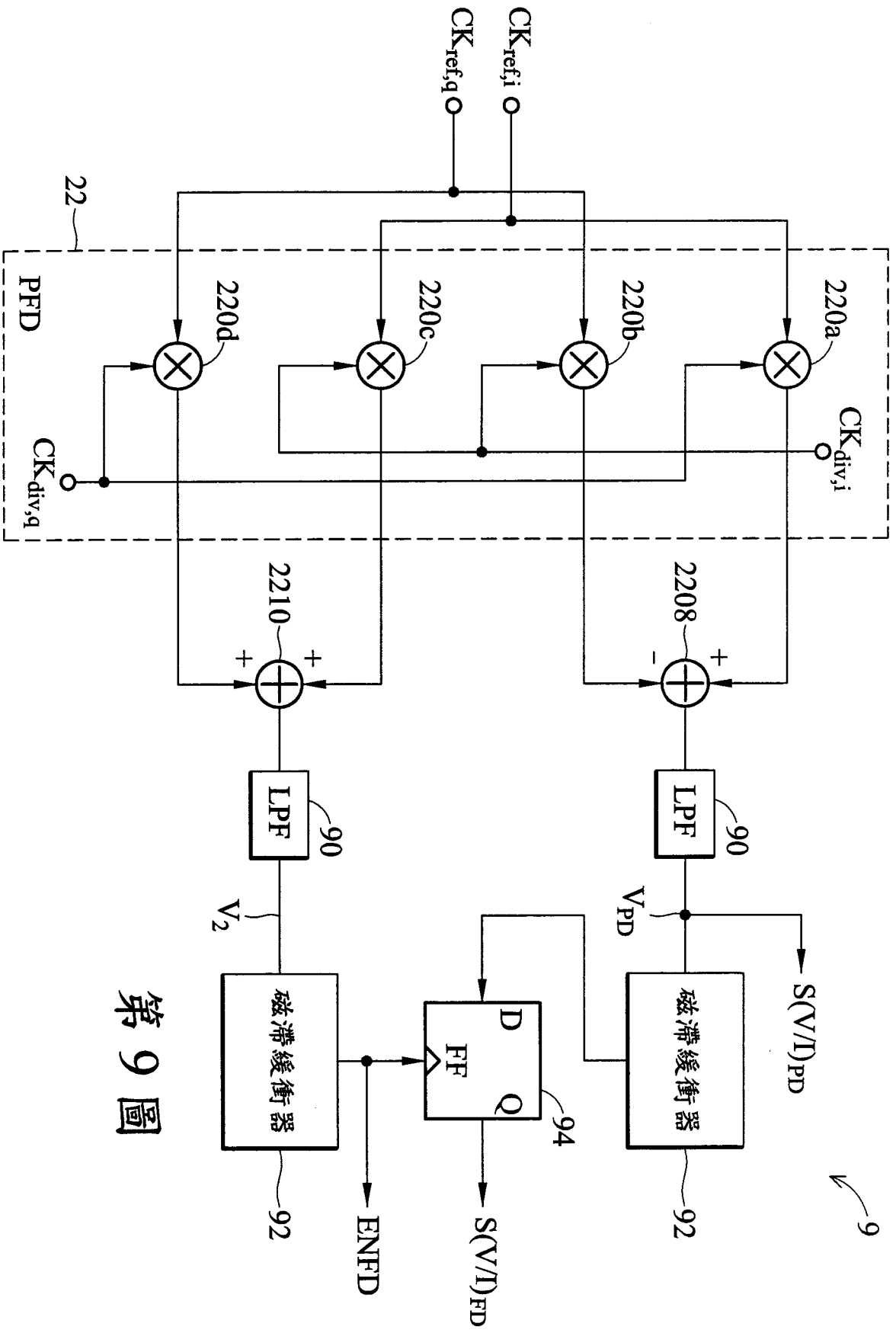
第7b圖



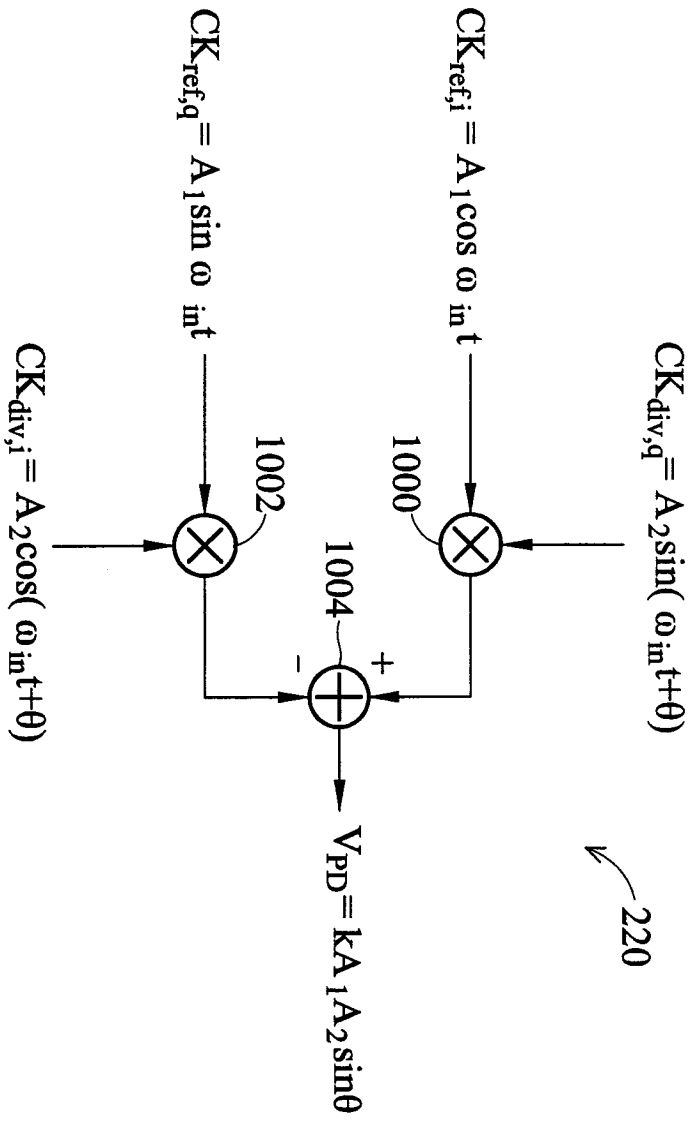
第7c圖



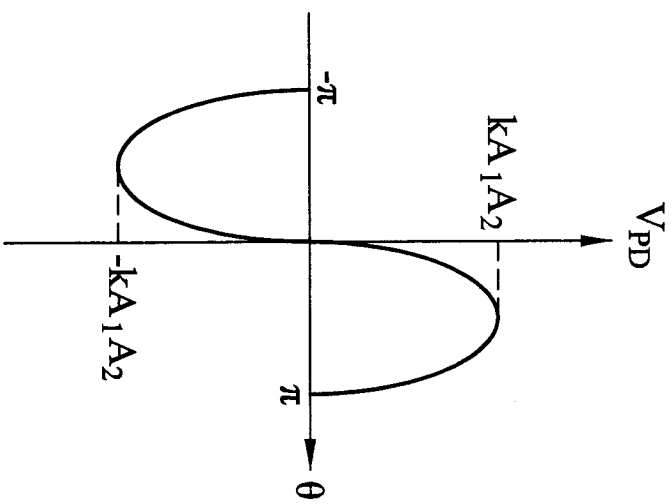
第 8 圖



第 9 圖

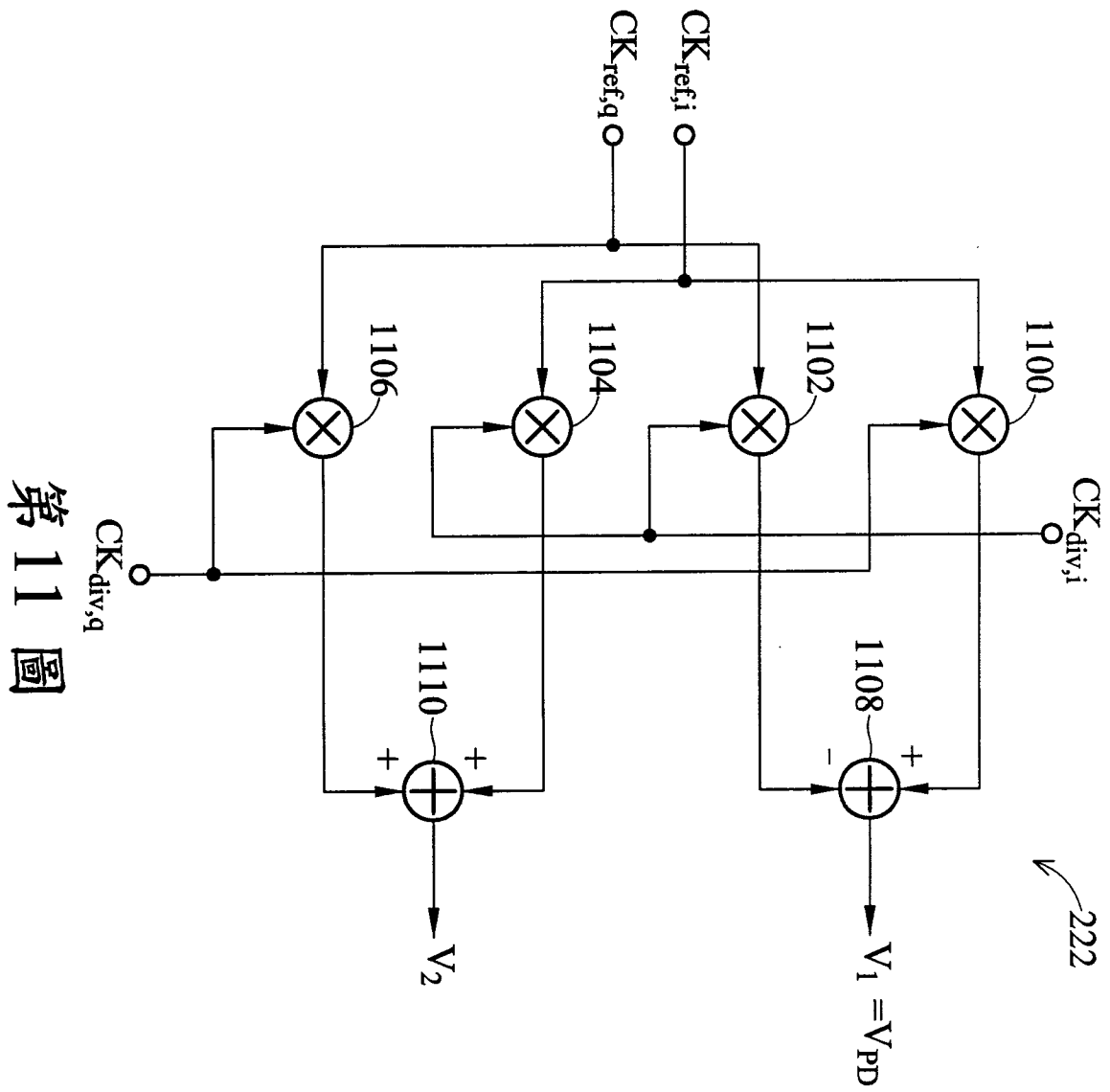


220

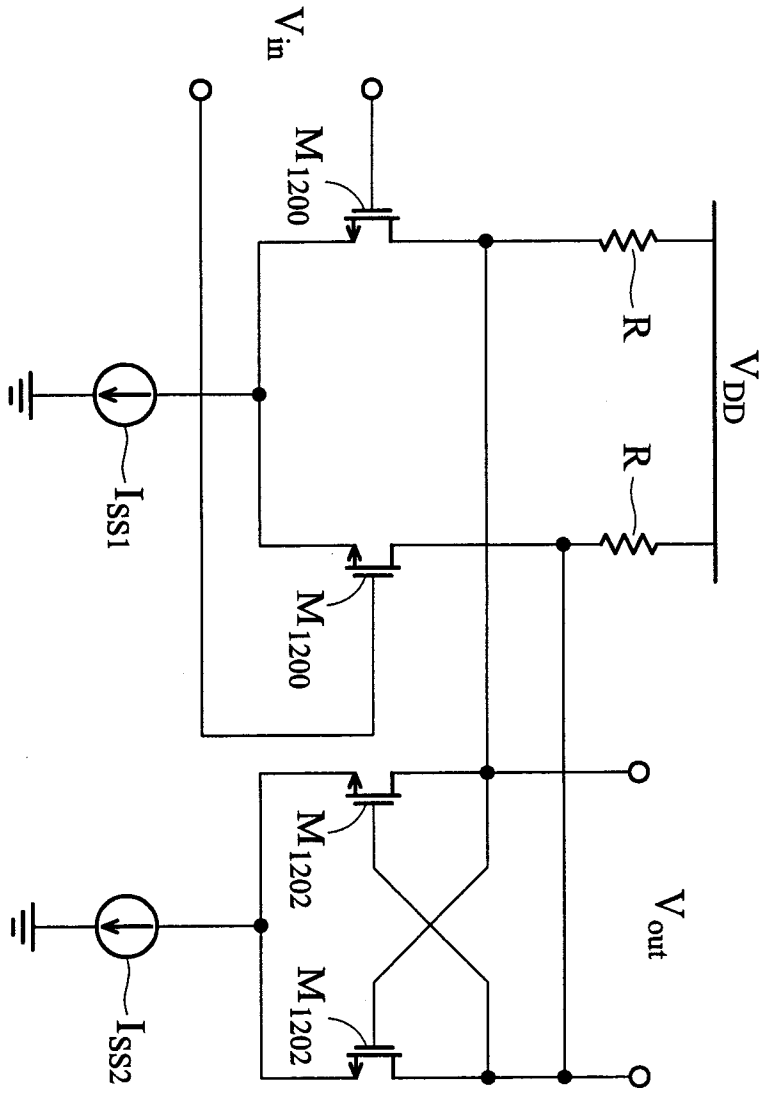


第 10a 圖

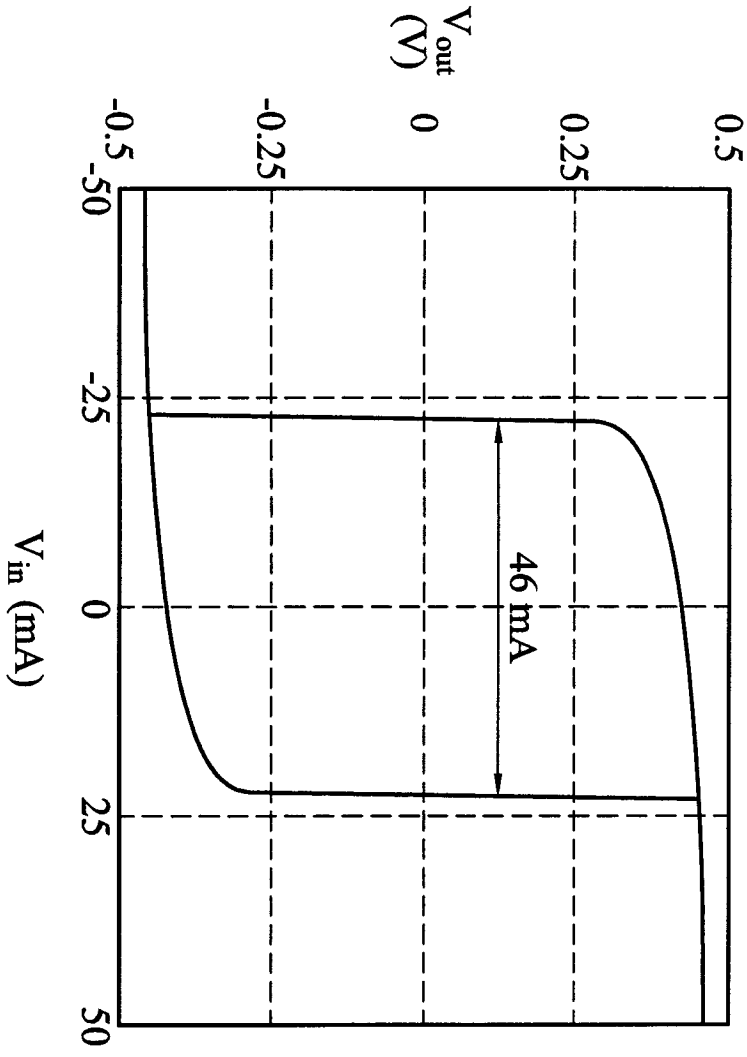
第 10b 圖



第11圖



第12a圖



第126圖

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|------------------|--------------|
| 20~除 2 除法器； | 22~相位頻率偵測器； |
| 24~迴路濾波器； | 26~壓控振盪器； |
| 28~三階段除頻器； | 280~注入鎖定除頻器； |
| 282~米勒除頻器； | 284~靜態除頻器； |
| 220~相位偵測器； | 222~頻率偵測器； |
| 224~PD 電壓至電流轉換器； | |
| 226~FD 電壓至電流轉換器。 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：