

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



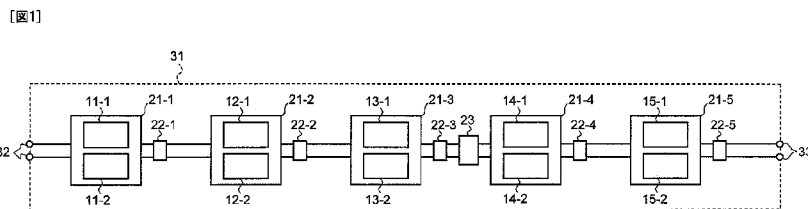
(43) 国際公開日  
2010 年 6 月 24 日(24.06.2010)

(10) 国際公開番号  
**WO 2010/071063 A1**

- (51) 国際特許分類:  
H03K 19/00 (2006.01) H03K 19/017 (2006.01)  
G06F 7/00 (2006.01) H03K 19/096 (2006.01)  
H03K 5/19 (2006.01) H03K 19/21 (2006.01)  
H03K 19/003 (2006.01)
- (21) 国際出願番号: PCT/JP2009/070601
- (22) 国際出願日: 2009 年 12 月 9 日(09.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-319877 2008 年 12 月 16 日(16.12.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人 東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 池田 誠 (IKEDA, Makoto) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 浅田 邦博 (ASADA, Kunihiro) [JP/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP). 鄭明奎 (JEONG Myeong Gyu) [KR/JP]; 〒1138654 東京都文京区本郷七丁目 3 番 1 号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 岡田賢治, 外(OKADA, Kenji et al.); 〒1050003 東京都港区西新橋二丁目 1 2 番 5 号瀬戸ロビル 3 階アイル知財事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: The first objective is to provide a semiconductor integrated circuit capable of reducing hardware overhead and temporal overhead for the purpose of error detection, and to enable the identification of a logical element which has generated an error. The second objective is to provide a semiconductor integrated circuit capable of hiding temporal overhead due to the reset time for a dynamic circuit and improving the effective computation throughput. With this semiconductor integrated circuit, a handshake is executed for each logical element and errors are detected for each logical element, so errors are not propagated to latter-stage logical elements. Furthermore, with this semiconductor integrated circuit, the same logic circuit is connected in parallel within each logical element and is driven with two phases.

(57) 要約: エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる半導体集積回路を提供することを第1目的とする。また、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させる半導体集積回路を提供することを第2目的とする。本発明に係る半導体集積回路は、論理素子単位でのハンドシェイクを実施し、論理素子単位でのエラー発生を検出を行うことで後段の論理素子にエラー伝搬を行わないこととした。さらに、本発明に係る半導体集積回路は、各論理素子内で同一の論理回路を並列に接続し、2相で動作させることとした。

## 明 細 書

**発明の名称：** 半導体集積回路

**技術分野**

[0001] 本発明は、論理素子毎にエラー検出を可能とする半導体集積回路に関する。

**背景技術**

[0002] 従来、信頼性向上のために回路の二重化（例えば、特許文献 1 を参照。）やエラー検出符号化（例えば、特許文献 2 を参照。）によるエラー検出方式が検討されている。また、半導体集積回路の高速化のためにダイナミック回路を用いることが知られている（例えば、特許文献 3 を参照。）。

**先行技術文献**

**特許文献**

[0003] 特許文献1：特開平 0 6 - 2 3 7 1 5 1 号公報

特許文献2：特開 2 0 0 7 - 2 6 7 3 9 2 号公報

特許文献3：特開 2 0 0 3 - 0 6 0 4 9 7 号公報

**発明の概要**

**発明が解決しようとする課題**

[0004] しかし、回路の二重化やエラー検出符号化によるエラー検出方式は、別途エラー検出用のハードウェア上のオーバーヘッドが存在し、エラー検出実行のための時間的オーバーヘッドも存在するという課題があった。さらに、動作時のエラーを検出してもエラーが発生した論理回路を特定できず、エラー回避のための具体的な対策を施すのが困難という課題があった。また、ダイナミック回路を用いた場合、動作は高速になるが、リセット動作が時間的オーバーヘッドとなるという課題もあった。

[0005] 本発明は、上記課題を解決するためになされたもので、エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーが発生した論理素子を特定できる半導体集積回路を提供するこ

とを第1目的とする。また、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させる半導体集積回路を提供することを第2目的とする。

### 課題を解決するための手段

- [0006] 第1目的を達成するために、本発明に係る半導体集積回路は、論理素子単位でのハンドシェークを実施し、論理素子単位でのエラー発生を検出を行うことで後段の論理素子にエラー伝搬を行わないこととした。
- [0007] 具体的には、本発明に係る半導体集積回路は、ダイナミック回路の論理回路を持つ複数の論理素子が連結された論理ブロックと、ハンドシェーク方式で前段の前記論理素子から後段の前記論理素子へ信号を伝送させ、前記論理素子単位で自己同期的なパイプライン動作をさせる信号伝送手段と、前記論理素子毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した前記論理素子の動作を停止させるディテクタと、前記論理素子へ入力する信号数又は前記論理素子が出力する信号数を計測するカウンタと、前記ディテクタがエラーを検知したときに、前記カウンタを通過した信号数からエラーを発生した前記論理素子を特定するエラー特定手段と、を備える。
- [0008] ディテクタは、論理素子からの出力にエラーを発見した場合、その論理素子を停止させることができる。また、カウンタはその論理素子停止後からカウンタを通過した信号数を計測することができる。さらに、半導体集積回路内の論理素子の接続経路及びカウンタの配置場所は既知である。論理素子はハンドシェーク方式で信号を伝搬するため、論理素子の1つが停止すれば、後続の信号は停止中の論理素子より前段の各論理素子で出力待ち状態となる。このため、カウンタの後段の論理素子が停止すれば、カウンタから停止中の論理素子間にある論理素子数分の信号がカウンタを通過することになり、停止中、すなわちエラーが発生した論理素子の位置が判明する。また、カウンタの前段の論理素子が停止しても、停止中の論理素子からカウンタ間にある論理素子数分の信号がカウンタを通過することになり、停止中、すなわちエラーが発生した論理素子の位置が判明する。

- [0009] 従って、本発明に係る半導体集積回路は、外部にエラー検知用の回路が不要であり後段の論理素子へエラー伝搬を行わないため、エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる。
- [0010] 本発明に係る半導体集積回路の前記カウンタは、前記論理ブロックの入力端と出力端に配置されていることが好ましい。信号の入力数と出力数をカウントすることでエラーが発生した論理素子の特定精度が向上する。
- [0011] 第2目的を達成するために、本発明に係る半導体集積回路は、各論理素子内で同一の論理回路を並列に接続し、2相で動作させることとした。
- [0012] 具体的には、本発明に係る半導体集積回路の前記論理素子のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一の前記論理回路を持ち、非動作時に前記論理回路をリセットし、前記信号伝送手段は、前記論理素子の第一相側の前記論理回路から出力された信号を後段の前記論理素子の第一相側の前記論理回路に結合し、前記論理素子の第二相側の前記論理回路から出力された信号を後段の前記論理素子の第二相側の前記論理回路に結合することを特徴とする。
- [0013] 第一相と第二相側を交互に動作させることでダイナミック回路のリセット動作中も他方の論理回路で処理することができる。本発明に係る半導体集積回路は、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させることができる。
- [0014] 本発明に係る半導体集積回路の前記論理素子が持つ第一相側と第二相側の前記論理回路は、一方が信号処理中に他方がリセット動作を行うことを特徴とする。演算スループットを最大とすることができる。

## 発明の効果

- [0015] 本発明は、エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる半導体集積回路を提供すること、並びに、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向

上させる半導体集積回路を提供することができる。

### 図面の簡単な説明

- [0016] [図1]本発明に係る半導体集積回路を説明する概念図である。
- [図2]ダイナミック回路の論理回路の例を説明する図である。
- [図3]ダイナミック回路の論理回路の例を説明する図である。
- [図4]ダイナミック回路の論理回路の例を説明する図である。
- [図5]本発明に係る半導体集積回路がエラーを発生した論理素子を特定するエラー特定手段を説明する概念図である。図5（1）から図5（11）は、論理回路の遷移の状態を示す。
- [図6]本発明に係る半導体集積回路がエラーを発生した論理素子を特定するエラー特定手段を説明する概念図である。図6（1）から図6（7）は、論理回路の遷移の状態を示す。
- [図7]本発明に係る半導体集積回路の動作を説明する概念図である。図7（1）から図7（11）は、論理回路の遷移の状態を示す。
- [図8]本発明に係る半導体集積回路の具体的な回路図の一例である。
- [図9]本発明に係る半導体集積回路のディテクタの回路の具体例である。
- [図10]本発明に係る半導体集積回路のディテクタの回路の具体例である。

### 発明を実施するための形態

- [0017] 添付の図面を参照して本発明の実施の形態を説明する。以下に説明する実施の形態は本発明の構成の例であり、本発明は、以下の実施の形態に制限されるものではない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。また、枝番号を付さずに説明している場合は、同一符号全てに共通する説明である。
- [0018] 図1は、本実施形態の半導体集積回路を説明する概念図である。本実施形態の半導体集積回路は、ダイナミック回路の論理回路を持つ複数の論理素子21が連結された論理ブロック31と、ハンドシェーク方式で前段の論理素子21から後段の論理素子21へ信号を伝送させ、論理素子21単位で自己同期的なパイプライン動作をさせる信号伝送手段（図示せず）と、論理素子

2 1 毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した論理素子 2 1 の動作を停止させるディテクタ 2 2 と、論理素子 2 1 へ入力する信号数又は論理素子 2 1 が出力する信号数を計測するカウンタ 2 3 と、ディテクタ 2 2 がエラーを検知したときに、カウンタ 2 3 を通過した信号数からエラーを発生した論理素子 2 1 を特定するエラー特定手段（図示せず）と、を備える。

[0019] 論理ブロック 3 1 は論理素子 2 1-1 から論理素子 2 1-5 を順に連結している。論理素子 2 1 はそれぞれダイナミック回路の論理回路をもつ。ダイナミック回路の論理回路の例を図 2 から図 4 に示す。図 2 は否定的論理積（NAND）又は否定論理和（NOR）である。入力端子（A 1、A 2、B 1、B 2）は 4 つ、出力端子（X 1、X 2）は 2 つである。図 3 は排他的論理和（XOR）又は排他的論理和の否定（XNOR）である。入力端子（A 1、A 2、B 1、B 2）は 4 つ、出力端子（X 1、X 2）は 2 つである。図 4 はインバータ（NOT）である。入力端子（A 1、A 2）は 2 つ、出力端子（X 1、X 2）は 2 つである。

[0020] 信号伝送手段は、ハンドシェイク方式で前段の論理素子 2 1 から後段の論理素子 2 1 へ信号を伝送させ、論理素子 2 1 単位でパイプライン動作をさせる。例えば、信号伝送手段は自己同期転送制御装置（Cエレメント）である。

[0021] それぞれの論理素子 2 1 の出力には論理素子 2 1 の出力を監視するディテクタ 2 2 が配置される。例えば、ディテクタ 2 2-3 は、論理素子 2 1-3 からエラーが出力された場合、論理素子 2 1-3 を停止させる。例えば、論理素子 2 1 の出力が A と B の 2 つある場合、 $(A, B) = (0, 1)$ 、 $(1, 0)$  を正常出力、 $(A, B) = (0, 0)$  をリセット状態、 $(A, B) = (1, 1)$  をエラー出力と判断することができる。ディテクタ 2 2 がエラー出力した論理素子 2 1 を停止させることで後段の論理素子 2 1 へのエラー伝搬を抑制することができる。

[0022] カウンタ 2 3 は、通過する信号数を計測し、少なくとも 1 ついずれかの論

理素子 2 1 間に配置される。エラー特定手段は、カウンタ 2 3 の信号計測数でエラーを発生した論理素子 2 1 を特定することができる。エラー特定手段がエラーを発生した論理素子 2 1 を特定する方法を図 5 及び図 6 を用いて説明する。

[0023] 図 5 はカウンタ 2 3 の後段の論理素子 2 1 がエラー出力した場合を説明した図である。図 1 で説明したように論理素子 2 1-1 から論理素子 2 1-5 が連続して接続されている。カウンタ 2 3 は論理素子 2 1-1 と論理素子 2 1-2 との間に配置されている。図 5 ではディテクタ 2 2 の記載を省略している。信号 S 1 は図 5 (1) から図 5 (5) に示すように論理素子 2 1-1 から論理素子 2 1-5 へハンドシェークされ、パイプライン動作で処理されていく。次の信号 S 2 は図 5 (4) から図 5 (7) にかけて同様にハンドシェークされ、パイプライン動作で処理されていく。図 5 (7) で論理素子 2 1-4 がエラー出力したとする。この時点で論理素子 2 1-4 は停止する。次の信号 S 3 は図 5 (7) から図 5 (9) にかけて同様にハンドシェークされ、パイプライン動作で処理されていくが、論理素子 2 1-4 が停止しているため、論理素子 2 1-3 で出力待ち状態で止まることになる。同様に信号 S 4 及び信号 S 5 もそれぞれ論理素子 2 1-2 及び論理素子 2 1-1 で止まることになる。

[0024] ここで、カウンタ 2 3 は論理素子 2 1-4 が停止した後に通過した信号数を計測する。すなわち、カウンタ 2 3 は信号 S 3 と信号 S 4 の 2 つが通過したことを計測する。2 つの信号がカウンタ 2 3 を通過したことから、エラー検出手段はカウンタ 2 3 の後段の論理素子 2 1 の 2 つ、すなわち論理素子 2 1-2、論理素子 2 1-3 が正常に動作していると判断でき、論理素子 2 1-4 がエラーを発生したと判断できる。

[0025] 図 6 はカウンタ 2 3 の前段の論理素子 2 1 がエラー出力した場合を説明した図である。論理素子 2 1 の接続は図 5 と同様であるが、カウンタ 2 3 は論理素子 2 1-3 と論理素子 2 1-4 との間に配置されている。図 6 (1) から図 6 (7) にかけて信号 S 1、信号 S 2 及び信号 S 3 がハンドシェークさ

れ、パイプライン動作で処理されていく。図6（5）のように論理素子S 2 1-2が信号S 4についてエラー出力したとする。この時点で論理素子2 1-2は停止する。次の信号S 5は論理素子2 1-2が停止しているため、論理素子2 1-1で出力待ち状態で止まることになる。

[0026] ここで、カウンタ2 3は論理素子2 1-2が停止した後に通過した信号数を計測する。すなわち、カウンタ2 3は信号S 3が通過したことを計測する。1つの信号がカウンタ2 3を通過したことから、エラー検出手段はカウンタ2 3の前段の論理素子2 1-3が正常に動作していると判断でき、論理素子2 1-2がエラーを発生したと判断できる。例えば、信号S 1、信号S 2間が空いていた場合でも、エラーにより信号S 1が止まると、信号S 2は必ず信号S 1に追いつくため、結果的にエラー位置を特定することが可能となる。

[0027] 図5及び図6で説明したように、本実施形態の半導体集積回路は、カウンタとエラー検出回路を備えることでエラーを発生した論理回路2 1を特定できる。また、エラーを発生した論理回路2 1を停止するため、エラー伝搬することがなく時間的オーバーヘッドを小さくでき、外部でエラーを検出する回路が不要のためハードウェア上のオーバーヘッドも小さくできる。

[0028] 本実施形態の半導体集積回路は、カウンタ2 3は、論理ブロック3 1の入力端3 2と出力端3 3に配置されていてもよい。図1、図5、図6では論理素子2 1が直線的に接続されている半導体集積回路を説明したが、入力端3 2と出力端3 3にもカウンタ2 3を配置することで論理素子2 1が複雑に接続される半導体集積回路における論理素子2 1のエラーも検出できるようになる。

[0029] 図1の半導体集積回路の論理素子2 1のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一の論理回路を持つ。図1の論理回路（1 1-1、1 1-2、1 2-1、1 2-2、1 3-1、1 3-2、1 4-1、1 4-2、1 5-1、1 5-2）は、ダイナミック回路である。論理素子2 1-1は第一相側に論理回路1 1-1を持ち、第二相側に論理回路1 1-

1と同じ論理回路11-2を持つ。論理素子21-2から論理素子21-5も同様である。

[0030] 図1の半導体集積回路の信号伝送手段は、論理素子21の第一相側の論理回路から出力された信号を後段の論理素子21の第一相側の論理回路に結合し、論理素子21の第二相側の論理回路から出力された信号を後段の論理素子21の第二相側の論理回路に結合する。例えば、論理回路11-1で処理された信号は後段の論理素子21の全てにおいて第一相側の論理回路(12-1、13-1、14-1、15-1)で処理される。一方、論理回路11-2で処理された信号は後段の論理素子21の全てにおいて第二相側の論理回路(12-2、13-2、14-2、15-2)で処理される。

[0031] 論理素子21は順に入力される信号を第一相側の論理回路と第二相側の論理回路で交互に処理し、非動作時に論理回路をリセットする。この動作を図7を利用して詳細に説明する。論理素子21の接続は図5と同様であるが、それぞれの論理素子21は第一相と第二相があるため、図7ではこれらを上段と下段に分けて記載している。すなわち、論理素子21-1の上段は論理回路11-1であり、下段は論理回路11-2である。同様に、論理素子(21-2、21-3、21-4、21-5)の上段はそれぞれ論理回路(12-1、13-1、14-1、15-1)であり、下段はそれぞれ論理回路(12-2、13-2、14-2、15-2)である。なお、図7においてカウンタ23及びディテクタ22の記載を省略している。

[0032] 信号S1は図7(1)から図7(5)に示すように論理素子21-1から論理素子21-5へハンドシェークされ、第一相側の論理回路でパイプライン動作で処理されていく。第一相側の論理回路11-1から論理回路15-1それぞれは、信号S1の処理の後、リセット動作を行う。次の信号S2は図7(4)から図7(8)にかけて同様にハンドシェークされ、第二相側の論理回路でパイプライン動作で処理されていく。第二相側の論理回路11-2から論理回路15-2それぞれは、信号S2の処理の後、リセット動作を行う。次の信号S3は再び第一相側の論理回路でパイプライン動作で処理さ

れていく（図 7（6）から図 7（10））。

[0033] このように、第一相側の論理回路と第二相側の論理回路とで交互に信号を処理することで、リセット時間中に他の相の論理回路で信号を処理することができ、ダイナミック回路に必要なリセット動作の時間を隠蔽することができる。第一相側の論理回路と第二相側の論理回路とで交互に信号を処理することを図 7 を用いて詳細に説明する。

[0034] 第一相側の論理回路（11-1、12-1、13-1、14-1、15-1）は信号 S3 を処理した後にリセット動作に入る。この時間に第二相側の論理回路（11-2、12-2、13-2、14-2、15-2）は次の信号 S4 を処理することができる。さらに、第二相側の論理回路が信号 4 の処理後のリセット動作中に第一相側の論理回路は次の信号 S5 を処理することができる。すなわち、本実施形態の半導体集積回路はダイナミック回路に必要なリセット動作の時間を隠蔽し、信号処理のスループットを向上することができる。

[0035] （具体例）

図 8 は、本発明に係る半導体集積回路の具体的な回路図の一例である。図 8 の半導体集積回路の論理ブロック 35 は、並列に配置された論理素子（21-11、21-12、21-13）とこれらの論理素子の出力が入力される論理素子（21-14、21-15）を備える。これらの論理素子の第一相側論理回路と第二相側論理回路は 2 入力 2 出力である。論理素子（21-11、21-12、21-13）の第一相側論理回路と第二相側論理回路にはそれぞれ入力端子 32 が 2 つ接続される。論理素子（21-11、21-12、21-13）の第一相側論理回路の一方の出力及び第二相側論理回路の一方の出力がそれぞれディテクタ（22-4、22-5、22-6）に結合される。

[0036] 論理ブロック 35 は、3 組の入力端子 32 それぞれに対応する出力端子 32' を有する。ディテクタ（22-4、22-5、22-6）の出力はカウンタ 23 に結合され、論理素子（21-11、21-12、21-13）を

通過した信号数をカウントし、その結果を出力端子 3 2' に出力する。

[0037] 論理素子 (2 1-1 1、2 1-1 2、2 1-1 3) の第一相側論理回路の他方の出力と第二相側論理回路の他方の出力は、それぞれ論理素子 (2 1-1 4、2 1-1 5) の第一相側論理回路と第二相側論理回路に結合される。具体的には、論理素子 2 1-1 1 の出力は論理素子 2 1-1 4 へ結合され、論理素子 2 1-1 3 の出力は論理素子 2 1-1 5 へ結合され、論理素子 2 1-1 2 の出力は論理素子 2 1-1 4 及び論理素子 2 1-1 5 の双方へ結合される。

[0038] 論理素子 (2 1-1 4、2 1-1 5) の出力が出力端子 3 3 から出力される。また、ディテクタ 2 2-7 は、論理素子 (2 1-1 4、2 1-1 5) の出力を監視している。ディテクタ 2 2-7 にはカウンタ 2 3' が結合され、論理素子 (2 1-1 4、2 1-1 5) から出力される信号数をカウントする。ディテクタ (2 2-1 ~ 2 2-6) の回路の具体例を図 9 に示す。端子 T 1 1 及び端子 T 1 2 に第一相側の信号が入力され、端子 T 2 1 及び端子 T 2 2 に第二相側の信号が入力される。同時に第一相側と第二相側とに信号が入力されることはないので、端子 T 1 1 及び端子 T 1 2 に接続するトランジスタと端子 T 2 1 及び端子 T 2 2 に接続するトランジスタとはいずれか一方のみが動作することになる。

[0039] ディテクタ 2 2-7 の回路の具体例を図 10 に示す。ディテクタ 2 2-7 と図 9 のディテクタ (2 2-1 ~ 2 2-6) との違いは、信号が入力される端子の数である。ディテクタ 2 2-7 は、第一相側の信号が入力される端子 (T 1 1 a、T 1 2 a、T 1 1 b、T 1 2 b) 及び第二相側の信号が入力される端子 (T 2 1 a、T 2 2 a、T 2 1 b、T 2 2 b) を持つ。例えば、端子 T 1 1 a 及び端子 T 1 2 a には論理素子 2 1-1 4 の第一相側論理回路の出力が結合され、端子 T 2 1 a 及び端子 T 2 2 a には論理素子 2 1-1 4 の第二相側論理回路の出力が結合され、端子 T 1 1 b 及び端子 T 1 2 b には論理素子 2 1-1 5 の第一相側論理回路の出力が結合され、端子 T 2 1 b 及び端子 T 2 2 b には論理素子 2 1-1 5 の第二相側論理回路の出力が結合され

る。

[0040] 図8の半導体集積回路は、次のように動作してエラーを発生した論理素子を特定する。例えば、論理素子21-14の出力がエラーであった場合について説明する。論理素子21-14は第一相側論理回路においてエラーを発生すると、その出力が(1, 1)となる。この状態をディテクタ(22-1, 22-2)が検出し、21-14を停止させると共に論理素子(21-11, 21-12)の出力も停止させる。そのため、カウンタ23の信号通過数の増加が停止するため、エラーの発生が検出される。この時、カウンタ23とカウンタ23'の差が論理ブロック35内に存在する信号数となり、入力端子32側から存在する信号数に相当する数の論理素子を通過した論理素子においてエラーが生じたことを特定できる。

### 産業上の利用可能性

[0041] 本発明に係る半導体集積回路における論理素子ごとのパイプライン化およびダイナミック回路のリセット時間の隠蔽技術は、高速動作が要求される半導体集積回路全般に適用可能である。

### 符号の説明

[0042] 図面において使用されている符号は、以下の通りである。

11、11-1～11-5：論理回路

21、21-1～21-5、21-11～21-15：論理素子

22、22-1～22-7：ディテクタ

23、23'：カウンタ

31、35：論理ブロック

32：入力端子

32'、33、33'：出力端子

A1、A2、B1、B2：入力端子

X1、X2：出力端子

R：リセット端子

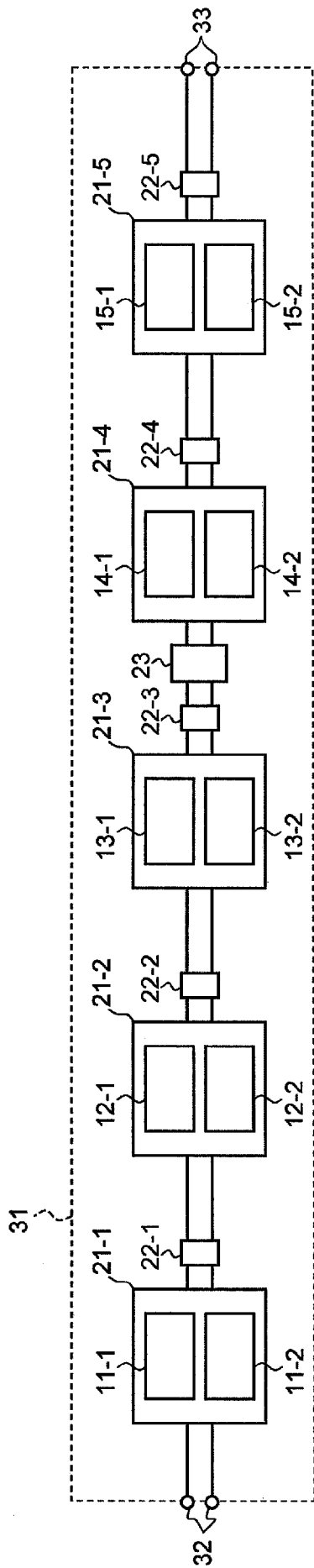
T11、T12、T21、T22、T11a、T12a、T11b、T12

b、T 2 1 a、T 2 2 a、T 2 1 b、T 2 2 b、D 1、D 2 : 端子

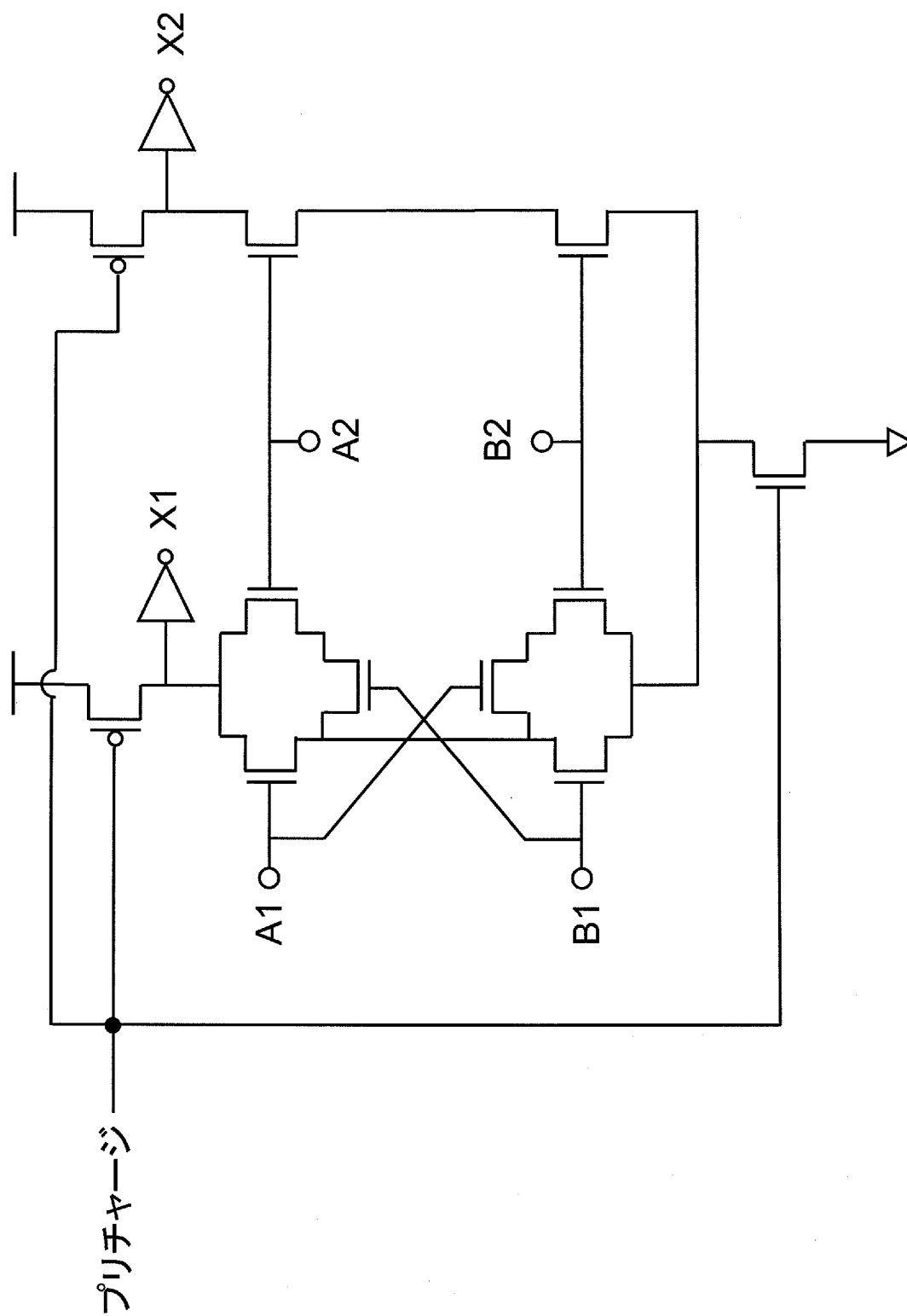
## 請求の範囲

- [請求項1]        ダイナミック回路の論理回路を持つ複数の論理素子が連結された論理ブロックと、
- ハンドシェーク方式で前段の前記論理素子から後段の前記論理素子へ信号を伝送させ、前記論理素子単位で自己同期的なパイプライン動作をさせる信号伝送手段と、
- 前記論理素子毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した前記論理素子の動作を停止させるディテクタと、
- 前記論理素子へ入力する信号数又は前記論理素子が出力する信号数を計測するカウンタと、
- 前記ディテクタがエラーを検知したときに、前記カウンタを通過した信号数からエラーを発生した前記論理素子を特定するエラー特定手段と、
- を備える半導体集積回路。
- [請求項2]        前記カウンタは、前記論理ブロックの入力端と出力端に配置されていることを特徴とする請求項1に記載の半導体集積回路。
- [請求項3]        前記論理素子のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一の前記論理回路を持ち、非動作時に前記論理回路をリセットし、
- 前記信号伝送手段は、前記論理素子の第一相側の前記論理回路から出力された信号を後段の前記論理素子の第一相側の前記論理回路に結合し、前記論理素子の第二相側の前記論理回路から出力された信号を後段の前記論理素子の第二相側の前記論理回路に結合することを特徴とする請求項1又は2に記載の半導体集積回路。
- [請求項4]        前記論理素子が持つ第一相側と第二相側の前記論理回路は、一方が信号処理中に他方がリセット動作を行うことを特徴とする請求項3に記載の半導体集積回路。

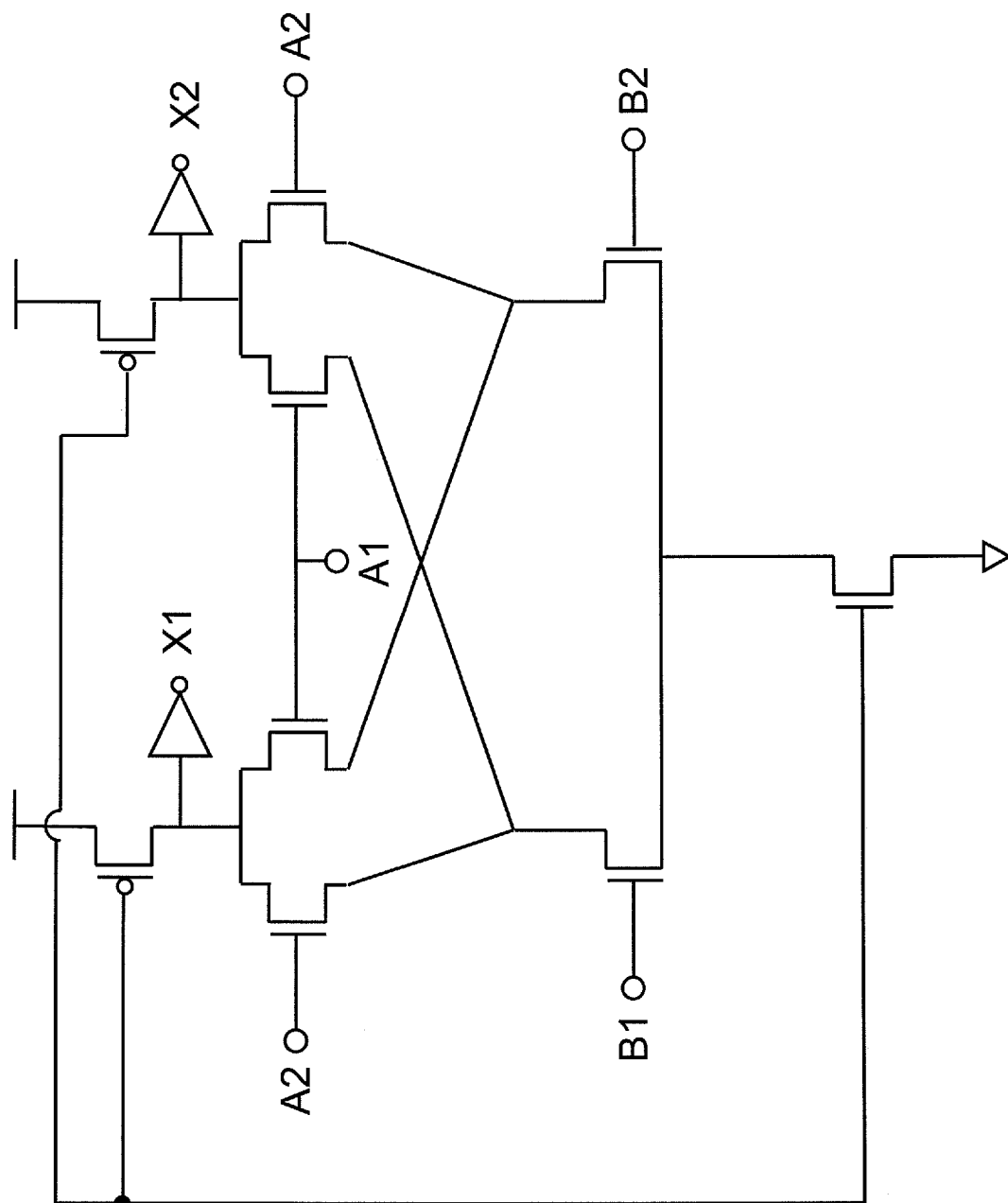
[図1]



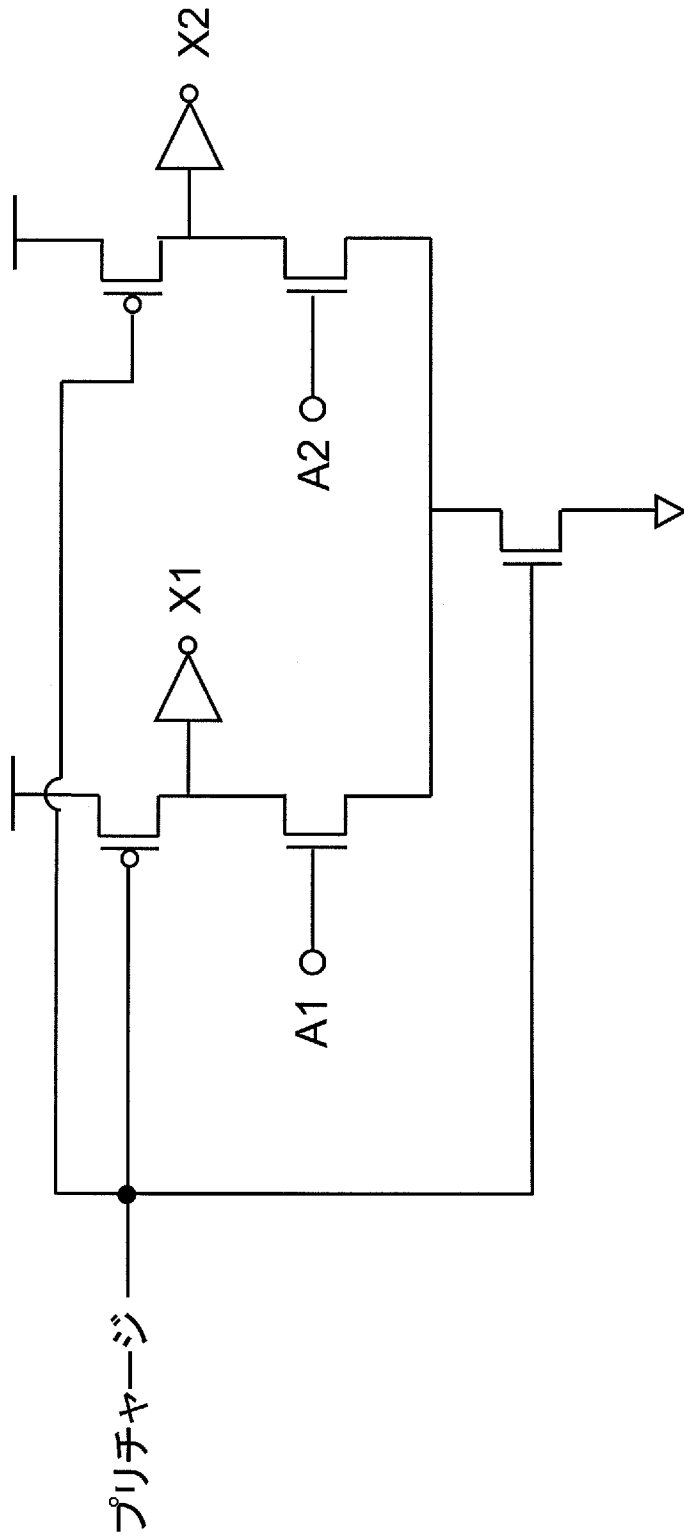
[図2]



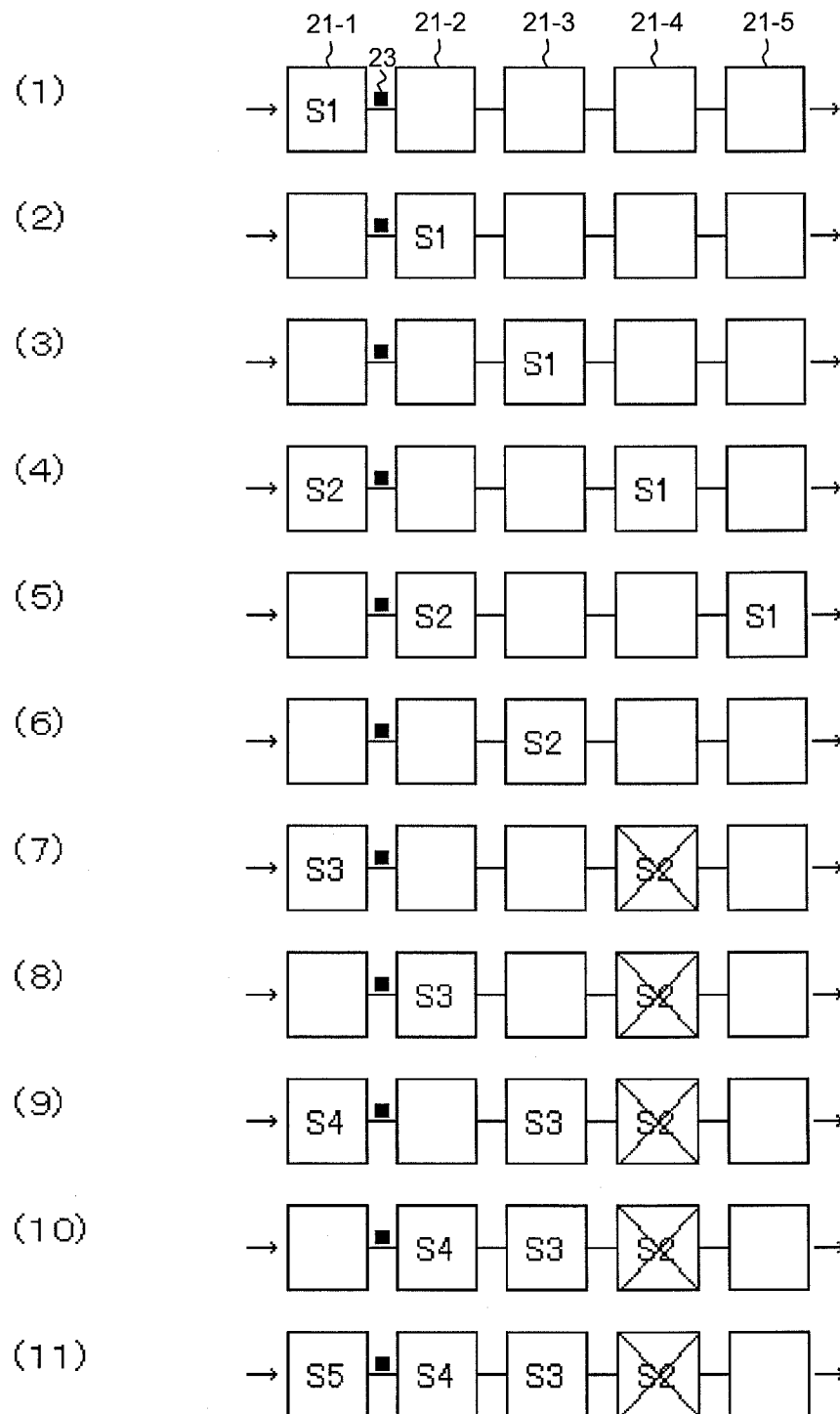
プリチャージ



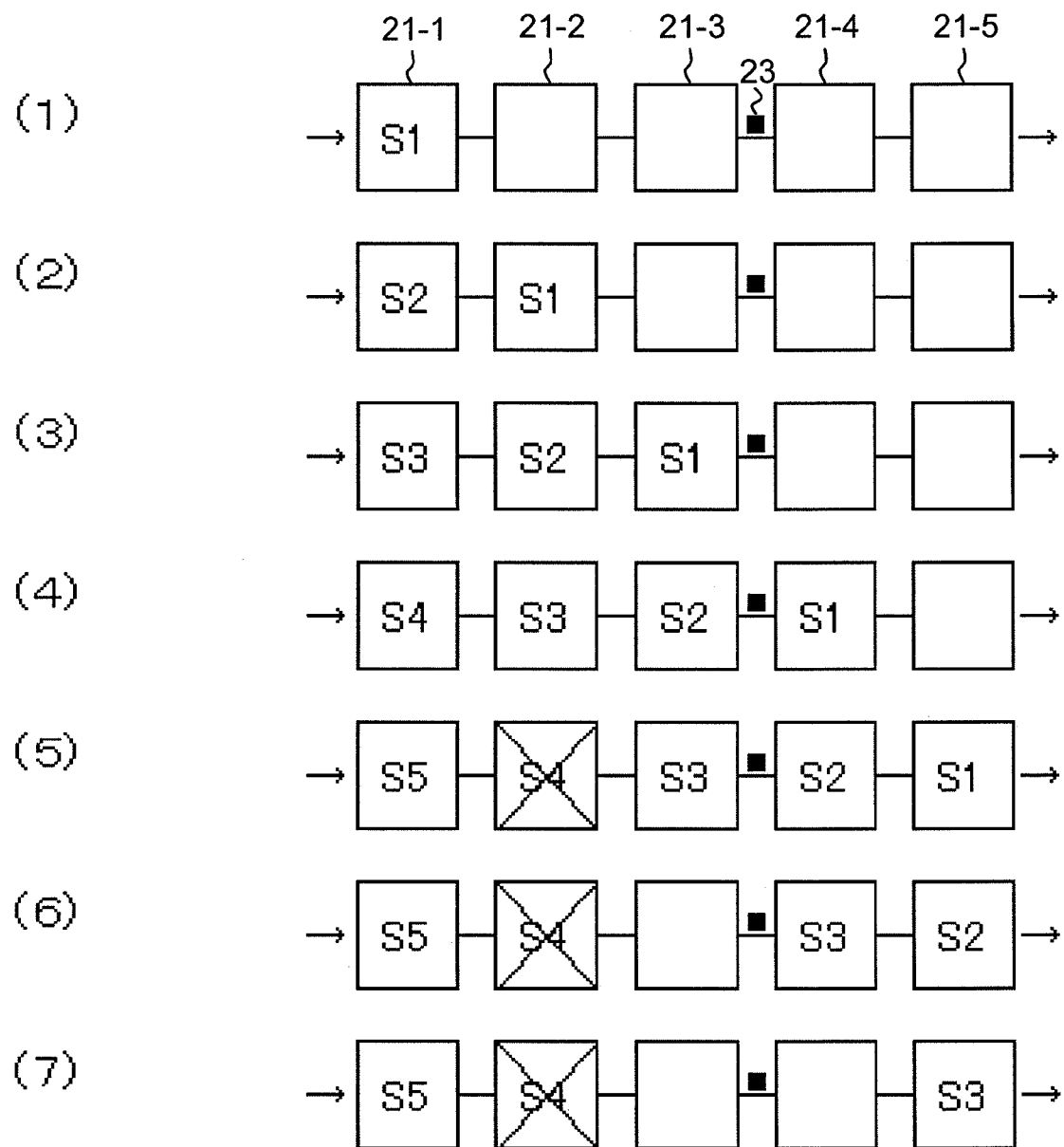
[図4]



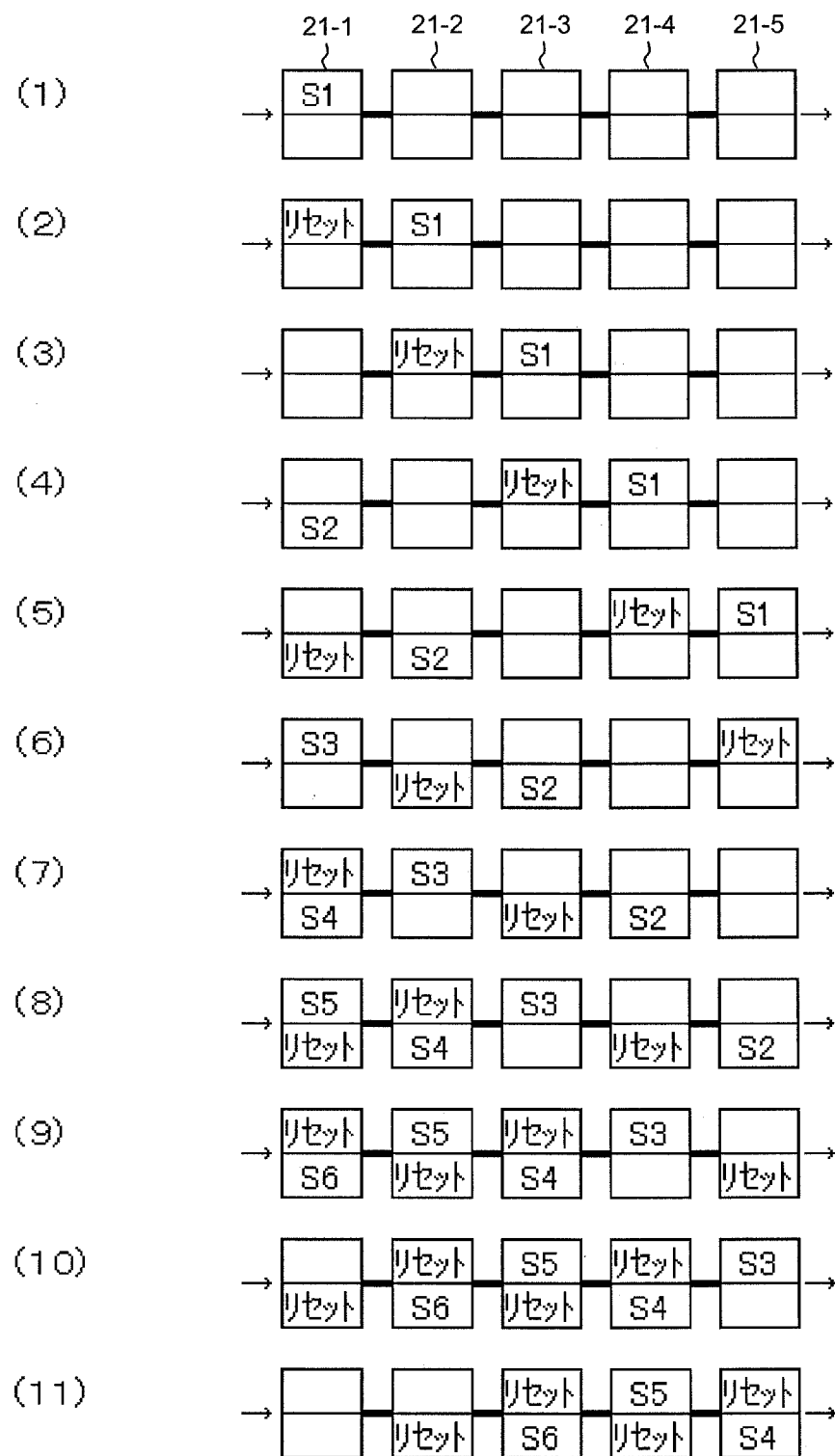
[図5]



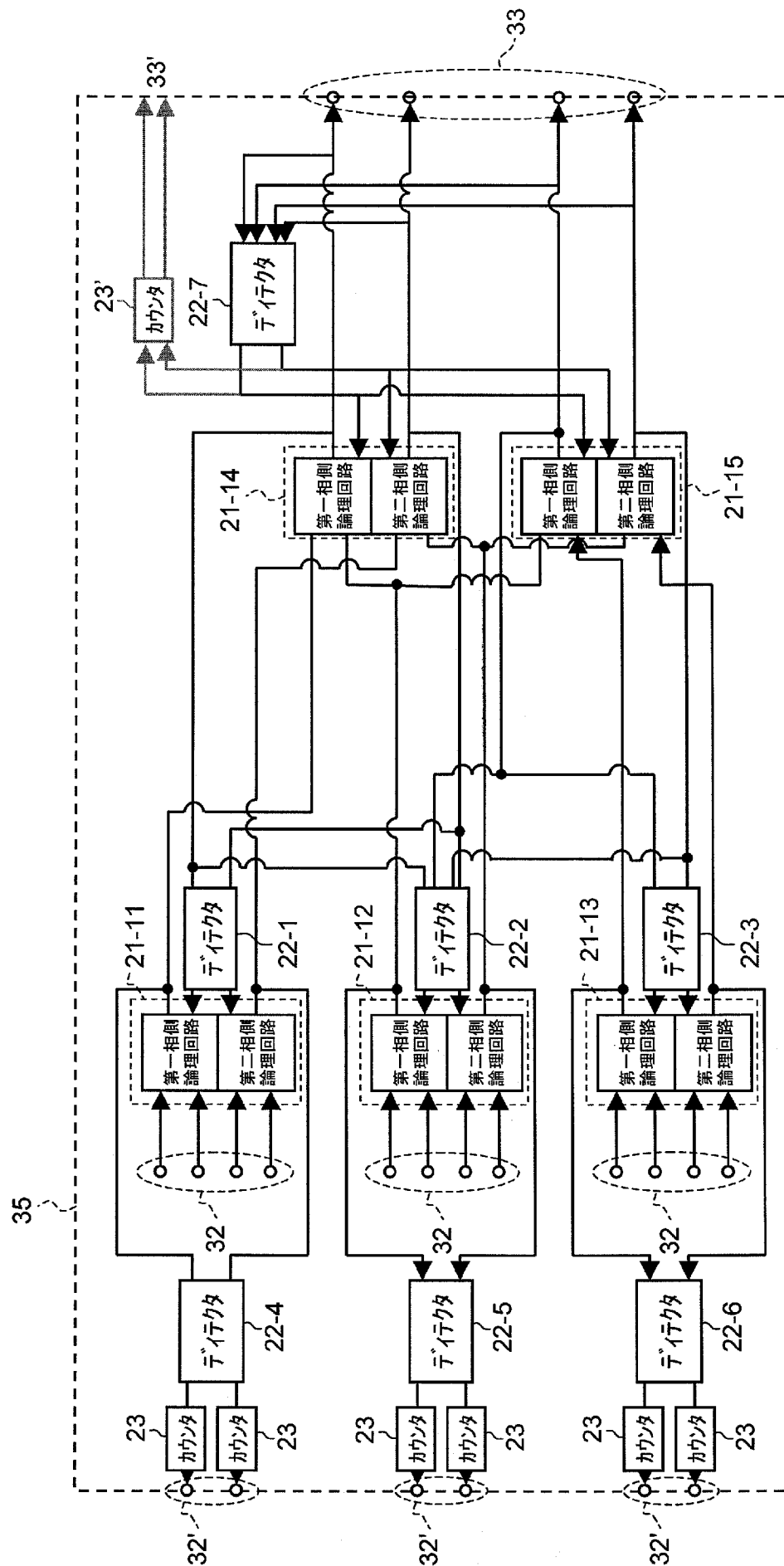
[図6]



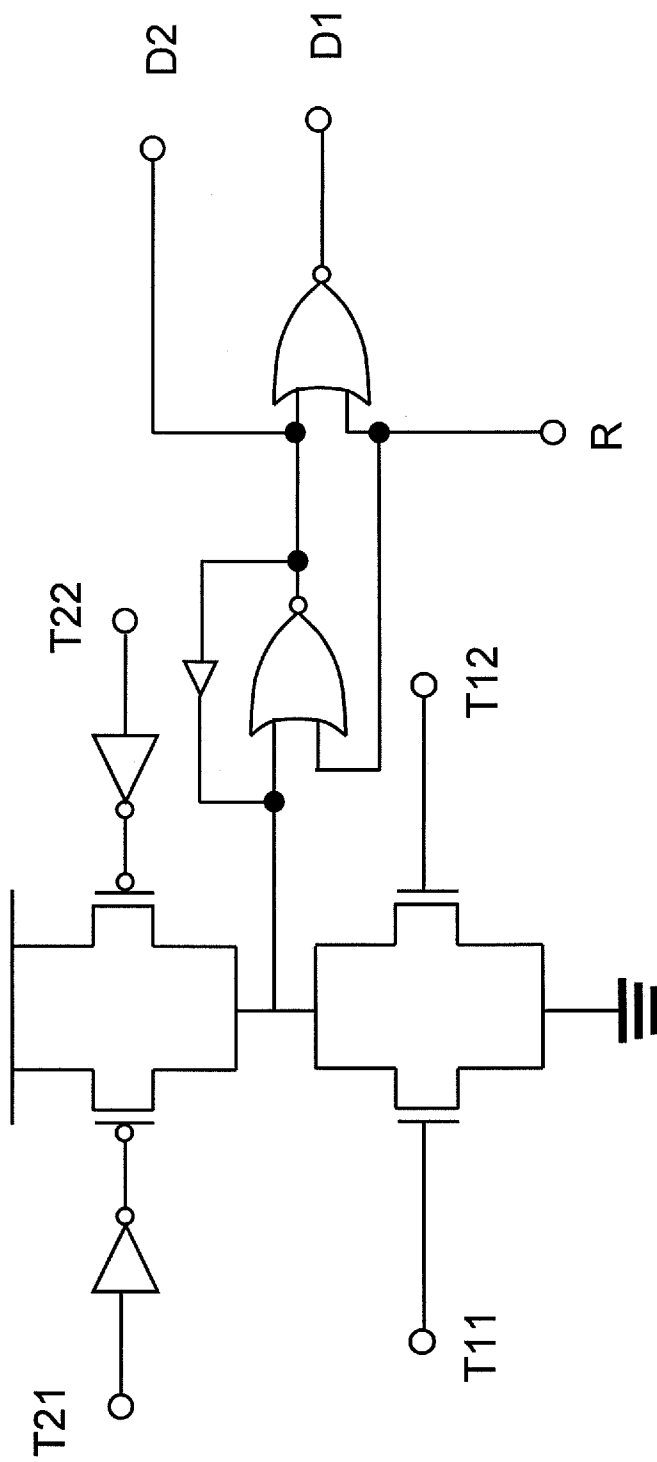
[図7]



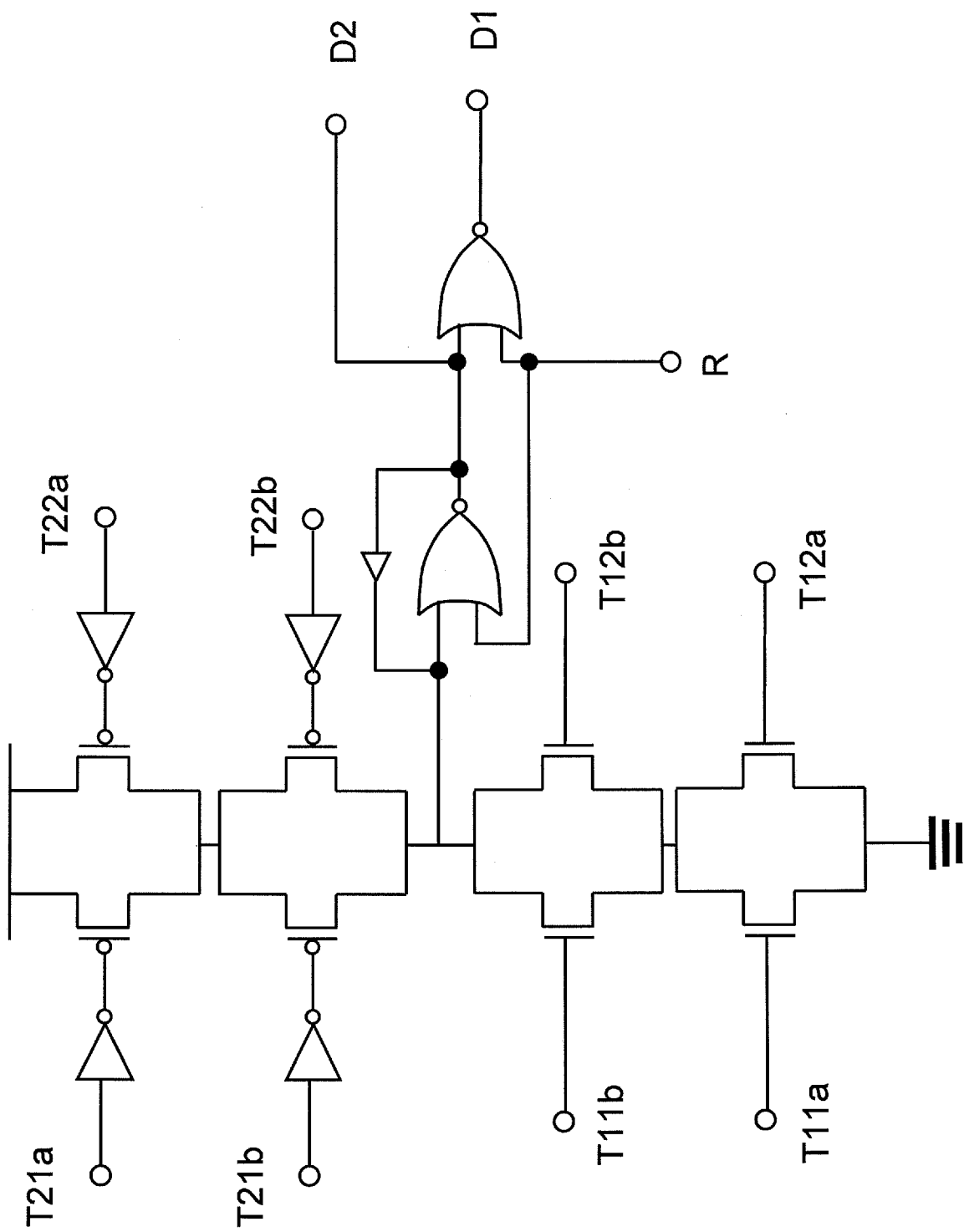
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070601

## A. CLASSIFICATION OF SUBJECT MATTER

H03K19/00(2006.01)i, G06F7/00(2006.01)i, H03K5/19(2006.01)i, H03K19/003(2006.01)i, H03K19/017(2006.01)i, H03K19/096(2006.01)i, H03K19/21(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/00, G06F7/00, H03K5/19, H03K19/003, H03K19/017, H03K19/096, H03K19/21

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                   | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2-36436 A (NEC Corp.),<br>06 February 1990 (06.02.1990),<br>all pages; fig. 1, 2<br>& US 5111458 A & FR 2634918 A | 1-4                   |
| A         | JP 64-29927 A (Advantest Corp.),<br>31 January 1989 (31.01.1989),<br>all pages; fig. 1 to 3<br>(Family: none)        | 1-4                   |
| A         | JP 60-95643 A (Fujitsu Ltd.),<br>29 May 1985 (29.05.1985),<br>all pages; drawings<br>(Family: none)                  | 1-4                   |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
23 February, 2010 (23.02.10)

Date of mailing of the international search report  
02 March, 2010 (02.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K19/00(2006.01)i, G06F7/00(2006.01)i, H03K5/19(2006.01)i, H03K19/003(2006.01)i,  
H03K19/017(2006.01)i, H03K19/096(2006.01)i, H03K19/21(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K19/00, G06F7/00, H03K5/19, H03K19/003, H03K19/017, H03K19/096, H03K19/21

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                 | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------|----------------|
| A               | JP 2-36436 A (日本電気株式会社) 1990.02.06, 全頁, 第 1, 2 図 &<br>US 5111458 A & FR 2634918 A | 1 - 4          |
| A               | JP 64-29927 A (株式会社アドバンテスト) 1989.01.31, 全頁, 第 1<br>- 3 図 (ファミリーなし)                | 1 - 4          |
| A               | JP 60-95643 A (富士通株式会社) 1985.05.29, 全頁, 図 (ファミリ<br>ーなし)                           | 1 - 4          |

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 2 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宮島 郁美

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

8 5 2 3