



(45) 授权公告日 2015.08.19

权利要求书2页 说明书15页 附图17页

1. 一种固体摄像装置,其包括:

第二导电型的半导体区,其形成于半导体基板的表面侧上;

光电转换元件,其具有第一导电型的杂质区,并且所述光电转换元件根据入射光量产生电荷并在其内部累积所述电荷;

电荷保持区,其具有所述第一导电型的杂质区,并且由所述光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至所述电荷被读出为止;

中间传输路径,其具有布置在所述光电转换元件和所述电荷保持区之间的区域中的所述第一导电型的杂质区,并且只有在曝光时段期间由所述光电转换元件产生并且超出预定电荷量的电荷通过所述中间传输路径而传输至所述电荷保持区中;和

杂质层,其具有布置在所述光电转换元件和所述电荷保持区之间并在所述中间传输路径下面的区域中的所述第二导电型的杂质区,并且所述杂质层的杂质浓度比所述第二导电型的半导体区的杂质浓度高,

其中,构成所述中间传输路径的所述第一导电型的杂质区的结深设定为比构成所述电荷保持区的所述第一导电型的杂质区的结深浅,并且构成所述中间传输路径的所述第一导电型的杂质区的杂质浓度设定为比构成所述电荷保持区的所述第一导电型的杂质区的杂质浓度低。

2. 如权利要求 1 所述的固体摄像装置,其中,具有所述第二导电型的杂质区的所述杂质层形成具有预定的杂质浓度,以至于不被所述光电转换元件和所述电荷保持区的电位而置入耗尽状态。

3. 如权利要求 1 所述的固体摄像装置,其中,沿着以深度方向穿过所述中间传输路径的线的电位状态为:在比构成所述电荷保持区的所述第一导电型的杂质区的下端浅的位置处形成至少一个最小电位点和至少一个最大电位点,并且所述最大电位点形成于比所述最小电位点深的位置。

4. 如权利要求 1 所述的固体摄像装置,其中,具有所述第二导电型的杂质区的所述杂质层形成延伸为构成所述电荷保持区的所述第一导电型的杂质区的下端的深处。

5. 如权利要求 1 所述的固体摄像装置,其中,具有所述第二导电型的杂质区的所述杂质层形成如此形状,即从构成所述中间传输路径的所述第一导电型的杂质区下方的位置向着构成所述电荷保持区的所述第一导电型的杂质区的下部延伸。

6. 如权利要求 5 所述的固体摄像装置,其中,构成所述光电转换元件的第一导电型的所述杂质区形成如此形状,即从形成于该杂质区的表面上的所述杂质层的下方的位置向着具有所述第二导电型的杂质区的杂质层的下部延伸,具有所述第二导电型的杂质区的杂质层向着构成所述电荷保持区的所述第一导电型的杂质区的下部延伸。

7. 如权利要求 1 所述的固体摄像装置,

还包括传输门,所述传输门设置在所述中间传输路径和所述电荷保持区的上部,并且将电荷从所述光电转换元件传输至所述电荷保持区中,

其中,构成所述光电转换元件的所述第一导电型的杂质区所形成的区域和所述传输门在平面图中布置为彼此重叠。

8. 如权利要求 1 所述的固体摄像装置,其中,所述光电转换元件和所述电荷保持区形成具有空穴累积二极管结构。

9. 如权利要求 1 所述的固体摄像装置,还包括:

第一电极,其覆盖所述中间传输路径的上部;和

第二电极,其覆盖所述电荷保持区的上部;

所述第一电极和所述第二电极形成为彼此隔开。

10. 一种制造固体摄像装置的方法,其包括如下步骤:

形成光电转换元件,所述光电转换元件具有第一导电型的杂质区,并且根据入射光量产生电荷并在其内部累积所述电荷;

形成电荷保持区,所述电荷保持区具有所述第一导电型的杂质区,并且由所述光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至所述电荷被读出为止;

形成中间传输路径,所述中间传输路径具有布置在所述光电转换元件和所述电荷保持区之间的区域中的所述第一导电型的杂质区,并且只有在曝光时段期间由所述光电转换元件产生并且超出预定电荷量的电荷通过所述中间传输路径而传输至所述电荷保持区中;并且

形成杂质层,所述杂质层具有布置在所述光电转换元件和所述电荷保持区之间并在所述中间传输路径下面的区域中的第二导电型的杂质区,并且所述杂质层的杂质浓度比形成于半导体基板的表面侧上的所述第二导电型的半导体区的杂质浓度高,

其中,构成所述中间传输路径的所述第一导电型的杂质区的结深设定为比构成所述电荷保持区的所述第一导电型的杂质区的结深浅,并且构成所述中间传输路径的所述第一导电型的杂质区的杂质浓度设定为比构成所述电荷保持区的所述第一导电型的杂质区的杂质浓度低。

11. 一种包括固体摄像装置的电子设备,所述固体摄像装置包括:

第二导电型的半导体区,其形成于半导体基板的表面侧上;

光电转换元件,其具有第一导电型的杂质区,并且所述光电转换元件根据入射光量产生电荷并在其内部累积所述电荷;

电荷保持区,其具有所述第一导电型的杂质区,并且由所述光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至所述电荷被读出为止;

中间传输路径,其具有布置在所述光电转换元件和所述电荷保持区之间的区域中的所述第一导电型的杂质区,并且只有在曝光时段期间由所述光电转换元件产生并且超出预定电荷量的电荷通过所述中间传输路径而传输至所述电荷保持区中;和

杂质层,其具有布置在所述光电转换元件和所述电荷保持区之间并在所述中间传输路径下面的区域中的所述第二导电型的杂质区,并且所述杂质层的杂质浓度比所述第二导电型的半导体区的杂质浓度高,

其中,在以矩阵形式布置的单位像素中,在多行中的所述单位像素同时进行电荷累积,从所述光电转换元件传输至所述电荷保持区中的电荷被依次读出,并且

构成所述中间传输路径的所述第一导电型的杂质区的结深设定为比构成所述电荷保持区的所述第一导电型的杂质区的结深浅,并且构成所述中间传输路径的所述第一导电型的杂质区的杂质浓度设定为比构成所述电荷保持区的所述第一导电型的杂质区的杂质浓度低。

固体摄像装置、制造固体摄像装置的方法和电子设备

[0001] 相关申请的交叉引用

[0002] 本申请包含与 2010 年 3 月 31 日向日本专利局提交的日本专利申请 JP 2010-083600 中公开的相关主题并要求其优先权,将其全部内容通过引用并入此处。

技术领域

[0003] 本发明涉及一种固体摄像装置、制造固体摄像装置的方法和电子设备。具体来说,本发明涉及一种可得到高质量的图像的固体摄像装置、制造该固体摄像装置的方法和使用该固体摄像装置的电子设备。

背景技术

[0004] 已经为多种用途而将固体摄像装置合并到各种电子设备中,所述各种电子设备例如是如数码相机、摄像机等的摄像设备以及具有摄像功能的移动终端设备。固体摄像装置包括具有基于像素的放大元件的 APS(有源像素传感器),并且 CMOS(互补 MOS)图像传感器被广为应用,在所述 CMOS(互补 MOS)图像传感器中,累积于设置为光电转换元件的光电二极管中的信号电荷通过 MOS(金属氧化物半导体)晶体管读出。

[0005] 在根据相关技术的 CMOS 图像传感器中的单位像素例如具有 HAD(空穴累积二极管)结构的光电二极管和相对于传输门布置在光电二极管的相对侧的 FD(浮动扩散)区。单位像素不仅具有这些部件,还具有复位晶体管、选择晶体管和放大晶体管。

[0006] 一般来说,在 CMOS 图像传感器中,基于像素阵列中的每行而进行读出在每个光电二极管中累积的信号电荷的读出操作,并且在读出操作完成的时刻,已完成读出操作的像素重新开始电荷的累积。在 CMOS 图像传感器中,因为基于像素阵列中的每条线如此进行读出操作,故不能使信号电荷累积时段对所有像素一致。因此当被摄像的对象正在移动或处于其他类似状态的情况下,得到的图像会发生畸变。例如,当对在垂直方向为直线状并且进行水平移动的对象进行摄像时,该对象被拍摄为似乎是倾斜的。

[0007] 为避免这种图像畸变的产生,已开发出了一种用于 CMOS 图像传感器的全像素同步电子快门,其用于对所有像素实现同一曝光时段。全像素同步电子快门是一种能确保对所有像素同时开始并同时结束曝光的对摄像有效的快门,并且这种系统也称作全局快门(整体曝光)。

[0008] 作为一种用于在 CMOS 图像传感器中实现全局快门的方法,例如有一种将电荷保持区设置在每个像素的光电二极管和 FD 区之间的方法。相比于没有电荷保持区的像素结构,在每个像素中设有电荷保持区的情况下,光电二极管的面积受到限制,由此减小了饱和电荷量。

[0009] 鉴于上述问题,本申请人提出了一种其中将光电二极管和电荷保持区通过溢出通道而整体地结合在一起的像素结构,以避免光电二极管的最大电荷量的减小(例如,参照日本专利特开 2009-268083 号公报,下文中称作专利文献 1)。

[0010] 然而,在专利文献 1 中所述的结构的 CMOS 图像传感器中,光电二极管和电荷保持

区之间的溢出通道的势垒会由于制造的差异结果引起的杂质浓度的变化而易于变化。具体来说,在像素尺寸缩小并且像素结构变精细的情况下,变得更难于控制杂质浓度的变化。

[0011] 具体来说,在专利文献 1 所述的溢出通道的结构中,溢出通道的势垒取决于单个杂质层,并且当实现预定的势垒时,难于控制在溢出通道下方的区域(以深度方向隔开的区域)中的电位。因此,在溢出通道下方的区域中,在存在于所述区域两侧的光电二极管和电荷保持区的影响下,电位会发生变化。

[0012] 特别是在随着 COMS 图像传感器的芯片尺寸的缩小而每个单位像素的面积减小的情况下,在溢出通道下方的区域中的电位变得更易受光电二极管和电荷保持区的影响,从而电位可能变化更大。在溢出通道下方的区域受到光电二极管和电荷保持区影响的情况下,由于短沟道效应而导致的击穿现象变得更易于发生,并且变得难于在光电二极管中稳定地累积预定的信号电荷。

发明内容

[0013] 在如上所述不能在光电二极管中稳定地累积预定的信号电荷的情况下,所拍摄的图像质量会劣化。于是,需要抑制在固体摄像装置所具有每个像素中的溢出通道下方的区域中的电位的变化,从而提高所拍摄的图像质量。

[0014] 于是,期望得到图像质量提高的图像。

[0015] 根据本发明的一个实施方式,提供了一种固体摄像装置,所述固体摄像装置包括:第二导电型的半导体区,其形成于半导体基板的表面侧上;光电转换元件,其具有第一导电型的杂质区,并且所述光电转换元件根据入射光量产生电荷并在其内部累积电荷;电荷保持区,其具有第一导电型的杂质区,并且由光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至该电荷被读出为止;中间传输路径,其具有布置在光电转换元件和电荷保持区之间的区域中的第一导电型的杂质区,并且只有在曝光时段期间由光电转换元件产生并超出预定电荷量的电荷通过所述中间传输路径而被传输至电荷保持区中;和杂质层,其具有布置在光电转换元件和电荷保持区之间并在中间传输路径下面的区域中的第二导电型的杂质区,并且所述杂质层的杂质浓度比第二导电型的半导体区的杂质浓度高。

[0016] 根据本发明的另一实施方式,提供了一种制造固体摄像装置的方法,所述方法包括如下步骤:形成光电转换元件,所述光电转换元件具有第一导电型的杂质区,并且根据入射光量产生电荷并在其内部累积所述电荷;形成电荷保持区,所述电荷保持区具有所述第一导电型的杂质区,并且由所述光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至所述电荷被读出为止;形成中间传输路径,所述中间传输路径具有布置在所述光电转换元件和所述电荷保持区之间的区域中的所述第一导电型的杂质区,并且只有在曝光时段期间由所述光电转换元件产生并且超出预定电荷量的电荷通过所述中间传输路径而传输至所述电荷保持区中;并且形成杂质层,所述杂质层具有布置在所述光电转换元件和所述电荷保持区之间并在所述中间传输路径下面的区域中的所述第二导电型的杂质区,并且所述杂质层的杂质浓度比形成于半导体基板的表面侧上的所述第二导电型的半导体区的杂质浓度高。

[0017] 根据本发明的另一实施方式,提供了一种包括固体摄像装置的电子设备,所述固体摄像装置包括:第二导电型的半导体区,其形成于半导体基板的表面侧上;光电转换元

件,其具有第一导电型的杂质区,并且所述光电转换元件根据入射光量产生电荷并在其内部累积电荷;电荷保持区,其具有第一导电型的杂质区,并且由光电转换元件通过光电转换而产生的电荷保持在所述电荷保持区中,直至该电荷被读出为止;中间传输路径,其具有布置在光电转换元件和电荷保持区之间的区域中的第一导电型的杂质区,并且只有在曝光时段期间由光电转换元件产生并超出预定电荷量的电荷通过所述中间传输路径而被传输至电荷保持区中;和杂质层,其具有布置在光电转换元件和电荷保持区之间并在中间传输路径下面的区域中的第二导电型的杂质区,并且所述杂质层的杂质浓度比第二导电型的半导体区的杂质浓度高;其中,在以矩阵形式布置的单位像素中,在多行中的单位像素同时进行电荷累积,并且从光电转换元件传输至电荷保持区中的电荷被依次读出。

[0018] 根据本发明的上述实施方式,提供了一种杂质层,所述杂质层具有布置在光电转换元件和电荷保持区之间并在中间传输路径下面的区域中的第二导电型的杂质区,并且所述杂质层的杂质浓度比形成于半导体基板的表面侧上的第二导电型的半导体区的杂质浓度高。

[0019] 根据本发明的上述实施方式,可得到具有高图像质量的图像,并且可制造能够产生具有高质量的图像的固体摄像装置。

附图说明

[0020] 图 1 是用于图示根据本发明的实施方式的固体摄像装置的实施方式的配置例的框图;

[0021] 图 2 表示作为第一实施方式的单位像素的配置;

[0022] 图 3A 和图 3B 是分别用于图示作为第一实施方式的单位像素的配置的平面图和截面图;

[0023] 图 4A ~ 图 4C 各自表示电位状态;

[0024] 图 5 表示制造单位像素的方法;

[0025] 图 6 是根据第二实施方式的单位像素的截面图;

[0026] 图 7A 和图 7B 表示在单位像素中的效果;

[0027] 图 8 表示在单位像素中的效果;

[0028] 图 9 是根据第三实施方式的单位像素的截面图;

[0029] 图 10 是根据第四实施方式的单位像素的截面图;

[0030] 图 11 是根据第五实施方式的单位像素的截面图;

[0031] 图 12 是根据第六实施方式的单位像素的截面图;

[0032] 图 13 表示制造单位像素的方法;

[0033] 图 14 是根据第七实施方式的单位像素的平面图;

[0034] 图 15A 和图 15B 表示根据第七实施方式的单位像素的截面图和电位状态;

[0035] 图 16 表示单位像素的其他第一配置例的结构;

[0036] 图 17 表示单位像素的其他第二配置例的结构;

[0037] 图 18 表示单位像素的其他第三配置例的结构;并且

[0038] 图 19 是用于图示根据本发明的实施方式的作为电子设备的摄像设备的配置例的框图。

具体实施方式

[0039] 现在,参照附图说明本发明的具体实施方式。

[0040] 图 1 是用于图示根据本发明的固体摄像装置的实施方式的配置例的框图。

[0041] [固体摄像装置的配置例]

[0042] 图 1 是用于图示根据本发明的作为固体摄像装置的 CMOS 图像传感器的配置例的框图。

[0043] CMOS 图像传感器 100 包括像素阵列部 111、垂直驱动部 112、列处理部 113、水平驱动部 114 和系统控制部 115。像素阵列部 111、垂直驱动部 112、列处理部 113、水平驱动部 114 和系统控制部 115 形成于未图示的半导体基板(芯片)上。

[0044] 在像素阵列部 111 中,以矩阵的形式二维地布置单位像素(例如图 2 中的单位像素 120A),所述单位像素每个具有用于产生对应于入射光量的电荷量的光电荷并将光电荷累积于其中的光电转换元件。顺带提及,在下列描述中,有时将对应于入射光量的电荷量的光电荷简称作“电荷”,并且将单位像素简称作“像素”。

[0045] 在像素阵列部 111 中,沿图中的左右方向(在像素行中的像素的排列方向)为矩阵形式的像素排列中的每行还形成像素驱动线 116,并且沿图中的垂直方向(在像素列中的像素的排列方向)为矩阵形式的像素排列中的每列形成垂直信号线 117。虽然在图 1 中每个像素驱动线 116 由一条线构成,但是构成每条像素驱动线 116 的线的数量不限于一个。每条像素驱动线 116 的一端连接至垂直驱动部 112 中的对应于每行的输出端。

[0046] CMOS 图像传感器 100 还包括信号处理部 118 和数据存储器部 119。信号处理部 118 和数据存储器部 119 可通过例如数字信号处理器(DSP)或软件的外部信号处理部进行处理,所述外部信号处理部可与 CMOS 图像传感器 100 设置在不同的基板上,或可与 CMOS 图像传感器 100 设置在同一基板上。

[0047] 垂直驱动部 112 具有移位寄存器或地址解码器等,并且是这样一种像素驱动部,即通过该像素驱动部,以对所有像素同时地或每次一行地或以类似的方式对像素阵列部 111 中的像素进行驱动。在图中省略具体配置的垂直驱动部 112 通常具有两个扫描系统,即读出扫描系统和清除扫描系统。

[0048] 读出扫描系统对在像素阵列部 111 中的单位像素每次一行地进行顺序选择性的扫描,以从单位像素中读出信号。清除扫描系统对经过读出扫描系统的读出扫描的读出行进行清除扫描,所述清除扫描比读出扫描超前对应于快门速度的一个时段。

[0049] 由于清除扫描系统的清除扫描,将不需要的电荷从读出行的单位像素中的光电转换元件中清除(光电转换元件被复位)。而且,由于清除扫描系统清除不需要的电荷(复位),故进行所谓的电子快门操作。此处,电子快门操作表示放弃存在于光电转换元件中的光电荷并重新开始曝光(开始累积光电荷)的操作。

[0050] 由读出扫描系统的读出操作所读出的信号对应于立即在前的读出操作或电子快门操作之后所入射的光量。然后,从立即在前的读出操作的读出时刻或立即在前的电子快门操作的清除时刻至当前时刻的读出操作的读出时刻的时段成为单位像素中的光电荷的累积时间(曝光时间)。

[0051] 从已经过垂直驱动部 112 的选择性扫描的像素行中的每个单位像素中输出的像

素信号通过每条垂直信号线 117 而供给列处理部 113。列处理部 113 基于像素阵列部 111 中的每个像素列而对从选定的行中的每个单位像素中通过垂直信号线 117 输出的像素信号进行预定的信号处理,并且暂时保持信号处理后得到的像素信号。

[0052] 具体来说,列处理部 113 至少进行例如相关双采样(CDS)处理的噪声去除处理以作为信号处理。由于列处理部 113 的 CDS 处理,去除诸如复位噪声、放大晶体管的阈值差异等像素固有的固定模式噪声。列处理部 113 不仅可具有噪声去除处理功能,还可具有例如 AD(模拟至数字)转换功能,于是以数字信号的形式输出信号电平。

[0053] 水平驱动部 114 具有移位寄存器或地址解码器等,并且依次选择对应于列处理部 113 中的像素列的单位电路。由于水平驱动部 114 的选择性扫描,将已在列处理部 113 中经过信号处理的像素信号依次输出至信号处理部 118。

[0054] 系统控制部 115 具有例如用于生成各种时序信号的时序发生器,并且基于由时序发生器生成的各种时序信号而对垂直驱动部 112、列处理部 113 和水平驱动部 114 等进行驱动控制。

[0055] 信号处理部 118 至少具有加法运算处理功能,并且对从列处理部 113 输出的像素信号进行诸如加法运算处理的各种信号处理。数据存储器部 119 暂存在信号处理部 118 中进行的信号处理所需要的数据。

[0056] [单位像素的结构]

[0057] 下面说明在像素阵列部 111 中以矩阵形式布置的单位像素 120A 的具体结构。单位像素 120A 具有不同于浮动扩散区(电容器)的用于保持从光电转换元件传输来的光电电荷的电荷保持区(下文中称作“存储器部”)。

[0058] 图 2 图示了单位像素 120A 的结构。

[0059] 单位像素 120A 例如具有作为光电转换元件的光电二极管(PD)121。光电二极管 121 例如是通过下述方法形成的埋入型光电二极管,在所述方法中,在 N 型基板 131 中形成的 P 型阱层 132 中,在基板表面侧形成 P 型层 133(P+) 以埋入 N 型埋入层 134(N)。在本实施方式中,认为 N 型为第一导电型,并且 P 型为第二导电型。

[0060] 单位像素 120A 不仅具有光电二极管 121,还具有第一传输门 122、存储器部(MEM)123、第二传输门 124 和浮动扩散区(FD)125。附带提及,通过遮光膜(未图示)对单位像素 120A 进行遮光,由此,除了用于将光导入光电二极管 121 的开口部以及每个晶体管的接触部等之外的其他部分被遮光。

[0061] 一旦对栅极 122A 施加传输脉冲 TRX,第一传输门 122 传输在光电二极管 121 中通过光电转换而产生并累积在光电二极管 121 中的电荷。而且,在第一传输门 122 中,具体地在栅极 122A 下面的光电二极管 121 和存储器部 123 之间的边界部设置 N- 型杂质扩散区 137,从而形成溢出通道 130。而且,在杂质扩散区 137 下方设置导电型与杂质扩散区 137 的导电型相反的高浓度 P+ 型杂质扩散区 138(比 P 型阱层 132 的杂质浓度高的 P 型杂质层)。附带提及,后面参照图 3A ~ 图 4C 说明杂质扩散区 137 和杂质扩散区 138。

[0062] 存储器部 123 具有形成于栅极 122A 下面的 N 型埋入沟道 135(N),并且保持从光电二极管 121 通过第一传输门 122 而传输来的电荷。可通过具有埋入沟道 135 的存储器部 123 以抑制在基板界面处的暗电流的产生,这有助于提高图像质量。

[0063] 在存储器部 123 中,栅极 122A 设置于存储器部 123 的上部,并且通过对栅极 122A

施加传输脉冲 TRX, 可对存储器部 123 进行调制。具体来说, 通过施加至栅极 122A 的传输脉冲 TRX, 存储器部 123 的电位变深。结果, 相比于未调制的情况, 可增加存储器部 123 中的饱和电荷量。

[0064] 一旦对栅极 124A 施加传输脉冲 TRG, 第二传输门 124 传输保持在存储器部 123 中的电荷。浮动扩散区 125 是具有 N 型层 (N++) 的电荷电压转换部, 并且将从存储器部 123 通过第二传输门 124 传输来的电荷转换为电压。

[0065] 单位像素 120A 还具有复位晶体管 126、放大晶体管 127 和选择晶体管 128。在图 2 所示的示例中, 将 N 沟道 MOS 晶体管用作复位晶体管 126、放大晶体管 127 和选择晶体管 128。然而, 图 2 所示的复位晶体管 126、放大晶体管 127 和选择晶体管 128 的导电型的组合仅为示例, 并且不限于所述组合。

[0066] 复位晶体管 126 连接于电源 VDB 和浮动扩散区 125 之间, 并且当复位脉冲 RST 施加于复位晶体管 126 的栅极时而使浮动扩散区 125 复位。放大晶体管 127 具有连接至电源 VDO 的漏极, 还具有连接至浮动扩散区 125 的栅极, 并且读出浮动扩散区 125 的电压。

[0067] 例如, 选择晶体管 128 具有与放大晶体管 127 的源极连接的漏极, 并且具有连接至垂直信号线 117 的源极。当对选择晶体管 128 的栅极施加选择脉冲 SEL 时, 选择晶体管 128 选择从中读出像素信号的单位像素 120A。附带提及, 可采用将选择晶体管 128 连接于电源 VDO 和放大晶体管 127 的漏极之间的配置。

[0068] 可根据像素信号的读取方法而省略复位晶体管 126、放大晶体管 127 和选择晶体管 128 中的一个或多个, 或者可由多个像素共用它们。

[0069] 此外, 单位像素 120A 具有用于对在光电二极管 121 中累积的电荷进行放电的电荷放电部 129。当控制脉冲 ABG 在曝光开始时刻施加于栅极 129A 时, 电荷放电部 129 将在光电二极管 121 中的电荷放电至具有 N 型层的漏极部 136 (N++)。而且, 电荷放电部 129 用于在完成曝光后的读出时段期间防止由于光电二极管 121 饱和而发生电荷溢出。对漏极部 136 施加预定电压。

[0070] [存储器部 123 的栅极电位]

[0071] 这里, 说明用作电荷保持区的存储器部 123 的栅极 (即第一传输门 122 的栅极 122A) 的电位。

[0072] 在本实施方式中, 当第一传输门 122 和第二传输门 124 中的至少一个 (例如第一传输门 122) 被设为非导通状态期间, 用作电荷保持区的存储器部 123 的栅极电位被设定在可以确保钉扎状态的电位。

[0073] 更具体地, 在第一传输门 122 和第二传输门 124 中的任何一个或两个都设定为非导通状态时, 施加至栅极 122A、栅极 124A 的电压设定为确保钉扎状态, 在所述钉扎状态中, 与光电荷的极性相反的载流子可在栅极下方的 Si 表面处累积。

[0074] 在本实施方式中, 在构成传输门的晶体管为 N 型的情况下, 当第一传输门 122 被设为非导通状态时, 施加至栅极 122A 的电压相对于 P 型阱层 132 被设定为比地 GND 更负的电位。附带提及, 虽然未图示, 但在构成传输门的晶体管为 P 型的情况下, 上述 P 型阱层被 N 型阱层替代, 并且所述电压相对于 N 型阱层被设定为比电源电压 VDD 更高的电压。

[0075] 当第一传输门 122 设为非导通状态时, 于是施加至栅极 122A 的电压被设定为可确保钉扎状态的电压, 在所述钉扎状态中, 与光电荷极性相反的载流子可在栅极下方的 Si 表

面处累积,原因如下。

[0076] 当第一传输门 122 的栅极 122A 的电位设定为与 P 型阱层 132 相同的电位 (例如 0V) 时,由 Si 表面处的晶体缺陷产生的载流子被累积在存储器部 123 中,并且可变为暗电流而导致图像质量劣化。鉴于此,在本实施方式中,形成于存储器部 123 上面的栅极 122A 的截止电位相对于 P 型阱层 132 被设定为负电位,例如为 -2.0V。在本实施方式中,这可确保在电荷保持时段期间在存储器部 123 的 Si 表面上产生的空穴和在 Si 表面上产生的电子复合。结果,可减小暗电流。

[0077] 附带提及,在图 2 所示的配置中,第二传输门 124 的栅极 124A 位于存储器部 123 的端部。因此,同样通过将栅极 124A 设定为负电位,可类似地抑制在存储器部 123 的端部中产生的暗电流。此外,虽然下面在每个实施方式中说明了使用 N 型基板的配置例,但是也可使用 P 型基板。在这种情况下,例如,在图 2 所示的配置例中的 N 型基板 131 和 P 型阱层 132 各自由 P 型半导体区构成。

[0078] 在 CMOS 图像传感器 100 中,对所有像素同时开始曝光,对所有像素同时结束曝光,并且将在光电二极管 121 中累积的电荷依次传输至存储器部 123 (被遮光) 和浮动扩散区 125,由此实现整体曝光。整体曝光确保所有像素的曝光时段相同,由此实现无畸变的摄像。

[0079] 附带提及,在本实施方式中的“所有像素”指的是不包括伪像素等的出现在图像中的各个部分中的所有像素。此外,如果时间差和图像畸变很小而不会产生任何问题,则对所有像素同时进行的操作可替代为基于一次对多行 (例如几十行) 进行高速扫描的操作。此外,本发明同样适用于这样的情况,即对处于预定区域中的多行中的像素、而不是对出现在图像中的各个部分中的所有像素进行整体曝光。

[0080] [第一实施方式]

[0081] 下面,参照图 3A ~ 图 4C 说明在第一实施方式中的单位像素 120A 的配置。在图 3A ~ 图 4C 和下列图中,以上面使用的相同的附图标记表示与以上图 2 中的单位像素中的部件相同的部件,并且省略了对所述相同部件的详述。

[0082] 图 3A 是用于图示单位像素 120A 的配置的平面图,并且图 3B 是沿图 3A 的平面图中的线 A-A' 所截取的单位像素 120A 的截面图。

[0083] 如图 3A 和图 3B 所示,光电二极管 121、存储器部 123 和浮动扩散区 125 布置在单位像素 120A 中。光电二极管 121 和存储器部 123 形成为具有这样的杂质浓度,即一旦电荷放电时就得到耗尽状态。浮动扩散区 125 形成为具有这样的杂质浓度,即允许与用于取出电压的布线接触部电连接。

[0084] 而且,在单位像素 120A 中,第一传输门 122 设置在光电二极管 121 和存储器部 123 之间,并且第二传输门 124 设置在存储器部 123 和浮动扩散区 125 之间。此外,设置栅极 122A 以覆盖第一传输门 122 和存储器部 123,并且设置栅极 124A 以覆盖第二传输门 124。

[0085] 在单位像素 120A 中,在设置有形成于光电二极管 121 和存储器部 123 之间的边界部中的第一传输门 122 的区域中,形成溢出通道 130,使得超出预定量的信号电荷从光电二极管 121 通过溢出通道 130 而自动放电至存储器部 123。这里,假设对栅极 122A 施加在第一传输门 122 的栅极 122A 下面的硅表面上累积空穴所必需的负电压。

[0086] 如图 3B 所示,在单位像素 120A 中,在栅极 122A 下面的在光电二极管 121 和存储器部 123 之间的边界部的表面侧,设有与构成光电二极管 121 和存储器部 123 的杂质 (N)

具有相同的导电型的N-型杂质扩散区137,由此形成溢出通道130。而且,在单位像素120A中,与杂质扩散区137具有相反导电型的高浓度P+型杂质扩散区138设置在杂质扩散区137下方。

[0087] 更具体地,P型阱层132形成于N型基板131上,并且光电二极管121为HAD(空穴累积二极管)结构。构成光电二极管121的N型埋入层134的杂质浓度例如约 $10^{16} \sim 10^{18} \text{cm}^{-3}$,并且在光电二极管121的表面上形成的P型层133的杂质浓度例如约 $10^{17} \sim 10^{18} \text{cm}^{-3}$ 。此外,类似于光电二极管121的N型埋入层134,构成存储器部123的N型埋入沟道135的杂质浓度约为 $10^{16} \sim 10^{18} \text{cm}^{-3}$ 。

[0088] 而且,和构成存储器部123的N型埋入沟道135相比,构成溢出通道130的杂质扩散区137设定为结深度(junction depth)更浅并且杂质浓度更低。此外,设置在溢出通道130下方的杂质扩散区138形成成为具有这样的杂质浓度,以至于在信号电荷累积在光电二极管121和存储器部123中的条件下,使得不会使杂质扩散区138由于光电二极管121和存储器部123的电位的侵入而进入耗尽状态。例如,杂质扩散区138形成成为具有约为 $10^{17} \sim 10^{18} \text{cm}^{-3}$ 的杂质浓度。此外,杂质扩散区138的深度设定为从杂质扩散区137下方的位置至少至构成存储器部123的N型埋入沟道135的下端的深度。

[0089] 下面,参照图4A~图4C说明如上配置的溢出通道130的电位状态。图4A~图4C分别图示了沿图3B的线Z1-Z1'的电位状态、沿图3B的线Z2-Z2'的电位状态和沿图3B的线C1-C1'的电位状态。

[0090] 如图4A所示,势垒在设置杂质扩散区137的区域中(在光电二极管(PD)和存储器部(MEM)之间的区域中)降低。此外,如图4B所示,在设置于杂质扩散区137下方的杂质扩散区138的区域中,势垒可以提供非导通状态。

[0091] 图4C图示了沿溢出通道130的深度方向的截面中的电位状态。如图4C所示,对电子的势垒的最小(最低)点形成于杂质扩散区137中,并且对电子的势垒的最大(最高)点形成于杂质扩散区138中。

[0092] 于是,其中设置有杂质扩散区138的配置使得可以提高电位。因此,即使当溢出通道130的传输路径随着单位像素120A的尺寸的小型化(最小化)而缩小时,仍可形成超出预定量的电荷从光电二极管121溢出至存储器部123所必需的势垒。而且,可防止由于光电二极管121和存储器部123之间的溢出通道130下面的各耗尽层的连接而引起击穿现象。

[0093] 这里,在以CMOS图像传感器为代表的固体摄像装置中,通常,光吸收波长是与规模大小无关的物理常数;因此,为保持硅中的光谱灵敏度特性,不能使光电二极管中的N型层的结深度更浅。因此,根据用于通常的MOSFET(MOS场效应晶体管)的恒定电场定标规则,难于在抑制短沟道效应的同时而改变设计规则。这一点同样适用于上述专利文献1中公开的结构。尤其是在存储器部中的N型层的深度比浮动扩散区深以增加能够被存储器部保持的饱和电荷量的情况下,由短沟道效应引起的击穿现象在小型化时易于发生。同时,可认为可通过延长光电二极管和存储器部之间的有效水平距离而避免短沟道效应。然而,应将所述距离设计为较短,以便使光电二极管和存储器部中的饱和电荷量最大化。

[0094] 另一方面,在单位像素120A中,可在不增大光电二极管121和存储器部123之间的有效水平距离的情况下而稳定地形成溢出通道130。这可确保预定的信号电荷稳定地累积在光电二极管121中。因此,可避免所摄取的图像质量的劣化,并且可获得具有高质量的

图像。

[0095] 附带提及,在图 3A 和图 3B 所示的示例中,采用了通过设置 N- 型杂质扩散区 137 而形成溢出通道 130 的结构。然而,可采用通过设置 P- 型杂质扩散区 137、而不设置 N- 型杂质扩散区 137 以形成溢出通道 130 的结构。

[0096] [制造单位像素 120A 的方法]

[0097] 下面,参照图 5 说明制造单位像素 120A 的方法。

[0098] 在第一步骤中,在设有 P 型阱层 132 的基板的表面上形成在对应于第一传输门 122 的区域中具有开口的抗蚀剂 160-1,并且使用抗蚀剂 160-1 进行 P 型离子注入,以在位于预定深度的位置处形成杂质扩散区 138。

[0099] 在第二步骤中,使用抗蚀剂 160-1 进行 N 型离子注入,以便在从杂质扩散区 138 的上表面直至基板表面的深度区域中形成杂质扩散区 137。

[0100] 接下来,在去除抗蚀剂 160-1 后,进行第三步骤,其中,形成在对应于存储器部 123 的区域中具有开口的抗蚀剂 160-2,并且使用抗蚀剂 160-2 进行 N 型离子注入,以便形成埋入沟道 135。结果,形成存储器部 123。

[0101] 随后,在去除抗蚀剂 160-2 后,进行第四步骤,其中,形成在对应于光电二极管 121 的区域中具有开口的抗蚀剂 160-3,并且使用抗蚀剂 160-3 进行 N 型离子注入,以形成 N 型埋入层 134。

[0102] 在第五步骤中,使用抗蚀剂 160-3 进行 P 型离子注入,以在 N 型埋入层 134 的表面上形成 P 型层 133。结果,形成 HAD 型光电二极管 121。

[0103] 在第六步骤中,去除抗蚀剂 160-3,通过例如热氧化方法形成栅极氧化膜,随后通过 CVD(化学气相沉积)方法沉积多晶硅,以形成栅极 122A。

[0104] 通过包括上述步骤的方法而制造单位像素 120A。附带提及,在第四步骤中,形成栅极 122A 的处理可以在进行形成 N 型埋入层 134 的处理之前进行。换言之,在进行第六步骤以形成栅极 122A 之后,可执行第四步骤和第五步骤以形成光电二极管 121。

[0105] [第二实施方式]

[0106] 图 6 图示了根据第二实施方式的单位像素 120B 的截面图。

[0107] 如图 6 所示,在单位像素 120B 中,在变为溢出通道 130 的杂质扩散区 137 下方形成的杂质扩散区 138B 形成为延伸至构成存储器部 123 的埋入沟道 135 的部分或全部的下侧(基板深度侧)。换言之,在图 6 所示的截面中,杂质扩散区 138 形成为 L 形。

[0108] 通过将杂质扩散区 138B 如此延伸至埋入沟道 135 的下侧,也在存储器部 123 的下部形成与 N 型埋入层 134 和埋入沟道 135 之间的势垒相类似的势垒。结果,避免了在单位像素 120B 中的 N 型埋入层 134 和埋入沟道 135 之间发生的击穿现象。此外,可防止由于从存储器部 123 底部至光电二极管 121 的区域中的耗尽层的连接而形成不期望的传输路径。

[0109] 而且,在单位像素 120B 中,可防止这样的情况,即防止对入射至比存储器部 123 深的区域中的 P 型阱层 132 的光进行光电转换而产生的电荷不经过溢出通道 130 而混入存储器部 123 中。

[0110] 这里,参照图 7A、图 7B 和图 8 描述了与根据相关技术的结构的单位像素相比的单位像素 120B 的效果。

[0111] 图 7A 图示了在根据相关技术的结构的单位像素中的电位分布,在所述结构中,第

一传输门 122 设有杂质扩散区 137 而未设置杂质扩散区 138 (例如与上述专利文献 1 的图 20 相同的结构)。图 7B 图示了如图 6 所示的单位像素 120B 的电位分布。而且,假定将光电二极管 121 和存储器部 123 设定为正电位,而将第一传输门 122 设定为负电位。

[0112] 在根据相关技术的结构的单位像素中,由 P 型杂质扩散区 137 构成的溢出通道 130 下方的区域仍作为 P 型阱层 132,于是所述区域中的势垒易于受光电二极管 121 和存储器部 123 影响。具体来说,如图 7A 中的电位状态所示,在由光电二极管 121 和存储器部 123 之间的边界处存在的等位线 0 围绕的区域(溢出通道 130)的下部,对电子的势垒低。结果,在光电二极管 121 和存储器部 123 中的耗尽层易于彼此连接,于是在光电二极管 121 和存储器部 123 之间的区域中易于发生击穿现象。附带提及,这同样适用于溢出通道 130 由 N 型杂质扩散区构成的情况。

[0113] 另一方面,如图 7B 所示,在单位像素 120B 中,在溢出通道 130 下部的对电子的势垒固定在高值。因此,在单位像素 120B 中,可防止来自于光电二极管 121 和存储器部 123 的电位的侵入。

[0114] 图 8 图示了用于图 7A 所示的根据相关技术的结构的单位像素和图 7B 所示的单位像素 120B (根据本发明的实施方式的结构)的在溢出通道 130 的传输路径长度 (L_{eff}) 变化时的阈值电压 (V_t) 的变化的仿真结果。

[0115] 这里,如图 8 的下部所示,溢出通道 130 的传输路径长度是光电二极管 121 和存储器部 123 之间的溢出通道 130 的长度。而且,阈值电压是光电二极管 121 和存储器部 123 之间的阈值电压。在图 8 中,y 轴表示:对电子的势垒沿正方向变低,并且沿反方向变高。

[0116] 如图 8 所示,在单位像素 120B (根据本发明的结构)中,在溢出通道 130 下部的电位不易于变化,这意味着单位像素 120B 的结构对短沟道效应具有耐受性。而且,可以看出,在单位像素 120B 中抑制了随着传输路径长度变化量 (ΔL_{eff}) 的阈值变化量 (ΔV_t)。因此,单位像素 120B 的结构对于由制造的差异等引起的传输路径长度的变化是具有抵抗性的。

[0117] [第三实施方式]

[0118] 图 9 是根据第三实施方式的单位像素 120C 的截面图。

[0119] 如图 9 所示,在单位像素 120C 中,类似于图 6 的杂质扩散区 138B,在变为溢出通道 130 的杂质扩散区 137 下部形成的杂质扩散区 138C 延伸至构成存储器部 123 的埋入沟道 135 的下侧。而且,在单位像素 120C 中,构成光电二极管 121 的 N 型埋入层 134C 形成为延伸至杂质扩散区 138C 的下侧。换言之,杂质扩散区 138C 和 N 型埋入层 134C 在图 9 所示的截面中形成为 L 形。

[0120] 通过将 N 型埋入层 134C 如此延伸至埋入沟道 135 的下侧,可稳定地形成溢出通道 130。而且,在通过对入射至比存储器部 123 深的区域中的 P 型阱层 132 上的光进行光电转换而产生的电荷被全部收集至光电二极管 121 中,于是可防止所述电荷混入不同于光电二极管 121 的其他区域(例如埋入沟道 135)中。

[0121] [第四实施方式]

[0122] 图 10 是根据第四实施方式的单位像素 120D 的截面图。

[0123] 如图 10 所示,在单位像素 120D 中,构成光电二极管 121 的 N 型埋入层 134D 的一部分形成为在平面图中与第一传输门 122 重叠(具体地直接位于第一传输门 122 下方)。

[0124] 通过如此形成 N 型埋入层 134D,在将在光电二极管 121 中累积的信号电荷全部传

输至存储器部 123 中时,可降低传输操作所必需的施加于传输门 122 的栅极 122A 上的电压。具体来说,因为 N 型埋入层 134D 对应于与第一传输门 122 相关的 MOS 晶体管的源极区,故 N 型埋入层 134D 的一部分与第一传输门 122 的重叠部分可确保在全部传输操作时易于形成完整的传输路径。因此,可降低形成完整的传输路径所必需的电压。

[0125] [第五实施方式]

[0126] 图 11 是根据第五实施方式的单位像素 120E 的截面图。

[0127] 如图 11 所示,在单位像素 120E 中,覆盖存储器部 123 的栅极 123A 与覆盖溢出通道 130 的栅极 122A 单独形成。通过对栅极 123A 施加传输脉冲 TRY,使存储器部 123 的电位变得更深。而且,栅极 123A 由遮光特性高的金属(例如钨)制成,该金属用于对存储器部 123 遮光。换言之,栅极 123A 不仅具有用作将电荷传输至存储器部 123 的传输门的功能,并且还具有对存储器部 123 遮光的功能。

[0128] [第六实施方式]

[0129] 图 12 是根据第六实施方式的单位像素 120F 的截面图。

[0130] 如图 12 所示,在单位像素 120F 中,在存储器部 123 的上部未设置栅极,而存储器部 123 的杂质结构是类似于在光电二极管 121 中的 HAD 结构。具体来说,在单位像素 120F 中,存储器部 123 由形成于 P 型阱层 132 中的 N 型埋入沟道 135A 和形成于埋入沟道 135A 的表面侧上的 P 型层 135B(P+) 构成。而且,第一传输门 122 的栅极 122A 形成于光电二极管 121 和存储器部 123 之间的区域的表面上。

[0131] 在如此配置的单位像素 120F 中,可以自对准的方式相对于第一传输门 122 的栅极 122A 而形成构成光电二极管 121 的 P 型层 133 和 N 型埋入层 134 以及构成存储器部 123 的埋入沟道 135A 和 P 型层 135B。

[0132] [制造单位像素 120F 的方法]

[0133] 下面,参照图 13 说明制造单位像素 120F 的方法。

[0134] 在第一步骤和第二步骤中,以与图 5 所示的制造方法相同的方法形成杂质扩散区 137 和杂质扩散区 138。然后,在第三步骤中,通过例如热氧化方法形成栅极氧化膜,此后通过 CVD 方法沉积多晶硅,以便在杂质扩散区 137 的表面上形成栅极 122A,由此设置第一传输门 122。

[0135] 在第四步骤中,在不同于形成光电二极管 121 和存储器部 123 的区域以及栅极 122A 的区域的区域中形成抗蚀剂 160-2,并且使用抗蚀剂 160-2 进行 N 型离子注入。结果,形成埋入沟道 135A 以及构成 N 型埋入层 134 的一部分的 N 型埋入层 134'。此后,使用抗蚀剂 160-2 进行 P 型离子注入,由此形成 P 型层 133 和 P 型层 135B。

[0136] 在第五步骤中,形成具有覆盖 P 型层 135 的形状的抗蚀剂 160-3,并且使用抗蚀剂 160-3 进行 N 型离子注入。结果,在 N 型埋入层 134' 的下部形成 N 型层,由此形成 N 型埋入层 134。附带提及,如果不必要使光电二极管 121 的深度比存储器部 123 深,则可省略第五步骤。

[0137] 此后,在第六步骤中,去除抗蚀剂 160-3。

[0138] 通过包括上述步骤的方法,制造单位像素 120F。在所述制造方法中,因为将栅极 122A 用作在离子注入中形成光电二极管 121 和存储器部 123 的掩模,故栅极 122A 与光电二极管 121 之间的边界和栅极 122A 与存储器部 123 之间的边界确保地与栅极 122A 的端部一

致。换言之,可以相对于栅极 122A 的端部以自对准的方式形成光电二极管 121 和存储器部 123。

[0139] [第七实施方式]

[0140] 下面,参照图 14 和图 15A 与图 15B 说明根据第七实施方式的单位像素 120G。图 14 图示了单位像素 120G 的平面图,图 15A 图示了沿图 14 的平面图中的线 A-A' 的截面图和与所述截面图相关的电位状态,并且图 15B 图示了沿图 14 的平面图中的线 B-B' 的截面图和与所述截面图相关的电位状态。

[0141] 如图 14 所示,在单位像素 120G 中,溢出通道 130 形成于平面图中的第一传输门 122 的部分区域中。换言之,在单位像素 120G 中,在不同的区域中形成将在光电二极管 121 中累积并超出预定电荷量的电荷传输至存储器部 123 中的传输路径(溢出通道 130),以及将在光电二极管 121 中累积的电荷全部传输至存储器部 123 中的传输路径。

[0142] 在第一传输门 122 的部分区域中形成溢出通道 130 的配置中,可以确保通过设置形成溢出通道 130 的区域的宽度(图 14 所示的宽度 W),来调节从光电二极管 121 溢出至存储器部 123 中的电荷量。

[0143] 附带提及,虽然图中未图示,但在本实施方式中,遮光膜布置在基板表面上,以防止入射光进入存储器部 123 中或进入浮动扩散区 125 中。遮光膜由诸如钨的材料制成,并且优选地设置为至少覆盖存储器部 123 和浮动扩散区 125 的上部。

[0144] 附带提及,虽然以信号电荷为电子的图像传感器为例说明了以上实施方式,但本发明同样适用于信号电荷为空穴的类型的图像传感器。具体来说,即使在上述关于杂质层的导电型的 N 型层和 P 型层被反转,并且通过在 N 型半导体层中形成 P 型杂质层以设置光电二极管和存储器部的情况下,则通过将构成每个上述配置中的溢出通道 130 的杂质扩散区 137 的导电型的 N- 型或 P+ 型换作 P- 型或 N+ 型,仍可得到上述的同样效果。

[0145] 此外,虽然以上用数值说明了杂质层的杂质浓度等,但这些数值不是绝对的值,而仅仅用作说明本发明的技术思想。于是,可不限于以上说明中使用的数值而设定本发明的标准。

[0146] 附带提及,虽然以信号电荷为电子的图像传感器为例说明了以上实施方式,但本发明同样适用于信号电荷为空穴的类型的图像传感器。

[0147] [单位像素的其他第一配置例]

[0148] 图 16 图示了作为单位像素 120 的其他第一配置例的单位像素 120H-1 的结构。

[0149] 在单位像素 120H-1 中,省略了在图 2 的单位像素 120A 中的第一传输门 122 和存储器部 123,并且光电二极管 121 和浮动扩散区 125 夹着 P 型阱层 132 而彼此邻近地布置。在光电二极管 121 和浮动扩散区 125 之间的 P 型阱层 132 的上方布置第二传输门 124。

[0150] 现在说明在单位像素 120H-1 中的整体曝光操作。首先,对所有像素同时进行将累积的电荷从埋入型光电二极管 121 中进行放电的电荷放电操作,此后开始曝光。结果,将光电荷累积在光电二极管 121 的 PN 结电容中。在曝光时段结束时,针对所有像素同时使第二传输门 124 导通,由此将累积的光电荷全部传输至浮动扩散区 125 中。使第二传输门 124 截止,由此,在对所有像素相同的曝光时段中所累积的光电荷被保持在浮动扩散区 125 中。此后,将在浮动扩散区 125 中保持的光电荷作为图像信号而通过垂直信号线 117 依次读出。最后,对浮动扩散区 125 复位,此后读出复位电平。

[0151] 因此,在单位像素 120H-1 中,浮动扩散区 125 在进行整体曝光操作的情况下变为电荷保持区。在单位像素 120H-1 中,本发明还适用于采用以下方法,即,在光电二极管 121 和浮动扩散区 125 之间的边界部的第二传输门 124 处通过形成杂质扩散区 137 而设置溢出通道 130,并且在杂质扩散区 137 下方设置杂质扩散区 138。

[0152] [单位像素的其他第二配置例]

[0153] 图 17 图示了作为单位像素 120 的其他第二配置例的单位像素 120H-2 的结构。

[0154] 单位像素 120H-2 具有这样一种配置,即其中,将类似于浮动扩散区 125 的存储器部 123 加入图 2 的单位像素 120A 的配置中。具体来说,在单位像素 120H-2 中,在光电二极管 121 和存储器部 123 之间的边界处的 P 型阱层 132 的上方设置第一传输门 122 的栅极 122A。而且,在单位像素 120H-2 中,存储器部 123 具有类似于浮动扩散区 125 的 N 型层 140。

[0155] 在下列步骤中进行在单位像素 120H-2 中的整体曝光操作。首先,同时对所有像素进行电荷放电操作,由此开始同时曝光。将如此产生的光电荷累积在光电二极管 121 中。在曝光结束的时刻,同时对所有像素而使第一传输门 122 导通,并且将累积的光电荷传输至存储器部 123 中以保持在存储器部 123 中。在曝光结束后,通过依次操作以读出复位电平和信号电平。具体来说,使浮动扩散区 125 复位,然后读出复位电平。接下来,将在存储器部 123 中保持的电荷传输至浮动扩散区 125 中,并且读出信号电平。

[0156] 在单位像素 120H-2 中,存储器部 123 的 N 型区 140 在进行整体曝光操作的情况下变为电荷保持区。在单位像素 120H-2 中,本发明还可适用于以下方法,即,通过在第一传输门 122 处形成杂质扩散区 137 而设置溢出通道 130,并且在杂质扩散区 137 下方设置杂质扩散区 138。

[0157] [单位像素的其他第三配置例]

[0158] 图 18 图示了作为单位像素 120 的其他第三配置例的单位像素 120H-3 的结构。

[0159] 在图 2 所示的单位像素 120A 中,单个存储器部 (MEM) 123 布置在光电二极管 121 和浮动扩散区 125 之间。在图 18 的单位像素 120H-3 中,另外布置另一存储器部 (MEM2) 142。于是,存储器部具有两级配置。

[0160] 第三传输门 141 具有这样的功能,即,当对栅极 141A 施加传输脉冲 TRX2 时,在存储器部 123 中累积的电荷通过第三传输门 141 传输。存储器部 142 具有形成于栅极 141A 下方的 N 型埋入沟道 143,并且累积从存储器部 123 通过第三传输门 141 传输来的电荷。通过具有埋入沟道 143 的存储器部 142,可抑制在界面处的暗电流的产生,这可促使图像质量的提高。

[0161] 存储器部 142 在配置上与存储器部 123 相同。因此,类似于存储器部 123,存储器部 142 的优势在于,当施加调制时,相比于未施加调制的情况,可增加存储器部 142 中的饱和电荷量。

[0162] 在单位像素 120H-3 中的整体曝光操作中,对所有像素同时累积的光电荷保持在光电二极管 121 或存储器部 123 中。存储器部 142 用于保持光电荷,直至读出图像信号为止。

[0163] 在单位像素 120H-3 中,在进行整体曝光操作的情况下,存储器部 123 的埋入沟道 135 和存储器部 142 的埋入沟道 143 用作电荷保持区。在单位像素 120H-3 中,本发明可适

用于以下方法,即,通过在第一传输门 122 处形成杂质扩散区 137 而设置溢出通道 130,并且在杂质扩散区 137 下方设置杂质扩散区 138。

[0164] 于是,对于不同于单位像素 120A 的其他结构同样可采用本发明。而且,本发明同样可类似地适用于通过反转导电型的极性(N型、P型)而从单位像素 120A~单位像素 120H-3 变化而来的单位像素。

[0165] [根据本发明的电子设备的配置例]

[0166] 而且,本发明不限于固体摄像装置的应用。本发明还总体上适用于将固体摄像装置用作摄像部(光电转换部)的电子设备,这些电子设备例如是如数码相机、摄像机等的摄像设备、具有摄像功能的个人数字助理(PDA)、将固体摄像装置用作图像读出部的复印机等。固体摄像装置可以单个芯片的形式形成,或者以将摄像部和信号处理部或者光学系统整体封装的具有摄像功能的模块形式来制造所述固体摄像装置。

[0167] 图 19 是用于图示根据本发明的作为电子设备的摄像设备的配置例的框图。

[0168] 图 19 所示的摄像设备 300 包括:具有透镜组等的光学单元 301;采用了上述单位像素 120 的每个配置的固体摄像装置 302;和作为相机信号处理电路的数字信号处理(DSP)电路 303。此外,摄像设备 300 具有帧存储器 304、显示单元 305、记录单元 306、操作单元 307 和电源单元 308。DSP 电路 303、帧存储器 304、显示单元 305、记录单元 306、操作单元 307 和电源单元 308 被通过总线 309 而彼此连接。

[0169] 光学单元 301 摄取来自对象的入射光(图像光),并且在固体摄像装置 302 的摄像面上形成图像。固体摄像装置 302 基于像素将在摄像面上形成图像的入射光的量转换为电信号,并且将所述电信号作为图像信号输出。可使用诸如 CMOS 图像传感器 100 的固体摄像装置作为固体摄像装置 302,具体地可使用通过整体曝光实现无畸变摄像并可抑制基于每个 RGB 像素的漏光信号抑制比的固体摄像装置。

[0170] 显示单元 305 具有例如液晶面板或有机电致发光(EL)面板的板状显示器,并且显示由固体摄像装置 302 摄取的移动画面或静态图像。记录单元 306 将由固体摄像装置 302 拍摄的移动画面或静态图像记录在诸如录像带、数字式多用盘(DVD)等的记录介质上。

[0171] 操作单元 307 在使用者的操作下发出与摄像设备 300 所具有的各种功能相关的操作命令。电源单元 308 将所需的各种电能供给 DSP 电路 303、帧存储器 304、显示单元 305、记录单元 306 和操作单元 307,以用作这些部件单元的工作电源。

[0172] 如上所述,在将根据任何上述实施方式的 CMOS 图像传感器 100 用作固体摄像装置 302 的情况下,可通过整体曝光实现无畸变的摄像,并且基于每个 RGB 像素抑制漏信号抑制比。因此,同样可在诸如摄像机、数码相机和用于诸如手机的移动设备的相机模块的摄像设备 300 中实现拍摄图像的图像质量的提高。

[0173] 以本发明用于 CMOS 图像传感器的情况为例而说明了以上实施方式,在所述 CMOS 图像传感器中,以矩阵的形式布置用于将根据可见光的量的信号电荷检测为物理量的单位像素。然而,本发明不限于适用于 CMOS 图像传感器。本发明一般适用于列形式的固体摄像装置,其中列处理部在像素阵列部中基于每个像素列而布置。

[0174] 此外,本发明不限于适用于通过检测入射的可见光的量的分布而摄像的固体摄像装置。本发明还适用于通过检测红外(IR)线、X射线、粒子等的入射量的分布而摄像的固体摄像装置。而且,本发明一般地或者广义地适用于通过检测诸如压强、电容等其他物理量

的分布而进行摄像的固体摄像装置（物理量分布检测器），例如适用于指纹传感器。

[0175] 附带提及，可以单芯片的形式制造固体摄像装置，或者可以将摄像部和信号处理部或者光学系统整体封装的具有摄像功能的模块形式制造所述固体摄像装置。

[0176] 本领域的技术人员应当明白，在不脱离所附权利要求及其等同物的范围内，根据设计需要和其它因素可出现各种变化、组合、子组合和替代。

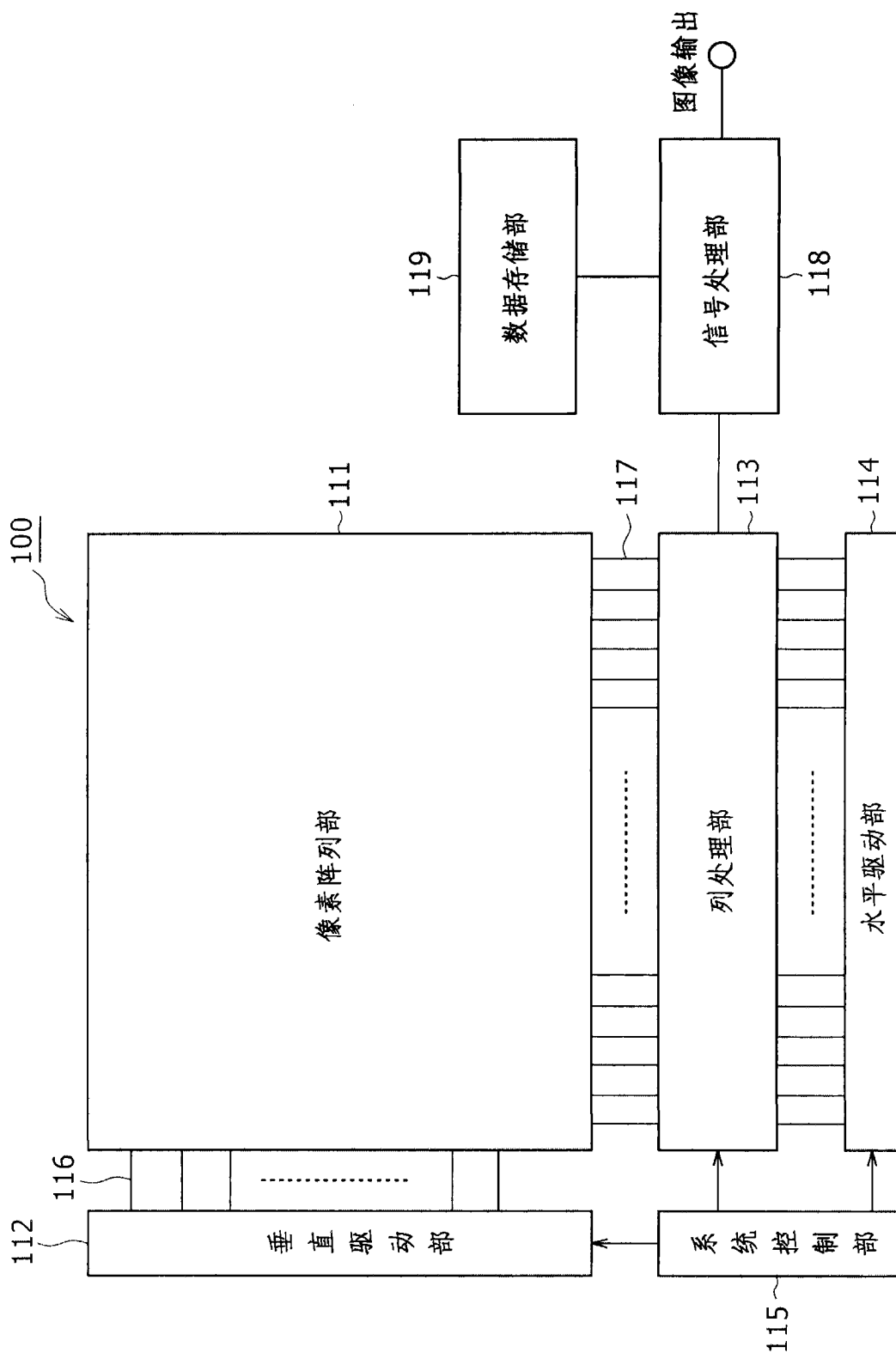


图 1

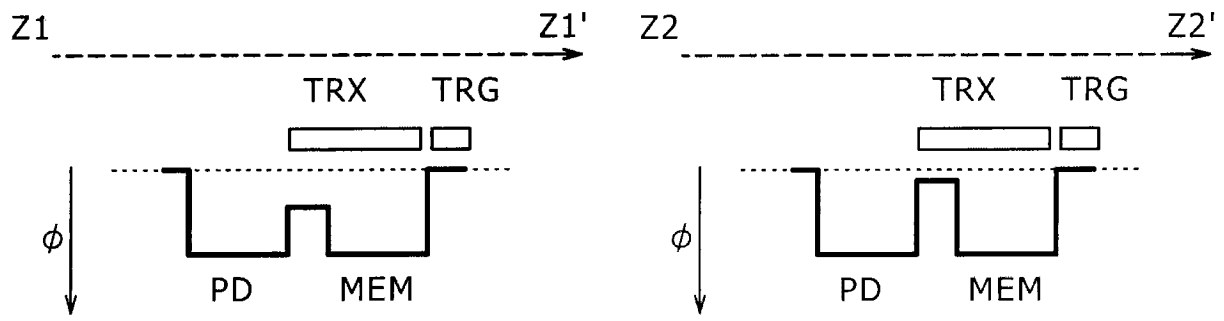


图 4A

图 4B

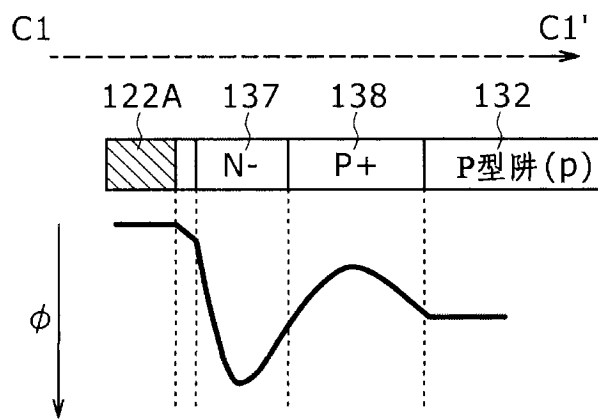


图 4C

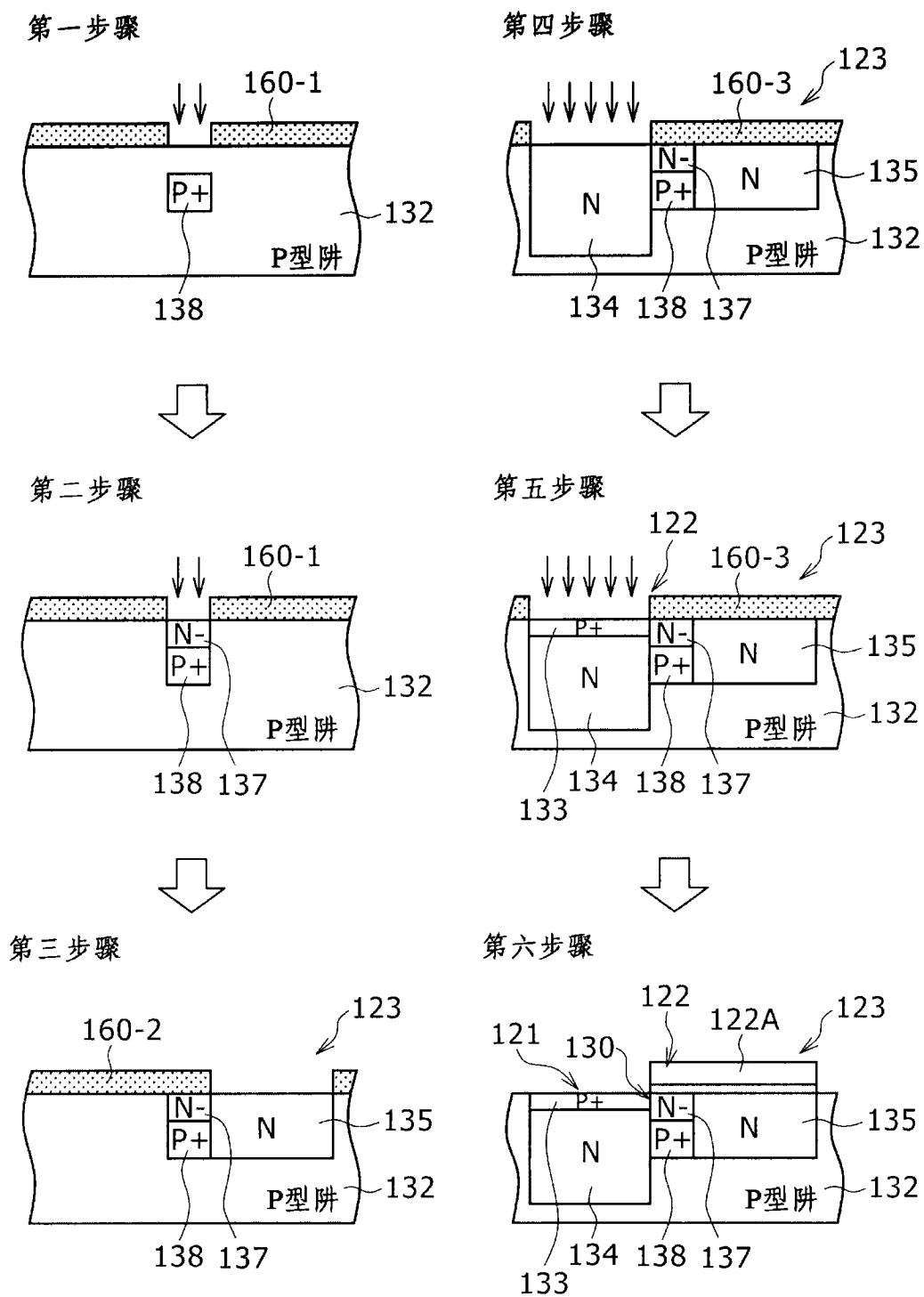


图 5

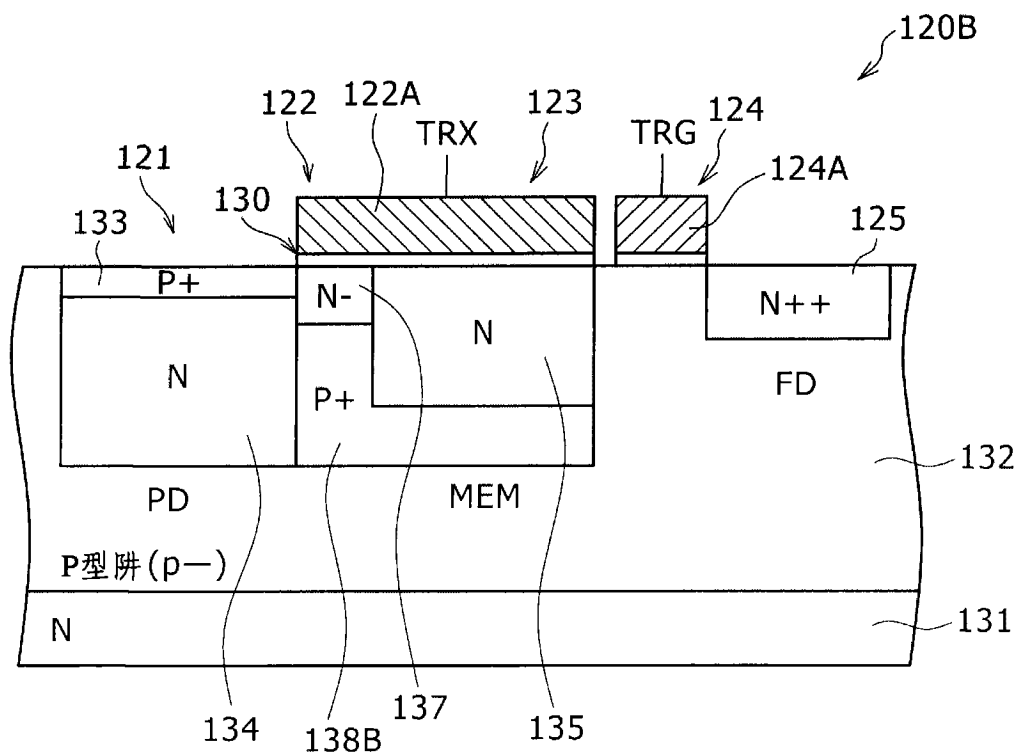


图 6

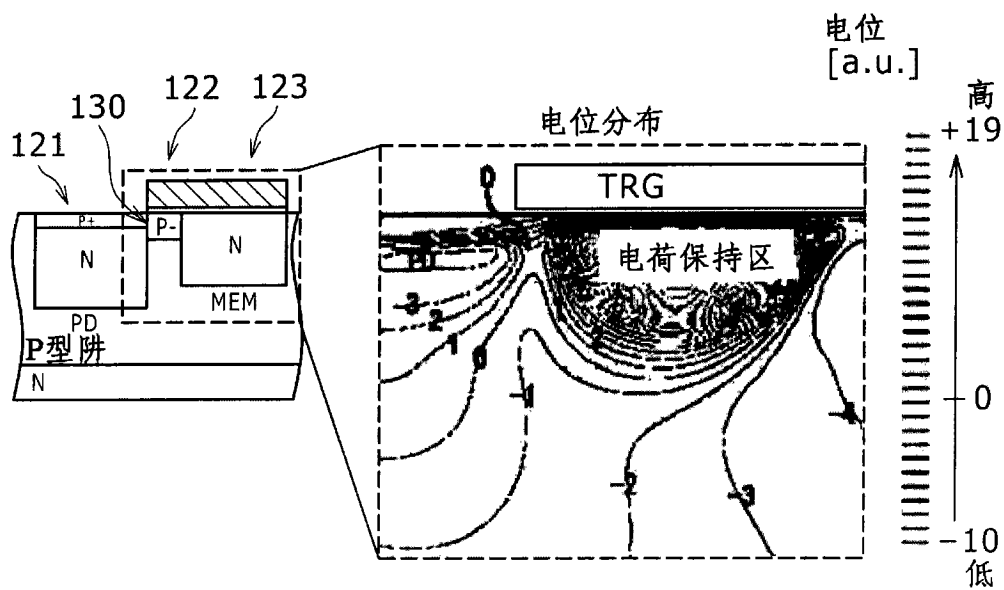


图 7A

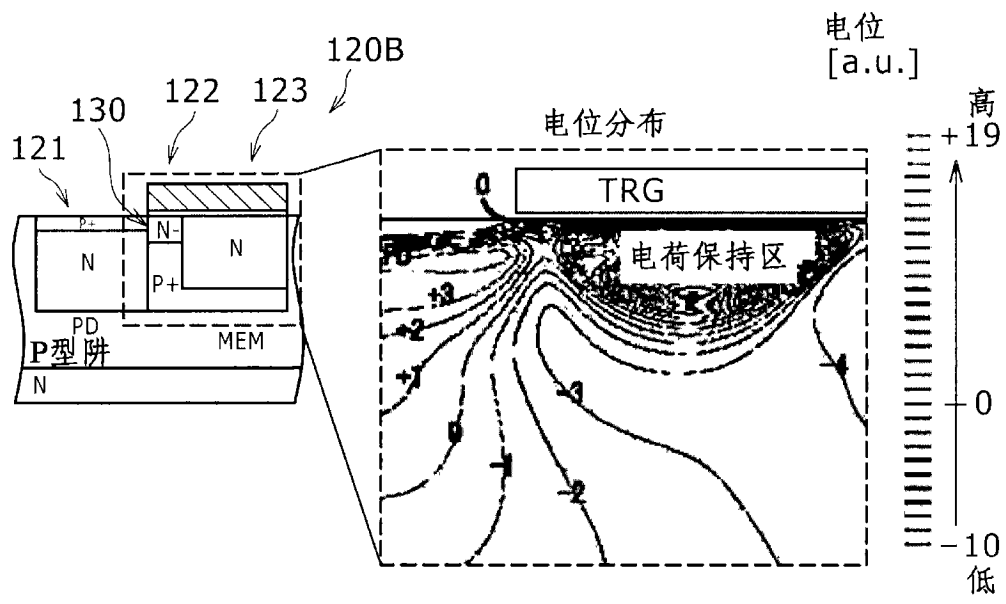
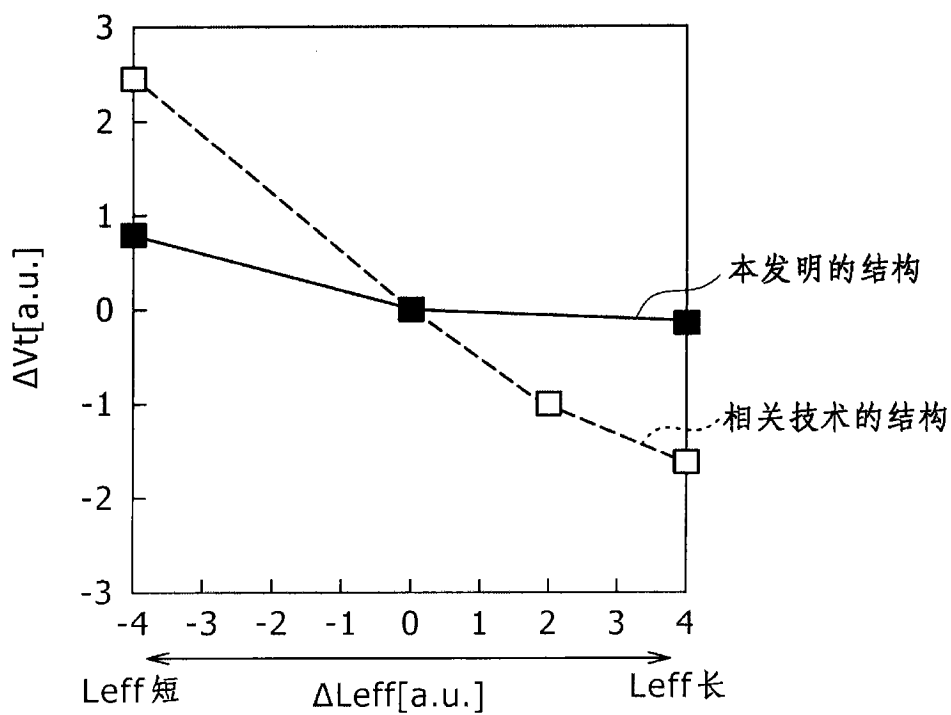


图 7B



$\Delta Leff$: 以x轴上0点为基准的 $Leff$ 的变化量

ΔVt : 以y轴上0点为基准的 Vt 的变化量

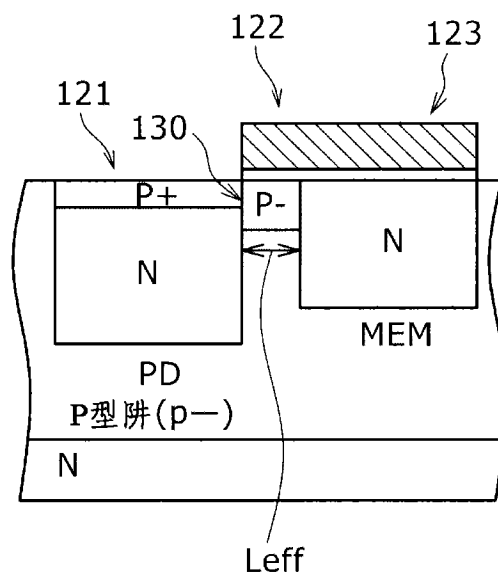


图 8

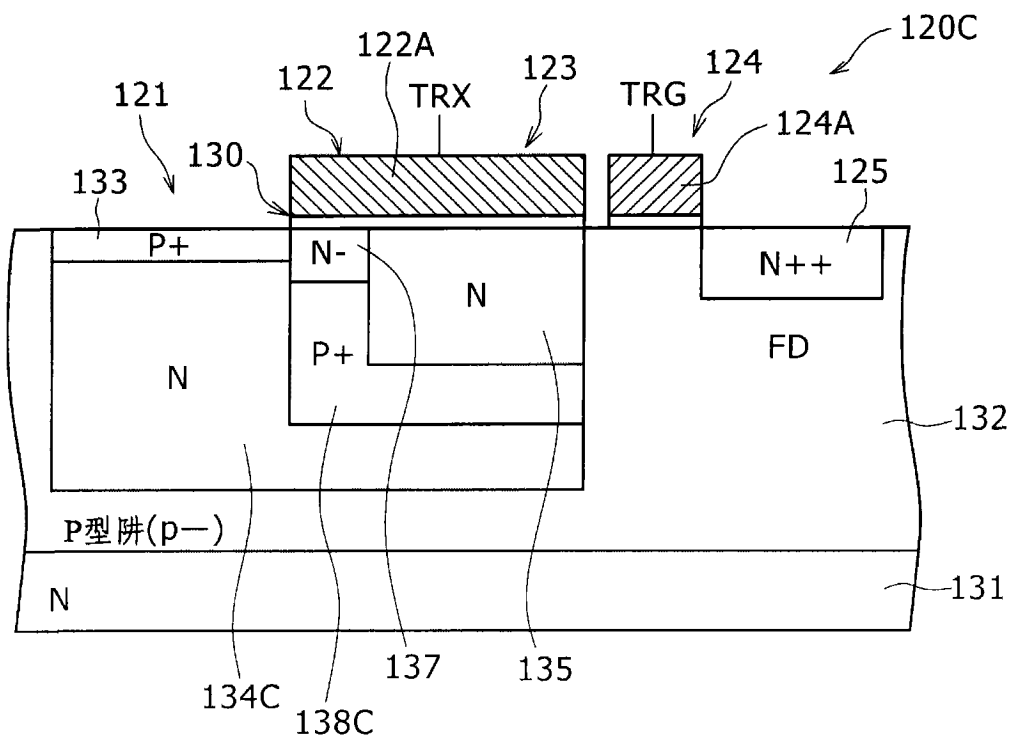


图 9

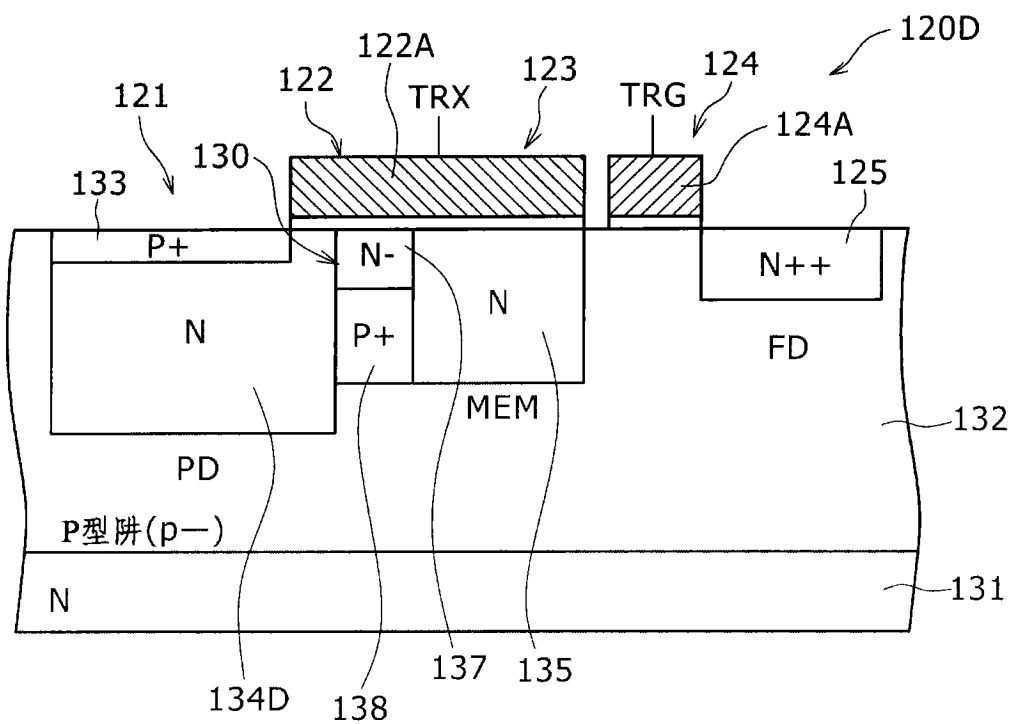


图 10

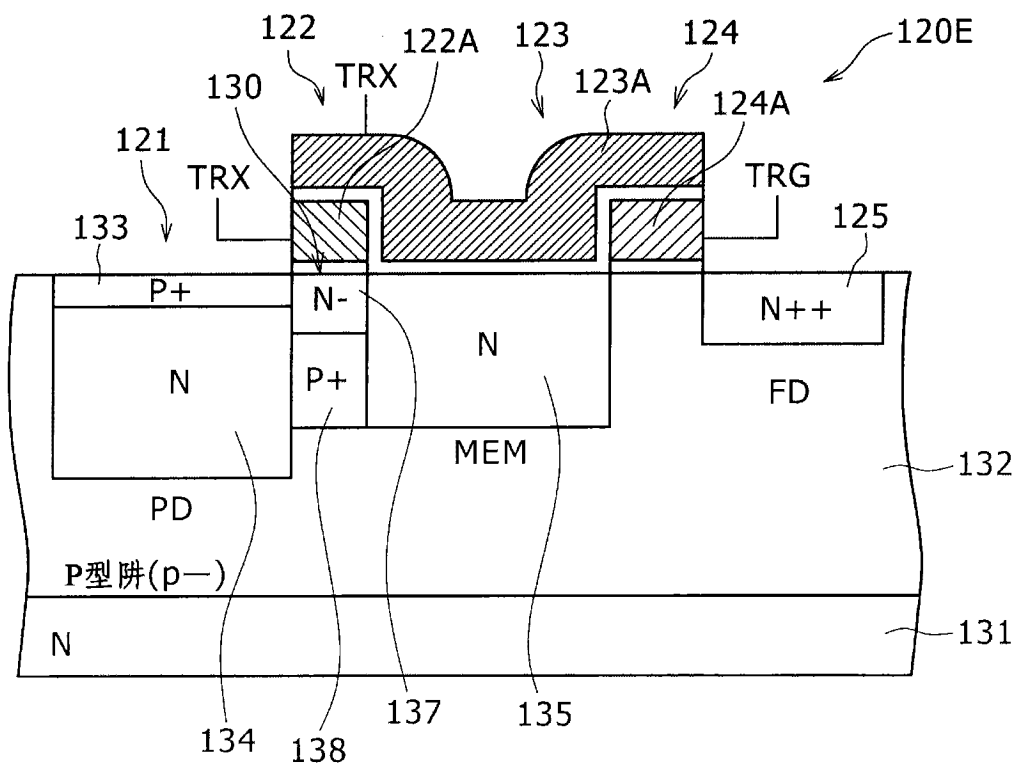


图 11

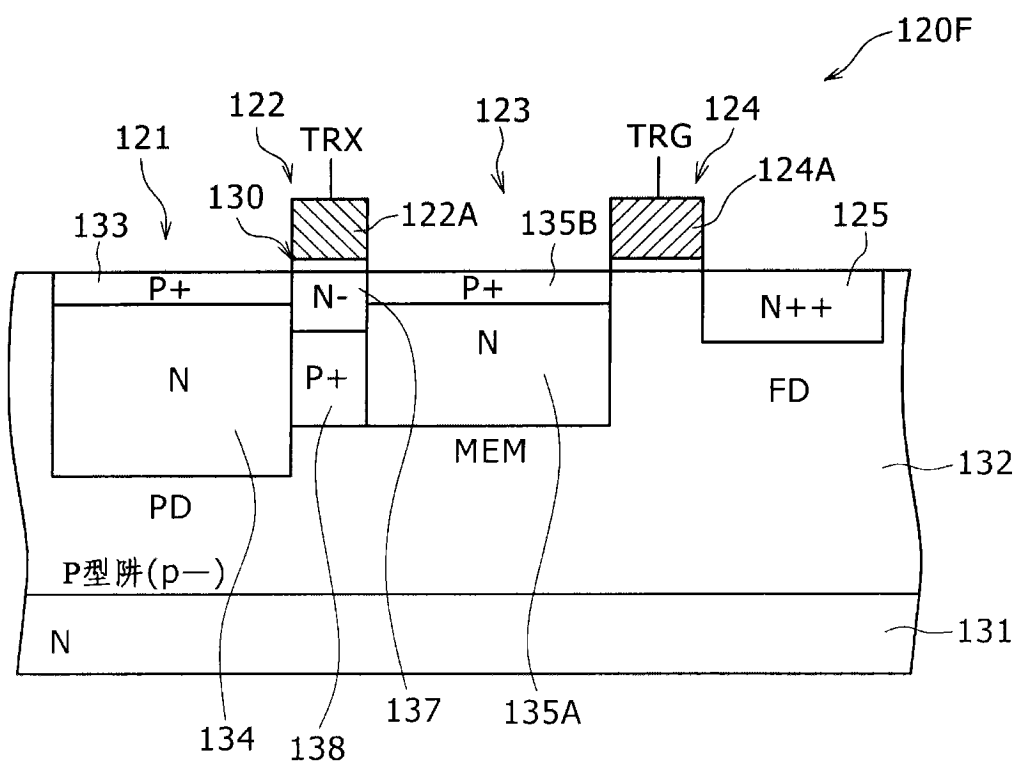


图 12

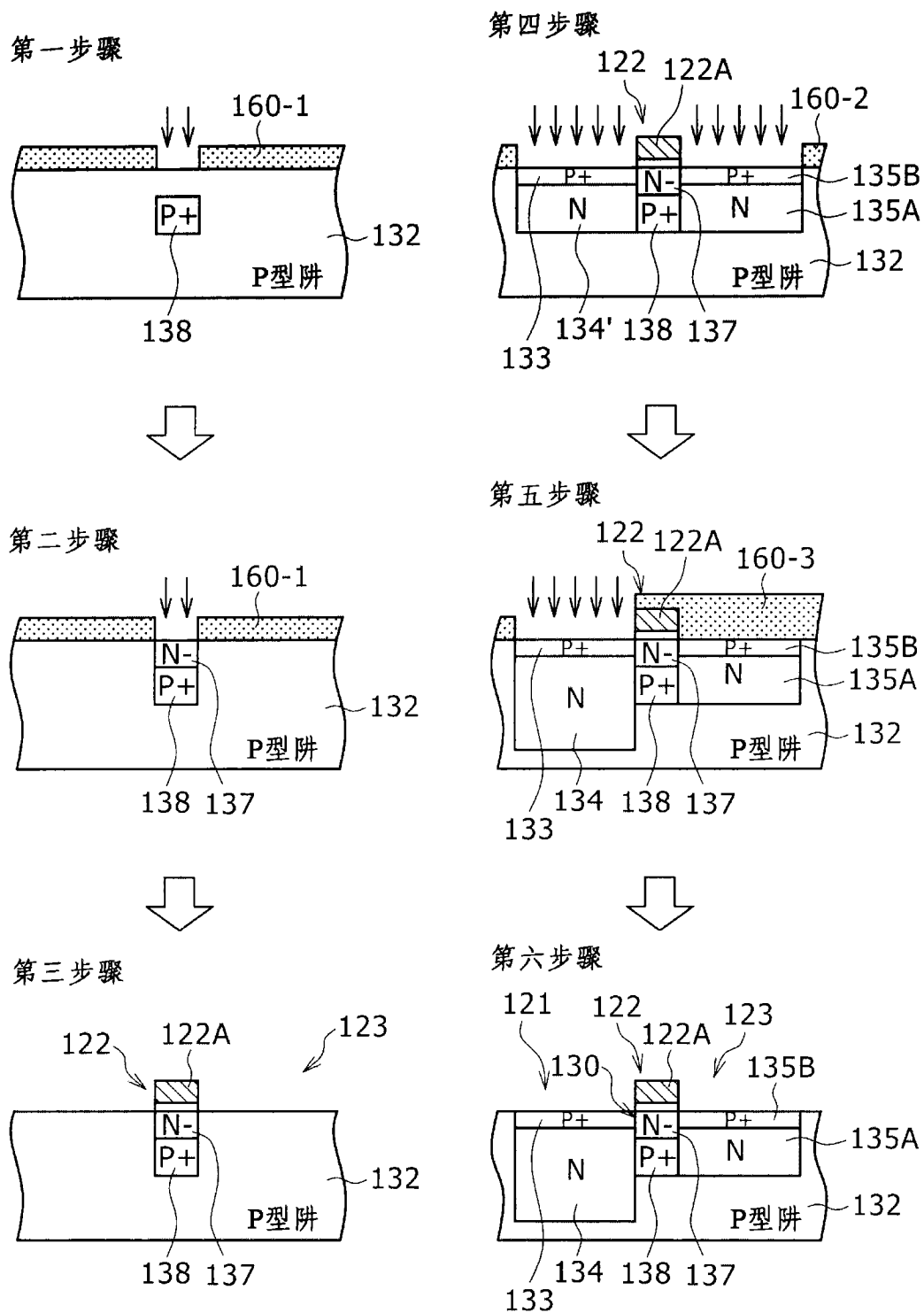


图 13

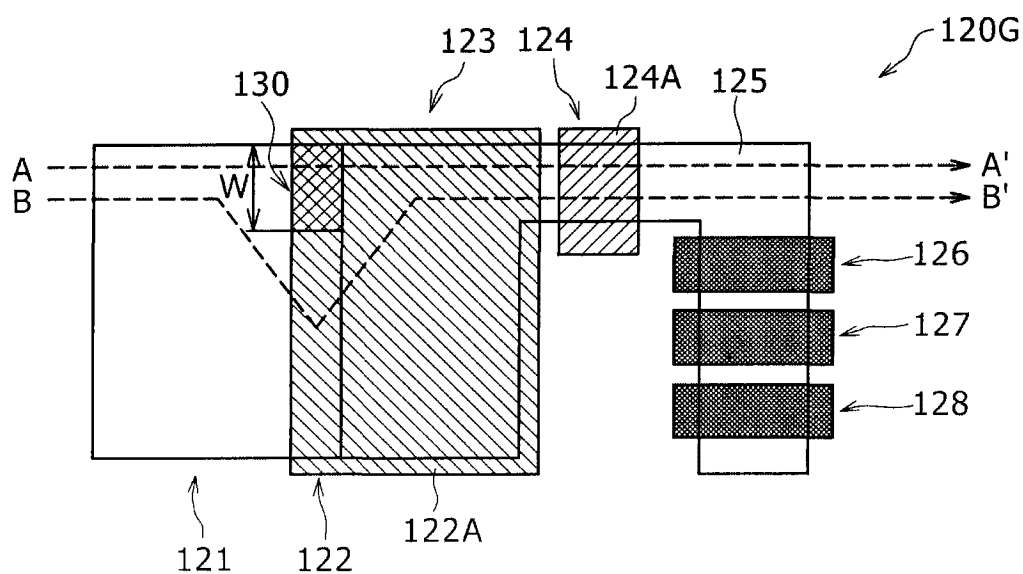


图 14

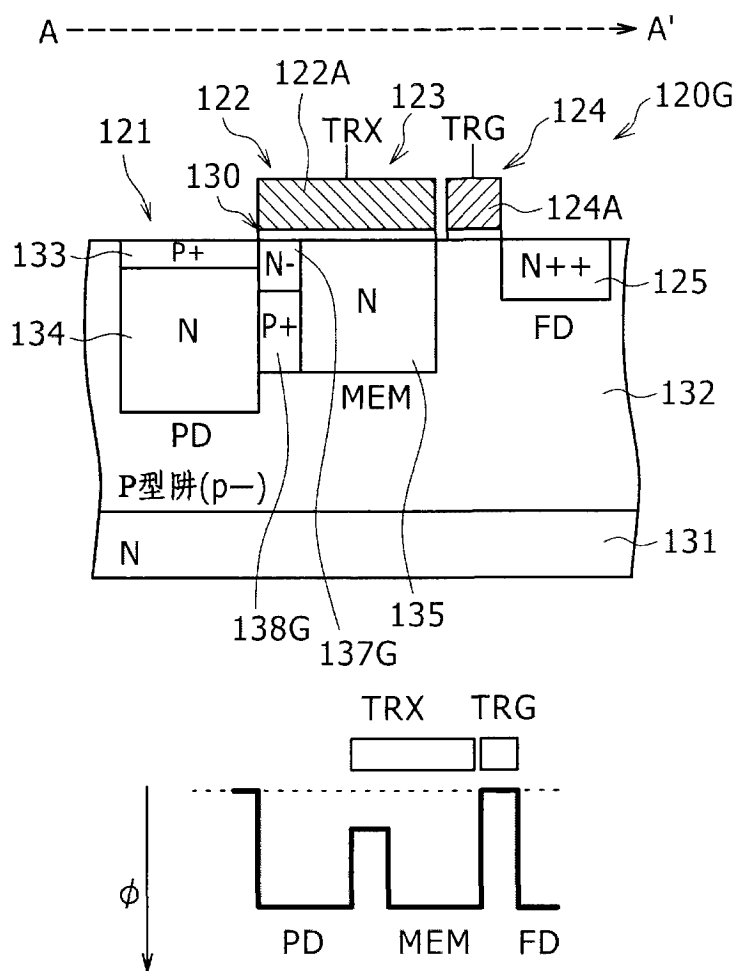


图 15A

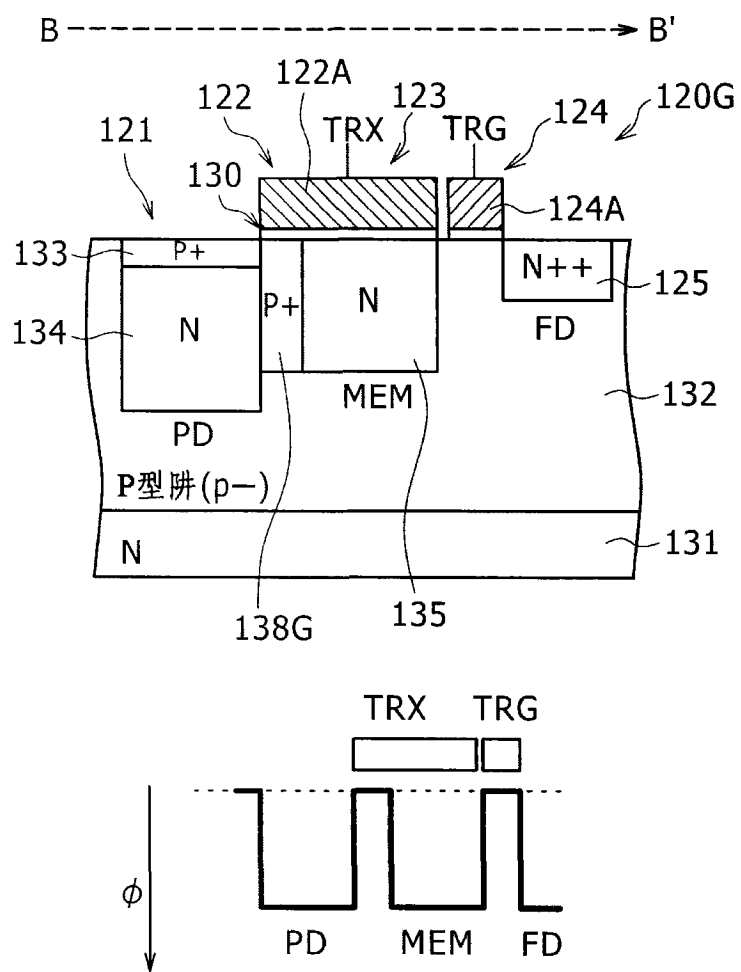


图 15B

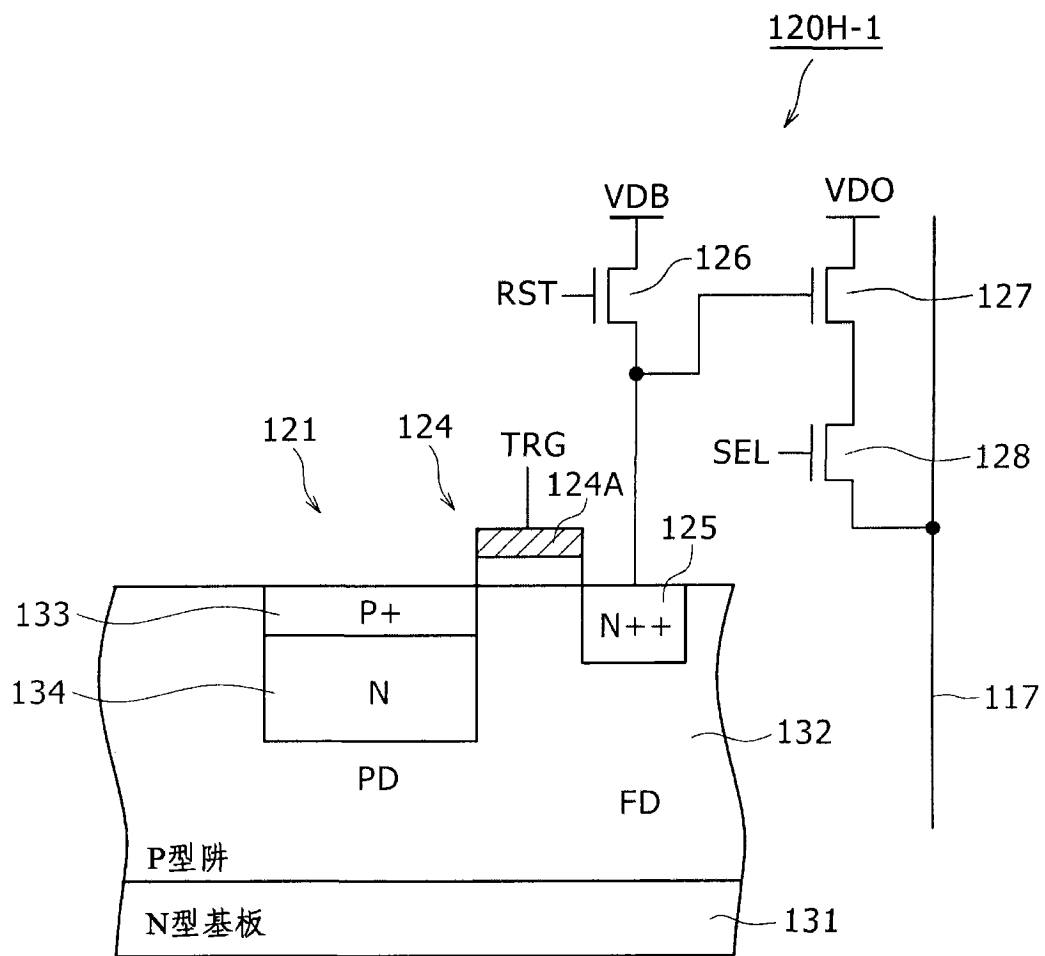


图 16

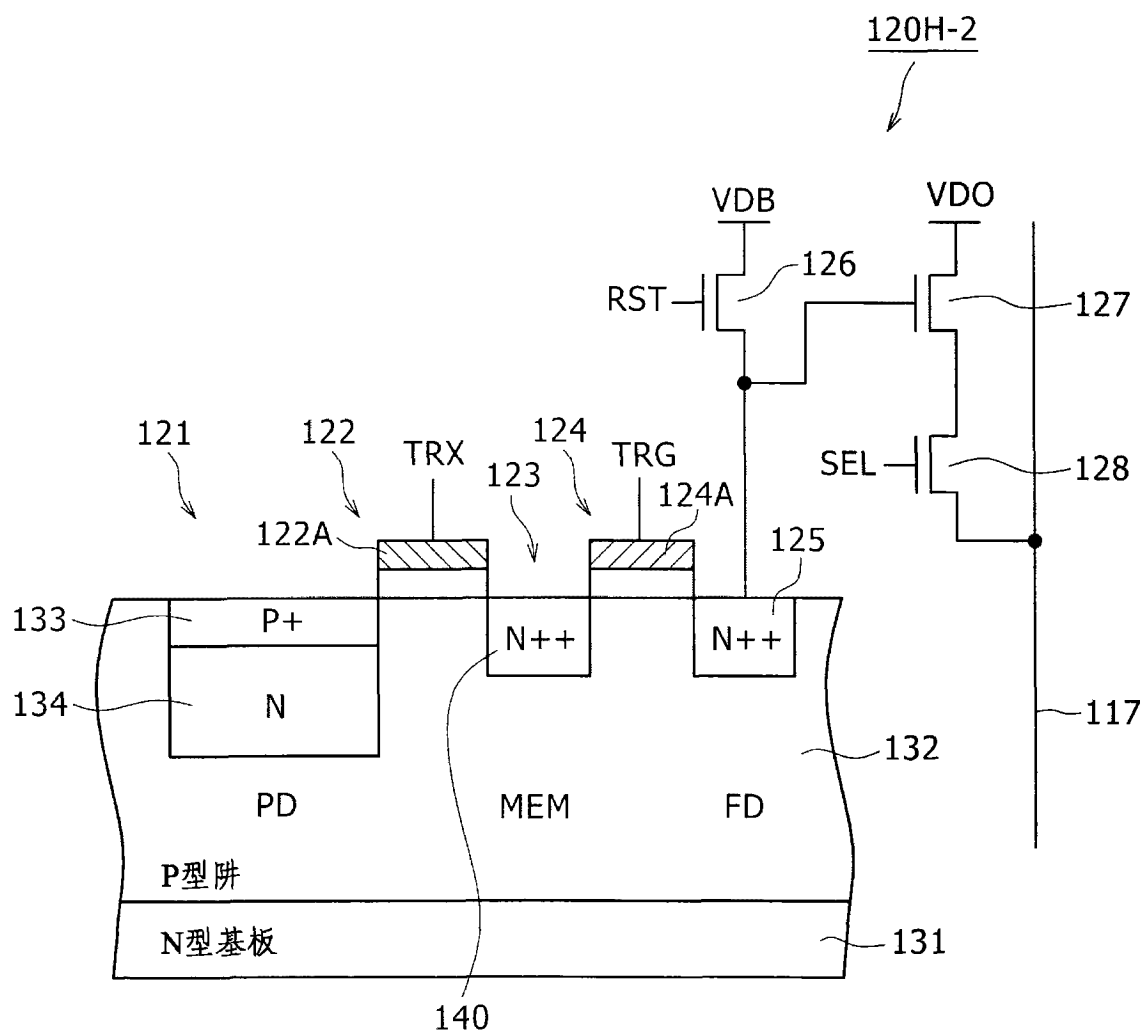


图 17

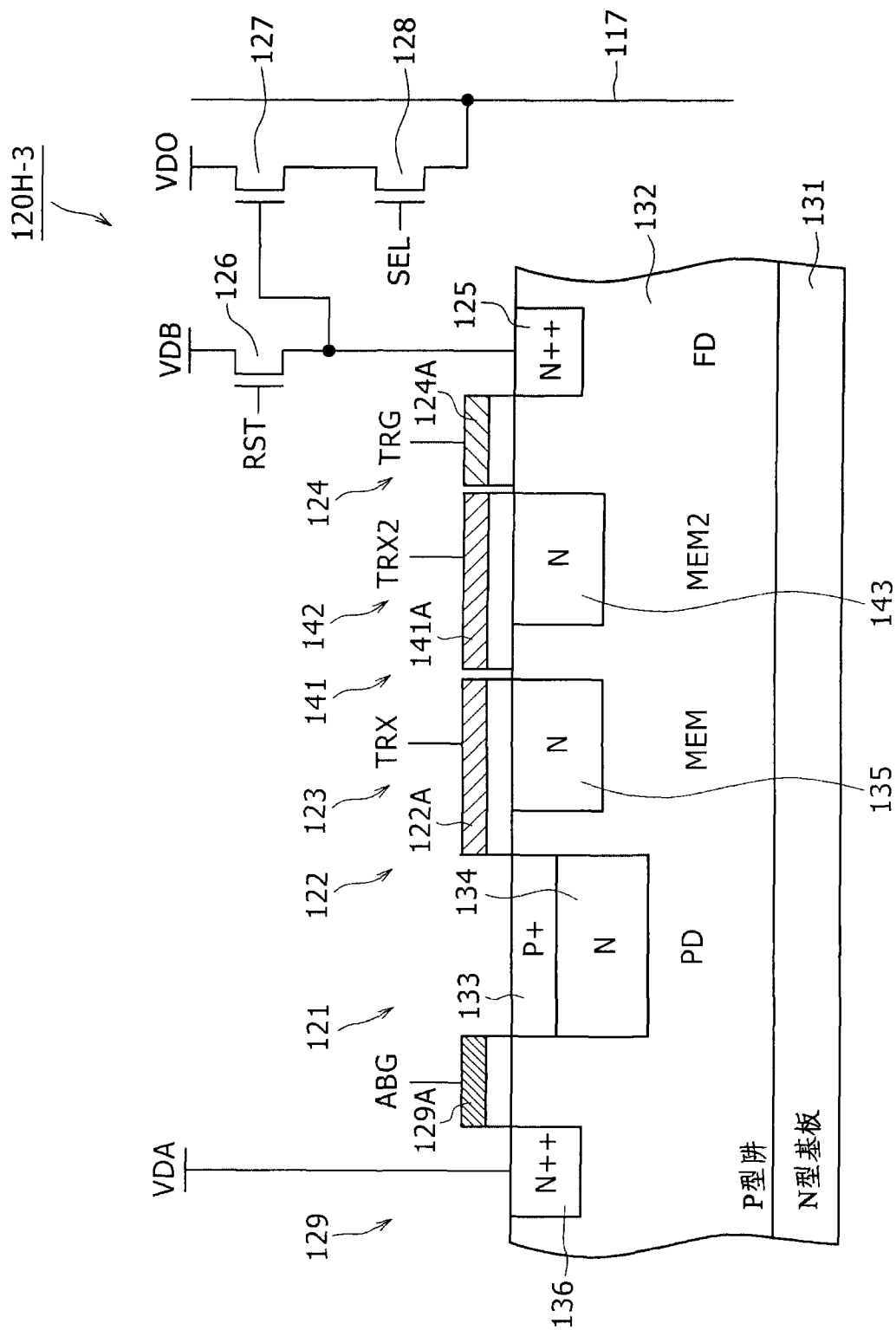


图 18

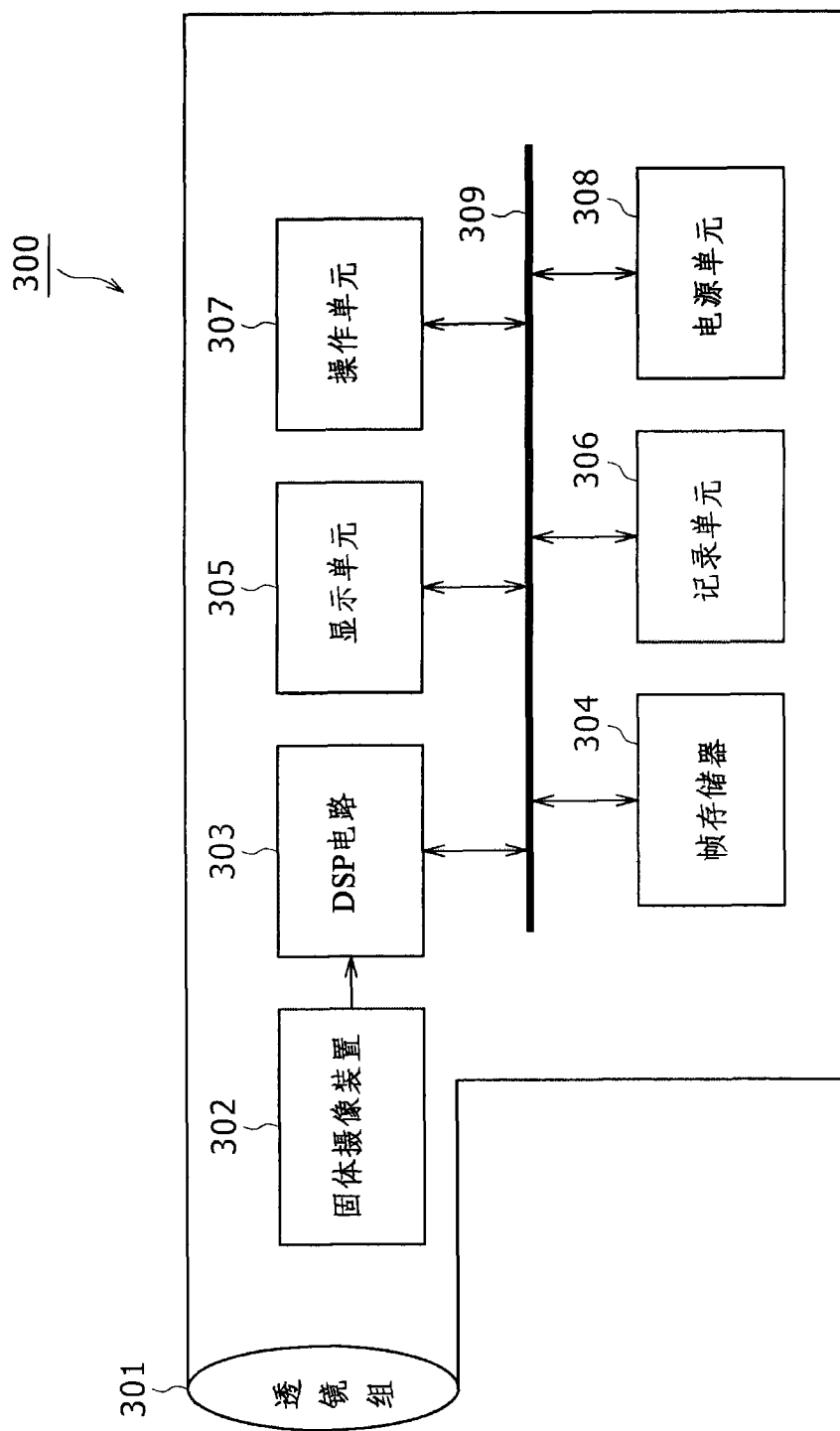


图 19