

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年2月27日(2020.2.27)

【公開番号】特開2019-54087(P2019-54087A)

【公開日】平成31年4月4日(2019.4.4)

【年通号数】公開・登録公報2019-013

【出願番号】特願2017-176776(P2017-176776)

【国際特許分類】

H 01 L 29/06 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 29/12 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 P

H 01 L 29/78 6 5 2 T

H 01 L 29/78 6 5 3 C

H 01 L 29/78 6 5 2 S

H 01 L 29/06 3 0 1 M

H 01 L 29/06 3 0 1 G

H 01 L 29/06 3 0 1 V

H 01 L 29/78 6 5 2 C

H 01 L 29/78 6 5 8 A

H 01 L 29/78 6 5 2 J

【手続補正書】

【提出日】令和2年1月10日(2020.1.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置であって、

表面および裏面を有し、第1または第2導電型の半導体で構成された基板(1)と、

前記基板の表面上に形成され、前記基板よりも低不純物濃度とされた第1導電型の半導体からなる第1導電型層(2、60)と、

前記基板に対して前記第1導電型層を挟んだ反対側に形成された前記半導体素子に備えられる第1電極(9)と、

前記基板の裏面側に形成された前記半導体素子に備えられる第2電極(10)と、を有し、

前記外周領域には、

前記第1導電型層の表層部のうち該第1導電型層の表面から離れた位置に形成され、前記セル領域を囲む複数の枠形状とされたライン状の第2導電型のガードリング(21)と、

前記第1導電型層の表面に形成された層間絶縁膜(10)と、が備えられ、

前記第1導電型層には、前記基板の表面上に形成されていると共に表層部に前記ガードリングが形成された第1層(2)と、前記ガードリングおよび前記第1層の上に形成され

ていると共に前記第1層よりも第1導電型不純物濃度が高くされた第2層(60)とが含まれている半導体装置。

【請求項2】

前記半導体素子はMOSFETであり、

前記MOSFETは、

前記第2層の上に形成された第2導電型のベース領域(3)と、

前記ベース領域の上に形成され、前記第1層よりも第1導電型不純物濃度が高くされた第1導電型のソース領域(4)と、

前記ソース領域の表面から前記ベース領域よりも深く形成されたゲートトレンチ(6)内に、該ゲートトレンチの内壁面を覆うゲート絶縁膜(7)と該ゲート絶縁膜の上に配置されたゲート電極(8)とを備えて構成されたトレンチゲート構造と、

前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された前記層間絶縁膜と、

前記コンタクトホールを通じて、前記ソース領域および前記ベース領域に電気的に接続された前記第1電極に相当するソース電極(9)と、

前記基板の裏面側に形成された前記第2電極に相当するドレイン電極(11)と、を含み、

前記第2層が電流分散層を構成している請求項1に記載の半導体装置。

【請求項3】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電型層に達する凹部(20)を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜(10)を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電気的に接続されるソース電極(9)を形成することと、

前記基板の裏面側にドレイン電極(11)を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面に至る第2導電型のディープ層(5)を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第2導電型のガードリング(21)を形成することと、を含み、

前記ディープ層を形成することは、

前記第1導電型層に対して該第1導電型層の表面から離れた深さの位置に第2導電型不純物をイオン注入することで、前記ガードリングを形成すると同時に前記ディープ層の下

部(5a)を形成することと、

前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記下部と連結されると共に該第1導電型層の表面に至る前記ディープ層の上部(5b)を形成することと、を含んでいる半導体装置の製造方法。

【請求項4】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電型層に達する凹部(20)を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜(10)を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電気的に接続されるソース電極(9)を形成することと、

前記基板の裏面側にドレイン電極(11)を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面に至る第2導電型のディープ層(5)を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第2導電型のガードリング(21)を形成することと、を含み、

前記第1導電型層を形成することは、

前記第1導電型層として、前記基板の表面上に形成される第1層(2)を形成することと、前記第1層の表面上に、該第1層よりも第1導電型不純物濃度が高くされた第2層(60)を形成することと、を含んでいる半導体装置の製造方法。

【請求項5】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することと、

とでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電型層に達する凹部(20)を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜(10)を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電気的に接続されるソース電極(9)を形成することと、

前記基板の裏面側にドレイン電極(11)を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面に至る第2導電型のディープ層(5)を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第2導電型のガードリング(21)を形成することと、を含み、

前記第1導電型層を形成することは、

前記第1導電型層として、前記基板の表面上に形成される第1層(2)を形成することと、前記第1層の表面上に、該第1層よりも第1導電型不純物濃度が高くされた第2層(60)を形成することと、を含み、

さらに、前記第2層を形成することの前に、前記第1層に対して第2導電型不純物をイオン注入することで、前記ガードリングを形成すると同時に前記ディープ層の下部(5a)を形成することと、

前記第2層を形成することの後に、前記第2層に対して第2導電型不純物をイオン注入することで、前記下部と連結される前記ディープ層の上部(5b)を形成することと、を含んでいる半導体装置の製造方法。

#### 【請求項6】

前記セル領域に形成されるディープ層を第1ディープ層として、

前記外周領域のうち、前記セル領域と前記ガードリングが形成されるガードリング部(RG)との間に位置する繋ぎ部(RJ)において、前記第1導電型層の表層部に、第2導電型不純物をイオン注入することで第2導電型の第2ディープ層(30)を形成することを含み、

前記第2ディープ層を形成することは、

前記ガードリングを形成すると同時に前記第1ディープ層の下部を形成する際に、さらに前記第2ディープ層の下部(30a)を同時に形成することと、

前記第1ディープ層の上部を形成する際に、さらに前記第2ディープ層の上部(30b)を同時に形成することと、を含んでいる請求項3に記載の半導体装置の製造方法。

#### 【請求項7】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成すること

とでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電型層に達する凹部(20)を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜(10)を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電気的に接続されるソース電極(9)を形成することと、

前記基板の裏面側にドレイン電極(11)を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面に至る第2導電型のディープ層(3)を形成することと、

前記凹部を形成した後に、前記外周領域において、前記第1導電型層に対して該第1導電型層の表面から離れた深さの位置に第2導電型不純物をイオン注入することで、前記セル領域を囲む枠形状とされたライン状の第2導電型のガードリング(21)を形成することと、を含み、

前記セル領域に形成されるディープ層を第1ディープ層として、

前記外周領域のうち、前記セル領域と前記ガードリングが形成されるガードリング部(RG)との間に位置する繋ぎ部(RJ)において、前記第1導電型層の表層部に、第2導電型不純物をイオン注入することで第2導電型の第2ディープ層(30)を形成することを含み、

前記第2ディープ層を形成することは、

前記第1ディープ層を形成する際に、さらに前記第2ディープ層の少なくとも一部を同時に形成することと、を含んでいる半導体装置の製造方法。

#### 【請求項8】

前記第2ディープ層を形成することは、

前記ガードリングを形成する際に、さらに前記第2ディープ層のうちの前記ガードリング側の端部を同時に形成すること、を含んでいる請求項7に記載の半導体装置の製造方法。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

#### 【0012】

また、請求項1に記載の半導体装置は、第1導電型層に、基板の表面上に形成されると共に表層部に前記ガードリングが形成された第1層(2)と、ガードリングおよび第1層の上に形成されていると共に第1層よりも第1導電型不純物濃度が高くされた第2層(60)とが含まれた構成とされている。