

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H04N 1/00

(45) 공고일자 1996년02월24일
(11) 공고번호 특 1996-0002693

(21) 출원번호	특 1992-0012277	(65) 공개번호	특 1993-0003658
(22) 출원일자	1992년07월10일	(43) 공개일자	1993년02월24일
(30) 우선권주장	91-170225 1991년07월 10일 일본(JP) 91-194423 1991년08월 02일 일본(JP) 91-194424 1991년08월 02일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 세끼자와 다다시		
(72) 발명자	일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 모로 준	일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 미까미 또모하사 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 모리 마사히로 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 치바 히로다까 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 나가따 시게미 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 나까무라 시게요시 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 꼬나까 도시오 일본국 가나가와肯 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 사또 가즈히코 일본국 가나가와Ken 가와사끼시 나가하라구 가이고다나까 1015반찌 후지쓰 가부시끼가이샤 내 문기상, 조기호	
(74) 대리인			

심사관 : 강해성 (책
자공보 제4348호)

(54) 화상형성장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

화상형성장치

[도면의 간단한 설명]

제1도는 입력된 화상데이터에 의해 표시된 화질을 개량하는 종래 기술을 나타낸 도면.

- 제2도는 보정패턴의 일예를 나타낸 도면.
- 제3도는 화상을 보정하는 종래 기술을 나타낸 도면.
- 제4도는 본 발명의 제1원리를 설명하는 개통도.
- 제5도는 본 발명의 제2원리를 설명하는 개통도.
- 제6도는 각도와 텁니(jaggy) 효과간의 관계를 나타낸 도면.
- 제7도는 화상의 텁니를 감소하기 위해 필요한 서브도트패턴을 나타낸 도면.
- 제8도는 주관(subjective) 평가치에 대한 평가레벨을 설명하는 도면.
- 제9도는 본 발명에 의해 보정되는 패턴의 일예를 나타낸 도면.
- 제10도는 본 발명의 제3원리를 설명하기 위한 개통도.
- 제11도는 뉴런(neuron)의 동작을 설명하기 위해 나타낸 도면.
- 제12도는 뉴럴 네트워크의 모델을 나타낸 도면.
- 제13도는 시그모이드 함수를 나타낸 도면.
- 제14도는 스텝함수를 나타낸 도면.
- 제15도는 입력총부(1)에 화소를 할당하는 일실시예를 나타낸 도면.
- 제16도는 입력총부(2)에 화소를 할당하는 일실시예를 나타낸 도면.
- 제17도는 화소크기의 일실시예를 나타낸 도면.
- 제18도는 변환 데이터로서의 화소위치의 일실시예를 나타낸 도면.
- 제19도는 출력총부의 출력치와 화소의 위치 및 크기의 대응의 실시예를 나타낸 도면.
- 제20도는 제1원리에 의한 화상형성장치의 제1실시예의 시스템구성을 설명하기 위한 개통도를 나타낸 도면.
- 제21도는 제20도에 도시된 시스템의 동작의 타이밍챠트를 나타낸 도면.
- 제22도는 보정패턴(교시패턴)(1)의 일실시예를 나타낸 도면.
- 제23도는 보정패턴(교시패턴)(2)의 일실시예를 나타낸 도면.
- 제24도는 학습처리의 실시예의 후로우챠트를 나타낸 도면.
- 제25도는 학습처리중 오(誤) 보정의 일예를 나타낸 도면.
- 제26도는 미학습 패턴의 보정의 일예를 나타낸 도면.
- 제27도는 문자와 직선의 보정의 일예를 나타낸 도면.
- 제28도는 학습처리후 히든층내의 뉴런에 대한 계수의 일실시예를 나타낸 도면.
- 제29도는 학습처리후 출력층의 뉴런에 대한 계수의 일실시예를 나타낸 도면.
- 제30도는 화상데이터의 흐름의 일실시예를 나타낸 도면.
- 제31도는 5치(value) 화소의 크기의 일실시예를 나타낸 도면.
- 제32도는 본 발명의 제1원리에 의한 화상형성장치의 제2실시예의 시스템구성을 설명하기 위한 개통도.
- 제33도는 학습처리후 히든층의 뉴런에 대한 계수의 일실시예를 나타낸 도면.
- 제34도는 본 발명의 제1원리에 의한 화상형성장치의 제3실시예의 히든층의 뉴런의 구성을 설명하기 위한 개통도.
- 제35도는 본 발명의 제1원리에 의한 화상형성장치의 제4실시예의 히든층의 뉴런의 구성을 설명하기 위한 개통도.
- 제36도는 제35도에 도시된 선택제어신호와 계수버퍼의 내용의 일실시예를 나타낸 도면.
- 제37도는 선택제어부의 구성을 설명하기 위한 계통도.
- 제38도는 화상형성장치로서 프린터의 일반구성을 설명하기 위한 개통도.
- 제39도는 화질보정회로의 세부구성을 설명하기 위한 개통도.
- 제40도는 1라인 화상데이터의 입력을 나타낸 도면.
- 제41도는 상기 화상데이터의 입력측상의 래치와 RAM간의 접속을 나타낸 도면.
- 제42도는 상기 쉬프트레지스터에 입력된 데이터를 나타낸 도면.
- 제43도는 화상데이터의 입력측상의 RAM과 쉬프트레지스터간의 접속을 나타낸 도면.
- 제44도는 필스폭 보정회로의 구성을 설명하기 위한 개통도.

제45도는 도트크기와 쉬프트에 의해 특정된 노광펄스 보정신호의 일예를 나타낸 도면.

제46도는 선행 원도우의 도트의 잔존 데이터와 현재 원도우의 도트데이터를 결합한 노광펄스 보정신호의 일예를 나타낸 도면.

제47도는 화질보정회로의 동작의 타이밍차트를 나타낸 도면.

제48도는 본 발명의 제2원리에 의한 화상형성장치의 제1실시예의 시스템구성을 설명하기 위한 개통도.

제49도는 보정패턴(교시패턴)(1)의 실시예를 나타낸 도면.

제50도는 보정패턴(교시패턴)(2)의 일실시예를 나타낸 도면.

제51도는 보정패턴(교시패턴)(3)의 일실시예를 나타낸 도면.

제52도는 보정패턴(교시패턴)(4)의 일실시예를 나타낸 도면.

제53도는 문자와 직선의 보정의 일예를 나타낸 도면.

제54도는 본 발명의 제2원리에 의한 화상형성장치의 제2실시예의 히든층과 출력층의 개통도.

제55도는 본 발명의 제2원리에 의한 제2실시예의 동작을 설명하기 위한 타이밍차트를 나타낸 도면.

제56도는 제54도에 도시된 뉴런의 가산기의 구성을 설명하기 위한 개통도를 나타낸 도면.

제57도는 입력결합(1)의 계수치를 나타낸 도면.

제58도는 입력결합(2)의 계수치를 나타낸 도면.

제59도는 보정되는 패턴의 일예를 나타낸 도면.

제60도는 본 발명의 제2원리에 의한 화상형성장치의 제3실시예의 입력층과 히든층의 뉴런의 구성을 설명키 위한 개통도.

제61도는 본 발명의 제2원리에 의한 화상형성장치의 제4실시예의 히든층의 뉴런의 구성을 설명키 위한 개통도.

제62도는 보정된 패턴의 변환결과를 나타낸 도면.

제63도는 제62도의 좌하부에 도시된 서브도트패턴의 확대도.

제64도는 본 발명의 제2원리에 의한 화상형성장치의 제5실시예의 구성을 설명키 위한 개통도.

제65도는 본 발명의 제2원리에 의한 화상형성장치의 제6실시예의 뉴로 출력부의 구성을 설명키 위한 개통도.

제66도는 서브도트의 발생을 나타낸 도면.

제67도는 본 발명의 제2원리에 의한 화질보정회로의 세부구성을 설명키 위한 개통도.

제68도는 제67도에 도시된 화질보정회로의 동작의 타이밍차트(1)를 나타낸 도면.

제69도는 제67도의 화질보정회로의 동작의 타이밍차트(2)를 나타낸 도면.

제70도는 본 발명의 제3원리에 의한 분할화소의 그레이스케일(gray scale)의 일실시예를 나타낸 도면.

제71도는 본 발명의 제3원리에 의한 화상형성장치의 제1실시예의 시스템구성을 설명키 위한 개통도.

제72도는 제71도에 도시된 시스템의 동작의 타이밍차트를 나타낸 도면.

제73도는 템플레이트(template)의 예를 나타낸 도면.

제74도는 템플레이트 데이터와 불일치한 원도우에 대한 보정패턴의 일실시예를 나타낸 도면.

제75도는 제71도에 도시된 쉬프트레지스터와 레지스터의 동작을 나타낸 도면.

제76도는 상기 쉬프트레지스터의 출력이 "그대로" 노광변조신호로서 사용되는 회로의 일실시예를 나타낸 도면.

제77도는 본 발명의 제3원리에 의한 화상형성장치의 제2실시예를 설명키 위한 시스템구성을 나타낸 도면.

제78도는 서브도트패턴의 일부를 보정키 위한 화상보정법의 설명도.

[발명의 상세한 설명]

본 발명은 레이저 프린터, 잉크제트 프린터, 열전달 프린터 등의 프린터용 화상형성장치에 관한 것이며, 더 구체적으로는 톱니형을 감소시키고, 그레이스케일 화상의 밀도변화를 평활하게 함으로써 입력된 화상의 화질을 개량할 수 있는 화상형성장치에 관한 것이다.

화상형성장치의 대부분은 300dpi용으로 설계되므로 대부분의 전자컴퓨터들이 300dpi에 따라 신호를 출력 한다. 그러나 300dpi 프린터는 톱니화상을 형성하는 단점이 있다. 이를 제거키 위해서, 화소의 높도를 더 높여야 한다. 그러나 고농도 화소는 엔진의 고정밀화에 의해서 페이지 버퍼와, 프린터 비용을 높인

다. 또한 300dpi용의 범용 비트 맵 폰트(map font)의 통상의 입력부(스캐너 등)를 전혀 사용할 수 없다. 레이저 프린터에 의하면, 수직주사에서 고농도 화소를 얻을 수 있다. 즉, 포ーム 피드(form feed)와 드럼 피드(drum feed)의 피치를 증가시키기가 매우 곤란하다.

이것이 가능하면 비용이 매우 높아진다.

고농도 화소가 횡주사 방향으로 설계되면, 염가로 개량된 결과를 얻을 수 있다.

그러므로 수평방향에서 화소포지셔닝 정확도를 트리플링(tripling)하고, 화소의 크기를 12가지로 세팅함으로써 화질을 개량시키는 것이 제안된 바 있다(USP 4,847,641).

이 방법에 의하면, 입력된 화상화소들이 소정형태의 샘플링 원도우에 의해서 분획되고, PLA(programmable logic array)에 기입된 복수의 템플레이트패턴에 비교되고, 소정 패턴중 어느것과 매치되면 대응화소의 보정위치 및 크기로 변형된다.

제1도는 화소의 위치 및 크기의 보정방법을 나타낸다. 입력데이타(1)는 샘플링 원도우(2)에 의해 분획되고, 제1도의 우측에 도시된 템플레이트(3)와 비교된 후, 입력데이타가 템플레이트패턴중 어느것과 매치될 때 대응화소의 위치 및 크기로 보정된다.

제2도는 템플레이트(3)에 기억된 전보정과 후보정패턴 샘플을 나타낸다. 제2도에서, 각 화살표위의 패턴은 보정되는 템플레이트의 데이터를 나타내고, 각 화살표 하부의 패턴은, 데이터에 의해 보정된 패턴을 나타낸다.

상부패턴 각각은, 적정한 수직 경사선으로 보정되는 수직 경사선을 나타낸다.

예를 들면, 좌한 패턴은 중앙의 화소가 1/3 화소만큼 좌로 이동됨을 나타낸다.

이 패턴들에서 둑은 특점을 현재 처리에서 보정되지 않는 화소를 나타낸다.

제2도에서 중앙패턴은 보정되는 도트의 크기가 정규도트직경의 60%로 감소된다.

좌하부의 2패턴은, 보정되는 도트의 크기가 정규도트직경의 30%를 감소되는 횡 경사선상의 텁니감소처리를 나타낸다.

다음, 보정된 도트의 위측의 백색 도트는, 정규도트직경의 60% 흑도트로 할당되고 따라서 횡 경사선들의 텁니들이 감소된다.

그러나, 제1도와 제2도를 참조하여 설명한 방법들은 다수의 템플레이트패턴을 요구하므로 처리속도가 느리고, 다수의 템플레이트패턴을 기억시키기 위한 대량 메모리가 필요하고 템플레이트패턴들에서 일치되는 위치에서의 화소들에만 보정이 실행된다.

다른 문제점은, 상기 보정이 화소 단위로만 되고, 배열을 1화소내에서 할 수 없기 때문에 예를들어 흑-백-흑 배열의 패턴에 대해서 적절한 보정을 행할 수 없다.

상기 텁니 감소법 이외에 화질을 개량하는 다른 방법으로서 농도변화 평활화법이 있다. 그러나, 이 방법은 동일 그레이스케일에 대다수의 화소패턴이 존재하므로 비실용적이다. 또한, 제1도에 도시된 방법에서 목표화소의 위치와 크기를 보정함으로써 화질이 개량된다. 그러므로 제3도에 도시된 바와같이 패턴의 유형에 따라서 화소들이 바람직하지 않게 보정됨으로써 화질이 나빠진다.

또한, 1화소가 12가지로 변형되고, 입력위치가 3위치 즉, 원위치, 전방 및 후방으로 쇼프트된다. 이러므로써, 발광 타이밍이 36가지가 생기며, 따라서 대규모 회로에 노광변조를 야기한다.

본 발명의 목적은, 뉴랄 네트워크를 통해 입력된 화상의 텁니를 감소시키고, 그레이스케일 화상의 농도변화를 완만하게 하여, 화질을 개량하는데 있다. 다른 목적은, 보정패턴의 학습후 하든층의 각 뉴런에 대한 입력결합의 계수치를 소수의 비트로 표시할 수 있는 네트워크를 사용해서 계수치 기억용 버퍼의 용량을 감소시키고, 회로의 크기를 최소화하는데 있다. 본 발명의 제3목적은, 목표화소와 그의 둘레의 화소의 데이터를 소정패턴과 비교하고 상기 목표화소와 좌, 우 인접화소를 동시에 보정함으로써 화상텐니를 감소시키고, 화질을 개량하는데 있다.

제4도는 본 발명의 제1원리를 설명하는 개통도이다. 데이터 배열에 따라서 입력도트 화상데이타의 보정을 제어함으로써 화상의 텁니를 감소시키고, 그레이스케일 화상의 농도변화를 완만하게 하는 화상형성장치의 원리를 나타내고 있다.

제4도에서 평활기(10)를 구성하는 뉴랄 네트워크는 소정형태의 원도우, 예를들어 5화소로 각각 구성된 3 라인을 포함한 장방형 원도우내의 중앙화소(도트)의 위치 및 크기의 변환 데이터를 내부에 입력된 화소 데이터에 따라서 출력한다.

예를 들면 화소인 도트의 크기는 최대 100%, 60%, 30% 및 0%(도트없음)의 4값으로, 또는 100%, 75%, 50%, 25% 및 0%의 5값으로 특정할 수 있다.

뉴랄 네트워크의 출력층에서 복수의 뉴런(부)이, 화소의 크기변환 데이터를 출력하고, 다른 복수의 부(unit)들이 화소의 위치변환 데이터를 출력한다. 화소들의 크기와 위치데이터는 각 부에서 개별출력된다.

따라서 출력층내의 1부가 크기와 위치데이터를 함께 함유한 출력코드를 발생하는 종래 방법에 비해서 본 발명은 하든층의 부들의 수를 감소시켜 뉴랄 네트워크에서의 처리를 촉진시킨다.

상기 제1원리가 입력된 도트화상데이타에 따라서 도트의 보정을 명령하는 뉴랄 네트워크에 의거한 것으로 다수의 템플레이트패턴을 필요로 하지 않으며, 고속으로 처리를 실행하고 적은 메모리용량을 요구

하며, 미학습 패턴에 응답하여 최적 보정명령을 제공한다.

제5도는 본 발명의 제2원리를 설명하기 위한 개통도이다. 평활기(10)의 일부를 구성하는 뉴랄 네트워크는, 장방형 원도우부에서 처리되는 입력화상데이터를 표시하기 위한 도트들에 대응하는 복수의 서브도트를 사용하여 노광패턴 데이터를 출력한다.

한 원도우는 예를들어 각각 9화소로 구성된 7라인을 포함하고 있다.

상기 노광패턴 데이터가 출력되어 각 원도우내의 화소데이터 어레이에 따라서 원도우내의 중앙화소를 보정한다.

예를들어 1화소가 8-서브도트 노광패턴으로 표현되면 수평 주사방향의 해상도가 300dpi로 세팅될 때 2,400dpi에 대해 데이터변환이 실행된다. 화질을 더욱 개량하기 위해서는 화소들로부터의 텁니와 평활한 밀도변화를 제거하기 위해 1패턴이 8-분획 패턴으로 구성된다.

어떠한 도안요소들 보다도 선이 더욱 텁니형으로 표시된다. 또한, 선을 그의 경사도에 따라서 상이한 텁니효과로 표시된다.

제6도는 각도와 텁니효과간의 관계를 나타낸다. 종축의 주관 평가치(후술함)는 텁니효과에 상당한다. "마크(mark)5"는 텁니들이 인식안됨을 표시한다. 5 이하의 마크들은 커지는 텁니효과를 내림차순으로 나타내고 있다.

제6도는 선이 거의 0° , 45° , 90° 에서 가장 현저한 텁니효과를 나타낸다.

이러한 각도들에서 8서브도트를 사용하여 보정된 패턴이 작성되는 경우 함께 28패턴을 사용하여 형성되면 그 텁니효과가 적게 표시될 수 있다. 실제로 8서브도트가 256패턴을 형성할 수 있고 이들중 28패턴(제7도에 도시됨)만으로 화상의 텁니를 제거하기에 충분하다. 즉, 후속 서브도트(흑색)의 수에 의해서 도트의 크기를 특정할 수 있다. 1입력도트는 2 이상의 계속된 서브도트에 의해 보정되지 않으며, 그의 좌, 우 도트의 보정에 의해서 도트화상이 영향을 받을 수 있다.

그러므로 1도트를 나타내는 서브도트패턴은 단지 6어레이 : 흑, 흑-백, 흑-백-흑, 백-흑-백, 백-흑 및 흑색을 갖는다. 이러한 패턴전부가 제7도에 도시돼 있다. 도트의 크기 및 위치는 상기 패턴들 몇가지를 결합함으로써 제어할 수 있다. 제7도에 3열로 도시된 흑-백-흑 패턴은 분리된 도트가 아니고, 이웃한 서브도트의 좌우 쉬프트에 의해서 발생된다.

제6도에 도시된 주관 평가치는 1선이 상이한 경사도로 표시된 샘플화상의 변화를 10인에게 보여준 후 제8도에 도시된 평가레벨에 의하여 판정결과의 마크들의 평균치를 구하는 방법을 나타낸다.

다음, 본 발명의 제2목적은 히든층의 뉴런에 대한 입력결합의 계수치를 소수의 비트를 사용하여 표시함으로써 회로의 크기를 최소화하는데 있다. 이를 달성하기 위하여 제4도와 5도에 도시된 제1과 제2원리에 의해 나타낸 바와같이 3층 : 입력층, 히든층 및 출력층으로 구성된 뉴랄 네트워크를 통해서 평활기(10)가 동작되고, 학습후에 3값 $+n$, $-n$, 0(n 은 상수), 즉 $+1$, -1 , 0중 1값을 히든층의 각 뉴런에 대한 입력결합의 계수치로서 출력한다.

다음, 입력된 도트화상데이터의 어레이에 따라서 입력화상데이터의 1도트에 대한 보정데이터를 출력한다.

또한, 상기 평활기(10)가 뉴랄 네트워크를 통해서 동작되고 학습후에 2값($+1, 0$)을 히든층의 각 뉴런에 대한 입력결합의 계수치들로서 출력하도록 구성하여 화소데이터의 정규신호와 반전신호 양자를 네트워크에 공급하도록 할 수도 있다.

본 발명의 제2목적의 달성방법을 설명하기 위해서 보정되는 패턴의 샘플을 설명한다.

본 발명에서 1원도우내의 중심화소의 도트크기와 위치는 화상에 텁니가 제거되도록 보정되고 출력된다. 통상, 텁니화상을 보정하는데 1원도우내의 도트전부가 포함되지는 않고 이들은 중앙도트와 그 둘레의 일부도트들에 제한된다. 제9도에서 보정후에 중앙도트가 정규크기로 1/3 도트만큼 좌로 이동한다. 필요한 데이터는 제1열의 제2흑도트와 제3, 제4백도트, 제2열의 제3흑도트와 제4백도트 및 제3열의 제3흑도트와 제4백도트이다. 다른 도트들은 흑 또는 백일 수 있으며, 즉 이들은 "무시(don't care)"도트이다.

히든층의 뉴런에 대한 입력결합의 계수치는 제4도와 5도에 도시된 평활기(10)의 뉴랄 네트워크에 대해서 0 또는 1을 무시데이터로서 공급함으로서 교시(teaching)가 반복될때, 3값 $+1$, -1 , 또는 0중 하나로 수렴되고, 증가된 수의 패턴으로 교시를 진행한다.

본 발명에서는 히든층의 뉴런에 대한 입력결합의 계수치가 학습후 1, -1 또는 0으로 수렴되는 뉴랄 네트워크를 통해서 화상들의 텁니가 제거된다.

제10도는 중앙도트와 그의 좌, 우의 이웃한 도트들의 데이터를 동시 보정하는 것을 목적으로 하는 본 발명의 제3원리를 설명하기 위한 계통도이다.

제10도에서 원도우 데이터 분획기(11)가, 라인버퍼와 쉬프트레지스터를 포함하고 있고, 복수의 화소, 예를 들어 9×7 화소를 각각 포함하는 복수의 라인을 포함하는 1원도우에 의해서 데이터를 분획한다.

보정데이터 출력부(12)가 중심화소와 그의 좌, 우에 이웃한 화소들 각각을 상기 분획된 원도우내의 화소들의 데이터에 따라서 N구역, 즉 3구역으로 분할한다.

3화수의 N구역으로 구성된 9피이스(piece)의 화소데이터를 포함하는 모든 보정데이터가 좌측 화소의 데이터로부터 시작해서 좌측, 중앙, 우측 화소에 관하여 순차로 출력된다. 3분할된 각각의 화소에 대한 보정데이터를 1비트로 표시하면, 전체 보정데이터는 9비트가 된다. 그러므로 상기 보정데이터가 2비트로

표시되면 전체 데이터는 18비트가 된다.

출력화소데이터 연산부(13)가 보정데이터 출력부(12)로부터 출력된 중앙화소에 대한 보정데이터를 수신 한다. 상기 출력화소데이터 연산부(13)는 보정데이터의 선행 입력시, 즉 원도우내의 중앙화소 좌측의 화 소에 대한 보정데이터와 현재 중앙화소에 대한 보정데이터 입력시에 자체에서 얻어진 처리결과를 사용해 서 상기 원도우내의 중앙화소에서 2화소 좌측의 화소에 대한 화소데이터를 산출한다. 즉, 현재 중앙화소 에서 2화소 좌측의 화소들에 대한 출력데이터가 출력되어 이 데이터에 의하여 프린트될 수 있다.

제3발명에서는 각각 이 화소로 구성된 7라인 즉, 9×7 화소를 포함한 원도우가 비트 맵 메모리로부터 입 력된 7라인데이터에 의해서 분획된다. 다음, 상기 원도우내의 화소데이터가, 소정의 템플레이트와 비교 된다. 이들이 매치되면, 세개의 3-분할된 화소에 대한 9화소 즉, 중앙 및 그의 좌우 이웃한 화소들에 대 한 보정데이터가 출력된다.

예를들면 화소데이터가 4레벨로 표시되는 경우, 보정데이터의 각 피이스는 2비트로 표시되고 9화소에 대 한 보정데이터 전부가 18비트로 표시된다. 이들중 6개의 중앙비트들은 상기 원도우내의 중앙화소에 대응 하며, 상위 6비트는 좌측 화소에 하위 6비트는 우측 화소에 상당한다.

상기 18비트 보정데이터는 원도우내의 중앙화소에 대한 보정데이터로서, 예를들면 상기 출력화소데이터 연산부(13)를 구성하기 위한 레지스터에 입력된다.

현재 중심점에 대응하는 보정데이터의 입력에 선행된 입력시 즉, 상기 중심화소 좌측의 화소에 대한 보 정데이터의 입력시의 처리결과가, 예를들면 출력화소데이터 연산부(13)의 성분으로서 쉬프트레지스터에 기록된다. 상기 쉬프트레지스터의 내용은, 현재 중심화소에 대한 보정데이터 입력시 분할된 3화소에 대한 6비트만큼 좌로 쉬프트된다. 그 결과, 상기 쉬프트레지스터로부터 흘러넘치는 6비트 데이터는 상기 쉬프트레지스터와 상기 레지스터가 동일 용량을 갖기 때문에 출력화소데이터로서 노광변조회로에 전달된다.

상기 쉬프트레지스터내의 쉬프트결과와 상기 레지스터내에 기억된 중앙화소에 대한 보정데이터에 대응하는 비트위치가 AND되어, 상기 출력화소데이터 연산부(13)의 현재 처리결과로서 쉬프트레지스터내에 재기 억된다.

다음, 상기 결과가 후속데이터 입력시 즉, 중앙도트 우측의 도트에 대한 보정데이터의 입력시의 처리에 사용된다.

본 발명의 제3원리를 설명하기 위한 제10도의 개통도에서는 평활기(10)의 뉴랄 네트워크가 상기 보정데이터 연산부(13)를 대체할 수 있다. 상기 뉴랄 네트워크는 원도우에 의해 분획된 도트화상데이터를 수신 하여 상기 원도우의 중앙도트에 대한 보정데이터로서 예를들어 총 9피이스의 보정데이터 즉, 좌측, 중앙, 우측 도트에 대해 각각 3피이스의 데이터를 출력한다.

상기 설명한 바와같이 제3원리에서는, 중앙도트와 그의 좌, 우 도트에 대해서 동시에 데이터가 보정된다.

제11도는 상기 뉴랄 네트워크를 구성하는 뉴런의 동작을 나타낸다. 1뉴런도 1부로서 취급한다. 이것은 복수의 입력들을 각각의 계수와 곱하여 그 곱셈값을 가산하여 그 합계를 적정한 함수로 변환한 후 그 결과를 출력한다. n -번째 뉴런의 출력 y^n 은 하기 식으로 표현된다.

$$y^n = f(k_0^n + k_1^n x_1^n + \dots + k_m^n x_m^n)$$



상기 식에서 x_i^n 은 n 번째 뉴런에 입력된 i 번째 입력을 나타내며 ; k_i^n 은 입력의 계수(계수치) ;

제12도는 뉴랄 네트워크의 모델을 나타낸다. 원은 뉴런을 나타낸다. 입력총부(네트워크에 대한 입력을 수신하는 부)는, 입력을 상기 히든층내의 부로 송신하기만 하므로 도면에서 생략돼 있다. 상기 히든층에 서는 3부가 있고 출력총에는 2부가 있다.

제11도에서는 시그모이드함수와 스텝함수가 가산결과를 변환하는데 사용된다. 제13도는 시그모이드함수 를 나타내며, 제14도는 스텝함수를 나타낸다. 그러나, 변환함수는 상기 함수들에 한정되지 않는다.

통상, 뉴랄 네트워크에 입력된 화수의 수가 많을수록, 화상보정이 더 좋고, 보정패턴이 더욱 많다. 예를들면, 입력된 화소의 수가 5×50 이면, 모든 화소를 사용한 조합은 $2^{5 \times 5}$, 33554432가지로 다양화된다. 7×9 인 경우, 조합은 $2^{7 \times 9}$, 즉, 9.22×10^{18} 가지가 된다. 따라서 뉴랄 네트워크에 모든 화상패턴을 교시하는 것이 불가능하다.

따라서 모든 패턴들중에서 상기 네트워크를 교시하기 전에 보정될 패턴과 보정되지 않는 패턴을 선택해야 한다. 상기 교시를 통해서 구해진 계수를 사용하여 상기 네트워크에 의하여 화소들이 보정된다.

상기 네트워크가 바람직하지 않은 변환을 행하고 있는 경우, 재학습을 해야한다.

이러한 방법으로, 전 패턴에 대한 연산없이 화소들을 보정할 수 있고, 상기 네트워크에 대해 미학습된 패턴에 대해 화소들을 적절히 변환할 수 있다.

제15도와 16도는 상기 뉴랄 네트워크의 입력총의 각부에 화소를 할당하는 예를 나타낸다. 제15도에서 각각 5화소들로 구성된 3라인의 화소들이 한 원도우내에 출력된다.

제16에서 각각 9화소로 구성된 7라인의 화소들이 한 원도우내에 출력된다. 한 원도우는 소정의 형태로 돼 있다.

상기 입력층의 15부(제16도에서는 63부) 각각에서는 화소가 "흑색"으로 할당되면 화소데이터가 1로 세트되고, "백색"으로 할당되면 0으로 세트된다. "1"과 "0"이 반대로 세트될 수 있다.

제17도는 변환후 화소의 크기의 일예를 나타낸다. 그 크기는 100%(최대 도트직경), 60%, 30%, 0%(도트없음)의 4레벨로 특정될 수 있다.

제18도는 변환데이터에 의해 특정된 화소, 즉 도트의 위치의 일예를 나타낸다.

상기 도트위치는 중앙위치 즉, 원래입력위치, 이 원래입력위치의 좌측으로 1/3 도트위치 및 상기 원래입력위치의 우측으로 1/3 도트위치로 특정될 수 있다. 1도트는 900dpi로 표시된다.

제19도는 상기 네트워크의 출력층으로부터의 출력치와 화소의 대응위치 및 크기간의 대응관계의 일예를 나타낸다. 상기 뉴랄 네트워크의 5출력부로부터의 출력치를 표시하는 5비트 데이터에서 상위 3비트는 도트의 크기를 나타낸다(0%는 000, 30%는 001, 60%는 010, 100%는 100, 제17도 참조). 하위 2비트는 도트의 위치를 나타낸다(중앙위치는 00, 중앙위치에서 우측으로 1/3 도트위치는 01, 중앙위치에서 좌측으로 1/3 도트위치는 10).

따라서 본 발명에서는 출력층의 5부중 3부가 1도트의 크기를 특정하고 2부가 위치를 특정한다. 따라서, 상기 출력코드가 5비트로 표시된다. 도트의 크기와 위치는 10값으로 특정할 수 있다. 각각의 값을 4비트로 표시할 수 있으나, 이것은 출력층의 부들의 출력에 대해 도트의 크기와 위치를 독립적으로 할당할 수 없고, 하든층의 부의 수를 30부로 증가시켜야 하고, 뉴랄 네트워크가 더욱 저속으로 동작되는 문제를 야기한다.

제20도는 본 발명의 제1원리에 의한 화상형성장치의 일실시예의 시스템구성을 나타낸다. 상기 뉴랄 네트워크를 구성하는 뉴런들은 하드웨어로 구성된다.

제21도는 제20도에 도시된 시스템의 동작을 설명하는 타이밍챠트이다. 3×5 원도우부에 입력된 도트화상 데이터의 처리를 제20도와 21도를 참조하여 설명한다.

제20도에서 비트 맵 메모리로부터의 입력데이터가 데이터 분획부(20)에 제공된다. 상기 비트 맵 메모리 내의 1라인 데이터는, 3라인 버퍼(21a~21c)중 어느것에 제공된다. 현재 처리 라인이 라인버퍼(21b)에 주어지면, 현재 라인의 화소들이 처리될때, 현재 라인의 상,하 라인의 데이터가 각각 라인버퍼(21a)와 (21c)에 제공된다. 따라서 필요한 3라인의 화소가 라인버퍼(21a~21c)에 순차적으로 할당된다.

라인버퍼(21a~21c)에 기억된 데이터는, 쉬프트레지스터(SR)(22a~22c)에 5비트단위로 각각 로드(load)된다. 상기 3개의 쉬프트레지스터는 직렬 접속돼 있고, 상기 로드된 데이터는 데이터 분획부(20)에 의해 비트단위로 순차로 처리된다. 따라서, 3×5 원도우내의 1피이스의 도트 매트릭스데이터는 상기 데이터 분획부(20)에 의해서 상기 뉴랄 네트워크의 출력층(제20도에 도시안됨)에 출력된다. 상기 쉬프트레지스터로부터의 출력들은, 선입선출방식, 또는 선입후출방식으로 처리할 수 있다.

상기 데이터 분획부(20)에서 출력된 도트 화상데이터는 상기 뉴랄 네트워크의 하든층을 구성하는 16뉴런(24a~24p)에 대해서 비트단위로 동시에 제공된다. 상기 하든층의 뉴런들(24a~24p)은 각 뉴런이 상이한 계수치로 할당된 외에는 동일한 구성으로 돼 있고, 동시에 동작된다.

뉴랄 네트워크의 하든층과 출력층을 구성하는 각 뉴런에 할당되는 계수는 소정의 학습결과에 따라서 결정된다. 한계수의 값은 상기 뉴랄 네트워크에 의한 일련의 텁니감소처리 이전에 상기 하든층과 출력층의 계수버퍼세트(25,33)에 세트된다. 식(1)의 상수항은 또한 레지스터(28)과 (36)의 초기설정시에 상기 레지스터내에서 미리 세트된다.

다음은, 상기 하든층을 설명한다.

하든층에 의한 상술연산은 식(1)과 유사하다. 그러나 입력이 "0" 또는 "1"로 주어지므로 "1"일때는 계수를 증가시키고, "0"일때는 증가시키지 않는 것만으로써 곱셈을 행하지 않고 곱셈치의 합계를 구할 수 있다. 즉 입력치에 의해서 상기 계수버퍼내에 기억된 값의 가산여부가 결정된다. 그러므로 AND 게이트(26)가 곱셈치의 합계를 구하기 위한 회로로서 사용된다.

쉬프트레지스터(22a~22c)내의 도트 데이터는, 상기 AND 게이트의 입력단들중 하나에 비트단위로 입력된다. 3×5 원도우내의 각각의 도트 위치에 대응해서 할당된 계수의 각 비트는 쉬프트레지스터 (22a~22c)로부터 출력된 각 비트와 동기해서 상기 AND 게이트(26)의 다른 입력단에 입력된다. 상기 AND 게이트(26)는 쉬프트레지스터(22a~22c)에 의해 출력된 각 비트의 값에 의하여 "0" 또는 계수를 출력한다. 상기 계수버퍼(25)의 내용은 후술한다. 후속단계의 가산기(27)와 레지스터(28)가 상기 AND 게이트(26)의 출력을 가산하는데 사용된다. 15피이스의 도트 데이터에 계수를 곱하고, 이 곱셈치의 합계를 구한 후에, 그 가산결과가 레지스터(29)에 로드된다. 상기 레지스터(29)의 내용은 후속단계에서 ROM(30)에 기억된 시그모이드 함수에 의한 변환후 3상 레지스터(31)에 세트된다.

각 뉴런의 3상 레지스터(31)내에 세트된 값은 제21도에 도시된 바와같이 출력 이노우블(ennobie)(OE)을 순차로 세트함으로써 스캔되어 출력층에 순차로 입력된다.

상기 출력층의 각 뉴런은 하든층의 출력과, 출력층의 각 뉴런에 세트된 계수를 곱셈하여, 그 결과를 가산기(35)를 통해서 상기 레지스터(36)내에 세트한다.

하든층의 각 출력과 계수를 곱하여 얻어진 곱셈치의 합계를 구한후, 상기 레지스터(36)내의 값이 상기 레지스터(37)에 대해 제공된다. 상기 출력층의 출력과 상기 하든층에의 입력은 2진법, 즉, "1" 또는 "0"으로 표시되므로 상기 출력층의 출력의 슬라이스(slice) 레벨이 "0"으로 세트되면, 양의 값을 갖는 출력층의 출력은 "1"이고, 음의 값을 갖는 출력은 "0"이다.

그러므로, 상기 레지스터(37)내에 세트된 값이 시그모이드함수로 처리돼야 하지만, 레지스터(37)로부터

최상위 비트(부호 비트)가 출력될 수 있다.

5 출력치를 합계하여 구해진 출력은 최종적으로 상기 뉴랄 네트워크에 입력된 도트 화상데이터레이에 따라서 제19도에 도시된 열개의 5비트 스트링(string)중 하나와 대응한다.

따라서 프린터의 제어부가 화질보정회로를 통하여 광학부내의 광소자를 구동함으로써 상기 5 출력치의 조합에 의하여 상기 원도우내의 중앙화소의 위치에서 도트가 형성될 수 있다.

이러한 처리가 현재 처리라인의 각 화소에 대해서 실행된다. 1라인에 대한 처리가 끝나면 다음 라인과 그 이웃한 라인의 데이터가 라인버퍼(21a~21c)에 대해 제공되어 유사한 처리를 계속한다. 따라서 비트 맵 메모리내에 기억된 것과 프린터상에 출력된 1페이지 도트 데이터의 화소들이 상기 연산을 순차로 반복함으로써 보정할 수 있다.

제20도에서 히든층 뉴런내의 계수버퍼(25)의 내용과 출력층 뉴런내의 계수버퍼(33)의 내용은 시뮬레이션, 즉, 백프로파게이션(back propagation)법에 의한 학습에 의해 결정된다.

제22도는 3×5 도트 원도우에 대한 보정패턴, 즉, 교시데이터의 일예를 나타낸다.

제22도에서 화살표 상측의 배열은 입력된 데이터를 나타내고, 화살표 하측의 배열은 보정패턴, 즉 입력 패턴에 대한 교시패턴을 나타낸다. 제22도에서 상측의 교시패턴들은 수직경사선에 관한 것이다. 예를들어 좌한의 교시패턴은 중앙화소에 대한 도트를 좌로 1/3 도트 이동시켜야 함을 나타낸다.

상기 교시패턴에서는 열은 흑색원이, 본 처리에서 보정되지 않는 화소를 나타낸다.

제22도의 중앙교시패턴들은 횡 경사선내의 톱니를 감소시키는 처리를 나타낸다.

보정된 도트의 크기는 제17도에 도시된 원래 크기의 60%이다. 우하부의 2개의 교시패턴들은 보정패턴이 횡 경사선내의 톱니들을 감소시키는데 있어서, 제17도에 도시된 원래 크기의 30%이다. 이 보정후에 상기 횡 경사선내의 톱니들은 상기 중앙 교시패턴에 도시된 바와 같이 중앙 원 우측의 원에 대해 60% 크기로 형성함으로써 순차로 감소시킬 수 있다.

제23도와 제22도는 보정패턴, 즉 화상의 톱니를 감소시키기 위한 교시패턴을 나타낸다.

제23도에서, 예를들어 상측 그룹의 제2교시패턴은 과도한 토너가 놓여지는 것을 방지하기 위해서 수직 흙선과 수평 흙선의 교차점의 60% 직경도트를 표시하고 있다.

제24도는 백 프로파게이션법에 의한 학습의 일실시예를 설명하기 위한 후로우차트이다.

스텝 S1에서 입력패턴과 그의 교시패턴의 조합이 결정된다. 단계 S2에서, 뉴랄 네트워크의 계수, 즉, 초기 계수치가 난수를 사용하여 적절히 결정된다.

다음은, 단계 S3에서 입력패턴이 뉴랄 네트워크에 공급된다. 단계 S4에서는 상기 네트워크의 출력이 대향출력 즉, 그의 교시패턴과 일치하는가 여부에 관하여 결정된다.

일치하지 않는 경우, 단계 S5에서의 소정식에 의하여 소정계수가 결정되고, 단계 S4에서 일치의 결과가 검출될 때까지 단계 S3의 처리로부터의 처리들이 반복된다.

상기 학습처리가 실행됨으로써 예를들어 제20도에 도시된 실제연산에서 사용되는 계수(계수치)가 구해진다.

제25도는 학습중 오보정의 일예를 나타낸다. 처리되고 있는 원도우내의 중앙화소는 60% 크기도트로 할당돼 있어야 한다.

제26도는 그의 학습패턴과 정확히 대응하지 않는 입력패턴에 관한 보정의 일예를 나타낸다.

학습후, 제25도에 도시된 입력패턴이 제25도에 도시된 바와같이 원도우 중앙에 형성된 60% 크기도트로 할당된다. 이와 동일한 보정이 제26도에 도시된 바와같이 입력패턴에 대해 상기 뉴랄 네트워크에 의해 행해질 수 있고, 여기서는 제3라인의 흑색 도트가 좌로 1도트 쉬프트된다.

제27도는 문자와 직선의 보정의 일예를 나타낸다. 열은 흑색 도트는, 그 원위치와 상이한 위치를 갖는 즉 노광타이밍의 다른 위치를 갖는 도트를 나타낸다.

제28도는 히든층의 뉴런에 대한 계수, 즉, 학습후의 계수치를 함유한 표를 나타낸다. 제28도에서 좌한의 번호들(1~16)은, 히든층의 16뉴런을 나타낸다. 상한의 번호(1~15)는 계수버퍼(25)에 기억된 15계수를 나타낸다.

각 번호는 제15도에 도시된 화소번호와 대응한다.

제29도는 제28도와 같이 학습후 출력층내의 뉴런들에 대한 계수, 즉 계수치들의 표를 나타낸다. 출력층의 뉴런의 수는 5이고, 히든층내의 16뉴런에 대응하는 16계수들의 계수버퍼(33)에 기억돼 있다.

제30도는 화상데이터 흐름의 일예를 나타낸다. 제30a도에서 컴퓨터(200)에서 비트 맵 메모리(201)로 공급되고, 상기 데이터가 뉴랄 네트워크(202)에 공급된다. 뉴랄 네트워크(202)의 출력이 충분하면, 그의 출력데이터가 레이저 프린터의 프린터헤드(203)에 직접 공급되고, 화상데이터가 실시간 보정될 수 있다.

제30b도에서 뉴랄 네트워크(204)가 상기와 같이 높은 출력을 갖지 않으므로 그의 출력데이터가 비트 맵 메모리(205)내에 일시적으로 기억되고 다음 프린터헤드(206)에 출력된다. 상기 뉴랄 네트워크(204)전의 비트 맵 메모리(201)가 300dpi로 설계되면, 상기 비트 맵 메모리(205)가 900dpi에 상당한다.

제31도는 5가지 크기로 표시된 화소의 일예를 나타낸다. 화소크기는 최대 도트직경을 표시하는 100%, 75%, 50%, 25% 및 0%로 특정된다.

상기 설명한 바와같이 도트의 위치가 뉴랄 네트워크에 의해서 좌, 또는 우로 1/3 도트만큼 쉬프트된다. 즉, 300dpi에서 900dpi로 변환된다. 그러나 상기 변환은 상기 예에 한정되지 않으며 상이한 농도의 화소들을 조합함으로써 변환할 수도 있다.

그러므로 화소의 위치가 수직 주사방향과 수평 주사방향으로 쉬프트될 수 있다.

즉, 도트위치가 서멀헤드(thermal head)에서처럼 횡방향으로 물리적으로 고정되면, 포옴피드피지가 횡주사방향으로 더욱 높아질 수 있다.

제32도는 본 발명의 제1원리의 화상형성장치의 제2실시예를 나타낸다. 제20도와 제21도에 도시된 실시예 간의 상이점을 설명한다. 본 실시예의 연산 타이밍 채트는 제21도에 도시된 것과 유사하므로 그에 대한 설명을 생략한다. 제32도와 20도에서 유사한 구성부는 동일번호로 부기돼 있다.

제32도에서 데이터 분획부(20)의 동작은 제20도의 것과 동일하며, 원도우내의 도트 화상데이터가 상기 히든층내의 24뉴런(24a~24x)에 비트단위로 동시에 공급된다.

제2실시예는 본 발명의 제2목표에 상당하며, 히든층의 뉴런에 대한 입력결합의 계수치가 소수의 비트로 표시된다. 히든층내의 뉴런의 동작을 하기위에 설명한다.

상기 히든층에서 실행되는 산술연산은 식(1)로 표시된다. 이 연산은 상기 히든층내의 24뉴런에 의해서 개별적, 동시적으로 실행된다.

"1"(흑) 또는 "0"(백)의 1비트 데이터는 상기 데이터 분획부로부터 히든층내의 뉴런들 각각에 화소로서 공급된다.

상기 입력된 데이터와 계수버퍼(25)에 기억된 계수, 즉, 계수치는 제20도의 AND 게이트(26) 대신에 설치된 2개의 AND 게이트(26a)와 (26b)에 공급된다. 상기 계수버퍼(25)의 내용은 +1, -1, 0중 하나이다.

이들은 2비트로 표시된다 : +1은 "01", -1은 "11", 0은 "00"이다.

한 계수의 2비트 표현은 2개의 AND 게이트(26a)와 (26b)를 필요로 한다. 흑색 도트(예를들어, 제9도에 도시된 제1라인의 제2도트)에 대한 계수는 +1, 즉, "01"이고, 백색 도트에 대한 계수는 "11"이고, 무시 데이터에 대한 계수는 "00"이다.

상기 AND 게이트(26a)의 출력이 부호비트이므로 4개의 상위 비트로서 가산기(27)에 공급된다.

상기 가산기(27)의 내용은 "흑색"을 표시하는 계수 01에 대응하는 도트에 "흑색"이 입력될 때 증가되며, 상기 가산기(27)의 내용은 "백색"을 표시하는 계수(11)에 대응하는 도트에 "흑색"이 입력될 때 감소된다. 15입력에 응답하여 상기 가산기(27)로부터의 출력이 -15~+15의 범위내가 되고 가산기(27)로부터 출력된 비트의 수가 부호비트를 포함해서 5비트일 수 있다. 상기 가산기(27)는, 데이터 분획부(20)로부터 1비트 데이터가 입력될 때마다 가산을 행하여 그 결과를 상기 레지스터(28)에 출력한다. 후속 레지스터가 입력되면 상기 레지스터(28)내의 내용이 상기 AND 게이트(26a, 26b)의 출력과 함께 상기 가산기(27)내의 내용에 가산되고 그 결과가 상기 레지스터(28)내에 재차 기억된다.

상기 15입력데이터 각각에 대해서 상기 연산을 반복한 후, 곱셈치의 합계로서 최종결과가 상기 레지스터(28)내에 기억된다.

다음 상기 값은 상기 레지스터(29)내에 기억되고, 후속단계에서 ROM(30)내에 기억된 함수 즉, 스텝함수가 변환, 즉, 스케일링(scaling)을 실행하며, 그 변환결과가 3상 레지스터(31)내에 기억된다.

상기 처리는 원도우내의 입력데이터에 응답하여 히든층내의 뉴런들에 의해 실행되는 연산의 1주기이다.

상기 히든층내의 24뉴런들이 그들이 연산을 동시에 실행하므로 3상 레지스터(31)의 내용들이 동시에 결정된다.

상기 히든층으로부터의 출력층으로의 데이터의 출력과 상기 출력층의 뉴런의 연산은 제20도에 도시된 바와같이 동일하므로 이들에 관한 설명은 생략한다.

제33도는 히든층의 뉴런에 대한 입력결합의 계수치, 즉 계수의 일예를 나타내고 있다. 좌한 번호(1~24)는 상기 히든층의 24뉴런의 번호를 나타내며, 상한 번호(1~15)는 15입력, 즉 제9도에 도시된 각 도트에 대한 입력번호(제15도에 도시된 동일번호)를 나타낸다. 상수항은 식(1)의 상수항 K^*

본 발명에서는 상기 히든층내의 24뉴런의 각각이 특정 보정패턴을 검출한다.

예를들어 제33도에서는 제2뉴런이 제9도에 도시된 패턴을 검출하여 여기서 제2뉴런은 입력된 "흑색"에 대해서는 계수 1을 표시하고 입력된 "백색"에 대해서는 -1, "무시"에 대해서는 0을 표시한다. 제9도에 도시된 패턴이 입력되면, 제2뉴런에 의해 구해진 곱셈치의 합은, 흑색을 표시하는 도트수와 동일하며, +3이 된다. 이 값은 상수항 -3과 가산되어 0이 된다.

ROM(30)에 의한 스케일링 대신에 예를들면 비교기를 사용하여 상기 결과치 0을 검출함으로써 제2뉴런의 출력이 10이 된다.

제9도에 도시된 패턴이 8개의 무시도트를 함유하므로 히든층내의 뉴런, 즉, 제2뉴런에 의하여 256 패턴을 보정할 수 있다.

상기 뉴랄 네트워크에 의한 학습중 상기 256 보정전부가 학습될 필요는 없다.

조합, 예를들어 8백색 도트와 유일한 흑색 도트만으로 된 조합으로 구성된 9패턴의 학습만으로서 미학습 패턴도 보정할 수 있다. 그러나, 무시 도트이외의 모든 도트들이 보정패턴의 흑색 또는 백색 도트로 특

정된다.

제34도는 제1원리의 화상형성장치의 제3실시예의 하든중의 뉴런의 구성 개통도이다.

제3실시예에서는 출력층의 데이터 분획부(20)와 뉴런들(32a~32e)은 제32도에 도시된 것들과 동일한 구성이다.

제34도에 도시된 제3실시예에서는 상기 가산기(27) 대신에 업-다운(up-down) 카운터(43)가 곱셈치의 합계를 산출한다.

계수버퍼(40)의 내용은 제2실시예의 계수버퍼(25)의 내용과 동일하다. 상기 업-다운 카운터(43)는 디코더(42)에 의해 제어된다.

상기 디코더(42)는 상기 업-다운 카운터(43)를 제어하여, AND 게이트(41a, 41b)의 출력이 "01"일때는 카운트 업하고, "11"일때는 카운트 다운하며, "00"일때는 현재 카운트를 훌드한다. 제2실시예에 도시된 바와같이 계수 01을 갖는 흑색 도트에 "흑색"이 입력되면, 업-다운 카운터(43)내의 내용이 카운트 업되고, 계수(11)를 갖는 백색 도트에 "흑색"이 입력되면 카운트 다운된다.

상기 업-다운 카운터(43)가 15입력에 응답하여 카운트를 한후에 그 내용이 레지스터(44)내에 기억되며, ROM(45)에 의해 스케일링이 실행되고, 그 변환결과가 3상 레지스터(46)를 통해서 출력층의 뉴런들에 출력된다.

제35도는 제1원리의 제4실시예의 하든층의 뉴런의 구성 개통도이다. 본 실시예에서는 데이터 분획부와 출력층의 뉴런들의 구성은 제2실시예와 동일하다. 그러나 상기 실시예들과는 달리 제4실시예에서는 상기 데이터 분획부로부터의 입력에 응답하여 2입력

$A \bar{A}$

\bar{A}

상기 2입력

$A \bar{A}$

가산기(54)에 대한 입력은 제1실시예에서처럼 레지스터(55)내의 내용에 가산되고 그 결과는 레지스터(55)에 기억된다. 이러한 연산이 15입력 각각에 대해 반복되며, 곱셈치의 최종합계가 레지스터(56)내에 기억된다.

다음, ROM(57)이 스케일링을 행하며, 변환결과는, 3상 버퍼 레지스터(58)를 통하여 출력층내의 뉴런에 공급된다.

제36도는 선택기(50)에 공급된 선택제어신호와 제35도에 도시된 계수버퍼(52)에 기억된 계수의 일예를 나타낸다. 선택제어부(51)는, 선택제어신호치 "0"을 출력하여 흑색 도트의 위치에 대한 정입력 A를 선택하고, "1"을 출력하여 백색 도트의 위치에 대해 반전입력

\bar{A}

상기 계수 버퍼(52)에서 상기 계수는 흑색 도트위치를 나타내는 정입력 A와 백색도트 위치를 표시하는 반전입력

\bar{A}

즉, 무시도트에 대한 선택제어값은 0이 되어 정신호를 선택한다.

제38도는 제35도에 도시된 선택제어부(51)의 구성을 설명하는 개통도이다. 상기 선택제어부가 카운터(59a)와 리드온리메모리(ROM)(59b)를 갖고 있다. 상기 카운터(59a)는, 화상데이터가 라인버퍼(21)로부터 쉬프트레지스터(22)로 로드될때 리세트된다. 그 값은, 비트 데이터가 쉬프트레지스터(22)로부터 상기 입력층을 통하여 제35도에 도시된 하든층내의 뉴런으로 공급될때마다 상승된다.

상기 카운터(59a)의 출력치는 번지신호로서 ROM(59b)에 공급된다. 상기 번지에 의하여 상기 ROM(59b)은 제36도를 참조해서 상기에서 설명한 선택제어신호를 출력한다. 즉, 상기 ROM(59b)내의 번지는 제36도에 도시된 도트수에 대응한다. 상기 설명한 바와같이 하든층의 뉴런은 검출되는 패턴과 대응하며, 백/흑/무시의 도트위기가 미리 설정된다. 이 위치에 따라서 선택제어신호가 출력된다.

제35도에 도시된 제4실시예는 입력 데이터가 검출되는 패턴과 일치할때, 상기 가산기(54)에의 실행된 가산결과가, 제34도의 제3실시예와 다르다. 제3실시예에서는 상기 가산결과의 최대치는 흑색 화소를 발생하는 도트수를 나타낸다. 제4실시예에서는 흑과 백화소를 발생하기 위한 수를 나타낸다.

예를들면, 제9도에 도시된 패턴이 검출되면, 상기 하든층의 뉴런의 업-다운 카운터에 의해 구해진 가산결과가 제3실시예에서 "3"을 나타낸다. 대조적으로, 제4실시예에서는 그 결과가 "7"을 나타낸다.

제35도에 도시된 제4실시에서는 상기 계수버퍼(52)내의 계수가 단 1비트만을 차지하므로 본 실시예는 2비트 계수를 갖는 제32도의 제2실시예와 제34도의 제3실시예보다, 곱셈치 합계 연산회로의 스케일을 더욱 크게 감소시킨다.

화상형성장치 또는 프린터의 일반구성을 하기에 설명한다. 또한, 상기 뉴랄 네트워크로부터 출력되는 원도우의 중앙 도트의 크기와 위치의 보정 데이터로부터 실제노광펄스의 발생에 관하여 설명한다.

제38도는 프린터의 개략구조개통도이다. 이 프린터는 제어부(60), 화질보정회로(61), 및 인쇄 메카니즘(62)을 갖고 있다.

이들중, 상기 화질보정회로(61)는 후술한다.

상기 제어부(60)는 전체 메카니즘을 제어하는 프로세서 MPU(63), 프로그램을 기억시키는 ROM(64), 문자 폰트(font), ROM(65), 작업 RAM(66), 페이지 오픈용 RAM(67), 주 컴퓨터로부터 인쇄 데이터 등을 수신하기 위한 주컴퓨터 인터페이스(68), 인쇄 데이터 등을 기억시키기 위한 섭입선출(FIFO)메모리(69), 쉬프트레지스터(70), 제어판넬(71) 및 입력 인터페이스회로(72)를 구비하고 있다.

인쇄 메카니즘(62)은 전기력공급용 전원(74), 기계제어부(75), 광학부(76), 처리부(77), 모터(78) 등을 구비하고 있다.

상기 기계제어부(75)는 모터 구동회로(79), 센서인터페이스회로(80) 등을 포함하고 있다.

상기 광학부(76)는 레이저광 출사용 반도체 레이저, 상기 레이저광을 편향 및 스캐닝하기 위한 다면경,

감광체 표면을 레이저광으로 일정속도로 스캐닝 동작을 행하기 위한 

상기 광학부(76)의 광센서의 검출출력이 빙검출(BD) 신호로서 상기 제어부(60)와 상기 화질보정회로(61)에 출력된다. 그의 펄스폭이 보정되는 광펄스신호는 화질보정회로(61)에 의해 출력되어 상기 광학부(76)로부터의 반도체 레이저에 공급된다.

제30a도에 도시된 본체(200)는, 주컴퓨터에 대응하고 ; 비트 맵 메모리(201)는 페이지 오픈용 RAM(67)에 대응하며 ; 뉴랄 네트워크(202)는 뉴로(84)에 대응하고 ; 헤드(203)는 광학부(76)의 레이저 다이오드와 대응한다.

제39도는 제38도에 도시된 화질보정회로의 세부구성개통이다. 화질보정회로는, 즉 제어부(60)로부터의 입력화상신호를 수신키 위한 래치회로(81), 상기 래치회로(81)후방에 위치된 2-포트 랜덤 액세스 메모리(RAM)(82), 이 RAM(82)에서 출력된 데이터에 관하여 직렬/병렬 변환을 실행하는 쉬프트레지스터(83a~83n)와, 이 쉬프트레지스터의 출력을 입력총내의 1부에 의해 수신하여, 원도우내의 중앙화소에 대한 보정데이터를 출력하는 뉴랄 네트워크(뉴로)(84)와, 상기 뉴랄 네트워크(84)의 출력을 기억하기 위한 2-포트 RAM(85)과, 상기 2-포트 RAM(85)의 출력을 수신하기 위한 래치(86)와, 상기 2-포트 RAM(85)과 래치(86)로부터의 출력에 따라서 인쇄메카니즘(62)의 광학부(76)에 광펄스 보정신호를 출력하는펄스폭보정회로(87)와, 상기 래치(81)측의 2포트 RAM(82)과 상기 래치(86)측의 RAM(85)의 독출/기입 번지를 제어하기 위한 카운터(88)와, 상기 쉬프트레지스터측의 RAM(82)과 뉴랄 네트워크측의 RAM(85)의 기입/독출 번지를 제어하기 위한 카운터(89) 및 총괄 제어부(90)를 구비하고 있다.

제40도는 상기 제어부(60)에서 RAM(82)으로 입력된 1-라인 데이터를 설명하는 개통도이다. 상기 데이터 입력을 상기 래치(81)와 2포트 RAM(82)간의 결합을 나타내는 결합차트를 참조하여 설명한다. 하기 설명에서, 중앙화소에 대한 보정 데이터를 출력하기 위한 원도우 크기는 5×4이다.

제40도에서 상기 RAM(82)의 내용은 전류치를 표시한다. 예를들어 번지(n-1)의 비트(0~4)는 데이터 "a, b, c, d, e"를 기억한다. 비트(0~4) 각각은, 1화상의 1라인 데이터에 대응한다. 비트(0)의 데이터는 RAM(82)내의 최후로 기억된다. 새로운 데이터 라인이 입력되면, 상기 RAM(82)의 내용들은 번지(0)로부터 순차로 독출되어 래치(81)에 입력된다. 이때, 상기 RAM(82)과 래치(81)는, 데이터가 제41도에 도시된 바와같이 비트단위로 쉬프트되도록 결합된다.

예를들어 번지(n-1)의 데이터로부터 "e"가 오버후로우되어 "a, b, c, d"가 기억된다. 이때 번지(n-1)의 데이터 "V"가 상기 제어부(60)측으로부터 래치(81)에 대한 입력 D0에 입력된다. 이들 데이터는 상기 래치(81)를 통하여 상기 RAM(82)에 재차 기억된다. 이 동작을 1라인에 대해 반복함으로써 입력된 1라인 데이터가 비트(0)의 위치에서 RAM(82)내에 기억된다. 비트(1~4)에 기억된 데이터는 비트수의 순서에 따라 새로이 기억된 라인내의 데이터를 표시한다. 데이터는 상기 RAM(82)의 번지에 따라 각 라인의 인쇄 개시 위치에 최근에 데이터부터 시작해서 좌에서 우로 기억된다. RAM(82)의 데이터는 인쇄전에 아웃 오브 에리어(out-of-area)공간을 스캐닝하면서 연속적으로 "0"을 기입함으로써 소거된다.

제39도에 도시된 바와같이 새로운 1라인 데이터가 RAM(82)에 입력되면, 뉴랄 네트워크(84)가 예를들어 상기 RAM(82)으로부터 쉬프트레지스터(83a~83n)로 입력된 데이터에 의해 선행된 각각 4화소로 구성된 5라인으로 구성된 원도우내의 데이터를 처리한다.

제42도는 상기 쉬프트레지스터에 입력된 데이터를 설명키 위한 개통도이다. 처리되는 원도우가 RAM(82)내의 번지(n-1)부터 개시되는 것으로 가정하면, 상기 번지의 비트(0~4)의 데이터 "A,V,C,D,E"가 5쉬프트레지스터에 각각 입력된다. 다음은, 번지 n의 데이터가 5쉬프트레지스터에 입력된다. 이때, 번지(n-1)에 위치된 데이터가 상기 쉬프트레지스터에서 쉬프트된다.

제43도는 상기 RAM(82)가 쉬프트레지스터(83a~83n)간의 결합을 나타낸다. 상기 RAM(82)로부터 데이터가 번지순서대로 비트단위로 연속 순차적으로 출력되어 비트 위치에 대응하는 쉬프트레지스터에 공급되며, 제43도의 하방으로 순차로 쉬프트된 후 기억된다.

원도우내의 데이터가 상기 쉬프트레지스터에 기억되면 쉬프트레지스터(83a~83n)가 제39도에 도시된 바와같이 뉴랄 네트워크에 데이터를 출력한다. 상기 데이터는 병렬로 출력되므로 각 쉬프트레지스터가 데이터를 직렬/병렬로 변환시킨다.

상기 쉬프트레지스터에 대한 데이터의 입출력은 상기 뉴랄 네트워크의 처리속도로 실행된다. 제39도에서 이것은 카운터(89)에 의해 발생된 카운트치에 의해 제어된다.

공통 뉴랄 네트워크는 통상 매우 고속으로 데이터를 처리하지 않으므로 데이터는 예를 들어 RAM(82)에

입력되는 화상데이터와 무관한 타이밍, 즉, 카운터(88)에 의해 발생된 카운트치에 의해 특정된 타이밍으로 입력된다. 상기 쉬프트레지스터(83a~83n)내의 데이터는 각 라인의 초기에 소거된다.

상기 뉴랄 네트워크(84)의 처리결과, 즉 중앙화소에 대한 도트의 크기와 위치(쉬프트)의 보정 데이터가 상기 RAM(85)을 통하여 래치(86)와 펄스폭 보정회로(87)에 출력된다. RAM(85)은 그의 입력측과 같이 상기 뉴랄 네트워크(84)와 노광펄스 보정신호 출력간의 타이밍을 조정하는데 사용된다. 본 실시예에서, 상기 뉴로(84)에 의해 출력된 중앙화소에 대한 보정데이터는 총 6비트로 구성돼 있다 : 4크기 비트, 2위치비트.

제44도는 제39도에 도시된 펄스폭 보정회로(87)의 구성개통도이다. 상기 펄스폭 보정회로(87)는 리드 온리 메모리(ROM)(88)와 쉬프트레지스터(89)를 구비하고 있다. 상기 ROM(88)은, 총 12비트(래치(86)에서 출력된 6비트, 래치(86)없는 RAM(85)에서 직접 출력된 6비트)를 1번지로서 수신한다.

상기 쉬프트레지스터(89)는 ROM(88)의 출력을 수신하여, 입력된 데이터에 대한 병렬/직렬 변환을 행한 후 광펄스 보정신호를 출력한다.

상기 RAM(88)의 출력은 서브도트 패턴이 16서브도트로 구성된 경우 16비트로 된다.

제45도는 특정 크기와 도트의 쉬프트에 대하여 광펄스의 일예를 나타낸다. 제45a는 크기가 8/8이고 중앙에 위치된 도트, 즉 원래 위치의 최대크기의 도트에 대한 광펄스를 나타낸다. 이때, 광신호가 그의 8비트에서 "1"을 표시된다. 제45b도에 도시된 바와같이 도트가 크기 2/8이고, 중앙에 위치된 경우, 광펄스 보정신호가 중앙의 4,5번째 비트에서 "1"이고, 다른 비트에서 "0"으로 표시된다.

제45c도는 크기가 8/8인 우측 쉬프트 도트를 나타내며, 그의 보정신호는 그의 1~3번째 비트에서 "0", 제4~8번째 비트에서 "1"을 나타낸다. 상기 신호는 현재 원도우에 대해서 발생되고 원래 도트크기가 8/8로 특정될때는 그 값이 제45a도에 도시된 바와 같이 그의 8비트에서 모두 "1"이므로 후속 원도우에 대해 광펄스 보정신호가 출력될때 나머지 3비트에 대한 1의 값이 출력돼야 한다.

제45d도에 도시된 바와같이 4/8 크기의 우측쉬프트된 도트에 대해서는 후속 원도우에 대한 보정신호가 출력될때 우한 오버후로우비트가 출력돼야 한다.

제46도는 현재 도트 데이터와 선행의 원도우 도트에 대한 잔존 데이터를 결합한 후의 광펄수 보정신호의 일예를 나타낸다. 제44도에 도시된 바와같이 상기 ROM(88)의 독출번지는 래치(86)에 기억된 선행 원도우의 중앙도트에 대한 크기와 쉬프트 특정 데이터와 상기 RAM(85)으로부터 직접 공급된 현재 원도우의 중앙 도트에 대한 크기 및 쉬프트 특정 데이터를 포함하고 있다. 상기 ROM(87a)은 번지에 의하여 데이터를 결합한 후 출력된 노광펄스 보정신호를 기억하며 이 데이터는 상기 쉬프트레지스터(87b)를 통해서 직렬 신호로서 상기 광학부(76)에 출력된다.

제47도는 화상보정회로에 대한 동작타이밍 차트이다. 인쇄 용지의 단부가 검출됨을 표시하는 빙검출신호(BD)가 입력되면, 제39도의 카운터(88)과 (89)가 리세트되고 비데오 데이터클록(VDCLK)에 따라서 제38도에 도시된 제어부(60)로부터 제39도의 RAM(82)으로 데이터가 입력된다. 이때, 상기 카운터(88)에 의해 라인 번지가 특정된다.

1라인 데이터가 기입되면 아웃오브에리어데이터가 기입되는 것을 방지하기 위해 후속 BD 신호가 입력될 때까지는 어떠한 기입동작이 디스에이블(disable)된다. 번지(0~2047)는 1라인에 대한 기입번지를 나타낸다.

BD 신호가 입력될때 RAM(82)으로부터 뉴로(84)로 데이터가 출력된다. 이 데이터가 RAM(82)에 입력되는 때보다 이후의 타이밍에 입력이 실행된다. 뉴로(84)에 의해 1원도우에 대한 처리가 종료될 때마다, 도트의 크기와 쉬프트데이터가 RAM(85)에 출력된다. 이때, 상기 RAM(85)이 1라인에 대한 보정데이터로서 도트의 크기 및 쉬프트데이터를 기억하며, 제어부로부터 RAM(82)으로 데이터 입력시 즉, 카운터(88)에 의해 출력된 카운트치에 따라서 상기 데이터가 래치(86)와 펄스폭 보정회로(87)에 출력된다.

다음은 본 발명의 제2원리 즉, 원도우의 중앙도트에 대한 보정 데이터로서 서브도트패턴이 출력되는 일 실시예를 하기에 설명한다. 제7도를 참조해서 설명한 서브도트패턴은, 제45도를 참조해서 설명한 광펄스 보정신호, 즉, 노광패턴과 대응한다. 상기 서브도트패턴의 흑색부분은 노광펄스가 ON인 위치를 나타낸다.

제48도는 본 발명의 제2원리에 의한 화상형성장치의 제1실시예의 시스템 구성을 나타낸다. 뉴랄 네트워크를 형성하는 뉴런은 본 발명의 제1원리에서와 같이 하드웨어에 의해서 실현된다.

제48도에 도시된 시스템은 구성면에서 제20도에 도시된 제1원리의 실시예와 유사하므로 이들간의 상위점을 강조해서 설명한다. 본 실시예에서는 1원도우가 각각 9화소로 구성된 7라인으로 구성돼 있고, 화상데이터의 63도트가 결합된 9비트 쉬프트레지스터(91a~91g)로부터 비트단위로 입력층의 뉴런(도시안함)을 통하여 히든층내의 모든 뉴런에 대해서 데이터 분획부의 일부에 공급된다. 뉴런에 대해서 식(1)의 상수항의 프리세팅(presetting)은 도면에서 생략돼 있다.

상기 히든층에서는 제48도에 도시된 시스템은, 뉴런수가 22이고 계수버퍼(25)의 계수의 수가 히든층에서 63인 점과 뉴런의 수가 80이고, 계수버퍼(33)의 계수의 차가 출력층에서 22인 점에서 제20도에 도시된 실시예와 상이하다. 상기 시스템에 대한 동작 타이밍 차트가 제21도에 도시된 것과 유사하므로 그 설명을 생략한다.

상기 구성에서, 입력층, 히든층 및 출력층을 포함한 뉴랄 네트워크가 중앙화소가 보정되는 화소로서 세트된 7×9 도트, 즉 총 63화소데이터가 입력될 때마다 각 화소와 계수데이터를 사용하여 산술연산을 행한다.

다음, 출력층의 뉴런이 히든층의 뉴런의 출력데이터와 계수버퍼(33)에 기억된 계수데이터를 사용하여 산

술연산을 행한다.

상기 출력층의 8뉴런이 상기 뉴랄 네트워크에 입력된 도트 화상데이터의 화소어레이의 패턴에 대응하는 최적 서브도트패턴을 출력한다. 상기 패턴은 7×9 원도우내의 중앙화소를 표시하는 데이터로서 상기 프린트 헤드제어부(도시안함)에 출력된다.

최적 서브도트패턴은 제7도에 도시된 28패턴중 하나이다.

제49~59도는 제48도에 도시된 실시예의 뉴랄 네트워크에 제공된 패턴과 입력패턴에 대한 교시패턴간의 관계를 나타낸다.

각 화살표위의 패턴들은 입력패턴들이고, 그의 하부의 것들은 교시패턴들과 확대된 서브도트패턴들이다.

제49a도에 도시된 바와같이 교시패턴이 7×9 원도우의 중앙화소는 입력패턴의 중앙화소가 백색이더라도 8서브도트중, 3의 좌한서브도트에서 흑색으로 변환된다.

제49b도에 도시된 바와같이 제49a도에 도시된 입력패턴들을 좌로 1도트 비트단위로 쉬프트시켜 얻은 입력패턴은 입력된 중앙화소에 "흑색"을 표시한다. 그러나, 중앙화소의 우한 3/8서브도트는 백색으로 변환된다.

따라서, 제49a도와 49b도에 도시된 텁니들은, 제49a도와 49b도에 도시된 교시패턴을 순차로 학습시킴으로써 상기 입력패턴으로부터 제거할 수 있다.

제50a도는 흑색으로 표시되는 중앙화소가 그의 좌한 3/8서브도트에서 백색으로 변환되는 일예를 나타낸다. 제50b도는 흑색으로 표시되는 중앙화소가 그대로 출력되는 일예를 나타낸다. 제51a도는 백색으로 표시되는 중앙화소가 그의 4중앙 서브도트에서 흑색으로 변환되는 일예를 나타낸다.

제51b도는 흑색으로 표시되는 중앙화소가 그의 양단부의 서브도트에서 백색으로 변환되는 일예를 나타낸다. 제51b도에 도시된 예에서는, 상기 중앙화소의 우측의 화소가 중앙화소로 결정되면 8서브도트중 양단부의 2서브도트, 즉 총 4서브도트가 백색으로 변환된다. 그다음 우측의 화소는 백색이나, 그의 2중앙 서브도트에서 흑색으로 변환되나 그의 2중앙 서브도트에서 흑색으로 변환되고, 각 도트가 보정됨으로써, 그의 크기가 서서히 변한다.

제52a도와 제52b도는 백색으로 표시되는 중앙화소가, 8서브도트중 그의 중앙 서브도트중 일부에서 흑색으로 변환된다.

제52a도와 제52b도는 중앙화소에 이웃한 화소들이 소주의 도트들로서 표시되도록 변환되는 제51b도에 도시된 것과 유사한 예를 나타낸다.

제53도는 문자와 직선에 대해 제49~52도에 도시된 보정을 시행함으로써 얻어진 패턴을 나타낸다.

제54도는 본 발명의 제2원리에 의한 화상형성장치의 제2실시예의 시스템 구성을 나타낸다. 상기 뉴랄 네트워크의 히든층의 계수의 수는 2비트이며, 제48도에 도시된 실시예의 것과 다르다. 이 구성은, 뉴랄 네트워크내의 히든층의 뉴런에 대한 입력결합의 계수치를 본 발명의 제1원리에 의한 제2실시예를 나타내는 제32도를 참조하여 상기 설명한 바와같이 3값 : +1, -1, 또는 0중 하나의 값으로 수령될 수 있게 함으로써 실현할 수 있다. 즉, 상기 계수는 2비트수로 표시할 수 있다 : +1은 01, -1은 11, 0은 00이며, 상위 비트가 부호비트로서 세트된다. 상기 계수들중에서 흑색화소, 백색화소 및 무시화소는 각각 01, 11 및 00으로 세트된다.

상기 히든층의 뉴런수는 60으로 세트되며 60입력패턴에 대해 보정이 행해질 수 있다. 상기 출력층의 뉴런 수는 8로 세트됨으로써, 제48도에 도시된 실시예에서처럼 8서브도트가 출력될 수 있다.

제2실시예의 시스템 구성에 의한 동작을 설명한다. 먼저, 7×9 도트 원도우의 각 화소의 데이터(흑색은 1, 백색은 0), 즉, 63비트 화소데이터가, 데이터 분획부(제54도에 도시안함)로부터 히든층전의 쉬프트 데이터에 기억된다. 다음, 상기 쉬프트레지스터의 63비트 화소데이터가, 도시안된 입력층의 뉴런들을 통하여 뉴랄 네트워크의 히든층의 뉴런(95-1~95-60) 각각에 동시에 공급된다.

뉴런(95-1~95-60) 각각에서 1화소에 대해 2 AND 게이트(96a, 96b)가 설치되어 있다. 따라서 뉴런(95-1~95-60) 각각이 총 126AND 게이트(96a-1~96b-63)를 구비하고 있다.

각각의 화소위치에 대한 학습에 의해 구해진 2비트 계수가 AND 게이트(96a~96b)에 입력되며, 각 비트는 각 단자에 입력된다.

그러므로 AND 게이트(96a)와 (96b)가 화소데이터에 계수를 곱한다.

제32도에 나타낸 것과 같이 히든층에 뉴런들이 특정패턴을 검출하기 위하여 설비되어 있다. 패턴내의 무시화소요소를 위하여 계수가 00으로 설정되므로 AND 게이트 (96a, 96b)의 출력이 상시 0이다.

따라서 가산결과에 결코 영향주지 않는다. 따라서 무시화소요소를 AND 게이트회로들을 그들의 연결선과 함께 뉴론들(95-1~95-60)으로부터 생략할 수 있다. 이것은 가산기(97)에 가해진 비트수가 최대로 126비트이지만 생략된 AND게이트의 수에 따라서 감소될 수 있다.

흑색으로 표시될 화상데이터 즉 계수로서 "1"이 설정되어 있는 AND 게이트에 "1"이 가해지면 가산기(97) 중의 내용이 증분증가된다. "흑색" 즉 계수로서 "11"이 설정되어 있는 AND 게이트에 데이터 "1"이 AND 게이트에 가해지면 가산기(97)는 증분감소된다. 가산기(97)는 인접 AND 게이트들로부터의 출력들을 가산하는 복수의 가산기와 인접가산기들로부터 출력들을 가산하는 복수의 가산기를 포함하고 이를 가산기들의 피라미드의 형태로 배열되어 있다.

보정패턴들을 체크한 후에 63비트의 화소중 약 20비트가 백색 또는 흑색으로 되게 결정된다. 따라서 가

산기(97)로부터의 출력은 -20~+20 범위내에 있고 가산기(97)로부터 출력된 비트수가 사인비트를 포함하여 6비트만으로 할 수 있다. 63비트의 입력데이타에 대한 곱셈치의 합이 레지스터(99)용으로 제공되어 시그모이드함수 또는 스텝함수에 의해서 처리 즉 스케일링된다.

이 변환결과가 레지스터(101)에 격납된다. 하든총내의 각 뉴론으로부터의 출력을 1 또는 0 즉 특정패턴의 존재를 출력하는데 1비트로 나타낼 수 있다.

상술한 처리는 1원도우 데이터에 행해지는 하든총내의 뉴론들의 1주기의 동작에 상당한다. 하든총내의 60개의 뉴론(95-1~95-60)이 동시에 동작되므로 레지스터(101)중의 내용이 하든총의 모든 뉴론에 대해서 동시에 결정된다.

출력총내의 뉴론들(102-1~102-8)의 동작은 하든총내의 뉴론의 동작과 거의 동일하다. 즉 하든총내의 60개의 뉴론(95-1~95-60)로부터 전체 60비트의 출력이 동시에 출력총내의 8개의 뉴론(102-1~012-8)으로 입력된다. 출력총내의 뉴론들(102-1~102-8)의 각각에는 60개의 AND 게이트(103-1~103-60)가 설비되어 있다. 계수 1 또는 0이 각 AND 게이트회로(103)의 입력단자들중의 하나로 입력된다.

각 AND 게이트회로(103)는 하든총내의 뉴론으로부터 수신한 출력을 출력에 이 계수를 곱셈한다. 가산기(104)에 의해서 이 결과가 가산된다. 출력총내의 뉴론들(102-1~102-8)의 각각의 가산결과는 뉴론들(102-1~102-8)내의 레지스터들(105, 106)내에 격납되어 8비트 단위로 동시에 프린트 헤드제어부로 출력된다.

출력총내의 뉴론으로부터의 1비트 출력에 의해서 또 하든총내의 뉴론에 할당된 전용패턴에 의해서 실현될 수 있다.

제58도는 제57도에 나타낸 제2실시예를 설명하는 동작타이밍챠트이다. 제58도에 나타낸 것과 같이 63비트의 원도우 화상데이타가 하든총내의 뉴론들(95)에 동시에 가해지면 가산기(97)는 이를 입력데이타로부터 가산데이타를 얻는다. 그 결과가 타이밍 A에서 레지스터(99)내에 격납된다.

ROM(100)에 의해서 얻어진 스케일링결과가 타이밍 B에서 레지스터(101)내에 격납된다. 그리하여 하든총내의 뉴론으로부터의 출력이 결정된다. 출력총내의 각 뉴론(102)은 하든총내의 뉴론들로부터의 결정된 출력을 사용하여 산술연산을 행한다. 그 결과가 타이밍 C에서 레지스터(105)내에 격납된다. 출력총내의 뉴론으로부터 결정된 출력이 타이밍 D에서 프린트 헤드제어부로 반송된다.

제59도는 하든총의 뉴론내의 가산기(97)와 제57도에 나타낸 출력총의 뉴론내의 가산기(104)의 배치를 설명하는 블록도이다. 제59도에 나타낸 것과 같이 복수의 가산기(A와 B의 합을 얻기 위한)가 피라미드 형태로 연결되고 식(1)의 상수항과 예를들어 가산기들이 출력총의 뉴론내에 있을 경우의 뉴론내의 60개의 AND게이트(103-1~103-60)의 출력이 제1스테이지의 가산기에 가해진다.

가산결과는 복수의 가산기를 거쳐서 한데 모아져서 최종결과가 상단 스테이지의 가산기로부터 출력된다.

제57도 및 제58도는 학습후의 하든총내의 뉴론들(95-1~95-60)로의 입력의 계수치 즉 계수를 나타내고 있다. 좌측에 있는 수들(1~60)은 하든총내의 뉴론의 번호를 나타내고 상측선에 있는 수들(1~63)은 63

입력을 전체 즉 제16도에 나타낸 각 도트에 대한 번호와 식(1)중의 상수항(K_o)

읽기 쉽게 하기 위하여 상수항을 제외하고는 + 및 -의 기호는 사용하지 않았다.

그리하여 2는 계수 0을 나타내고 0은 계수 -1을 나타내고 1은 계수 +1을 나타낸다.

제59도에 나타낸 패턴은 하든총내의 60개의 뉴론중의 하나의 뉴론 예를들면 제57도 및 제58도에 나타낸 25번째 뉴론에 의해서 검출된 패턴을 나타낸다. 이 패턴은 56개의 무시도트를 함유하므로 25번째의 뉴론이 7×10^{16} 패턴의 보정을 행할 수 있다.

뉴랄 네트워크에 있어서의 학습처리에 상술한 모든 패턴들에 대한 학습처리가 요구되지 않는다. 예를들면 미학습패턴이 "백색"을 나타내는 모든 56개의 무시도트를 함유하거나 "흑색"을 나타내는 어느 하나의 도트를 함유하는 57개의 패턴에 대해서 학습처리를 반복함으로써 보정될 수 있다. 이 경우에 교시패턴으로의 입력된 화소패턴의 유사성이 시그모이드함수 또는 스텝함수의 변환특성에 따라서 광학적으로 제한될 수 있다.

제60도는 본 발명의 제2원리에 의한 화상형성장치의시스템 구성을 나타내고 있다. 이 실시예에서는 출력총 이후의 구성은 제54도에 나타낸 제2실시예의 구성과 같다.

따라서 이에 관한 설명과 도면을 생략했다. 제60도의 실시예는 제54도의 실시예와는 데이터분획부(제60도에 도시하지 않음)로부터의 63-비트의 입력된 화상데이타에 응답하여 입력된 도트 화상데이타치 즉 레지스터(111)로부터의 출력인 정입력(A)과 입력된 도트 화상데이타치를 반전하여 얻은 반전화상(*A)를 구비하고 예를들면 하든총내의 뉴론들(115-1~115-60)에 병렬로 인버터(112)가 설비된 점이 상이하고 1비트를 차지하는 2진수(1 또는 0)가 하든총내의 AND 게이트들(116-1~116-126)에 대한 계수로서 가해지는 것이 상이하다.

따라서 126비트 데이터가 입력총(110)으로 출력되고 126비트 데이터가 동시에 결정되어 하든총내의 뉴론들(115-1~115-60)로 출력된다.

정입력(A)에 대하여 흑색으로 표시될 화소의 이 실시예에 사용된 계수는 "1"이고 반전입력(*A)에 대해서

백색 및 무시로 표시될 화소의 계수는 "0"이다.

즉 정입력(A)와 반전입력(*A)에 대한 각 비트가 동시에 또 독립적으로 각 뉴론에 평행으로 입력된다. 상술한 설정들이 효과적이고 전혀 문제를 일으키지 않는다.

상술한 바와같이 계수를 정의하여 하든총내의 60개의 뉴론의 각각에 대한 계수를 1비트로 나타낼 수 있게 한다.

계수(0) 및 비반전입력(A) 또는 반전입력(*A)에 대한 AND 게이트로부터의 출력은 항상 "0"이 되어 가산 결과에 전혀 영향주지 않는다. 따라서 연결선을 포함한 AND 게이트가 계수 0을 갖는 입력된 데이터에 대해서 생략될 수 있다.

기호가 없는 1비트를 계수가 차지하므로 가산기(117)로부터의 출력이 0~20 범위내에 있고 가산기(117)의 출력비트수는 5이다.

제61도는 본 발명의 제2원리에 의한 화상형성장치의 제4실시예의 시스템구성을 나타내고 있다.

제61도에 나타낸 입력층은 제60도에 나타낸 입력층(110)과 같다. 이 입력층의 데이터분획(제61도에 도시하지 않음)에 의해서 제공된 전체로 126-비트의 정입력(A)와 63-비트의 입력된 도트 화상데이터 반전된 입력(*A)을 뉴랄 네트워크의 하든총내의 뉴론들의 각각에 가한다. 뉴랄 네트워크에는 하든총내의 15개의 뉴론(121-1~121-15)이 설비되어 있다. 각 뉴론(121-1~121-15)에는 제61도에 나타낸 것과 같이 4개의 AND 게이트군(126a~126d)이 설비되어 있다. 상술한 126-도트패턴에 대응하는 계수가 AND 게이트군(126a)에 가해진다. 이 패턴을 상하반전시켜 얻은 패턴에 대응하는 계수가 AND 게이트군(126b)에 가해진다. 이 패턴을 상하 및 좌우로 반전시켜 얻은 패턴에 대응하는 계수가 AND 게이트군(126c)에 가해진다. 이 패턴을 좌우로 반전시켜 얻은 패턴에 대응하는 계수가 AND 게이트군(126d)에 가해진다. 제60도에 나타낸 하든총에서와 같이 계수들은 AND 게이트군들(126a-1~126d-126)의 각각에 1비트로 가해진다.

여기서 계수가 0인 입력된 데이터에 대해서는 연결선들을 포함하여 AND 게이트들을 생략할 수 있다. 이것은 ROM(130)에 의한 스케일링 동작에 사용될때에 스텝함수의 임계치를 변경하여 상수치의값을 흡수함으로써 실현시킬 수 있다.

제62도는 AND 게이트군들(126a~126d)의 각각에 의해서 처리되는 도트패턴들과 제59도에 나타낸 패턴들을 참조한 그들의 보정결과(교시패턴들)를 나타내고 있다. 제62도에 나타낸 것과 같이 각 패턴에 대한 보정 결과는 다른 것들과 같다. 따라서 회로의 표준화가 요구된다. 즉 제61도에서 가산기(127) 이후의 회로들을 시분할적으로 사용할 수 있다.

제62도에 나타낸 4개의 패턴은 보정후의 크기가 같고 이동방향만 다르다. 따라서 그들은 별개로 처리될 때에 용이하게 참조할 수 있다.

즉 제66도중의 원도우내의 중앙도트에 대한 서브도트패턴에 있어서 도트의 크기는 바뀌지 않으나 그 위치만 이동된다.

제67도는 제66도의 좌측 하부 코너에 나타낸 서브도트의 확대도를 나타내고 있다. 다른 3개의 패턴에 대한 확대도를 그것을 반전시키는 것만으로 얻을 수 있다.

원도우내의 중앙화소에 대한 입력된 데이터에 대응하는 서브도트패턴은 3/8도트만큼 우로 이동된 8개의 서브도트에 대해서 모두 흑색으로 나타난다. 제66도에서 2개의 서브도트패턴이 나타난다. 왜냐하면 1도트에 대한 실제프린트위치가 좌우로 옮겨진 2개의 도트면적을 커버하기 때문이다.

세퍼레이터(136)는 단지 AND 게이트군(126a)로부터의 출력을 가산기(127)에 가한다. 스텝함수를 사용하여 레지스터(129) 및 ROM 또는 비교회로(130)에 의해서 스케일링된 후에 그 합계가 쉬프트레지스터(137)내에 격납된다. 4개의 패턴에 대한 스케일링 결과가 셀렉터(136)에 의해서 동작이 행해진 후에 AND 게이트군들(126a~126d)로부터의 출력들을 선택적으로 출력함으로써 쉬프트레지스터(137)내에 격납될 수 있다.

제61도에 나타낸 실시예에서는 4-비트 출력을 하든총내의 15개의 뉴론(121-1~121-15)의 각각을 거쳐서 얻을 수 있으므로 전체로 60비트가 뉴랄 네트워크의 하든총내의 뉴론(121-1~121-15)으로부터 그 출력층(제61도에 도시되지 않음)으로 가해진다. 이 실시예에서는 출력층 및 이후의 구성은 제54도에 나타낸 제2실시예의 구성과 동일하다.

제64도는 본 발명의 제2원리에 의한 화상형성장치의 제5실시예의 출력층 및 이후의 구성을 나타내고 있다.

다른 실시예들과 상이한 점은 아래와 같다. 서브도트디비존의 수보다도 적은 뉴론 수 즉 6개의 뉴론(141a~141f)의 출력층을 갖고 있다. 한편 다른 실시예에서는 출력층의 뉴론 수가 입력된 도트화상의 하나의 도트를 형성하는 서브도트디비존(8)의 수와 같다. 이 실시예에서는 뉴론들(141a~141f)이 학습용으로 사용되고 테이블(143)이 출력층으로부터의 출력을 참조하여 제7도에 나타난 서브도트를 얻는다. 뉴랄 네트워크에 의해서 서브도트패턴을 직접 발생시키는 많은 학습시간이 소요되므로 이 실시예는 보정동작에 관련된 코드의 종류로서 뉴랄 네트워크로부터의 출력을 사용하여 제1원리의 출력과 같이 출력된다. 즉 출력층내의 뉴론 수가 제64도에 나타낸 것과 같이 6일때에 6개중 2개의 도트의 위치를 나타내고 나머지 4개의 뉴론은 도트사이즈를 나타낸다. 이들 6개의 뉴론으로부터의 출력의 조합은 테이블(143)을 참조하여 8개의 서브도트신호를 발생하여 출력할 수 있다. 출력층내의 뉴론들(141a~141f)의 각각의 상세구성을 입력 및 하든총의 구성이 제54,60 또는 61도의 구성과 같으면 동일할 수 있다. 테이블(143)은 출력들과 제7도에 나타난 대응서브도트패턴간의 해당 데이터와 패턴들을 격납한다.

따라서 프린트 헤드 콘트롤러는 값 "1"에 대해서 화소를 형성하는 시간폭에 8도트로 "ON"을 나타내는 펄

스신호를 발생한다. 감광드럼위에 정전장상을 형성할 수 있다.

제65도는 본 발명의 제2원리에 의한 화상형성장치중의 뉴로 출력프로세서의 구성을 나타내고 있다.

제64도에 나타낸 실시예와 다른 점은 출력총내의 6개의 뉴론으로부터의 출력을 변환 테이블(145)에 가함으로써 14비트 보정신호가 발생된다는 것이다. 즉 변환결과가 제49~52도에 나타낸 어느 교시패턴들 이외의 패턴에 대해서 1도트~복수의 서브도트의 변환이 행해질때에 입력된 도트 화상데이타중의 2도트의 영역을 효과적으로 커버할 수 있다. 제49도에 나타낸 실시예에서는 각 패턴이 개별적으로 학습되지만 제65도에 나타낸 뉴랄 네트워크가 보정 동작과 관련된 코드를 출력하면 하나의 교시패턴만이 있을 수 있다. 즉 인접도트영역을 커버하는 비트수가 비트구성의 좌우에 가산되게 필요한 패턴풀들의 수에 대해서 패턴들이 만들어져야 한다.

이 실시예에서는 변환테이블(145)이 좌우 서브도트를 커버하는 서브도트들의 수가 30이 되게 구성되어 14비트 패턴을 발생한다. 테이블(145)의 출력은 레지스터들(148~150)로 연속적으로 가해진다.

분획 원도우내에서의 주사방향은 전자사진 프린터의 레이저광의 주사방향과 같다.

즉 출력부, 레지스터(150)의 내용은 이전의 서브도트정보 즉 중앙화소의 데이터를 레지스터(149)의 내용이 나타낸다면 좌측 화소를 나타낸다. 그리하여 레지스터(148)의 내용은 다음 서브도트정보 즉 우측 화소를 나타낸다. 따라서 앞선 우측화소들을 커버하는 서브도트정보와 이어지는 좌측화소들을 커버하는 서브도트정보가 OR 회로들(151a-151f)에 의해서 소정위치에서의 서브도트정보로서 AND된다. 제66도는 이것을 설명패턴으로서 나타내고 있다.

제70도는 입력된 도트 "흑, 백, 흑" 순서로 어떻게 이행되는지를 나타내고 있다.

좌측의 흑색도트는 3/8도트만큼 우로 이행되고 우측의 흑색도트는 3/8도트만큼 좌로 이행된다. 제70도는 중앙에 있는 원래 백색도트에 대한 서브도트패턴이 어떻게 프린트 헤드 콘트롤러로 출력되는지를 나타내고 있다. 프린트 헤드 콘트롤러로 출력될 출력패턴이 대수선에 의해서 분획선 부분으로서 제70도의 저부 중앙에 나타내 있다.

제69도에 나타낸 레지스터(150)는 제70도 내의 상부에 있는 서브도트패턴내의 3개의 최우측 서브도트패턴(전흑색)을 출력한다. 레지스터(149)는 제2렬의 중앙 8개의 서브도트패턴(전백색)을 출력한다. 레지스터(148)는 제3렬의 3개의 최좌측 서브도트패턴(전흑색)을 출력한다. 이들 데이터의 논리합이 OR 게이트들(151a~151f)에 의해서 얻어지고 그 결과가 프린트 헤드콘트롤러로 출력된다.

상기 실시예에서 1도트는 8개의 서브도트로 분할되어 있으나 도트는 다른 서브도트수로 분할할 수도 있다. 또한 수평주사방향은 물론 수직방향으로도 분할할 수 있다.

제67도는 본 발명의 제2원리에 의한 제38도에 나타낸 프린터의 화상품질보정회로의 실시예를 나타내고 있다. 이 회로의 구성은 7×9 도트데이터가 뉴로(84)로 입력되는 것과 RAM(85)로부터 출력되는 서브도트 패턴 데이터가 쉬프트레지스터(160)에 의해서 직렬/병렬로 변환되어 프린트기구로 발광펄스보정신호로서 전송하는 것 이외는 제39도에 나타낸 구성과 같다. 제67도는 클록신호를 발생하는 2개의 발진기(161, 162)를 나타내고 있다.

제68도 및 제69도는 화상품질보정회로의 동작을 설명하는 타이밍차트이다. 레이저광 주사영역의 끝에 설비되어 있는 광학센서가 레이저광의 검출을 나타내는 빙결출신호(BD)를 입력할때에 제67도에 나타낸 카운터들(88, 89)은 리세트되고 데이터가 제38도에 나타난 콘트롤러(60)로부터 비디오데이터 클록(VDCLK=CK1)에 따라서 래치회로(81)를 거쳐서 RAM(82)으로 가해진다.

래치회로(81)로부터 RAM(82)로의 데이터기입은 카운터(88)로부터의 어드레스(ADR1), 출력인에이블신호(OE1) 및 기입인에이블신호(WE1)에 따라서 제어된다.

RAM(82)로부터 래치(81)로의 데이터독출은 출력인에이블신호(OE2)와 비디오데이터클럭(CK1)에 따라서 데이터가 RAM(82)로 기입되고 있지 않는 동안에(기입인에이블신호(WE1)이 OFF인 동안에) 제어된다.

어드레스들(0-N)에서의 1-라인 데이터가 입력될 때에 데이터의 기입이 되지 않게 하여 다음 BD 신호가 입력될 때까지 인밸리드 아웃-옵- 에어리어 데이터가 기입되는 것을 방지한다. 8×11인치 프린트풀이 길이방향으로 해상도 300도트/인치로 N=2560 정도이다.

데이터는 카운터(89)로부터 출력되는 어드레스(ADR2)에 따라서 RAM(82)로부터 출력된다. 출력된 데이터는 클록(CK2)에 동기되어 쉬프트레지스터들(83a~83g)에 가해진다. 쉬프트레지스터들(83a~83g)로 입력된 데이터는 직렬/병렬 변환되어 63비트 데이터가 동시에 입력스트로브신호(ST1)과 동기되어 뉴랄 네트워크에 가해진다. 뉴랄 네트워크(84)에서는 산출연산이 제60도에 나타난 입력총(110) 제64도에 나타난 출력총(41) 및 제65도에 나타난 뉴로출력부의 회로구성을 사용하여 클록(CK3)과 동기되어 행해진다. 뉴랄 네트워크(84)에 의해서 처리가 완료된 후에 제65도에 나타난 회로에서 출력된 8비트 화상보정신호(보정서브도트들(0-7)로 된)이 출력스트로브신호(ST2)와 동기되어 출력된다. 이 화상보정신호는 카운터(89)와 기입 인에이블신호(WE2)에 따라서 RAM(85)내에 격납된다.

RAM(85)에 격납된 데이터가 카운터(88)에서 출력되는 어드레스(ADR1)에 따라서 어드레스(0)로부터 시작하여 차례로 독출된다.

RAM(85)로부터의 데이터는 쉬프트레지스터(160)에 대한 로딩신호(LD1)에 따라서 쉬프트레지스터(160)에 로딩된다. 로딩된 데이터는 서브도트(0)으로부터 시작하여 차례로 쉬프트레지스터(160)로부터 광학부(76)로 클럭(CK4)와 동기되어 출력된다.

그리하여 광학부(76)가 8개의 순차 입력된 서브도트로된 패턴에 따른 펄스폭을 갖는 구동펄스신호를 반도체 레이저에 가한다.

다음에 제3원리의 실시예를 설명하겠다. 제3원리에 의하면 원도우의 중앙도트는 그 좌우도트와 함께 3도트로 분할되고 전체 9개의 적은 도트의 각각이 보정된다.

제70도는 원도우내의 중앙, 좌, 우 화소들이 N 디비죤 예를들면 본 발명의 제3원리에서는 3부분으로 분할될때의 각 화소의 그레이스케일의 일실시예를 나타내고 있다. 제70a도는 그레이스케일의 예를 나타내고 제70b도는 영역스케일의 예를 나타내고 있다.

분할된 화소는 4단위의 스케일로 표시되고 데이터의 각각이 2비트를 차지한다(00-11).

제71도는 본 발명의 제3원리에 의한 화상형성장치의 제1실시예를 설명하는 구성블록도이다. 제72도는 이 실시예에 의한 동작을 설명하는 타이밍 차트이다.

제71도에 나타낸 시스템을 제72도와 함께 설명하겠다.

제71도에 나타낸 것과 같이 비트 맵 메모리로부터 입력된 데이터는 데이터 분획부(210)에 가해진다.

이 데이터 분획부(210)내의 라인버퍼로 입력된 데이터와 쉬프트레지스터에서 출력된 데이터는 제20도에 나타낸 시스템의 것과 같으므로 그에 대한 설명을 생략하겠다.

보정패턴 출력부내의 카운터(216)는 데이터 분획부(210)로부터 보정패턴 출력부(215)로 데이터가 한 비트씩 이어져 가해지기전에 제72도에 나타낸 것이 리세트된다.

카운터(216)에 의해서 제공되는 계수는 원도우내의 화상데이터와 비교하기 위한 템플리트수에 상당한다. 템플리트 스토리지(217)내의 템플리트는 카운터(216)가 리세트된 후에 로딩되고, 그 내용이 비교회로(218)에 의해서 데이터 분획부(210)으로부터 입력된 데이터와 비교된다.

입력된 데이터는 원도우내의 63화소에 상당한다. 각 화소는 흑색 또는 백색을 나타내는 1비트데이터에 상당한다. 이 템플리트 데이터는 흑색을 나타내는 "01", 백색을 나타내는 "00" 및 "무시" 즉 흑이거나 백을 나타내는 "10"를 구비하고 있다. "무시"를 나타내는 "10"의 값은 화소가 2비트를 차지하게 한다. 즉 원도우내에는 전체 126비트이다.

입력된 데이터가 템플리트 데이터와 일치되지 않으면 카운터(216)는 스텝업되고 다음 템플리트 데이터가 입력된 데이터와 비교된다.

제73도는 템플리트 데이터의 예들을 나타내고 있다. 얇은 흑색은 "무시" 즉 흑색 또는 백색을 나타낸다.

템플리트 데이터가 원도우내의 입력된 데이터와 일치되면 카운터(216)에 의해서 지정된 어드레스에서 보정패턴 스토리지(219)내의 보정패턴은 셀렉터(220)를 거쳐서 3상태 레지스터(221)내에 격납된다.

보정패턴이 9×7 화소원도우내의 중앙위치 및 그 좌우위치에 있는 보정될 3분할 화소들의 각각을 보정하는데 사용된다. 전체 9개의 화소보정데이터는 18비트를 차지한다. 상위 6비트는 중앙화소에 대해서 좌측에 인접한 화소데이터를 나타내고 중앙 6비트는 중앙화소의 데이터를 나타내고 하위 6비트는 중앙화소에 대해서 우측에 인접한 화소데이터를 나타낸다. 각 화소데이터는 3분할 데이터이다. 제70도에 나타낸 영역스케일로 도트의 크기가 예를들면 좌에서 우로 간단히 감소된다.

데이터 분획부(210)로부터 입력된 데이터 즉 원도우내의 데이터가 템플리트 스토리지(217)내의 템플리트 데이터와 완전히 일치하지 않으면 제74도에 나타낸 데이터는 즉 각각이 중앙, 그 좌우 3부분으로 분할된 3화소에 대하여 9개의 화소보정데이터로서 셀렉터(220)를 거쳐서 3상태 레지스터(221)내에 격납된다. 중앙화소가 흑색인 경우 즉 "1"일 경우에는 111111의 값이 중앙화소를 위해서만 격납되고 000000의 값이 좌와 우의 화소들을 위하여 격납된다. 중앙화소가 백색 즉 "0"인 경우에는 000000의 값이 이들 세가지 화소 모두를 위하여 격납된다.

제74도에 나타낸 데이터가 제71도내의 데이터 스토리지(222)내에 보정되지 않은 것으로서 격납된다. 원도우 화상 데이터가 템플리트 데이터의 어느것과도 일치되지 않을 경우에는 제74도에 나타낸 데이터는 데이터 분획부에 의한 분획에 의해서 제공된 원도우내의 중앙화소의 상태(흑색 또는 백색)에 따라서 셀렉터(220)를 거쳐서 3상태 레지스터(221)내에 격납된다. 셀렉터(220)는 카운터(216)의 제어하에 보정되지 않는 데이터를 갖는 데이터 스토리(222)쪽으로 절환된다.

제71도에 나타낸 것과 같이 3상태 레지스터(221)내에 격납된 보정패턴이 출력부(215)로부터 레지스터(223)로 출력된다. 레지스터(223)내의 내용은 3화소로 분할된 중앙화소를 위한 3화소용 6비트 데이터가 중앙에 좌측 화소를 위한 6비트 데이터가 상위에 우측 화소를 위한 6비트 데이터가 하위에 모두 18비트 위치하도록 배치된다.

제72도에서 제1원도우내의 데이터가 비교결과 P개의 템플리트 데이터의 어느 것과도 일치되지 않으므로 제74도에 나타낸 보정패턴이 레지스터(223)로 출력된다. 즉 선행원도우내의 우측 화소가 중앙원도우가 되는 원도우가 템플리트 스토리지(217)내의 템플리트 데이터와 일치한다. 따라서 대응하는 보정패턴을 출력한다.

레지스터(223)가 중앙화소를 위한 보정패턴을 원도우내에 격납할때에 쉬프트레지스터(225)내에 격납되고 3상태 레지스터(221)로부터 출력된 선행 출력결과는 분할된 3화소를 위하여 6비트 데이터만큼 좌로 이행된다.

쉬프트레지스터(225)는 레지스터(223)과 동일 용량을 갖고 있다. 즉 분할된 3화소용 데이터는 프린터헤드로 출력된다.

현재의 중앙화소의 좌측에 대한 제2화소를 위한 데이터라고 부르는 데이터는 프린트데이터로서 프린터헤드로 전송된다.

현재의 원도우내의 중앙화소를 위하여 레지스터(223)내에 격납되어 있는 보정패턴과

쉬프트레지스터(225)내에 격납된 쉬프트결과가 논리합부(224)에 의해서 AND된다.

이 논리합은 레지스터(223)와 쉬프트레지스터(225)간의 대응 비트들을 사용하여 얻어지고 이 논리합은 쉬프트레지스터(225)에 재축적되어 3상태 레지스터(221)의 다음 출력 즉 현재의 원도우내의 중앙화소에 대해서 우측에 있는 화소를 위한 보정패턴의 출력에서 사용될 수 있다.

제75도는 제71도에 나타낸 레지스터(223)와 쉬프트레지스터(225)의 동작을 나타내고 있다.

제75a도에서 쉬프트레지스터내의 내용 033300330(3은 소수이고, 제70도에 나타낸 영역스케일 11에 대응하는 2진에 11로 표시된다)내의 3개의 최좌측 화소에 대응하는 "033"이 프린터헤드로 전송되고 쉬프트레지스터의 내용이 3화소만큼 좌로 이행된다.

이 행결과와 레지스터(23)내에 격납되고 3상태 레지스터(21)로부터 출력되는 값 030333300이 AND 된다. 이 논리합 330333300이 쉬프트레지스터내에 재격납된다. 제75b도는 다른 예를 나타내고 있다.

제76도는 제71도에 나타낸 쉬프트레지스터(225)로부터의 출력결과가 광학변조신호로서 사용되는 회로의 실시예를 나타내고 있다.

제76a도에서는 분할된 화소를 위한 입력신호는 제70도에 나타낸 것과 같이 2비트로 표시되고 2비트의 데 이타가 D/A 변환부(230)에 가해지고 아날로그신호로 변환된 후에 광학증폭회로에 가하여 레이저다이오드(232)에 사용될 수 있다. 제76b 도는 입력신호 0 또는 1로 표시되는 백색 또는 흑색을 나타내는 1비트 데이타이고 레이저다이오드(232)의 발광펄스의 제어를 위하여 광학증폭회로(231)에 가해지는 예를 나타내고 있다.

제71도에 나타낸 제1실시예에 있어서 원도우내의 화소데이타는 템플레이트 데이타와 비교된다. 제1실시예에서는 적용시킬 수 있는 보정패턴은 무시비트를 위한 것을 제외하고는 대응하는 템플레이트 데이타와 완전히 일치된 입력된 데이타에 대해서만 출력된다.

이에 대해서 본 실시예에서는 보정데이타 패턴이 뉴랄 네트워크에 의해서 출력될 수 있다.

따라서 모든 패턴들과의 비교를 피하여 미학습 패턴이 적절히 보정될 수 있게 한다.

제77도는 본 발명에 의한 제3원리에 의한 화상형성장치의 제2실시예의 시스템 구성을 나타내고 있다. 출력총내의 데이터 분획부(240)와 뉴런들(252a~252i)간의 구성은 원도우가 7라인×9도트를 포함하고 출력총의 각 뉴런이 중앙화소와 그 좌우화소로 된 3분할부에 대응하는 9분할부를 포함하는 것 이외는 제20도에 나타낸 구성과 같다.

레지스터(258), 논리합부(259) 및 쉬프트레지스터(260)의 구성은 제71도에 나타낸 것과 같으므로 제77도에 나타낸 동작의 설명을 생략하겠다.

그리하여 중앙좌우화소의 3분할부에 대한 9서브도트를 나타내는 9비트 모두가 사용된다. 이들 중에서 3비트중 1또는 2비트가 실제사용을 위하여 선택될 수 있다.

제78도는 이 적용을 실현시키는 방법을 나타내고 있다. 제78a도에서 9서브도트 모두에 대한 데이타가 보정된다. 한편 제78b도에서는 중앙화소에 가까운 2서브 도트 데이타만 우 및 좌화소를 위하여 보정된다. 또 분할수를 임의로 결정할 수 있다. 예를들면 원래의 화소를 16서브도트로 분할하고 각 도트의 데이타를 1비트로 나타낼 수 있다.

상기 적용에 있어서 원도우의 크기는 5×3 또는 9×7 화소로 한정되는 것이 아니다. 그외에도 뉴론을 위한 변환함수는 시그모이드함수 또는 스텝함수에 한정되는 것이 아니고 선형근사값 또는 1라인의 시그모이드함수를 사용할 수 있다.

본 발명은 레이저프린터등의 전자사진 프린터는 물론이고 잉크젯 프린터 및 열전달 프린터에 사용할 수 있다. 또 프린터에 한정되지 않고 디스플레이장치에 사용할 수 있다.

디스플레이장치에 사용될 경우에는 프린트데이타를 프린트헤드로가 아닌 비디오 D/A 콘버터에 가함으로써 본 발명을 적용시킬 수 있다.

(57) 청구의 범위

청구항 1

입력도트가 소정형상의 원도우내에 상응하는 도트위치를 각각 갖는 입력도트들로 구성되는 화상데이타를 수신하는 입력수단과, 상기 화상데이타를 평활화하는 평활화수단을 구비하며, 상기 평활화수단은 중심도트를 갖는 원도우내의 화상데이타를 수신하여, 상기 원도우화상데이타에 응답하여 보정데이타를 출력하고, 상기 출력된 보정데이타에 따라 상기 원도우내의 중심도트에 대한 상응하는 도트위치와 크기를 보정하고, 상기 중심도트의 보정에 따라 평활화된 화상을 출력하는 뉴랄 네트워크를 구비한 것이 특징인 화상형성장치.

청구항 2

제1항에 있어서 : 상기 뉴랄 네트워크의 입력총에 선행하는 스테이지에 설치돼 있고, 상기 원도우내의 복수의 수평라인중 화상데이타의 1라인을 기억하기 위한 복수의 라인버퍼수단과; 상기 복수의 라인버퍼수단내에 기억된 각각의 내용을 수신하여, 상기 원도우내의 상기 화상데이타를 입력총을 통하여 히든총의 모든 뉴런에 비트단위로 직렬로 출력하기 위해 결합된 복수의 쉬프트레지스터수단을 갖는 데이터 분획수단을 더 구비하며 : 상기 뉴랄 네트워크의 상기 히든총을 구성하는 복수의 히든총 뉴런수단이 각각 ; 상기 원도우내의 화상데이타의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 데이타 분획수단의 출력을 수신하기 위한 AND 계이트수단과, 그의 입력단중 하나에서, 상기

AND 게이트 수단의 출력을 수신하여, 복수의 하든층 뉴런 중 하나와 함께 곱셈치 합계 연산을 행하는 제1가산기수단과, 상기 제1가산기수단의 출력을 기억하고, 기억된 내용을 그의 다른 입력단에서 상기 제1가산기수단에 출력하는 제1레지스터수단과, 상기 AND 게이트수단에 입력된 모든 원도우의 화상데이타와 계수들로부터 상기 제1가산기수단에 의해 구해진 합계를 상기 제1레지스터수단이 기억할 때, 상기 제1레지스터수단의 출력을 기억하기 위한 제2레지스터수단과, 상기 제2레지스터수단으로부터의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 지지하는 3상 레지스터수단을 구비하고 있고 ; 상기 뉴랄 네트워크의 출력층을 구비하는 복수의 출력층 뉴런수단이 : 상기 복수의 하든층 뉴런수단의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 복수의 하든층 뉴런의 출력을 수신하기 위한 곱셈수단과, 그의 한 입력단에서, 상기 곱셈수단의 출력을 수신하고, 출력층 뉴런과 함께 곱셈치 합계 연산을 실행하는 제2가산기수단과, 상기 제2가산기수단의 출력을 기억하고, 그 기억된 내용을 그의 다른 입력단에서 상기 제2가산기수단에 출력하는 제3레지스터수단과, 상기 복수의 하든층 뉴런수단 전부로부터 상기 곱셈수단에 출력된 출력과 입력된 패턴들로부터 상기 제2가산기수단에 의해 얻어진 합계를 상기 제3레지스터수단이 기억할 때, 상기 제3레지스터수단의 출력을 기억하기 위한 제4레지스터수단을 구비하고 있는 것을 특징으로 하는 화상형성장치.

청구항 3

제1항에 있어서, 상기 뉴랄 네트워크가, 상기 입력층에 선행된 스테이지에서 상기 데이터 분획수단내의 상기 라인버퍼수단에 대한 상기 원도우 화상데이타를 수신하며, 상기 라인버퍼수단이, 상기 원도우 화상데이타를 상기 쉬프트레이저스터수단으로 로드하며, 상기 쉬프트레이저스터수단내에서 쉬프트된 상기 원도우 화상데이타가, 상기 복수의 하든층 뉴런수단 전부에서 상기 AND 게이트수단에 상기 원도우 화상데이타가 비트단위로 직렬로 출력되도록 하며, 상기 복수의 하든층 뉴런수단중 대응하는 하나내의 상기 3상 레지스터수단이, 상기 모든 원도우 화상데이타와 상기 복수의 하든층 뉴런수단내의 상기 계수간의 곱셈치의 종합계의 스케일링 결과를 훌드하며, 상기 복수의 하든층 뉴런수단중 대응하는 하나의 3상 레지스터수단에 대한 출력-이네이블이, 상기 복수의 하든층 뉴런수단에 대해 순차로 성립되고, 상기 복수의 하든층 뉴런수단중 대응하는 하나의 상기 3상 레지스터수단이 상기 복수의 출력층 뉴런수단내의 상기 곱셈수단에 그의 기억된 내용을 순차로 출력하며, 상기 복수의 출력층 뉴런수단이, 이 뉴런수단내의 복수의 하든층 뉴런수단들의 모든 출력과 상기 계수간의 곱셈치의 종합계의 최상위 비트를 출력하여, 처리를 종료하는 것이 특징인 화상형성장치.

청구항 4

제2항에 있어서, 상기 복수의 출력층 뉴런수단중 10이상이 상기 원도우내의 상기 중앙도트 크기에 대한 보정데이타를 출력하며; 상기 복수의 출력층 수단중에서, 상이한 1 이상이 상기 원도우의 중앙도트의 위치에 대한 보정데이타를 출력하는 것이 특징인 화상형성장치.

청구항 5

제1항에 있어서, 상기 화상형성장치로서 프린터용 화질보정회로수단이: 상기 프린터에 대한 제어수단으로부터 화상데이타를 수신하는 제1래치회로수단과, 상기 제1래치회로수단의 출력을 기억하기 위한 제1 2-포트 랜덤 액세스 메모리(2P RAM)와, 상기 제1 2P RAM 수단의 직렬출력을 병렬출력으로 변환하는 복수의 쉬프트레이저스터수단과, 상기 복수의 쉬프트레이저스터수단의 출력을 수신하여, 상기 원도우내의 중앙도트의 크기와 위치에 대한 보정데이타를 출력하는 뉴랄 네트워크수단과 : 상기 뉴랄 네트워크수단의 출력을 기억하기 위한 제2 2P RAM 수단과: 상기 제2 2P RAM 수단의 출력을 기억시키기 위한 제2래치회로수단과, 상기 제2 2P RAM 수단과 제2래치회로수단의 출력에 따라서 상기 프린터의 인쇄메카니즘수단에 광 필스 보정신호를 출력하는 필스폭 보정회로수단과, 상기 제1 2P RAM 수단의 제1래치회로수단측과, 상기 제2 2P RAM 수단에 대한 제2래치회로수단측의 독출/기입번지를 제어하기 위한 제1카운터수단과, 상기 2P RAM 수단에 대한 상기 뉴랄 네트워크수단측의 상기 제1 2P RAM 수단의 쉬프트레이저스터수단측의 독출/기입번지를 제어하기 위한 제2카운터수단을 구비한 것을 특징으로 하는 화상형성장치.

청구항 6

제5항에 있어서, 상기 제1래치회로수단이 : 상기 화상데이타를 수신하기 위한 하나를 포함한 n 입력단과; 상기 n 입력단과 1대1 대응관계로 설치되고, 상기 제1 2P RAM 수단의 1포트측의 각 단자들에 결합된 n 출력단을 구비하고 있고 ; 상기 n 출력단중, 화상데이타를 수신하기 위한 상기 1(입력단중) 수신단자에 대응하는 n-1 단자가, 상기 화상데이타를 수신하는 하나를 제외하고는, 상기 1대1 대응관계에서 1 쉬프트된 형태로, 상기 n 입력단중 (n-1)에 결합된 것이 특징인 화상형성장치.

청구항 7

제5항에 있어서 ; 상기 제1 2P RAM 수단의 상기 쉬프트레이저스터수단측의 각 단자가 상기 쉬프트레이저스터수단의 각 입력단에 결합돼 있고 ; 상기 쉬프트레이저스터수단이, 1비트를 쉬프트함으로써, 상기 제1 2P RAM 수단내에 기억된 각각의 수평라인의 상기 원도우 화상데이타를 기억하는 것이 특징인 화상형성장치.

청구항 8

제5항에 있어서, 상기 필스폭 보정회로수단이 상기 제2 2P RAM 수단으로부터 입력된 현재 원도우 내의 중앙도트의 위치와 크기에 대한 보정데이타와, 상기 제2래치회로수단으로부터 입력된 선행의 그림 도트의 위치와 도트 크기에 대한 보정데이타의 도트위치를 좌후방으로 쉬프트한 보정데이타에 의해 특정된 번지에 의하여 현재 원도우의 중앙도트에 대한 실제그림데이타를 출력하는 리드온리메모리(ROM)수단과, 상기 ROM 수단으로부터 공급된 병렬데이타로부터 변환된 직렬데이타를, 상기 노광필스 보정신호로서 상기 인쇄메카니즘수단으로 출력하는 쉬프트레이저스터수단을 구비하고 있는 것이 특징인 화상형성장치.

청구항 9

제8항에 있어서, 상기 리드온리메모리(ROM)수단이, 상기 특정된 번지에 따라서, 상기 원도우의 중앙도트에 대한 보정데이터와, 도트위치가 좌우방으로 쉬프트된 상기 보정데이터간의 논리합을 출력하는 것이 특징인 화상형성장치 .

청구항 10

제5항에 있어서, 상기 화질보정회로수단이, 상기 프린터의 상기 인쇄메카니즘수단으로부터 입력된 빙 검출신호에 의해서 상기 제1카운터수단과 상기 제2카운터수단을 리세트하고, 상기 제1카운터수단에 의해 카운트된 값에 따라서 상기 프린터의 상기 제어부수단으로부터의 화상데이터를 상기 제1 2P RAM 수단에 직렬로 기억시키고, 이와 동시에, 상기 제1 2P RAM수단이, 상기 제2카운터수단에 의해서 카운트된 값에 따라서 상기 뉴랄 네트워크수단에 데이터를 순차로 출력하며, 상기 뉴랄 네트워크수단이, 상기 제2카운터수단에 의해서 카운트된 값에 따라서, 상기 뉴랄 네트워크수단의 동작주기만큼 지연된 데이터를 상기 제2 2P RAM 수단에 순차로 출력하고; 상기 제2 2P RAM 수단이, 상기 필스폭 보정회로수단에 대한 데이터 출력과, 상기 인쇄메카니즘수단의 후속 빙 지시신호에 의한 후속라인에 대한 화상데이터처리를 개시하는 것이 특징인 화상형성 장치 .

청구항 11

제1항에 있어서, 상기 뉴랄 네트워크가 복수의 하든총 뉴런수단중 대응하는 하나에 대한 입력결합의 계수치로서, $+n$, $-n$ (n은 상수) 및 0의 3값중 어느 하나를 갖는 것이 특징인 화상형성장치 .

청구항 12

제11항에 있어서, 상기 뉴랄 네트워크가 복수의 하든총 뉴런수단중 대응하는 하나에 대한 입력결합의 계수치로서, 상기 뉴랄 네트워크가 복수의 하든총 뉴런수단중 대응하는 하나에 대한 입력결합의 계수치로서, $+n$, $-n$ (n은 상수) 및 0의 3값중 어느 하나를 갖는 것이 특징인 화상형성장치 .

청구항 13

제11항에 있어서 상기 뉴랄 네트워크의 입력층에 선행하는 스테이지에 설치돼 있고, 상기 원도우내의 복수의 수평라인중 화상데이터의 1라인을 기억하기 위한 복수의 라인버퍼수단과; 상기 복수의 라인버퍼 수단내에 기억된 각각의 내용을 수신하여, 상기 원도우내의 상기 화상데이터를 입력층을 통하여 하든총의 모든 뉴런에 비트단위로 직렬로 출력하기 위해 결합된 복수의 쉬프트레지스터수단을 갖는 데이터 분획수단을 더 구비하며 ; 상기 뉴랄 네트워크의 상기 하든총을 구성하는 복수의 하든총 뉴런수단이 각각; 상기 원도우내의 화상데이터의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 데이터 분획수단의 출력을 수신하기 위한 2개의 AND 게이트수단과, 그의 입력단중 하나에서, 상기 2 AND 게이트수단의 출력을 수신하여, 복수의 하든총 뉴런중 하나와 함께 곱셈치 합계 연산을 행하는 제1가산기수단과, 상기 제1가산기수단의 출력을 기억하고, 기억된 내용을 그의 다른 입력단에서 상기 제1가산기수단에 출력하는 제1레지스터수단과, 상기 AND 게이트수단에 입력된 모든 원도우의 화상데이터와 계수들로부터 상기 제1가산기수단에 의해 구해진 합계를 상기 제1레지스터수단이 기억할때, 상기 제1레지스터수단의 출력을 기억하기 위한 제2레지스터수단과, 상기 제2레지스터수단으로부터의 출력에 대한 뉴런의 변환 결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 지지하는 3상 레지스터수단을 구비하고 있고; 상기 뉴랄 네트워크의 출력층을 구비하는 복수의 출력층 뉴런수단이; 상기 복수의 하든총 뉴런수단 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 복수의 하든총 뉴런을 수신하기 위한 곱셈수단과, 그의 한 입력단에서, 상기 곱셈수단의 출력을 수신하고, 출력층 뉴런과 함께 곱셈치 합계 연산을 실행하는 제2가산기수단과, 상기 제2가산기수단의 출력을 기억하고, 그 기억된 내용을 그의 다른 입력단에서 상기 제2가산기수단에 출력하는 제3레지스터수단과, 상기 복수의 하든총 뉴런수단 전부로부터 상기 곱셈수단에 출력된 출력과 입력된 패턴들로부터 상기 제2가산기수단에 의해 얻어진 합계를 상기 제3레지스터수단이 기억할 때, 상기 제3레지스터수단의 출력을 기억하기 위한 제4레지스터수단을 구비하고 있는 것을 특징으로 하는 화상형성장치,

청구항 14

제13항에 있어서, 상기 복수의 하든총 뉴런수단이, 상기 제1가산기수단과 제1레지스터수단 대신에 : 상기 2 AND 게이트수단의 출력이 0과 1의 조합, 1과 1의 조합 및 0과 0의 조합할때 각각 "업", "다운" 및 "홀드"를 지시하는 디코더수단과 ; 상기 디코더수단에 의한 지시대로 카운트 업 또는 카운트 다운하는 업/다운 카운터수단을 더 구비한 것이 특징인 화상형성장치 .

청구항 15

제1항에 있어서, 상기 뉴랄 네트워크가, 하든총 뉴런수단에 대한 입력결합중 대응하는 하나에 대한 계수치로서, $+1$ 과 0의 2값중 어느 하나를 갖고 있고; 상기 복수의 하든총 뉴런수단이, 상기 도트 화상데이터의 정규신호화 반전신호를 수신하는 것이 특징인 화상형성장치 .

청구항 16

제15항에 있어서, 데이터 분획수단으로부터 입력된 데이터를 반전시키는 인버터수단과 ; 상기 데이터 분획수단의 출력을 정규입력으로서, 상기 인버터수단의 출력을 반전입력으로서 수신하는 선택기수단과 , 상기 선택기수단에 의해 입력된 상기 정규입력과 상기 반전입력간의 선택을 제어하기 위한 선택기제어수단과; 상기 데이터 분획수단에서 입력된 상기 도트 화상데이터에 대한 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 선택기수단의 출력을 수신하기 위한 AND 게이트수단과 ; 그의 입력단 중 하나에서, 상기 AND 게이트수단의 출력을 수신하여, 복수의 하든총 뉴런중 하나와 함께 곱셈치 합계 연산을 행하는 가산기수단과, 상기 가산기수단에 의한 합계를 기억하고, 기억된 합계를 상기 가산기수단

의 다른 입력단에 출력하는 제1레지스터수단과, 상기 AND 게이트수단에 입력된 상기 원도우의 모든 화상데이터와 상기 계수버퍼수단내의 계수의 합계를 상기 제1레지스터수단이 기억할때 상기 제1레지스터수단의 출력을 기억하기 위한 제2레지스터수단과, 상기 제2레지스터수단으로부터의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 지지하는 3상 레지스터수단을 더 구비한 것이 특징인 화상형성장치.

청구항 17

제16항에 있어서, 상기 선택기제어수단이, 상기 데이터 분획수단으로부터 입력된 데이터에 대응하는 도트가 흑색이어야 할때는 정규입력의 선택을 명령하고, 상기 데이터 분획수단으로부터 입력된 데이터에 대응하는 도트가 백색이어야 할때는 반전입력의 선택을 명령하는 선택제어신호를 출력하고 ; 상기 계수버퍼수단이, 흑색 또는 백색을 표시하는 도트입력 데이터에 곱할 계수로서 1을 기억하고, 무시되는 도트입력데이터에 곱할 계수로서 0을 기억하는 것이 특징인 화상형성장치.

청구항 18

제17항에 있어서, 상기 선택기제어수단이 : 상기 데이터 분획수단으로부터 데이터 입력직전에 리세트되고 상기 데이터의 매 1비트 입력시마다 증가되는 카운터수단과 ; 상기 카운터의 출력에 의해 특정된 번지에 기억된 선택제어신호를 상기 선택기수단에 출력하는 리드온리메모리(ROM)수단을 구비한 것이 특징인 화상형성장치 .

청구항 19

입력도트가 소정형상의 원도우내에 상응하는 도트위치를 각각 갖는 입력도트들로 구성되는 화상데이터를 수신하는 입력수단과, 상기 화상데이터를 평활화하는 평활화수단을 구비하며, 상기 평활화수단은 중심도트를 갖는 원도우내의 화상데이터를 수신하여, 상기 원도우내의 중심도트의 서브도트패턴 노광데이터를 출력하는 뉴랄 네트워크를 구비한 것이 특징인 화상형성장치.

청구항 20

제19항에 있어서, 상기 뉴랄 네트워크의 입력층에 선행하는 스테이지에 설치돼 있고, 상기 상기데이터를 입력층을 통하여 하든층의 모든 뉴런에 대해 비트단위로 직렬로 출력하도록 서로 결합된 복수의 쉬프트레지스터수단을 더 구비하며, 이 복수의 쉬프트레지스터수단이, 상기 원도우의 복수의 횡라인중 1라인의 화상데이터를 각각 수신하며 ; 상기 뉴랄 네트워크의 상기 하든층을 구성하는 복수의 하든층 수단이 각각 ; 상기 원도우내의 화상데이터의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 데이터 분획수단의 출력을 수신하기 위한 AND 게이트수단과, 그의 입력단중 하나에서 상기 AND 게이트수단의 출력을 수신하여, 복수의 하든층 뉴런수단중 하나와 함께 곱셈치 합계 연산을 행하는 제1가산기수단과, 상기 제1가산기수단의 출력을 기억하고, 기억된 내용을 그의 다른 입력단에서 상기 제1가산기수단에 출력하는 제1레지스터수단과, 상기 AND 게이트수단에 입력된 모든 원도우의 화상데이터와 계수들로부터 상기 제1가산기수단에 의해 구해진 합계를 상기 제1레지스터수단이 기억함계를 상기 제1레지스터수단이 기억할때, 상기 제1레지스터수단의 출력을 기억하기 위한 제2레지스터수단과, 상기 제2레지스터수단으로부터의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 지지하는 3상 레지스터수단을 구비하고 있고 ; 상기 뉴랄 네트워크의 출력층을 구성하는 복수의 출력층 뉴런수단이 ; 상기 복수의 하든층 뉴런수단의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 복수의 하든층 뉴런의 출력을 수신하기 한 곱셈수단과, 그의 한 입력단에서, 상기 곱셈수단의 출력을 수신하고, 출력층 뉴런과 함께 곱셈치 합계 연산을 실행하는 제2가산기수단과, 상기 제2가산기수단의 출력을 기억하고, 그 기억된 내용을 그외 다른 입력단에서 상기 제2가산기수단에 출력하는 제3레지스터수단과, 상기 복수의 하든층 뉴런수단 전부로부터 상기 곱셈수단에 출력된 출력과 입력된 패턴들로부터 상기 제2가산기수단에 의해 얻어진 합계를 상기 제3레지스터수단이 기억할때, 상기 제3레지스터수단의 출력을 기억하기 위한 제4레지스터수단을 구비하고 있는 것을 특징으로 하는 화상형성장치 .

청구항 21

제20항에 있어서, 상기 뉴랄 네트워크의 하든층이 복수의 하든층 뉴런수단을 구비하며, 이 수단들 각각이 상기 원도우 화상데이터의 수로 설치되고 그들의 한 입력단에서, 상기 뉴랄 네트워크의 상기 입력층로부터 동시에 입력되는 상기 원도우의 도트 화상데이터의 각 1비트를 수신하고, 그들의 다른 입력단에서는, 화상데이터의 상기 1비트가 흑색일때는 계수 0과 1의 조합을, 그리고 화상데이터의 상기 1비트가 백색일때는 계수 1과 1의 조합을, 그리고 화상데이터의 상기 1비트가 무시될때는 계수 0과 0의 조합을 수신하는, 1쌍의 제1과 제2AND 게이트 수단과, 상기 제1과 제2AND 게이트 수단으로부터의 모든 출력을 수신하는 제1가산기수단과, 상기 제1가산기수단의 출력을 기억하는 제1레지스터수단과, 상기 제1레지스터수단의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 기억하기 위한 제2레지스터수단을 갖고 있고, 상기 뉴랄 네트워크의 출력층이, 상기 서브도트패턴의 서브도트수로 설치된, 출력층 뉴런수단을 구비하며, 이 뉴런수단 각각이, 상기 복수의 하든층 뉴런수단의 수로 설치되고, 그들의 한 입력단에서 상기 복수의 하든층 뉴런수단에서 동시에 출력된 복수의 비트중 각 1비트를 수신하며, 그의 다른 입력단에서 0 또는 1의 계수를 수신하는 제3AND 게이트수단과, 상기 제3AND 게이트수단의 모든 출력을 수신하기 위한 제2가산기수단과, 상기 제2가산기수단에서 출력된 합계를 기억하기 위한 제3레지스터수단 및, 상기 제3레지스터수단에 기억된 내용의 입력에 대응하여 최상위 비트를 출력하기 위한 제4레지스터수단을 갖고 있는 것이 특징인 화상형성장치 .

청구항 22

제21항에 있어서, 상기 하든층 뉴런수단의 제1가산기수단과 상기 출력층 뉴런수단(102)의 상기 제2가산기수단이, 상기 제1, 제2, 제3AND 게이트수단의 모든 출력에 뉴런내 연산에 사용되는 상수항을 가산하여

이웃하는 AND 게이트수단의 출력들을 가산하는 가산기와 이웃하는 가산기들로부터의 출력들을 가산하는 가산기로 구성된 피라미드구조의 복수의 가산기를 구비한 것이 특징인 화상형성장치.

청구항 23

제21항에 있어서 : 상기 뉴랄 네트워크의 입력총이, 상기 원도우내의 모든 도트 화상데이타를 기억하기 위한 제5레지스터수단과 이 제5레지스터수단내에 기억된 상기 원도우의 모든 도트 화상데이타를 반전시키기 위한 인버터수단을 구비하며, 상기 복수의 히든층 뉴런수단 전부에 대해서 상기 제5레지스터수단내에 기억된 내용으로서 상기 원도우의 모든 도트 화상데이타와 상기 인버터수단의 출력으로서 상기 원도우내의 모든 도트 화상데이타의 반전치를 출력하고 ; 상기 복수의 히든층 뉴런수단의 상기 AND 게이트수단 쌍 대신에 상기 원도우의 도트 화상데이타수의 2배수로 설치된 AND 게이트수단이 그들의 한 입력단에서, 상기 입력총에서 출력된 병렬데이타의 1비트를 수신하고, 그들의 다른 입력단에서는 상기 1비트가 상기 제5레지스터수단에서 출력된 정규입력인 경우에는 상기 1도트가 흑색이어야 되면 1을 수신하고, 그렇지 않은 경우 0을 수신하고, 또한 상기 1비트가 상기 인버터수단에서 출력된 반전입력인 경우에는, 상기 1도트가 백색이어야 되면 1을, 그렇지 않은 경우 0을 수신하는 것이 특징인 화상형성장치.

청구항 24

제21항에 있어서, 상기 뉴랄 네트워크의 상기 히든층이 복수의 뉴런수단을 구비하며, 이 뉴런수단들 각각이 : 상기 원도우의 도트 화상데이타수의 2배수로 설치되고 그의 한 입력단에서, 상기 원도우의 모든 도트 화상데이타의 1비트와 상기 원도우의 모든 도트 화상데이타의 반전치들을 수신하고, 그의 다른 입력단에서 상기 정규입력 또는 상기 반전입력에 의한 계수를 수신하는 제1군의 AND 게이트수단과, 상기 원도우의 도트 화상데이타수의 2배수로 설치되고 그 한 입력단에서 상기 원도우의 모든 도트 화상데이타의 1비트와 상기 원도우의 모든 도트 화상데이타의 정반대 반전치들을 수신하고, 그의 다른 입력단에서 상기 제1군 AND 게이트수단에 대한 상기 계수를 기준으로 상기 원도우에서 검출되는 도트패턴을 반전시켜 얻어진 패턴에 대응하는 계수를 수신하는 제2군의 AND 게이트수단과, 상기 원도우의 도트 화상데이타수의 2배수로 설치되고 그의 한 입력단에서, 상기 입력총으로부터의 입력데이타의 1비트를 수신하고, 그의 다른 입력단에서, 상기 제1군의 AND 게이트수단에 대응하는 도트패턴의 거울상을 수신하는 제3군의 AND 게이트수단과, 상기 원도우의 도트 화상데이타수의 2배수로 설치되고, 그의 한 입력단에서, 상기 입력총으로부터의 입력데이타의 1비트를 수신하고, 그의 다른 입력단에서, 상기 제1군의 AND 게이트수단과, 상기 제1~4군의 AND 게이트수단중 임의의 것의 출력을 선택하기 위한 선택기수단과, 상기 선택기수단의 출력을 가산하는 가산기수단과, 상기 가산기수단의 출력을 기억하는 레지스터수단과, 상기 레지스터수단의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 선택기수단에 의한 선택순서에 의하여 상기 제1~4 AND 게이트수단의 출력에 대응하는 상기 ROM 수단에 의해 구해진 스케일링 결과를 쉬프트하고, 그 쉬프트된 스케일링 결과를 기억하기 위한 쉬프트레지스터수단을 구비한 것이 특징인 화상형성장치.

청구항 25

제21항에 있어서, 상기 출력총이 상기 서브도트패턴을 구성하는 서브도트의 수보다 적은 수로 설치된 상기 출력총 뉴런을 구비하고 있고, 상기 출력총의 후속 스테이지에 설치돼 있는 변환테이블수단이, 상기 출력총 뉴런수단의 출력을 상기 서브도트패턴으로 변환시키는 것이 특징인 화상형성장치.

청구항 26

제21항에 있어서, 상기 출력총이 상기 서브도트패턴을 구성하는 서브도트의 수보다 적은 수의 상기 출력총 뉴런수단을 갖고 있고, 상기 출력총의 후속 스테이지가 ; 상기 원도우의 중앙도트와 이 중앙도트의 좌, 우측 부분에 대한 모든 서브도트패턴을 포함하는 비트패턴을 출력하는 테이블수단과, 상기 원도우의 중앙도트에 대한 서브도트데이타를 기억하는 제1레지스터수단과, 상기 중앙도트의 좌측상의 도트들에 대한 서브도트데이타를 기억하는 제2레지스터수단과, 상기 중앙도트의 우측의 도트에 대한 서브도트데이타를 기억하기 위한 제3레지스터수단 및, 좌측 도트로부터 우측 도트로 상기 중앙도트를 가로지르는 서브도트데이타와, 우측 도트로부터 좌측 도트로 상기 중앙도트를 가로지르는 서브도트데이타 및 상기 중앙도트에 대한 서브도트데이타간의 논리합을 구하기 위한 복수의 OR 회로수단을 구비한 것이 특징인 화상형성장치.

청구항 27

제1항에 있어서, 상기 화상형성장치로서 프린터용 화질보정회로수단이 ; 상기 프린터에 대한 제어수단으로부터 화상데이타를 수신하는 제1래치회로수단과, 상기 제1래치회로수단의 출력을 기억하기 위한 제1 2-포트 랜덤 액세스 메모리(2P RAM)와, 상기 제1 2P RAM 수단의 직렬출력을 병렬출력으로 변환하는 복수의 쉬프트레지스터수단과, 상기 복수의 쉬프트레지스터수단의 출력을 수신하여 상기 원도우내의 중앙도트의 크기와 위치에 대한 보정데이타를 출력하는 뉴랄 네트워크수단과; 상기 뉴랄 네트워크수단의 출력을 기억하기 위한 제2 2P RAM 수단과; 상기 제2 2P RAM 수단의 병렬출력을 직렬화함으로써, 상기 프린터의 인쇄메카니즘수단측에 광펄스 보정신호를 출력하는 쉬프트레지스터수단과, 상기 제1 2P RAM 수단(82)의 제1래치회로수단측과, 상기 제2 2P RAM 수단에 대한 제2래치회로수단(86)측의 독출/기입번지를 제어하기 위한 제1카운터수단과, 상기 2P RAM 수단에 대한 상기 뉴랄 네트워크수단측의 상기 제1 2P RAM 수단의 쉬프트레지스터수단측의 독출/기입번지를 제어하기 위한 제2카운터수단을 구비한 것을 특징으로 하는 화상형성장치.

청구항 28

10이상의 라인상의 1이상의 화소를 포함하는 원도우내의 화소를 표시하는 데이터를 분획하는 원도우 데이터 분획수단과 ; 상기 원도우의 횡라인의 중앙화소블록과, 상기 원도의 동일한 횡라인상의 이웃한 좌측

화소블록 및 상기 원도의 동일한 횡라인상의 이웃한 우측 화소블록을 N 분할하고, 중앙화소 보정데이터에 관하여, 좌, 중앙, 우측의 순서로 상기 N 분할에 의해 얻어진 $3 \times N$ 서브(sub)블록의 화소들에 대한 보정데이터를 출력하는 보정데이터 출력수단과, 상기 보정데이터 출력수단에서 출력된 상기 중앙화소 보정데이터를 수신하고, 상기 중앙화소에 대한 좌측 화소 보정데이터의 N 서브블록 수신시에 상기 중앙화소 보정데이터에 의한 처리결과를 처리하고, 상기 원도우의 상기 중앙화소블록에 이웃하는 화소블록의 좌측에 화소블록에 대한 출력화소데이터를 출력하는 출력화소데이터 연산수단을 구비한 것이 특징인 화상형성장치.

청구항 29

제28항에 있어서, 상기 출력화소 연산수단이, 상기 중앙화소 보정데이터를 수신하기 위한 레지스터수단과, 상기 레지스터수단과 동일용량을 갖으며, 좌측 화소 보정데이터의 상기 N 서브블록을 수신시에 이미 기억된 처리결과를 상기 N 서브블록의 화소만큼 좌로 쇠프트시키고, 상기 쇠프트 결과와 상기 레지스터수단의 내용간의 논리합을 상기 중앙화소 보정데이터 수신시의 처리결과로서 훌드하고, 상기 좌측 쇠프트에 의해 오버후로우된 N 서브블록의 화소데이터를 상기 출력화소데이터로서 출력하는 쇠프트레지스터수단을 구비한 것이 특징인 화상형성장치.

청구항 30

제28항에 있어서, 상기 원도우 데이터 분획수단이 데이터 분획수단에 의해 구성되고, 이 데이터 분획수단이, 소정현상의 원도우내의 복수의 횡라인의 화상데이터를 기억하기 위한 복수의 라인버퍼수단과, 상기 복수의 라인버퍼수단에 기억된 내용을 수신하고, 상기 원도우의 화상데이터의 1비트를 상기 보정데이터 출력수단을 구성하는 보정패턴 출력수단에 직렬로 출력하기 위해 각각 결합된 복수의 쇠프트레지스터수단을 구비하며 ; 상기 보정패턴 출력수단이, 상기 원도우의 화상데이터와 비교하기 위한 템플레이트를 출력하기 위한 템플레이트 기억수단과, 상기 템플레이트 기억수단에서 출력된 상기 템플레이트와 상기 데이다 분획수단으로부터 입력된 상기 원도우의 화상데이터를 비교하는 비교기수단과, 상기 비교기수단에 의하여, 상기 데이터와 상기 템플레이트간의 불일치의 검출에 의해 증가되고, 후속 템플레이트의 출력을 명령하는 카운터수단과, 상기 비교기수단이 템플레이트와의 일치를 검출할때, 상기 카운터수단에 의해 명령된 상기 중앙화소 보정데이터를 보정패턴으로서 출력하는 보정패턴 기억수단과, 상기 템플레이트 기억수단내의 어떠한 템플레이트도 원도우 화상데이터와 일치하지 않을때, 상기 중앙화소 보정데이터 대신에, 상기 원도우내외 중앙화소에 대응하는 불변경우 데이터를 출력하는 불변경우 데이터 기억수단과, 상기 카운터수단의 제어하에 상기 보정패턴 기억수단 또는 상기 불변경우 데이터 기억수단으로부터의 입력을 선택적으로 출력하는 선택기수단 및, 상기 선택기수단의 출력을 훌드하는 3상 레지스터수단을 구비한 것이 특징인 화상형성장치.

청구항 31

제28항에 있어서, 상기 보정데이터 출력수단이, 상기 원도우의 도트 화상데이터의 입력에 응답하여 상기 중앙화소 보정데이터를 출력하는 뉴랄 네트워크를 구비한 것이 특징인 화상형성장치.

청구항 32

제31항에 있어서 ; 상기 뉴랄 네트워크의 입력층에 선행하는 스테이지에 설치돼 있고, 상기 원도우내의 복수의 수평라인중 화상데이터의 1라인을 기억하기 위한 복수의 라인버퍼수단과; 상기 복수의 라인버퍼수단내에 기억된 각각의 내용을 수신하여, 상기 원도우내의 상기 화상데이터를 입력층을 통하여 하든층의 모든 뉴런에 비트단위로 직렬로 출력하기 위해 결합된 복수의 쇠프트레지스터수단을 갖는 데이터 분획수단을 더 구비하며 ; 상기 뉴랄 네트워크의 상기 하든층을 구성하는 복수의 하든층 뉴런수단이 각각, 상기 원도우내의 화상데이터의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 데이터 분획수단의 출력을 수신하기 위한 AND 게이트수단과, 그의 입력단중 하나에서, 상기 AND 게이트 수단의 출력을 수신하여, 복수의 하든층 뉴런중 하나와 함께 곱셈치 함께 연산을 행하는 가산기수단과, 상기 가산기수단의 출력을 기억하고 기억된 내용을 그의 다른 입력단에서 상기 가산기수단에 출력하는 제1레지스터수단(248)과, 상기 AND 게이트수단에 입력된 모든 원도우의 화상데이터와 계수들로부터 상기 가산기 수단에 의해 구해진 합계를 상기 제1레지스터수단이 기억할때, 상기 제1레지스터수단의 출력을 기억하기 위한 제2레지스터수단과, 상기 제2레지스터수단으로부터의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및, 상기 ROM 수단의 출력을 지지하는 3상 레지스터수단을 구비하고 있고; 상기 뉴랄 네트워크의 출력층을 구성하는 복수의 출력층 뉴런수단이; 상기 복수의 하든층 뉴런수단의 수에 대응하는 계수를 기억하는 계수버퍼수단과, 상기 계수버퍼수단의 출력과 상기 복수의 하든층 뉴런의 출력을 수신하기 위한 곱셈수단과, 그의 한 입력단에서, 상기 곱셈수단의 출력을 수신하고, 출력층 뉴런과 함께 곱셈치 함께 연산을 실행하는 가산기수단과, 상기 가산기수단의 출력을 기억하고, 그 기억된 내용을 그의 다른 입력단에서 상기 가산기수단에 출력하는 제3레지스터수단과, 상기 복수의 하든층 뉴런수단 전부로부터 상기 곱셈수단에 출력된 출력과 입력된 패턴들로부터 상기 가산기수단에 의해 얻어진 합계를 상기 제3레지스터수단이 기억할때, 상기 제3레지스터수단의 출력을 기억하기 위한 제4레지스터수단을 구비하고 있는 것을 특징으로 하는 화상형성장치.

청구항 33

제28항에 있어서, 상기 출력화소 연산수단에서 출력된 출력화소 데이터가 복수치를 갖는 것이 특징인 화상형성장치.

청구항 34

제33항에 있어서, 상기 출력화소데이터 연산수단에서 출력된 출력화상데이터가 "그대로" 레이저 다이오드를 구비한 노광변조기용 노광변조신호로서 사용되는 것이 특징인 화상형성장치.

청구항 35

제28항에 있어서, 상기 $3 \times N$ 서브블록의 보정데이타 중에서 ; 중앙화소 보정데이타의 N 서브블록은 전부 사용되는 한편, 좌측 화소보정데이타의 N 서브블록의 일부와 우측 화소보정데이타의 N 서브블록 일부가 사용되는 것이 특징인 화상형성장치.

청구항 36

입력된 도트 화상데이타 어레이에 의하여 입력된 도트 화상데이타에 대한 도트를 보정하여 화상을 평활화하는 수단을 갖는 화상형성장치에 있어서, 상기 평활기수단을 구성하는 뉴랄 네트워크의 하든층내의 각 뉴런에 대한 입력결합의 계수가 $+n$ (n 은 상수), $-n$ 또는 0인 것이 특징인 화상형성장치.

청구항 37

제36항에 있어서, 상기 "n"이 "1"인 것이 특징인 화상형성장치.

청구항 38

제37항에 있어서, 상기 뉴랄 네트워크가 상기 원도우내의 입력된 도트 화상데이타에 응답하여, 소정형태의 원도우내의 1중앙도트에 대한 복수의 서브도트패턴 노광데이타를 출력하고, 상기 뉴랄 네트워크내의 상기 하든층이 복수의 뉴런을 구비하며, 이 뉴런들이 각각; 상기 원도우의 화상데이타 피이스의 대응하는 수로 설치되고, 그들의 한 입력단에, 상기 뉴랄 네트워크의 상기 입력층으로부터 동시에 입력된 상기 원도우에 도트 화상데이타가 1비트 단위로 공급되고, 그들의 다른 입력단에는, 상기 1비트 화상데이타가 "흑색"에 대응하는 도트와 대응될때는 계수 "0"과 "1"이 입력되고, "백색"에 대응하는 경우에는 "1"과 "1"이 입력되고, 흑색 또는 백색 도트를 나타내는 "무시"인 경우에는 "0"과 "0"이 입력되는 1쌍의 AND 게이트를 포함한 AND게이트 세트와, 모든 AND 게이트의 출력을 수신하는 가산기와, 상기 가산기의 출력을 기억하는 제1레지스터와, 상기 제1레지스터의 출력에 응답하여 뉴런의 변환함수를 스케일링 결과로서 출력하는 리드온리메모리(ROM) 및, 상기 ROM의 출력을 기억하는 제2레지스터를 구비하며, 상기 출력층이, 상기 서브도트패턴을 구성하는 서브도트의 수에 대응하는 수의 복수의 출력층 뉴런을 구비하며, 이 뉴런들은 각각 : 상기 하든층의 뉴런수에 대응하는 수로 설치돼 있고, 그의 한 입력단에는, 상기 하든층 뉴런들로부터 동시에 출력된 데이터가 비트단위로 공급되고, 그의 다른 입력단에는 계수 "0" 또는 "1"이 입력되는 1쌍의 AND게이트를 포함한 AND게이트들과, 전 AND게이트의 출력을 수신하는 가산기와, 상기 가산기의 출력을 기억하기 위한 제3레지스터 및, 상기 제3레지스터에 기억된 내용에 응답하여 하나의 최상위 비트를 출력하는 제4레지스터를 구비한 것이 특징인 화상형성장치.

청구항 39

제38항에 있어서, 상기 하든층 뉴런의 가산기와 상기 출력층 뉴런의 가산기가, 이웃하는 AND게이트의 출력을 가산하기 위한 복수의 가산기와 이웃하는 가산기의 출력을 가산하는 복수의 가산기(양자는 피라미드 형태로 됨)를 구비함으로써, 뉴런의 산술연산용 상수항을 전 AND 게이트의 출력에 가산하는 것이 특징인 화상형성장치 .

청구항 40

제38항에 있어서, 상기 뉴랄 네트워크의 상기 입력층이, 상기 원도우내의 상기 도트 화상데이타를 기억하는 레지스터와 상기 원도우내의 모든 도트 화상데이타를 반전시키기 위한 인버터를 구비하고 있고, 기억내용으로서 상기 원도우의 모든 도트 화상데이타와 상기 화상데이타의 반전결과로서 상기 인버터의 출력이 상기 하든층 뉴런에 병렬로 출력되고, 상기 하든층 뉴런내의 모든 AND게이트쌍 대신에 상기 원도우내 상기 화상데이타의 수의 2배수의 AND게이트를 구비하며, 그의 한 입력단에는, 상기 입력층에서 출력된 병렬데이타가 비트단위로 입력되고, 그의 다른 입력단에는, 상기 1비트가 상기 레지스터로부터 얻어진 정규입력과 흑색으로 표시되는 도트를 표시하는 경우 계수 "1"이 입력되고, 백색, 또는 흑색 또는 백색의 도트에 대한 "무시"를 나타내는 때에는 "0"이 입력되고, 상기 인버터의 출력결과가 반전입력이고 목표도트가 백색이어야 하는 때에는 "1"이 입력되고, 흑색 또는 무시로서 표현되는 도트에 대해서는 "0"이 입력되는 것이 특징인 화상형성장치.

청구항 41

제38항에 있어서, 상기 뉴랄 네트워크의 하든층이 복수의 뉴런을 갖고 있고, 이 뉴런들이 각각 : 상기 원도우 도트 화상데이타의 수의 2배수의 제1세트의 AND 게이트와, 이들의 한 입력단에는, 상기 입력층로부터 공급된 상기 원도우내 상기 도트 화상데이타와 상기 모든 도트 화상데이타의 반전치가 비트단위로 동시에 입력되고, 그의 다른 입력단에는, 상기 정규입력 또는 반전입력에 대응하는 계수가 입력되며, 그의 한 입력단에는, 상기 원도우의 모든 도트 화상데이타와 이들의 반전치가 비트단위로 입력되고, 그의 다른 입력단에는, 상기 원도우에서 검출되는 도트패턴의 정반대 반전패턴에 대응하는 계수, 즉, 제1세트의 AND 게이트의 계수의 기수가 입력되는 제2세트의 AND 게이트와, 그의 한 입력단에는, 상기 입력층에서 입력된 데이터가 입력되고, 그의 다른 입력단에는, 상기 제1세트의 AND 게이트에 대응하는 도트패턴의 좌우 반전패턴에 대응하는 계수가 입력되는 제3세트의 AND 게이트와, 그의 한 입력단에는, 상기 입력층으로부터 데이터가 입력되고, 그의 다른 입력단에는, 상기 제1세트의 AND 게이트에 대응하는 도트패턴의 좌우 반전패턴에 대응하는 계수가 입력되는 제4세트의 AND 게이트와, 상기 제1~4세트의 AND 게이트중의 1AND게이트 세트로부터의 출력세트를 선택하는 선택기와, 상기 가산기수단의 출력을 기억하는 레지스터 수단과, 상기 레지스터수단의 출력에 대한 뉴런의 변환결과치를 스케일링 결과로서 출력하는 리드온리메모리(ROM)수단 및 상기 선택기에 의한 선택순서에 의하여 상기 제1~4AND 게이트 세트의 출력에 대응하는 상기 ROM 수단에 의해 구해진 스케일링 결과를 기억하기 위한 쉬프트레지스터를 구비한 것이 특징인 화상형성장치.

청구항 42

제38항에 있어서, 상기 출력층이, 상기 서브도트패턴을 구성하는 서브도트의 수보다 더 적은 수의 출력층 뉴런을 구비하고, 상기 출력층에 후속되어 설치되고, 상기 출력층 뉴런의 출력을 상기 서브도트패턴으로 변환시키는 테이블을 구비한 것이 특징인 화상형성장치.

청구항 43

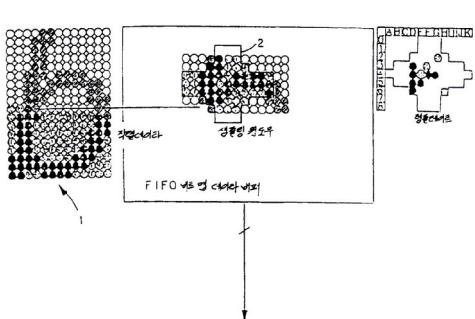
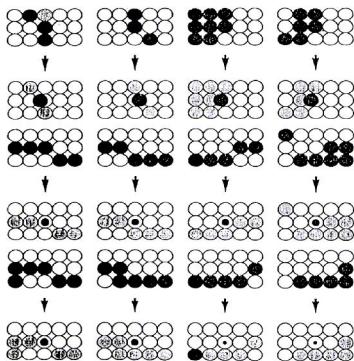
입력된 도트 화상데이터 어레이에 의하여 상기 입력된 도트 화상데이터의 도트를 보정하여 화상을 평활화하는 화상형성장치에 있어서 : 소정형태의 원도우내의 도트 화상데이터를 수신하고, 상기 원도우내의 1중앙도트에 대한 복수의 서브도트패턴 노광데이터를 출력하는 평활화수단과, 상기 평활화수단의 출력을 이용하여 상기 중앙도트를 포함한 좌에서 우로의 도트와 우에서 좌로의 도트에 관한 서브도트정보와 상기 중앙도트에 관한 서브도트정보의 논리합을 구하고, 이 논리합을 상기 원도우내의 중앙도트에 대한 노광패턴 데이터로서 출력하는 노광패턴 데이터 출력수단을 구비한 것이 특징인 화상형성장치.

청구항 44

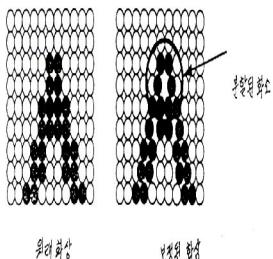
제43항에 있어서, 상기 평활화수단이, 상기 서브도트패턴을 구성하는 서브도트 수보다 더 적은 수의 출력층 뉴런을 포함한 출력층을 갖는 뉴랄 네트워크를 구비하고 있고, 상기 노광패턴 데이터 출력수단이 : 상기 뉴랄 네트워크의 상기 출력층의 뉴런의 출구로부터, 상기 원도우의 중앙도트에 대한 모든 서브도트패턴과 이 중앙도트의 좌, 우측 도트에 대한 각 서브도트패턴의 일부를 포함하는 비트패턴을 출력하는 테이블과, 상기 원도우의 중앙도트에 대한 서브도트정보를 기억하는 제1레지스터와, 상기 중앙도트의 좌측상의 도트들에 대한 서브도트정보를 기억하는 제2레지스터와, 상기 중앙도트의 우측의 도트에 대한 서브도트정보를 기억하기 위한 제3레지스터 및, 좌측 도트로부터 우측 도트로 상기 중앙도트를 포함하는 서브도트정보와 우측 도트로부터 좌측 도트로 상기 중앙도트를 포함하는 서브도트정보 및 상기 중앙도트에 대한 서브도트정보간의 논리합을 구하기 위한 복수의 OR 회로를 구비한 것이 특징인 화상형성장치.

청구항 45

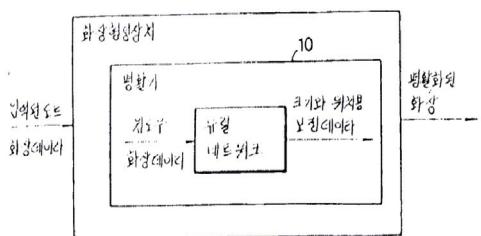
입력된 화상데이터의 어레이에 의하여 상기 입력된 도트화상데이터의 도트를 보정함으로써 화상을 평활화하는 수단을 갖는 화상형성장치에 있어서, 상기 평활화수단이, 상기 뉴랄 네트워크를 통하여 입력된 도트 화상데이터의 도트를 보정할 수 있도록 구성된 것이 특징인 화상형성장치.

도면1**도면2**

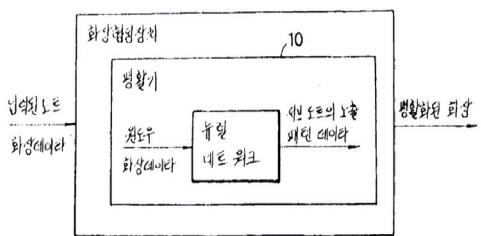
도면3



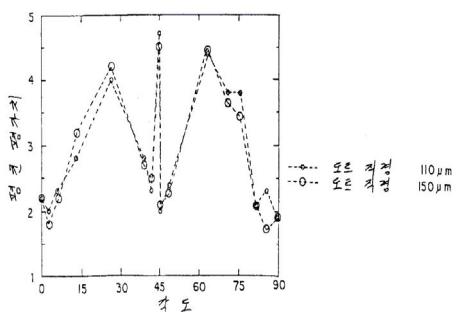
도면4



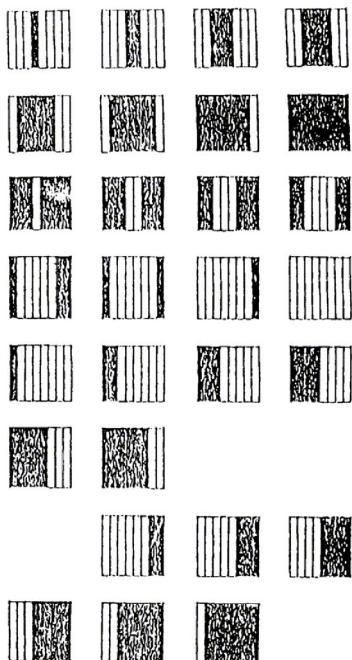
도면5



도면6



도면7

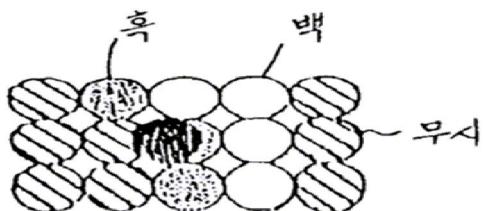


도면8

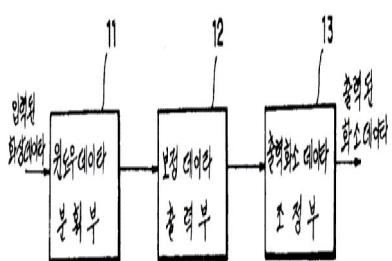
평균 평가치

아크	의미
5	인식 불가
4	인식되지만 불량률은 많음
3	약간 불량
2	불량
1	매우 불량

도면9



도면10

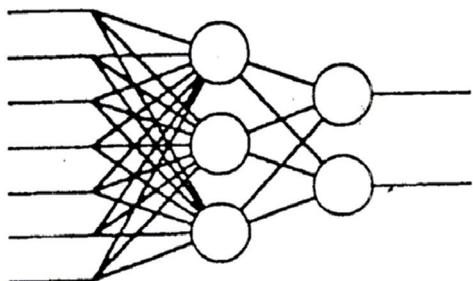


도면11

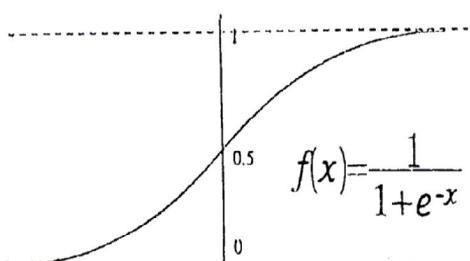


$$y^n = f(k_0^n + k_1^n x_1^n + \dots + k_m^n x_m^n)$$

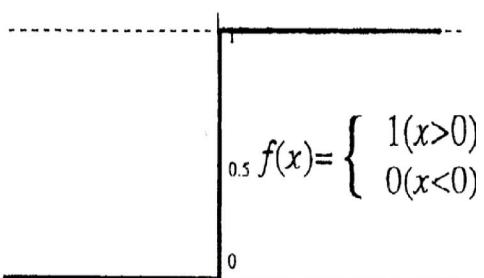
도면12



도면13



도면14



도면15

