(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월03일
(11) 등록번호 10-2750299
(24) 등록일자 2024년12월31일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 21/84* (2006.01)
H01L 29/66 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 27/1285 (2013.01)
H01L 21/84 (2013.01)
(21) 출원번호 10-2023-0184142
(22) 출원일자 2023년12월18일
심사청구일자 2023년12월18일
(56) 선행기술조사문헌
US20200411692 A1
US20210376134 A1

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
권순용
울산광역시 울주군 언양읍 유니스트길 50
송승욱
울산광역시 울주군 언양읍 유니스트길 50
장소라
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
전용준

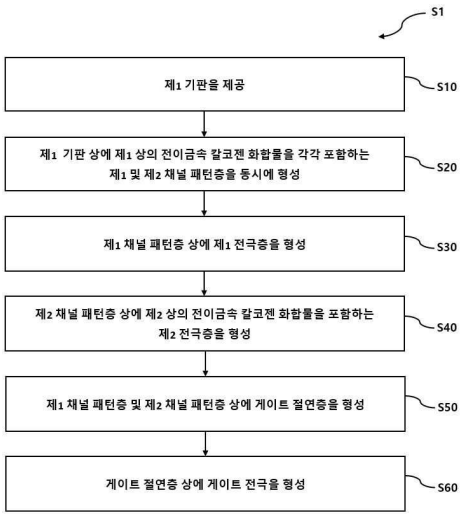
전체 청구항 수 : 총 20 항 심사관 : 고연화

(54) 발명의 명칭 **양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이 및 그 제조방법**

(57) 요 약

본 발명은, 동일한 채널층으로 N형 반도체 소자와 P형 반도체 소자를 각각 구현할 수 있는 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이 및 그 제조방법을 제공한다. 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법은, 제1 기판을 제공하는 단계; 상기 제1 기판 상에 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 및 제2 채널 패턴층을 동시에 형성하는 단계; 상기 제1 채널 패턴층 상에 제1 전극층을 형성하는 단계; 및 상기 제2 채널 패턴층 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층을 형성하는 단계를 포함한다.

대 표 도 - 도2



(52) CPC특허분류
H01L 27/1229 (2013.01)
H01L 27/1288 (2013.01)
H01L 29/66969 (2013.01)
H01L 29/78681 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711184337
과제번호 2017M3A7B8065377
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 나노소재기술개발
연구과제명 초저전력 유연전자소자용 초미세 인터커넥트를 위한 일차원 전이금속 칼코젠 나노단결정 합성연구
기 여 율 1/1
과제수행기관명 울산과학기술원
연구기간 2023.01.01 ~ 2023.06.30
공지예외적용 : 있음

명 세 서

청구범위

청구항 1

제1 기판을 제공하는 단계;

상기 제1 기판 상에 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 및 제2 채널 패턴층을 동시에 형성하는 단계;

상기 제1 채널 패턴층 상에 제1 전극층을 형성하는 단계; 및

상기 제2 채널 패턴층 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층을 형성하는 단계를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 2

청구항 1에 있어서,

상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계는,

상기 제1 기판 상에 제1 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물이 형성된 대상층을 형성하는 단계;

상기 제1 전이금속을 포함하는 제1 상의 전이금속 칼코젠 화합물이 형성된 씨드층을 제공하는 단계;

상기 대상층의 적어도 일부 영역 상에 상기 씨드층을 배치하는 단계;

상기 대상층에 칼코젠 물질을 제공하는 단계;

상기 칼코젠 물질을 가열하는 단계;

상기 씨드층의 상기 제1 상의 전이금속 칼코젠 화합물이 씨드로서 전사되면서, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 상기 칼코젠 물질과 반응함에 따라, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 제1 상의 전이금속 칼코젠 화합물로 상변이하여 채널층을 형성하는 단계; 및

상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계를 포함하는

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 3

청구항 2에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계;

상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및

상기 화합물층을 상기 칼코젠 물질로서 제공하는 단계를 포함하는

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 4

청구항 2에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

상기 칼코젠 물질을 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공하여 이루어지는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 5

청구항 2에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

상기 칼코젠 물질과 전이금속의 공정 합금을 제공하여 이루어지는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 6

청구항 2에 있어서,

상기 칼코젠 물질을 가열하는 단계는,

상기 칼코젠 물질이 가열되어 기상화되고,

상기 기상화된 상기 칼코젠 물질이, 불활성 가스로 구성되거나 또는 수소 함유 가스와 불활성 가스의 혼합 가스로 구성된 캐리어 가스에 의하여 상기 대상층의 상기 제1 상의 전이금속 칼코젠 화합물에 제공되는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 7

청구항 2에 있어서,

상기 채널층을 형성하는 단계에서,

상기 제1 상의 전이금속 칼코젠 화합물로 상변이는 상기 씨드층으로부터 측방향 에피택셜 성장에 의하여 이루어지는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 8

청구항 2에 있어서,

상기 씨드층을 제공하는 단계에서,

상기 씨드층은,

기판 상에 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 전이금속을 포함하는 금속층을 표면에 형성하는 단계;

상기 금속층에 칼코젠 물질을 제공하여 600℃ 내지 750℃ 미만 범위의 온도로 가열하는 단계; 및

상기 금속층이 상기 칼코젠 물질과 반응하여 칼코제나이드화되어 상기 제2 상의 전이금속 칼코젠 화합물 층을 형성하는 단계에 의하여 형성되는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 9

청구항 2에 있어서,

상기 씨드층을 제공하는 단계에서,

상기 씨드층은, 제1 상의 전이금속 칼코젠 화합물 모결정으로부터 기계적 박리를 수행하여 형성되는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 10

청구항 1에 있어서,

상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계는,

상기 제1 기판 상에 제1 전이금속을 포함하는 금속층을 형성하는 단계;

상기 금속층에 칼코젠 물질을 제공하는 단계;

상기 칼코젠 물질을 제1 온도로 가열하여, 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계;

상기 제2 상의 전이금속 칼코젠 화합물과 상기 칼코젠 물질을 상기 제1 온도에 비하여 높은 제2 온도로 가열하여, 상기 제2 상의 전이금속 칼코젠 화합물로부터 제1 상의 전이금속 칼코젠 화합물을 형성하여 채널층을 형성하는 단계; 및

상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 11

청구항 10에 있어서,

상기 제1 온도는, 400℃ 내지 600℃ 미만 범위이고,

상기 제2 온도는, 600℃ 내지 750℃ 미만 범위인,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 12

청구항 1에 있어서,

상기 제2 전극층을 형성하는 단계는,

제2 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물을 포함하고, 제1 영역과 제2 영역을 가지는 제1 층이 표면에 형성된 제2 기판을 제공하는 단계;

상기 제1 층의 상기 제1 영역 상에 금속 패턴층을 형성하는 단계;

상기 금속 패턴층을 마스크층으로 이용하여, 상기 금속 패턴층에 의하여 노출된 상기 제1 층의 상기 제2 영역을 제거하여 패턴 구조체를 형성하는 단계;

상기 제2 기판으로부터 상기 패턴 구조체를 분리하는 단계; 및

상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 전사하여 상기 제2 전극층을 형성하는 단계를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 13

청구항 12에 있어서,

상기 패턴 구조체를 분리하는 단계는,

상기 제2 기판 상에 상기 패턴 구조체를 덮도록 전사 보조체를 형성하는 단계;

상기 전사 보조체 상에 접착체를 부착하는 단계; 및

상기 접착체를 이용하여 상기 패턴 구조체를 수용한 상기 전사 보조체를 상기 제2 기판으로부터 분리하는 단계를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 14

청구항 12에 있어서,

상기 제2 전극층을 형성하는 단계는,

상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 수용한 전사 보조체를 배치하는 단계; 및

상기 제2 채널 패턴층 상에 상기 패턴 구조체가 잔존하도록 상기 전사 보조체를 제거하는 단계를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 15

청구항 14에 있어서,

상기 전사 보조체를 배치하는 단계를 수행한 후에,

100℃ 내지 200℃ 범위의 온도로 가열하여, 상기 채널층의 상기 제1 상의 전이금속 칼코젠 화합물과 상기 패턴 구조체의 상기 제2 상의 전이금속 칼코젠 화합물은 반데르발스 결합을 이루는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 16

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가지고,

상기 제2 상의 전이금속 칼코젠 화합물은 1T 상(1T phase) 또는 1T' 상(1T' phase)으로 배열된 결정구조를 가지는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 17

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 상의 전이금속 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 상의 전이금속은, 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하고,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 제1 칼코젠 물질 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 제2 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 18

청구항 1에 있어서,

상기 제1 채널 패턴층 및 상기 제2 채널 패턴층 상에 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 상에 게이트 전극을 형성하는 단계를 더 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

청구항 19

청구항 1 내지 청구항 18항 중 어느 한 항의 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 제조된 전이금속 칼코젠 화합물 기반 반도체 소자 어레이로서,

제1 기판 상에 제1 소자 영역에 배열된 하나 또는 그 이상의 제1 반도체 소자; 및

제1 기판 상에 제2 소자 영역에 배열된 하나 또는 그 이상의 제2 반도체 소자를 포함하고,

상기 제1 반도체 소자 및 상기 제2 반도체 소자는 서로 다른 극성을 가지고,

상기 제1 반도체 소자 및 상기 제2 반도체 소자는 제1 상의 전이금속 칼코젠 화합물을 포함하는 양쪽성 채널층을 가지는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이.

청구항 20

청구항 19에 있어서,

상기 제1 반도체 소자는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 채널 패턴층; 및 상기 제1 채널 패턴층 상에 배치되고 금속을 포함하는 제1 전극층을 포함하고,

상기 제2 반도체 소자는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제2 채널 패턴층; 및 상기 제2 채널 패턴층 상에 배치되고 제2 상의 전이금속 칼코젠 화합물을 포함하는 하부층과 금속을 포함하는 상부층으로 구성된 제2 전극층을 포함하고,

상기 제2 채널 패턴층과 상기 하부층은 반데르발스 결합을 이루는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로서, 보다 상세하게는 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 전이금속 칼코젠 화합물(transition metal dichalcogenide)는 차세대 반도체 재료 중 하나로, 저전력 전기 장치, 열전 재료, 디스플레이 장치, 수소 생산, 광전지 등의 많은 분야에 다양하게 이용되고 있다.

[0003] 반도체 소자의 소형화에 따라 활성층의 크기가 감소되고, 반도체 소자 내의 금속과 반도체 접촉면에서의 접촉저항이 반도체 소자의 성능을 결정짓는 중요한 요소로 작용하게 된다. 따라서, 전이금속 칼코젠 화합물 기반 트랜지스터 소자 연구에서 청정한 계면을 가진 소자를 제작하는 기술이 요구된다. 기존의 실리콘 기반 전계효과 트랜지스터 소자 제작에 사용되는 3차원 상용금속의 직접 증착 공정에서 금속과 반도체의 계면에서 결함이 발생하여, 높은 접촉저항 값이 발생되며 저전력 트랜지스터 소자를 제작하는 데 한계가 존재한다. 따라서, 전이금속 칼코젠 화합물 기반 트랜지스터 소자에서의 접촉저항을 낮추기 위한 최적화된 공정 기법이 요구된다.

[0004] 또한, 종래에는 N형 반도체 소자와 P형 반도체 소자를 형성하기 위하여, 채널층을 이온 주입 등의 방식으로 변화시켜 구현하였으나, 공정 단순화 등의 효과를 위하여 동일한 채널층을 이용하여 N형 반도체 소자와 P형 반도체 소자를 형성하는 공정 방법이 요구되고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허공보 제10-2013-0103913호

발명의 내용

해결하려는 과제

[0006] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는, 동일한 채널층으로 N형 반도체 소자와 P형 반도체 소자를 각각 구현할 수 있는 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이 및 그 제조방법을 제공하는 것이다.

[0007] 그러나 이러한 과제는 예시적인 것으로, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법은, 제1 기판을 제공하는 단계; 상기 제1 기판 상에 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 및 제2 채널 패턴층을 동시에 형성하는 단계; 상기 제1 채널 패턴층 상에 제1 전극층을 형성하는 단계; 및 상기 제2 채널 패턴층 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층을 형성하는 단계를 포함한다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계는, 상기 제1 기판 상에 제1 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물이 형성된 대상층을 형성하는 단계; 상기 제1 전이금속을 포함하는 제1 상의 전이금속 칼코젠 화합물이 형성된 씨드층을 제공하는 단계; 상기 대상층의 적어도 일부 영역 상에 상기 씨드층을 배치하는 단계; 상기 대상층에 칼코젠 물질을 제공하는 단계; 상기 칼코젠 물질을 가열하는 단계; 상기 씨드층의 상기 제1 상의 전이금속 칼코젠 화합물이 씨드로서 전사되면서, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 상기 칼코젠 물질과 반응함에 따라, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 제1 상의 전이금속 칼코젠 화합물로 상변이하여 채널층을 형성하는 단계; 및 상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계를 포함할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 제공하는 단계는, 예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계; 상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및 상기 화합물층을 상기 칼코젠 물질로서 제공하는 단계를 포함할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 제공하는 단계는, 상기 칼코젠 물질을 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공하여 이루어질 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 제공하는 단계는, 상기 칼코젠 물질과 전이금속의 공정 합금을 제공하여 이루어질 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 가열하는 단계는, 상기 칼코젠 물질이 가열되어 기상화되고, 상기 기상화된 상기 칼코젠 물질이, 불활성 가스로 구성되거나 또는 수소 함유 가스와 불활성 가스의 혼합 가스로 구성된 캐리어 가스에 의하여 상기 대상층의 상기 제1 상의 전이금속 칼코젠 화합물에 제공될 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 채널층을 형성하는 단계에서, 상기 제1 상의 전이금속 칼코젠 화합물로 상변이는 상기 씨드층으로부터 측방향 에피택셜 성장에 의하여 이루어질 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 씨드층을 제공하는 단계에서, 상기 씨드층은, 기판 상에 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 전이금속을 포함하는 금속층을 표면에 형성하는 단계; 상기 금속층에 칼코젠 물질을 제공하여 600℃ 내지 750℃ 미만 범위의 온도로 가열하는 단계; 및 상기 금속층이 상기 칼코젠 물질과 반응하여 칼코제나이드화되어 상기 제2 상의 전이금속 칼코젠 화합물 층을 형성하는 단계에 의하여 형성될 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 씨드층을 제공하는 단계에서, 상기 씨드층은, 제1 상의 전이금속 칼코젠 화합물 모결정으로부터 기계적 박리를 수행하여 형성될 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계는,상기 제1 기판 상에 제1 전이금속을 포함하는 금속층을 형성하는 단계; 상기 금속층에 칼코젠 물질을 제공하는 단계; 상기 칼코젠 물질을 제1 온도로 가열하여, 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계; 상기 제2 상의 전이금속 칼코젠 화합물과 상기 칼코젠 물질을 상기 제1 온도에 비하여 높은 제2 온도로 가열하여, 상기 제2 상의 전이금속 칼코젠 화합물로부터 제1 상의 전이금속 칼코젠 화합물을 형성하여 채널층을 형성하는 단계; 및 상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계를 포함할 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 제1 온도는, 400℃ 내지 600℃ 미만 범위이고, 상기 제2 온도는, 600℃ 내지 750℃ 미만 범위일 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 제2 전극층을 형성하는 단계는, 제2 전이금속을 포함하는 제2 상의 전이금

속 칼코젠 화합물을 포함하고, 제1 영역과 제2 영역을 가지는 제1 층이 표면에 형성된 제2 기판을 제공하는 단계; 상기 제1 층의 상기 제1 영역 상에 금속 패턴층을 형성하는 단계; 상기 금속 패턴층을 마스크층으로 이용하여, 상기 금속 패턴층에 의하여 노출된 상기 제1 층의 상기 제2 영역을 제거하여 패턴 구조체를 형성하는 단계; 상기 제2 기판으로부터 상기 패턴 구조체를 분리하는 단계; 및 상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 전사하여 상기 제2 전극층을 형성하는 단계를 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 패턴 구조체를 분리하는 단계는, 상기 제2 기판 상에 상기 패턴 구조체를 덮도록 전사 보조체를 형성하는 단계; 상기 전사 보조체 상에 접착체를 부착하는 단계; 및 상기 접착체를 이용하여 상기 패턴 구조체를 수용한 상기 전사 보조체를 상기 제2 기판으로부터 분리하는 단계를 포함할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 제2 전극층을 형성하는 단계는, 상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 수용한 전사 보조체를 배치하는 단계; 및 상기 제2 채널 패턴층 상에 상기 패턴 구조체가 잔존하도록 상기 전사 보조체를 제거하는 단계를 포함할 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 전사 보조체를 배치하는 단계를 수행한 후에, 100℃ 내지 200℃ 범위의 온도로 가열하여, 상기 채널층의 상기 제1 상의 전이금속 칼코젠 화합물과 상기 패턴 구조체의 상기 제2 상의 전이금속 칼코젠 화합물은 반데르발스 결합을 이룰 수 있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가지고, 상기 제2 상의 전이금속 칼코젠 화합물은 1T 상(1T phase) 또는 1T' 상(1T' phase)으로 배열된 결정구조를 가질 수 있다.

[0024] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 전이금속 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 전이금속은, 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하고, 상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 칼코젠 물질 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함할 수 있다.

[0025] 본 발명의 일 실시예에 있어서, 상기 제1 채널 패턴층 및 상기 제2 채널 패턴층 상에 게이트 절연층을 형성하는 단계; 및 상기 게이트 절연층 상에 게이트 전극을 형성하는 단계를 더 포함할 수 있다.

[0026] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이는, 상술한 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 제조되고, 제1 기판 상에 제1 소자 영역에 배열된 하나 또는 그 이상의 제1 반도체 소자; 및 제1 기판 상에 제2 소자 영역에 배열된 하나 또는 그 이상의 제2 반도체 소자를 포함하고, 상기 제1 반도체 소자 및 상기 제2 반도체 소자는 서로 다른 극성을 가지고, 상기 제1 반도체 소자 및 상기 제2 반도체 소자는 제1 상의 전이금속 칼코젠 화합물을 포함하는 양쪽성 채널층을 가질 수 있다.

[0027] 본 발명의 일 실시예에 있어서, 상기 제1 반도체 소자는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 채널 패턴층; 및 상기 제1 채널 패턴층 상에 배치되고 금속을 포함하는 제1 전극층을 포함하고, 상기 제2 반도체 소자는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제2 채널 패턴층; 및 상기 제2 채널 패턴층 상에 배치되고 제2 상의 전이금속 칼코젠 화합물을 포함하는 하부층과 금속을 포함하는 상부층으로 구성된 제2 전극층을 포함하고, 상기 제2 채널 패턴층과 상기 하부층은 반데르발스 결합을 이룰 수 있다.

발명의 효과

[0028] 본 발명의 기술적 사상에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하면, 반도체성 2H 상의 전이금속 칼코젠 화합물을 포함하는 채널층을 동일하게 이용하여 전극 구조를 변경함에 의하여 N형 반도체 소자와 P형 반도체 소자를 각각 구현할 수 있다.

[0029] 상술한 본 발명의 효과들은 예시적으로 기재되었고, 이러한 효과들에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이

를 도시하는 평면도이다.

도 2는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 나타내는 흐름도이다.

도 3은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 나타내는 단면도들이다.

도 4는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계를 나타내는 흐름도이다.

도 5는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계를 나타내는 흐름도이다.

도 6은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제2 전극층을 형성하는 단계를 나타내는 흐름도이다.

도 7은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제2 전극층을 형성하는 단계를 예시적으로 나타내는 모식도들이다.

도 8은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 형성된 채널층을 나타내는 광학현미경 사진들이다.

도 9는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 형성된 씨드층과 상변이층의 주사투과전자현미경 사진들이다.

도 10은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 이용하여 형성한 1T' $MoTe_2$ 상 및 2H $MoTe_2$ 상의 밴드 구조를 나타내는 모식도이다.

도 11은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 P형 반도체 소자의 광학현미경 사진들이다.

도 12는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 반도체 소자의 미세조직을 나타내는 주사투과전자현미경 사진들이다.

도 13은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서 적용되는 전이금속 칼코젠 화합물의 밴드 구조를 나타낸다.

도 14는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 P형 반도체 소자와 N형 반도체 소자의 전기적 특성을 나타내는 그래프들이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 기술적 사상의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다. 본 명세서에서 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명의 기술적 사상은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.

[0032] 2차원 반데르발스 반도체 등과 같은 새로운 트랜지스터 나노물질에 대한 방대한 연구가 진행되고 있다. 그러나 대부분의 2차원 반도체는 n형이거나 양극성이며, 단극성 p형 2차원 반도체가 부족한 상황은 낮은 비트당 전력 지연을 가지는 에너지 효율적 회로를 위한 씨모스(CMOS) 인버터를 2차원 전자기기에 광범위하게 사용되는 것을 제한하게 된다. 550 ℃ 이하의 저온에서 직접 성장하거나, 원하는 기판 상에 쉽게 전사될 수 있고, 높은 전기적 성능을 가지는 2차원 반도체에 대한 연구는 씨모스 후공정(back-end-of-line, BEOL)의 호환 공정을 목표로 하는 소자 제작에 있어 중요하다. 전이금속 칼코젠 화합물(transition metal dichalcogenide, TMD) 중 2차원 2H 상(phase) 몰리브덴 디텔루라이드 (molybdenum ditelluride, $MoTe_2$)는 가전자 밴드 최대에너지(E_{VBM})을 4.9 eV 내지 5.1 eV 범위로 가장 낮은 값을 가지므로, 다른 전이금속 디칼코제나이드와 비교하면, 억제된 전자 이동도를

가지는 단극성 p형 반도체의 제조가 가능하다. 따라서, 신뢰성 있고, 스케일업이 가능한 수 개의 층을 가지는 고품질 p형 2H-$MoTe_2$의 제조방법의 개발은 전공정과 후공정을 위한 차세대 2차원 전자기기를 가능하게 할 수 있다.

[0033] 그러나, 화학기상증착(CVD) 성장법을 이용한 웨이퍼 규모의 100% 커버리지를 가지는 단결정 2H-$MoTe_2$ 다형체의 형성은 아직 이루어지지 않고 있다. 이는 2H-$MoTe_2$가 좁은 성장 윈도우 내에서만 형성되고, 성장 중에 제어되지 않은 Te 플럭스(낮은 평형 증기압)는, 분자량당 약 35 meV 수준의 작은 자유 에너지 차이로 인하여, 금속성 1T' 구조와 반도체성 2H 구조 사이의 다형체 제어를 방해하기 때문이다. 산소 관련 불순물들, Te 공공들 및 결정립계들과 2H-$MoTe_2$ 의 표면에 걸친 화학기상증착에 의해 생성된 부분 1T' 잔류 생성물들은 전자 장치의 면저항을 증가시키고 부적절한 기능을 야기하며, 이에 따라 전기적 특성들의 열화를 초래할 수 있다. 최근에는 고체-고체 상 전이 또는 2차원 씨드 성장 방법을 사용하여, 2H-$MoTe_2$ 를 합성하기 위한 선구적인 연구가 수행된 바 있다. 그러나 이러한 방법의 실용적인 응용은 분말 기반의 수평 CVD 사용이나 AlO_x 패시베이션층을 요구하는 등의 제한점이 있으며, 균일하고 고품질의 2H-$MoTe_2$ 박막을 고속으로 대형으로 생산하기 어렵다. 또한, 이러한 방법을 사용하여 합성된 2H-$MoTe_2$의 전기 전도도는 제한된다. 예를 들어, 온 상태의 면전도도는 약 10 μS 미만이고, 온-오프 전류 비율은 약 10^4 이다. 따라서, 새로운 성장 기술이 요구된다.

[0034] 전기적 컨택을 제조할 때. 2H-$MoTe_2$ 기반 이종접합에서 공공 결함, 유리층 및 합금과 같은 계면 결함의 형성은, Mo와 Te의 작은 전기음성도 차이로 인해 3차원 금속화 과정 중에 증가될 수 있고, 이에 따라 결합이 더 약해지게 된다. 이러한 결함은 페르미 준위(E_F)가 특정 에너지 준위에 고정시켜 새로운 계면 상태를 형성하므로, 다른 일함수를 가지는 금속을 선택하여 컨택 특성 또는 쇼트키 장벽 높이(SBH)를 효과적으로 조절할 수 없다. 이와 관련하여, 종래의 2H-$MoTe_2$ 전계효과 트랜지스터(FET)의 p형 이동도 성능은 주로 온/오프 전류 비율(I_{on}/I_{off} < 10^4), 온 상태 전류(V_{ds} = -1 V에서 I_{on} < 1 μA/μm), 그리고 전계효과 정공 이동도(μ_h < 10 $cm^2V^{-1}s^{-1}$)에 의하여 제한되며, Pd 및 Pt 와 같은 높은 일함수 3차원 금속 컨택 전극을 사용할 때도 제한된다. 대안적으로, 2차원 다형체성 금속 전극인 1T'-상 $MoTe_2$의 vdW 통합은 수직 2차원/2차원 금속 반도체 접합(MSJ)에서 매우 날카롭고 프리스틴(pristine) 계면을 제공할 수 있다. 그러나, 모든 2차원 장치에는 3차원 컨택 패드가 요구되지만, 2차원/2차원 금속 반도체 접합에서 2차원 반도체에 대하여 반대 위치인, 2차원 금속에 3차원 금속화의 영향에 대한 체계적인 연구가 수행되지 않았다. 모든 2차원 회로의 전자 부품으로서 2차원 금속을 사용하는 것이 더 많은 빈도로 나타나므로 매우 중요하다. 예를 들어, 그래핀, VSe_2, $NbSe_2$ 등이 해당 2차원 (반)금속 물질이며, WSe_2 트랜지스터의 컨택 전극으로 사용될 수 있다. 그러나 3차원 금속으로 조정된 2차원 반금속의 일함수는 종종 간과된다. 또한, 대부분의 반데르발스 통합 2차원 금속은 기계적으로 박리되거나 CVD 성장된 불규칙한 플레이크를 사용하여 제작되었고, 이는 고수율 제조에는 실용적이지 않다. 또한, 성능 측정 항목이나 전계효과 트랜지스터 스위칭 극성에서의 중대한 차이는 1T'-$MoTe_2$ 를 사용한 다형체성 접합의 재현성에 대한 의문을 제기한다.

[0035] 명세서 전체에 걸쳐서, "전기적으로 연결"의 의미는 구성요소들이 직접적으로 접촉하는 경우 및 다른 구성요소를 사이에 두고 접촉하는 경우 등을 포함하며, 다양한 방식을 전기적으로 연결되는 것을 모두 포함함에 유의한다.

[0036] 먼저, 명세서 전체에 걸쳐 기재된, 제1 상의 전이금속 칼코젠 화합물 및 제2 상의 전이금속 칼코젠 화합물을 상세하게 설명하기로 한다.

[0037] 상기 제1 상의 전이금속 칼코젠 화합물은 제1 전이금속과 제1 칼코젠 물질로 구성될 수 있다. 상기 제2 상의 전이금속 칼코젠 화합물은 제2 전이금속과 제2 칼코젠 물질로 구성될 수 있다. 상기 제1 전이금속과 상기 제2 전이금속은 동일한 물질이거나 또는 서로 다른 물질일 수 있다. 상기 제1 칼코젠 물질과 상기 제2 칼코젠 물질은 동일한 물질이거나 또는 서로 다른 물질일 수 있다.

[0038] 상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 전이금속 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 전이금속은, 예를 들어 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다. 그러나 이는 예시

적이며, 상기 제1 전이금속 또는 상기 제2전이금속은, 칼코젠 원소들과 층상형 구조를 형성할 수 있는 모든 전이금속 군을 포함할 수 있다.

[0039] 상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 칼코젠 물질 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 칼코젠 물질은, 예를 들어 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함할 수 있다.

[0040] 상기 제1 상의 전이금속 칼코젠 화합물은 화학식 MX_2 로 나타내는 화합물로서 결정질 화합물일 수 있다. 여기에서, M은 전이금속이고, X는 칼코젠이다. 또는, 상기 제1 상의 전이금속 칼코젠 화합물은 전이금속 원소 대비 칼코젠 원소의 비율이 5:1 내지 1:5의 비율을 갖는 전이금속 칼코젠 화합물을 포함할 수 있다. 상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가질 수 있다. 상기 2H 상의 결정 구조는 열역학적으로 안정한 구조로서, 상기 제1 상의 전이금속 칼코젠 화합물은 반도체 특성을 강하게 나타내고, 상기 1T 상 또는 상기 1T'상에 비하여 상대적으로 밴드갭 에너지가 높을 수 있다.

[0041] 상기 제2 상의 전이금속 칼코젠 화합물은 화학식 MX_2 로 나타내는 화합물로서 결정질 화합물일 수 있다. 여기에서, M은 전이금속이고, X는 칼코젠이다. 또는, 상기 제2 상의 전이금속 칼코젠 화합물은 전이금속 원소 대비 칼코젠 원소의 비율이 5:1 내지 1:5의 비율을 갖는 전이금속 칼코젠 화합물을 포함할 수 있다. 상기 칼코젠 물질이 황(S) 또는 셀레늄(Se)인 경우에는, 상기 제1 상의 전이금속 칼코젠 화합물의 결정 구조는 1T 상(1T phase)일 수 있다. 상기 칼코젠 물질이 텔루륨(Te)인 경우에는, 상기 제1 상의 전이금속 칼코젠 화합물의 결정 구조는 1T'상(1T' phase)일 수 있다. 상기 1T 상 또는 상기 1T' 상의 결정 구조는 열역학적으로 준안정상태로서, 상기 제2 상의 전이금속 칼코젠 화합물은 금속성의 특성을 강하게 나타낸다. 상기 제2 상의 전이금속 칼코젠 화합물은 반금속성(semi metal) 특성을 가질 수 있다.

[0042] 예를 들어, 상기 전이금속은 몰리브덴(Mo)을 포함할 수 있다. 상기 칼코겐 물질은 텔루륨(Te)을 포함할 수 있다. 상기 제1 상의 전이금속 칼코젠 화합물은 2H $MoTe_2$ 를 포함할 수 있다. 상기 제2 상의 전이금속 칼코젠 화합물은 1T' $MoTe_2$ 를 포함할 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0043] 도 1은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이를 도시하는 평면도이다.

[0044] 도 1을 참조하면, 전이금속 칼코젠 화합물 기반 반도체 소자 어레이(1000)는, 제1 기판(10) 상에 제1 소자 영역(11)에 배열된 하나 또는 그 이상의 제1 반도체 소자(1) 및 제2 소자 영역(12)에 배열된 하나 또는 그 이상의 제2 반도체 소자(2)를 포함할 수 있다. 제1 반도체 소자(1) 및 제2 반도체 소자(2)는 서로 다른 극성을 가질 수 있다. 예를 들어, 제1 반도체 소자(1)는 N형 반도체 소자일 수 있고, 제2 반도체 소자(2)는 P형 반도체 소자일 수 있다.

[0045] 제1 소자 영역(11)과 제2 소자 영역(12)은 간명한 설명을 위하여 개략적으로 직사각형 형상을 도시된 것이며, 본 발명의 기술적 사상은 이에 한정되는 것은 아니고, 극성이 다른 반도체 소자가 각각 형성되는 영역으로서 구분한 것으로서 다양한 형상으로 구획될 수 있다.

[0046] 제1 반도체 소자(1) 및 제2 반도체 소자(2)는 제1 상의 전이금속 칼코젠 화합물을 포함하는 양쪽성 채널층을 가질 수 있다.

[0047] 제1 반도체 소자(1)는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제1 채널 패턴층; 및 상기 제1 채널 패턴층 상에 배치되고 금속을 포함하는 제1 전극층을 포함할 수 있다.

[0048] 제2 반도체 소자(2)는, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 제2 채널 패턴층; 및 상기 제2 채널 패턴층 상에 배치되고 제2 상의 전이금속 칼코젠 화합물을 포함하는 하부층과 금속을 포함하는 상부층으로 구성된 제2 전극층을 포함할 수 있다. 상기 제2 채널 패턴층과 상기 하부층은 반데르발스 결합을 이룰 수 있다.

[0049] 도 2는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 나타내는 흐름도이다.

[0050] 도 3은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 나타내는 단면도들이다.

[0051] 도 2 및 도 3을 참조하면, 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법(S1)은, 제1 기판을 제공하는 단계(S10); 상기 제1 기판 상에 제1 상의 전이금속 칼코젠 화합물을 각각 포함하는 제1 및 제2 채널 패턴층을 동시에 형성하는 단계(S20); 상기 제1 채널 패턴층 상에 제1 전극층을 형성하는 단계(S30); 및 상기 제2 채널 패턴층 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층을 형성하는 단계(S40)를 포함한다,

[0052] 또한, 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법(S1)은, 상기 제1 채널 패턴층 및 상기 제2 채널 패턴층 상에 게이트 절연층을 형성하는 단계(S50); 및 상기 게이트 절연층 상에 게이트 전극을 형성하는 단계(S60)를 더 포함할 수 있다.

[0053] 상기 제1 기판을 제공하는 단계(S10)는, 제1 기판(10)을 제공하여 이루어질 수 있다.

[0054] 제1 기판(10)은 제1 반도체 소자(1)가 형성되는 제1 소자 영역(11)과 제2 반도체 소자(2)가 형성되는 제2 소자 영역(12)을 포함할 수 있다.

[0055] 제1 기판(10)은 실리콘 상에 실리콘 절연층이 형성되어 구성될 수 있다. 상기 실리콘은 실리콘 웨이퍼일 수 있다. 상기 실리콘 절연층은 형성되는 상기 전이금속 칼코젠 화합물과와 상기 실리콘의 반응을 방지하는 반응 방지막의 기능을 수행할 수 있다. 상기 실리콘 절연층은, 예를 들어 실리콘 산화물, 실리콘 질화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 기판(10)은 실리콘 상에 실리콘 산화물층이 형성된 SiO_2/Si의 구조를 가질 수 있다. 또한, 제1 기판(10)은 육각형 질화붕소(h-BN) 또는 운모(mica)를 포함하여 구성될 수 있다. 또한, 제1 기판(10)은 층상형 기판으로 구성될 수 있다. 또한, 하기에 사용되는 기판은 상기 제1 기판과 동일한 구성요소를 가질 수 있다.

[0056] 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계(S20)는, 제1 기판(10) 상에 제1 상의 전이금속 칼코젠 화합물을 각각 포함하는 제1 및 제2 채널 패턴층(21, 22)을 동시에 형성하여 이루어질 수 있다.

[0057] 제1 채널 패턴층(21)은 제1 기판(10)의 제1 소자 영역(11)에 대하여 형성될 수 있다. 제2 채널 패턴층(22)은 제1 기판(10)의 제2 소자 영역(12)에 대하여 형성될 수 있다. 제1 및 제2 채널 패턴층(21, 22)은 상기 제1 상의 전이금속 칼코젠 화합물을 각각 포함할 수 있다.

[0058] 제1 및 제2 채널 패턴층(21, 22)은, 상기 제1 상의 전이금속 칼코젠 화합물을 포함하는 반도체층을 형성한 후에, 상기 반도체층을 패터닝하여 형성될 수 있다. 따라서, 제1 및 제2 채널 패턴층(21, 22)은 동일한 물질을 포함할 수 있고, 동일한 공정에서 동시에 형성될 수 있다.

[0059] 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계(S20)에 대하여는 하기에 도 4 및 도 5를 참조하여 상세하게 설명하기로 한다.

[0060] 상기 제1 전극층을 형성하는 단계(S30)는, 제1 채널 패턴층(21) 상에 제1 전극층(30)을 형성하여 이루어질 수 있다.

[0061] 제1 전극층(30)은 제1 기판(10)의 제1 소자 영역(11)에 대하여 형성될 수 있다. 제1 전극층(30)은 제1 채널 패턴층(21)의 일부 영역과 전기적으로 연결될 수 있다. 제1 전극층(30)은 제1 반도체 소자(1)의 소스/드레인 전극으로 기능할 수 있다.

[0062] 제1 전극층(30)은 제1 채널 패턴층(21) 상에 스퍼터링 또는 전자빔 증발법 등을 이용하여 제1 금속층을 형성한 후 상기 제1 금속층을 패터닝하여 형성될 수 있다. 상기 제1 금속층의 패터닝은 포토레지스트를 사용한 포토리소그래피법, 리프트 오프법 등을 이용하여 구현될 수 있다.

[0063] 제1 전극층(30)은 금속을 포함할 수 있고, 예를 들어 금, 백금, 은, 팔라듐, 구리, 알루미늄, 텅스텐, 몰리브덴, 티타늄, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0064] 상기 제2 전극층을 형성하는 단계(S40)는, 제2 채널 패턴층(22) 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층(40)을 형성하여 이루어질 수 있다.

[0065] 제2 전극층(40)은 제1 기판(10)의 제2 소자 영역(12)에 대하여 형성될 수 있다. 제2 전극층(40)은 제2 채널 패턴층(22)의 일부 영역과 전기적으로 연결될 수 있다. 제2 전극층(40)은 제2 반도체 소자(2)의 소스/드레인 전극으로 기능할 수 있다.

[0066] 제2 전극층(40)은 제2 상의 전이금속 칼코젠 화합물을 포함하는 하부층(42)과 금속을 포함하는 상부층(44)을 포함할 수 있다. 하부층(42)과 상부층(44)은 물리적으로 접촉하여 연결되거나 또는 전기적으로 연결될 수 있다.

[0067] 하부층(42)은 상기 제2 상의 전이금속 칼코젠 화합물을 포함할 수 있다.

[0068] 상부층(44)은 금속을 포함할 수 있고, 예를 들어 금, 백금, 은, 팔라듐, 구리, 알루미늄, 텅스텐, 몰리브덴, 티타늄, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0069] 제2 전극층(40)의 형성에 대하여는 하기에 도 6 및 도 7을 참조하여 상세하게 설명하기로 한다.

[0070] 상기 게이트 절연층을 형성하는 단계(S50)는, 제1 채널 패턴층(21) 및 제2 채널 패턴층(22) 상에 게이트 절연층(50)을 형성하여 이루어질 수 있다.

[0071] 게이트 절연층(50)은 제1 채널 패턴층(21) 및 제2 채널 패턴층(22)을 덮도록 형성될 수 있고, 또한 제1 전극층(30), 제2 전극층(40), 또는 이들 모두를 덮도록 연장될 수 있다. 게이트 절연층(50)은 스퍼터링 또는 전자빔 증발법 등의 다양한 증착 방법과 포토리소그래피법, 리프트 오프법 등 다양한 패터닝 방법을 이용하여 형성될 수 있다. 게이트 절연층(50)은, 절연물을 포함할 수 있고, 예를 들어 실리콘 산화물(SiO_2), 알루미늄 산화물(Al_2O_3), 티타늄 산화물(TiO_2), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2), 란타늄 산화물(La_2O_3) 또는 이들의 조합을 포함할 수 있다.

[0072] 상기 게이트 전극을 형성하는 단계(S60)는, 게이트 절연층(50) 상에 게이트 전극(60)을 형성하여 이루어질 수 있다.

[0073] 게이트 전극(60)은, 게이트 절연층(50)을 사이에 두고, 제1 채널 패턴층(21) 및 제2 채널 패턴층(22) 상에 각각 위치할 수 있다. 게이트 전극(60)은 스퍼터링 또는 전자빔 증발법 등의 다양한 증착 방법과 포토리소그래피법, 리프트 오프법 등 다양한 패터닝 방법을 이용하여 형성될 수 있다. 게이트 전극(60)은 금속을 포함할 수 있고, 예를 들어 금, 백금, 은, 팔라듐, 구리, 알루미늄, 텅스텐, 몰리브덴, 티타늄, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다.

[0074] 이에 따라, 제1 소자 영역(11)에 제1 반도체 소자(1)가 완성될 수 있고, 제2 소자 영역(12)에 제2 반도체 소자(2)가 완성될 수 있다. 제1 반도체 소자(1)는 N형 반도체 소자일 수 있고, 예를 들어 NMOS 소자일 수 있다. 제2 반도체 소자(2)는 P형 반도체 소자일 수 있고, 예를 들어 PMOS 소자일 수 있다.

[0075] 이하에서는, 제1 및 제2 채널 패턴층(21, 22)의 형성하는 단계(S20)에 대하여 상세하게 설명하기로 한다.

[0076] 도 4는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계를 나타내는 흐름도이다.

[0077] 도 4를 참조하면, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계(S20)는, 상기 제1 기판 상에 제1 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물이 형성된 대상층을 형성하는 단계(S210); 상기 제1 전이금속을 포함하는 제1 상의 전이금속 칼코젠 화합물이 형성된 씨드층을 제공하는 단계(S220); 상기 대상층의 적어도 일부 영역 상에 상기 씨드층을 배치하는 단계(S230); 상기 대상층에 칼코젠 물질을 제공하는 단계(S240); 상기 칼코젠 물질을 가열하는 단계(S250); 상기 씨드층의 상기 제1 상의 전이금속 칼코젠 화합물이 씨드로서 전사되면서, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 상기 칼코젠 물질과 반응함에 따라, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 제1 상의 전이금속 칼코젠 화합물로 상변이하여 채널층을 형성하는 단계(S260); 및 상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계(S270)를 포함할 수 있다.

[0078] 상기 대상층을 형성하는 단계(S210)는, 상기 제1 기판 상에 제1 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물이 형성된 대상층을 형성하여 이루어질 수 있다. 상기 대상층은 하기에 설명하는 상기 단계(S310) 내지 상기 단계(S310)를 이용하여 형성될 수 있다.

[0079] 상기 씨드층을 제공하는 단계(S220)는, 상기 제1 전이금속을 포함하는 제1 상의 전이금속 칼코젠 화합물이 형성된 씨드층을 제공하여 이루어질 수 있다.

[0080] 상기 씨드층을 배치하는 단계(S230)는, 상기 대상층의 적어도 일부 영역 상에 상기 씨드층을 배치하여 이루어질 수 있다.

[0081] 상기 대상층의 면적에 비하여 상기 씨드층의 면적은 작을 수 있다. 상기 제1 상의 전이금속 칼코젠 화합물의 일부와 상기 제2 상의 전이금속 칼코젠 화합물의 일부와 직접적으로 접촉하도록, 상기 대상층과 상기 씨드층은 대면하여 배치될 수 있다.

[0082] 상기 칼코젠 물질을 제공하는 단계(S240)는, 상기 대상층에 칼코젠 물질을 제공하여 이루어질 수 있다. 예를 들어, 상기 칼코젠 물질을 제공하는 단계(S240)는, 상기 칼코젠 물질을 상기 대상층과 대면하도록 반응기 내에 배치하여 이루어질 수 있다. 또한, 상기 칼코젠 물질은 상기 씨드층과 대면하도록 배치될 수 있다.

[0083] 상기 칼코젠 물질은, 예를 들어 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함할 수 있다. 상기 칼코젠 물질은, 상기 제1 상의 전이금속 칼코젠 화합물 및 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 칼코젠 물질과 동일할 수 있다.

[0084] 상기 칼코젠 물질은 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공될 수 있다. 상기 칼코젠 물질은, 예를 들어 상기 칼코젠 물질과 전이금속의 공정(eutectic) 합금으로 제공될 수 있다.

[0085] 상기 대상층에 칼코젠 물질을 제공하는 단계(S240)는, 예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계; 상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및 상기 화합물층을 상기 칼코젠 물질로서 제공하는 단계를 포함할 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0086] 상기 예비 기판은 상술한 제1 기판과 동일한 구성을 가질 수 있다.

[0087] 상기 예비 칼코제나이드화는, 예를 들어 400℃ 내지 600℃ 범위의 온도에서 1분 내지 60분 동안 수행될 수 있다.

[0088] 상기 제3 전이금속은, 예를 들어 스칸듐(Sc), 티타늄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 몰리브덴(Mo), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다. 상기 제3 전이금속은 상기 칼코젠 물질과 공정(eutectic) 합금을 형성하는 물질을 포함할 수 있다.

[0089] 예를 들어, 상기 제3 전이금속은 니켈(Ni)을 포함하고, 상기 칼코젠 물질은 텔루륨(Te)을 포함하고, 상기 화합물은 니켈-텔루륨 공정합금(Ni_xTe_y)을 포함할 수 있다. 여기서, x와 y는 니켈의 산화수에 대응하여 변화되는 수로서, x와 y 간의 비율은 예를 들어 1 내지 10 범위의 수일 수 있다.

[0090] 상기 칼코젠 물질을 가열하는 단계(S250)는, 상기 칼코젠 물질을 가열하여 이루어질 수 있다.

[0091] 상기 칼코젠 물질을 가열하는 단계(S250)는, 상기 칼코젠 물질이 기상화되어 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물에 제공되는 단계를 더 포함할 수 있다. 상기 가열에 의하여 상기 대상층 및 상기 씨드층이 함께 가열될 수 있다. 상기 가열은, 예를 들어 400℃ 내지 600℃ 미만 범위의 온도에서, 예를 들어 예를 들어 400℃ 내지 550℃ 범위의 온도에서, 1 분 내지 4 시간 범위 동안 수행될 수 있다. 상기 가열은 상기 반응기에 배치된 가열부에 의하여 이루어질 수 있다.

[0092] 상기 기상화된 칼코젠 물질은, 캐리어 가스에 의하여 상기 대상층의 상기 제1 상의 전이금속 칼코젠 화합물에 제공될 수 있다, 상기 캐리어 가스는 상기 기상화된 칼코젠 물질을 상기 제1 상의 전이금속 칼코젠 화합물에 균일하게 전달되는 기능을 수행할 수 있다.

[0093] 상기 캐리어 가스는, 불활성 가스로 구성되거나 또는 수소 함유 가스와 불활성 가스의 혼합 가스로 구성될 수 있다. 상기 수소 함유 가스는 칼코젠 물질과 반응하여 칼코젠화 수소 가스를 형성하므로, 칼코젠 물질의 효과적인 이송을 구현할 수 있다. 상기 수소 함유 가스는, 예를 들어 수소 가스 및 암모니아 가스, 또는 이들 모두를 포함할 수 있다. 상기 불활성 가스는, 예를 들어 질소 가스 및 아르곤 가스, 또는 이들 모두를 포함할 수 있다.

[0094] 상기 혼합 가스에서, 상기 수소 함유 가스는, 예를 들어 50 sccm내지 2,000 sccm 범위의 유동량으로 제공될 수 있고, 상기 불활성 가스는, 예를 들어 300 sccm 내지 7,000 sccm 범위의 유동량으로 제공될 수 있다. 상기 혼합 가스에서 상기 수소 함유 가스와 상기 불활성 가스의 비율은 부피비로 1:10 내지 10:1 범위일 수 있다.

[0095] 상기 채널층을 형성하는 단계(S260)는, 상기 씨드층의 상기 제1 상의 전이금속 칼코젠 화합물이 씨드로서 전사되면서, 상기 대상층의 상기 제2 상의 전이금속 칼코젠 화합물이 상기 칼코젠 물질과 반응함에 따라, 상기 대상

층의 상기 제2 상의 전이금속 칼코젠 화합물이 제1 상의 전이금속 칼코젠 화합물로 상변이하여 채널층을 형성하여 이루어질 수 있다.

[0096] 또한, 상기 화합물층은 가열됨에 따라, 상기 화합물층으로부터 상기 칼코젠 물질이 기상화될 수 있고, 상기 기상화된 칼코젠 물질을 제공하여 상기 제2 상의 전이금속 칼코젠 화합물이 상변이되어 상기 제1 상의 전이금속 칼코젠 화합물을 형성할 수 있다.

[0097] 상기 대상층과 상기 칼코젠 물질은 서로 접촉하도록 대면하거나, 또는 기상화된 칼코젠 물질이 외부로 빠져나가는 것을 최소화할 수 있는 간격을 가지고 배치될 수 있다. 예를 들어, 상기 대상층과 상기 예비 금속층이 최소화할 수 있는 간격을 가지고 배치될 수 있다. 이에 따라, 상기 기상화된 칼코젠 물질은 대부분 상기 대상층에 도달하여 상기 제2 상의 전이금속 칼코젠 화합물과 반응할 수 있고, 반응 중에 칼코젠 부족 현상을 방지할 수 있다. 이러한 방식을 수직형 텔루륨화 공정으로 지칭할 수 있다.

[0098] 상기 채널층을 형성하는 단계(260)에서, 상기 제1 상의 전이금속 칼코젠 화합물로 상변이는 상기 씨드층으로부터 측방향 에피택셜 성장에 의하여 이루어질 수 있다.

[0099] 상기 씨드층과 상기 채널층은, [0001] 방향으로 등각으로 형성된 (0001) 집합 조직을 가지는 2H $MoTe_2$ 상을 가질 수 있다.

[0100] 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계(S270)는, 상기 채널층을 패터닝하여 이루어질 수 있다. 상기 패터닝은 포토레지스트를 사용한 포토리소그래피법, 리프트 오프법 등을 이용하여 구현될 수 있다.

[0101] 상기 씨드층은, 제1 상의 전이금속 칼코젠 화합물 모결정으로부터 기계적 박리를 수행하여 형성될 수 있다.

[0102] 또는, 상기 씨드층은 상기 대상층을 형성하는 상술한 방법과 동일하거나 유사하게 형성될 수 있다. 상기 씨드층은, 기판 상에 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 전이금속을 포함하는 금속층을 표면에 형성하는 단계; 상기 금속층에 칼코젠 물질을 제공하여 600℃ 내지 750℃ 미만 범위의 온도로 가열하는 단계; 및 상기 금속층이 상기 칼코젠 물질과 반응하여 칼코제나이드화되어 상기 제1 상의 전이금속 칼코젠 화합물 층을 형성하는 단계에 의하여 형성될 수 있다. 상기 가열은, 예를 들어 400℃ 내지 600℃ 범위의 온도에서 1 분 내지 4 시간 범위 동안 수행될 수 있다.

[0103] 도 5는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계를 나타내는 흐름도이다.

[0104] 도 5를 참조하면, 상기 제1 및 제2 채널 패턴층을 동시에 형성하는 단계(S20A)는, 상기 제1 기판 상에 제1 전이금속을 포함하는 금속층을 형성하는 단계(S310); 상기 금속층에 칼코젠 물질을 제공하는 단계(S320); 상기 칼코젠 물질을 제1 온도로 가열하여, 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계(S330); 상기 제2 상의 전이금속 칼코젠 화합물과 상기 칼코젠 물질을 상기 제1 온도에 비하여 높은 제2 온도로 가열하여, 상기 제2 상의 전이금속 칼코젠 화합물로부터 제1 상의 전이금속 칼코젠 화합물을 형성하여 채널층을 형성하는 단계(S340); 및 상기 채널층을 패터닝하여 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계(S350)를 포함할 수 있다.

[0105] 상기 금속층을 형성하는 단계(S310)는, 상기 제1 기판 상에 스퍼터링 또는 전자빔 증발법을 이용하여 제1 전이금속을 포함하는 금속층을 표면에 형성하여 이루어질 수 있다.

[0106] 상기 칼코젠 물질을 제공하는 단계(S320)는, 상기 금속층에 상기 칼코젠 물질을 제공하여 이루어질 수 있다. 상기 칼코젠 물질을 제공하는 단계(S240)와 동일한 방식으로 수행될 수 있다.

[0107] 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계(S330)는, 상기 칼코젠 물질을 제1 온도로 가열하여, 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 이루어질 수 있다.

[0108] 상기 채널층을 형성하는 단계(S340)는, 상기 제2 상의 전이금속 칼코젠 화합물과 상기 칼코젠 물질을 상기 제1 온도에 비하여 높은 제2 온도로 가열하여, 상기 제2 상의 전이금속 칼코젠 화합물로부터 제1 상의 전이금속 칼코젠 화합물을 형성하여 이루어질 수 있다.

[0109] 상기 제1 온도 및 상기 제2 온도로의 가열은 상기 반응기에 배치된 가열부에 의하여 이루어질 수 있다.

[0110] 상기 제1 온도는, 상기 제2 상의 전이금속 칼코젠 화합물이 형성되는 온도로서, 예를 들어 400℃ 내지 600℃ 미

만 범위일 수 있다. 상기 제1 온도로 유지하는 시간은, 예를 들어 1분 내지 60분 범위일 수 있다.

[0111] 상기 제2 온도는, 상기 제2 상의 전이금속 칼코젠 화합물이 상변이되어 상기 제1 상의 전이금속 칼코젠 화합물을 형성하는 온도로서, 예를 들어 600℃ 내지 750℃ 미만 범위일 수 있다. 상기 제2 온도로 유지하는 시간은, 예를 들어 1분 내지 4 시간 범위일 수 있다.

[0112] 상술한 바와 같이 칼코젠 물질이 기상화될 수 있고, 캐리어 가스에 의하여 제공될 수 있다.

[0113] 상기 제1 채널 패턴층과 상기 제2 채널 패턴층을 형성하는 단계(S350)는, 상기 채널층을 패터닝하여 이루어질 수 있다. 상기 패터닝은 포토레지스트를 사용한 포토리소그래피법, 리프트 오프법 등을 이용하여 구현될 수 있다.

[0114] 도 6은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제2 전극층을 형성하는 단계를 나타내는 흐름도이다.

[0115] 도 6을 참조하면, 상기 제2 전극층을 형성하는 단계(S40)는, 제2 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물을 포함하고, 제1 영역과 제2 영역을 가지는 제1 층이 표면에 형성된 제2 기판을 제공하는 단계(S410); 상기 제1 층의 상기 제1 영역 상에 금속 패턴층을 형성하는 단계(S420); 상기 금속 패턴층을 마스크층으로 이용하여, 상기 금속 패턴층에 의하여 노출된 상기 제1 층의 상기 제2 영역을 제거하여 패턴 구조체를 형성하는 단계(S430); 상기 제2 기판으로부터 상기 패턴 구조체를 분리하는 단계(S440); 및 상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 전사하여 상기 제2 전극층을 형성하는 단계(S450)를 포함한다.

[0116] 상기 제2 기판을 제공하는 단계(S410)는, 제2 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물을 포함하고, 제1 영역과 제2 영역을 가지는 제1 층이 표면에 형성된 제2 기판을 제공하여 이루어질 수 있다.

[0117] 상기 제2 기판은, 실리콘 상에 실리콘 절연층이 형성되어 구성될 수 있다. 상기 실리콘은 실리콘 웨이퍼일 수 있다. 상기 실리콘 절연층은 형성되는 상기 전이금속 칼코젠 화합물과와 상기 실리콘의 반응을 방지하는 반응 방지막의 기능을 수행할 수 있다. 상기 실리콘 절연층은, 예를 들어 실리콘 산화물, 실리콘 질화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 상기 제2 기판은 실리콘 상에 실리콘 산화물층이 형성된 SiO_2/Si의 구조를 가질 수 있다. 또한, 상기 제2 기판은, 육각형 질화붕소(h-BN) 또는 운모(mica)를 포함하여 구성될 수 있다. 또한, 상기 제2 기판은, 층상형 기판으로 구성될 수 있다.

[0118] 상기 금속 패턴층을 형성하는 단계(S420)는, 상기 제1 층의 상기 제1 영역 상에 금속 패턴층을 형성하여 이루어질 수 있다.

[0119] 상기 금속 패턴층을 형성하는 단계(S420)는, 상기 제1 층 상에 스퍼터링 또는 전자빔 증발법 등을 이용하여 금속층을 형성하고, 상기 금속층을 패터닝하여 상기 금속 패턴층을 형성할 수 있다. 상기 패터닝은 포토레지스트를 사용한 포토리소그래피법, 리프트 오프법 등을 이용하여 구현될 수 있다. 상기 제1 층의 상기 제1 영역은 상기 금속 패턴층에 의하여 겹쳐져 가려지고, 상기 제1 층의 상기 제2 영역은 상기 금속 패턴층에 의하여 노출될 수 있다. 상기 금속 패턴층은, 금, 백금, 은, 팔라듐, 구리, 알루미늄, 텅스텐, 몰리브덴, 티타늄, 루세늄, 이리듐, 또는 이들의 조합을 포함할 수 있다. 그러나 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0120] 상기 패턴 구조체를 형성하는 단계(S430)는, 상기 금속 패턴층을 마스크층으로 이용하여, 상기 금속 패턴층에 의하여 노출된 상기 제1 층의 상기 제2 영역을 제거하여 패턴 구조체를 형성하여 이루어질 수 있다.

[0121] 상기 제2 영역의 제거는 플라즈마 식각 또는 반응성 이온 식각을 이용하여 수행될 수 있다. 상기 제2 영역의 제거에 의하여 상기 금속 패턴층 사이에서 상기 제1 기판이 노출될 수 있다. 이에 따라, 상기 제1 층이 패턴화된 제1 패턴층과 상기 금속 패턴층으로 구성된 상기 패턴 구조체를 형성할 수 있다.

[0122] 상기 분리하는 단계(S440)는, 상기 제2 기판으로부터 상기 패턴 구조체를 분리하여 이루어질 수 있다.

[0123] 상기 분리하는 단계(S440)는, 상기 제2 기판 상에 상기 패턴 구조체를 덮도록 전사 보조체를 형성하는 단계; 상기 전사 보조체 상에 접착체를 부착하는 단계; 및 상기 접착체를 이용하여 상기 패턴 구조체를 수용한 상기 전사 보조체를 상기 제2 기판으로부터 분리하는 단계를 포함할 수 있다.

[0124] 상기 전사 보조체는, 액상을 코팅한 후 경화한 고상 물질일 수 있다. 상기 전사 보조체는, 예를 들어 스핀 코팅, 드롭 코팅, 스프레이 코팅, 스크린 인쇄, 오프셋 인쇄, 잉크젯 인쇄, 및 그라비아 인쇄 중 적어도 어느

하나를 이용하여 형성될 수 있다.

[0125] 상기 전사 보조체는 폴리머를 포함할 수 있고, 예를 들어 폴리메타아크릴레이트(PolyMethyl Methacrylate, PMMA), 폴리이미드(polyimide), 폴리비닐알코올(Polyvinyl alcohol, PVA), 아크릴(acrylic), 폴리부타디엔(Polybutadiene), 폴리벤족사졸(polybenzoxazole), 벤조사이클로뷰텐(Benzocyclo butene, BCB), 폴리페닐렌 벤조바이소이미드(polyphenylene benzobisoxazole, PBO), 에폭시 수지(Epoxy resin), 및 실리콘 수지(Silicon resin) 중 적어도 어느 하나를 포함할 수 있다.

[0126] 상기 접착체는, 임시 접착 및 탈착이 가능한 물질로 구성될 수 있고, 예를 들어 액상을 코팅한 후 경화한 고상 물질이거나, 접착 필름일 수 있다. 상기 접착체는 PET(polyethylene terephthalate), PP(polypropylene), PE(polyethylene), PVC(polyvinyl chloride), PI(polyimide), PEN(polyethylene naphthalene), PTFE(polytetrafluoro ethylene), ETFE (ethylene terafluoroethylene), PEEK(polyether ether keton), PPS(polyphenylene sulfide), PES(polyether sulfone) 등으로 구성된 베이스 필름 상에 실리콘 수지 또는 아크릴 수지가 접착제로서 도포되어 구성될 수 있다.

[0127] 상기 접착체는 열방출 테이프(thermal release tape)일 수 있다.

[0128] 상기 제2 전극층을 형성하는 단계(S450)는, 상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 전사하여 이루어질 수 있다.

[0129] 상기 제2 전극층을 형성하는 단계(S450)는, 상기 제1 기판의 상기 제2 채널 패턴층 상에 상기 패턴 구조체를 수용한 상기 전사 보조체를 배치하는 단계; 및 상기 제2 채널 패턴층 상에 상기 패턴 구조체가 잔존하도록 상기 전사 보조체를 제거하는 단계를 포함할 수 있다.

[0130] 상기 제2 전극층을 형성하는 단계(S450)에서, 상기 전사 보조체를 배치하는 단계를 수행한 후에, 100℃ 내지 200℃ 범위의 온도로 1 분 내지 30분 동안 가열하는 단계를 더 포함할 수 있다. 이러한 가열에 의하여, 상기 채널층의 상기 제1 상의 전이금속 칼코젠 화합물과 상기 패턴 구조체의 상기 제2 상의 전이금속 칼코젠 화합물은 반데르발스 결합을 이룰 수 있다. 상기 접착체의 열방출 테이프가 반데르발스 결합을 위한 열을 전달 할 수 있다.

[0131] 상기 전사 보조체를 제거하는 단계는, 물 또는 유기 용매를 이용하여 수행될 수 있다. 상기 유기 용매는, 알코올, 또는 아세톤 등을 포함할 수 있다.

[0132] 도 7은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서, 상기 제2 전극층을 형성하는 단계를 예시적으로 나타내는 모식도들이다.

[0133] 상기 제1 전이금속 및 상기 제2 전이금속으로 몰리브덴(Mo), 상기 칼코젠 물질로 텔루륨(Te), 상기 금속 패턴층을 구성하는 물질로 금(Au), 및 상기 전사 보조체로 PMMA를 선택하였다. 이는 예시적이며, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0134] 도 7의 (a)를 참조하면, 제2 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물로 1T' $MoTe_2$ 으로 구성되고 제1 영역(221)과 제2 영역(222)을 가지는 제1 층(220)이 표면에 형성된 SiO_2/Si 로 구성된 제2 기판(210)을 제공한다.

[0135] 도 7의 (b)를 참조하면, 제1 층(220)의 제1 영역(221) 상에 금(Au)으로 구성된 금속 패턴층(230)을 형성한다, 제1 층(220)의 제1 영역(222)은 노출된다.

[0136] 도 7의 (c)를 참조하면, 플라즈마 식각을 이용하여 노출된 제1 층(220)의 제1 영역(222)을 제거한다.

[0137] 도 7의 (d)를 참조하면, 제1 영역(222)을 제거된 부분에는 제2 기판(210)이 노출된다. 금속 패턴층(230)과 제1 층(220)이 패턴화된 제1 패턴층(240)은 패턴 구조체(250)을 형성한다.

[0138] 도 7의 (e)를 참조하면, 제2 기판(210) 상에 패턴 구조체(250)를 덮도록 PMMA로 구성된 전사 보조체(260)를 형성한다,

[0139] 도 7의 (f)를 참조하면, 전사 보조체(260) 상에 접착체를 부착한 후에, 상기 접착체를 이용하여 패턴 구조체(250)를 수용한 전사 보조체(260)를 제2 기판(210)으로부터 분리한다.

[0140] 도 7의 (g)를 참조하면, 제1 상의 전이금속 칼코젠 화합물로 2H $MoTe_2$ 으로 구성된 제2 채널 패턴층(22)이 표면

에 형성된 제1 기판(10)을 제공한다. 제2 채널 패턴층(22) 상에 패턴 구조체(250)를 수용한 전사 보조체(260)를 배치한다. 이어서, 상기 구조체 전체를 가열하여 제2 채널 패턴층(22)의 상기 2H $MoTe_2$ 과 패턴 구조체(250)의 1T' $MoTe_2$ 를 반데르발스 결합시킨다.

[0141] 도 7의 (h)를 참조하면, 전사 보조체(260)를 물 또는 유기 용매 등과 같은 세정제를 사용하여 제거한다.

[0142] 도 7의 (i)를 참조하면, 제2 채널 패턴층(22)은 제3 영역(323)과 제4 영역(324)을 포함한다. 제3 영역(323) 상에는 금속 패턴층(230)과 제1 패턴층(240)으로 구성된 패턴 구조체(250)가 배치된다. 제4 영역(324)은 패턴 구조체(250)를 사이에 두고 노출된다. 이에 따라, 하부층(42)과 상부층(44)을 포함하는, 제2 전극층(40)이 형성된다.

[0143] 본 발명의 일실시예에 따르면, 상술한 전이금속 칼코젠 화합물 기반 반도체 소자의 제조방법에 의하여 제조되고, 제1 상의 전이금속 칼코젠 화합물층과 금속층이 적층되어 구성된 전극부; 및 제2 상의 전이금속 칼코젠 화합물층으로 구성되고, 상기 전극부와 전기적으로 연결된 채널층을 포함하고, 상기 제1 상의 전이금속 칼코젠 화합물층과 상기 제2 상의 전이금속 칼코젠 화합물층은 반데르발스 결합을 이루는, 전이금속 칼코젠 화합물 기반 반도체 소자를 제공한다.

[0144] 상기 전이금속 칼코젠 화합물 기반 반도체 소자에서, 상기 제1 상의 전이금속 칼코젠 화합물은 1T' $MoTe_2$ 를 포함하고, 상기 제2 상의 전이금속 칼코젠 화합물은 2H $MoTe_2$ 를 포함하고, 상기 금속층은 금을 포함할 수 있다.

[0145] 실험예

[0146] 이하에서는 본 발명의 이해를 돕기 위한 실험예에 대해서 설명한다. 하기의 실험예는 발명의 이해를 돕기 위해 제시되는 것이며, 본 발명의 하기 실험예로 한정되는 것은 아니다.

[0147] 본 발명의 기술적 사상에 따르면, 반금속 1T' $MoTe_2$ 과 반도체 2H $MoTe_2$ 의 층별 통합에 의하여 고성능 전계효과 트랜지스터 어레이를 위한 웨이퍼 스케일 및 다형체 제어 합성이 구현될 수 있다.

[0148] 전이금속 칼코젠화합물의 제조

[0149] 전이금속 칼코젠 화합물로서 $MoTe_2$ 를 선택하였다. 텔루륨 공급원으로 Ni_xTe_y 공정 합금을 사용하였다.

[0150] DC 마그네트론 스퍼터링을 이용하여 SiO_2/Si 기판 상에 약 65 nm 두께의 니켈층을 형성하였다. 이어서, 500℃에서 10분 동안 텔루륨 분말을 기반으로 텔루라이드화(tellurization)을 수행하여 Ni_xTe_y 공정 합금을 형성하였다. 이에 따라, SiO_2/Si 기판 상에 Ni_xTe_y 이 형성된 제1 예비체를 형성하였다.

[0151] DC 마그네트론 스퍼터링을 이용하여 SiO_2/Si 기판에 1 nm 내지 20 nm 두께의 몰리브덴(Mo) 전구체층을 형성하였다. 이에 따라, SiO_2/Si 기판 상에 몰리브덴 전구체층이 형성된 제2 예비체를 형성하였다.

[0152] 상기 제1 예비체와 상기 제2 예비체를 서로 마주보게 하여, 상기 Ni_xTe_y 층과 상기 몰리브덴층을 대면시킴으로써, 샌드위치 구조체를 형성하였다. 이때에, 분말 전구체는 사용되지 않았다. 상기 샌드위치 구조체를 핫-월(hot-wall) 퍼니스로서 4인치 석영관 내에 배치하였다. 상기 샌드위치 구조체를 대기압에서 약 500℃로 1 시간 동안 가열하여, 1T' $MoTe_2$ 을 형성하였다.

[0153] 상기 1T' $MoTe_2$ 가 형성된 상기 기판을 반도체 소자를 제조하기 위한 제1 상의 전이금속 칼코젠화합물을 포함하는 제1 층이 표면에 형성된 제1 기판으로 사용하였다.

[0154] 또한, 상기 1T' $MoTe_2$ 가 형성된 상기 기판을 추가로 제조하여, 1T' $MoTe_2$ 대상층을 포함하는 제2 기판으로 사용하였다.

[0155] 고품질 그래핀에서 취득한 벌크 $MoTe_2$ 모결정에 점착 테이프를 부착시킨 후 다시 제거하여, 상기 점착 테이프에 상기 단결정 플레이크를 전사하여, 기계적으로 박리된 2H $MoTe_2$ 씨드층을 형성하였다.

[0156] 상기 제2 기판의 상기 1T' $MoTe_2$ 대상층 상에 상기 2H $MoTe_2$ 씨드층을 대면하도록 배치하였다. 상기 1T' $MoTe_2$ 대상층 상에 상기 2H $MoTe_2$ 씨드층을 덮도록 다른 상기 제1 예비체를 배치하고, 대기압에서 약 500℃로 1 시간

동안 가열하였다. 이러한 가열에 의하여, 상기 제1 예비체의 상기 Ni_xTe_y 공정 합금으로부터 텔루륨이 기상화되어 텔루륨 증기를 형성하고, 상기 텔루륨 증기는 지속적으로 증발되어, 상기 제1 예비체와 상기 1T' $MoTe_2$ 대상층 사이의 공간에 고정되고, 이에 따라 상기 1T' $MoTe_2$ 대상층의 1T' $MoTe_2$ 를 상변이시켜 2H $MoTe_2$ 상변이층을 형성하였다. 상기 공정에서, 캐리어 가스는 수소 가스(H_2) 100 sccm 및 아르곤 가스(Ar) 500 sccm로 혼합된 혼합 가스를 사용하였다.

[0157] 본 발명에 따르면, 상기 Ni_xTe_y 공정 합금의 표면에서 텔루륨이 균일하게 증발되어 몰리브덴에 균일하게 제공되므로, 상기 1T' $MoTe_2$ 에서 상기 2H $MoTe_2$ 로의 상변이가 균일하게 이루어질 수 있고, 종래의 분말 기반 수평 화학기상합성법으로는 현재로는 한계가 있다.

[0158] 또한, 동일한 방법으로 2H WSe_2 상변이층을 형성하여 채널층으로 이용하였다.

[0159] 반도체 소자의 제조

[0160] 수직형 1T' $MoTe_2$/2H $MoTe_2$ 의 이종구조를 제작하기 위해, 각각의 상에 대하여 다양한 성장 온도와 시간에서 대면적으로 수행하였다. 예를 들어, 1T' $MoTe_2$ 의 형성은 500℃에서 30분 동안 수행하였고, 2H $MoTe_2$ 의 형성은 700℃에서 60분 동안 수행하였다.

[0161] 상기 패턴 구조체로서 Au/1T' $MoTe_2$ 패턴 구조체를 형성하기 위하여, 포토리소그래피와 전자 빔 증착기(Temescal FC-2000)를 이용하여, 상기 1T' $MoTe_2$ 상에 금(Au) 패턴을 40 nm 두께로 증착하여 형성하였다. 고에너지 증착 공정 중에 재료 손상과 계면 열화를 감소하기 위하여, 증착 속도를 초고진공(10^{-9} Torr)에서 0.1 Å/s로 감소시켰다. 상기 금 패턴을 마스크층으로 SF_6 및 O_2 플라즈마의 반응성 이온 식각(RIE) 기술을 이용하여, 금 패턴의 하측에 배치된 상기 1T' $MoTe_2$ 을 잔존시키고, 노출된 1T'-$MoTe_2$를 제거하여 패턴 구조체를 형성하였다. 상기 패턴 구조체 상에 상기 전사 보조체로서 0.4 M PMMA가 코팅되어 경화되었고, 상기 전사 보조체 상에 단면 열방출 테이프를 부착하였다.

[0162] 상기 구조체를 기계적 힘을 측면에서 인가하여, 기판에서 분리하였다. 이어서 상기 2H $MoTe_2$ 상이 형성된 기판 상에 전사하였다. 이어서, 상기 패턴 구조체 상에 약 300g의 무게를 인가하였다. 이이서, 약 150℃에서 5분 내지 10분 동안 가열하였다. 이러한 가열에 의하여 상기 1T'-$MoTe_2$ 층과 상기 2H-$MoTe_2$ 층 사이에 반데르발스(vdW) 접착을 형성하였다. 열예산 효과를 방지하기 위해, 전사하는 동안 150℃ 이상의 온도의 열처리는 수행하지 않았다.

[0163] 전사를 수행한 후에, PMMA를 아세톤 용액(CMOS 등급, J.T. Baker)에 약 20분 동안 침지하여 제거하였고, 이소프로판올 알코올을 이용하여 세정하였다.

[0164] 이러한 건식 전사 방법에 의하여 Au/1T' $MoTe_2$/2H $MoTe_2$ 접합부의 형성을 가능하게 했고, 2H-$MoTe_2$ 로 구성된 채널 폭을 정의할 수 있다.

[0165] 상기 방법을 이용하여 2H WSe_2 채널층을 형성하고, 스퍼터링으로 금 전극층을 형성하여, N형 반도체 소자로서 제1 반도체 소자를 형성하였다. 또한, 상기 방법을 이용하여 2H WSe_2 채널층을 형성하여, P형 반도체 소자로서 제2 반도체 소자를 형성하였다.

[0166] 반도체 소자의 특성 측정

[0167] 원자힘 현미경 사진은 원자힘 현미경(Bruker Dimension AFM)을 사용하여 탭핑 모드에서 취득하였다. 고해상도 주사투과전자현미경 사진, SAED 패턴 및 EDS는 200 kV의 가속 전압에서 수차 보정하여(FEI Titan3 G2 60-300을 이용함) 취득하였다. 고해상도 주사투과전자현미경 사진은 고각도 환형 암시야(high-angle annular dark-field, HAADF) 검출기를 이용하여 50.5 mrad 내지 200 mrad 범위에서 반각을 수집하여 취득하였다. 위너(Wiener) 필터를 이용하여, 고해상도 주사투과전자현미경 사진의 잡음을 제거하였다. 상용 소프트웨어 템파스(TEMPAS)(Total Resolution)를 이용하여, 다중 슬라이스 주사투과전자현미경 사진의 시뮬레이션을 수행하였다. 투과전자현미경 사진과 회절 패턴은 200 kV의 가속 전압으로 사용하여 취득하였다(Tecnai G2 F20 X-Twin 시스템을 사용함). 단결정 $MoTe_2$ 박막은 주사투과전자현미경(FEI Verios 460) 및 전자 후방 산란 회절(EBSD)(AMTEK, Inc., Hikari)로

관찰하였다.

[0168] 반도체 소자(전계효과 트랜지스터)의 전기적 특성은 138 K 내지 300 K의 온도와 10^{-6} torr의 고진공에서 검출기(Keithley 4200-SCS)가 장착된 저온 프로브 스테이션(Lakeshore CRX-4K)을 이용하여 수행하였다. 기판의 실리콘 층에 있는 300 nm 두께의 SiO_2를 통해 상기 반도체 소자에 백게이트(back gate) 전압을 인가하였다.

[0169] 결과 및 분석

[0170] 도 8은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 형성된 채널층을 나타내는 광학현미경 사진들이다.

[0171] 도 8의 (a)는 1T' $MoTe_2$ 대상층 상에 2H $MoTe_2$ 씨드층이 배치된 상태이고, 도 8의 (b)는 텔루륨을 제공하면서 500℃로 가열하여 텔루라이드 처리한 후의 상태이다. 도 8의 (c) 및 (d) 는 (a)를 700℃로 가열하여 텔루라이드 처리한 후의 상태이다.

[0172] 도 8의 (a) 및 (b)를 참조하면, 500℃로 가열하여 텔루라이드 처리한 경우에는, 상기 2H $MoTe_2$ 씨드층의 둘레를 따라서 광학적으로 구별되는 형태가 나타났고, 이에 따라 상기 대상층의 1T' $MoTe_2$ 상이 2H $MoTe_2$ 상으로 상변이 됨을 알 수 있다.

[0173] 도 8의 (c) 및 (d)를 참조하면, 700℃로 가열하여 텔루라이드 처리한 경우에는, 화살표로 표시된 바와 같이, 상기 씨드층 주변 외의 영역에서도 2H $MoTe_2$ 이 무작위로 형성되었다.

[0174] 따라서, 500℃로 가열하여 텔루라이드 처리하면, 상기 2H $MoTe_2$ 씨드층의 주변 영역에서만 전사에 의하여 2H $MoTe_2$ 상변이층이 형성되고, 상기 2H 상 $MoTe_2$ 의 무작위 핵생성이 억제됨을 알 수 있다. 따라서, 500℃ 또는 그 이하의 온도로 씨드 성장 모드로 성장시킨 경우에는, 1T'상으로부터 2H 상으로의 상변이를 가속화함으로써 2H 상을 가지는 2차원 칼코제나이드 반도체의 합성 위치의 제어가 가능할 수 있다. 이와 같이 씨드층의 주변 영역에 우선적으로 2H $MoTe_2$ 상이 핵생성 및 성장하고, 무작위 핵생성 및 성장을 억제하는 성장을 "비정상(abnormal) 결정 성장"으로 지칭할 수 있다.

[0175] 라만 스펙트럼 분석 결과에 따르면, 상기 2H $MoTe_2$ 씨드층과 상기 1T' $MoTe_2$ 대상층이 상변이된 후의 2H $MoTe_2$ 상변이층의 라만 스펙트럼이 동일한 형태로 나타났다. 따라서, 상기 2H $MoTe_2$ 상변이층은 상기 2H $MoTe_2$ 씨드층과 동일하게 2H $MoTe_2$ 상으로 구성된 것으로 분석된다.

[0176] 발명자들의 이전 연구에 따르면, 씨드층을 사용하지 않는 경우에는, 1T' $MoTe_2$ 상에서 2H $MoTe_2$ 상을 형성하는 최소 온도가 550℃ 이었다. 그러나, 상기 2H $MoTe_2$ 씨드층을 사용한 경우에는 이보다 낮은 온도인 500℃에서 1T' $MoTe_2$ 상에서 2H $MoTe_2$ 상을 형성할 수 있다,

[0177] 도 9는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하여 형성된 씨드층과 상변이층의 주사투과전자현미경 사진들이다.

[0178] 도 9의 (a)를 참조하면, 500℃로 가열하여 텔루라이드 처리한 후의 2H $MoTe_2$ 씨드층과 2H $MoTe_2$ 상변이층에 대한 원자 분해능 고각도 환형 암시야(HAADF) 사진 및 선택영역 전자회절(SAED) 패턴이 나타나 있다. 상기 2H-$MoTe_2$ 씨드층과 상기 2H $MoTe_2$ 상변이층은 동일한 평면을 가지는 단결정으로 구성된 것으로 분석된다. 또한, 상기 2H $MoTe_2$ 상변이층은 상기 2H $MoTe_2$ 씨드층으로부터 측방향 결정립 성장에 의해 형성된 것으로 분석된다. 참고로, 상기 2H $MoTe_2$ 상변이층에 비하여 상기 2H $MoTe_2$ 상 씨드층이 더 큰 두께를 가짐에 따라, 더 밝은 영역으로 나타났다. 상기 선택영역 전자회절 패턴을 분석하면, 상기 2H $MoTe_2$ 상변이층은 상기 2H $MoTe_2$ 씨드층의 단결정과 잘 정렬된 삼중 대칭성 평면 세트를 가지며, 동일한 결정 방위를 나타내었다. 이는 고상 에픽택셜 및 비정상 결정립 성장이 수행된 것으로 분석된다. 상기 2H $MoTe_2$ 상변이층은 채널층으로 사용될 수 있다.

[0179] 도 9의 (b)를 참조하면, 비교예로서, 700℃로 가열하여 텔루라이드 처리한 후의 1T' $MoTe_2$ 대상층과 2H $MoTe_2$ 상변이층에 대한 원자 분해능 고각도 환형 암시야 사진 및 선택영역 전자회절 패턴이 나타나 있다. 상기 1T'

$MoTe_2$ 대상층은 링 형성을 나타내므로, 다결정체로 분석된다. 또한, 내부 사진은 다형체 간의 무작위 배치를 보여주는 해당 고속 푸리에 변환(FFT) 패턴을 나타내며, 따라서, 상기 1T' $MoTe_2$ 대상층과 상기 2H $MoTe_2$ 상변이층은 무작위 방위를 가지는 것으로 분석된다. 이러한 결과는 상술한 700℃에서 발생한 1T' 상에서 2H 상으로의 무작위 핵생성 및 성장에 따른 상변이에 기인한 것으로 분석된다.

[0180] 본 발명의 기술적 사상에 따르면, 상기 2H $MoTe_2$ 은 500℃ 이하의 성장 온도를 가지고, 1 nm 내지 2 nm 범위의 최소 두께를 나타낸다. 따라서, 본 발명은 상대적으로 낮은 성장 온도와, 얇은 두께의 2H $MoTe_2$ 박막을 형성할 수 있다. 또한, 본 발명은 씨모스 후공정(BEOL)이 가능한 온도는 550℃ 이하이므로, 상기 후공정과 직접적으로 통합되어 수행될 수 있다. 반면, 종래의 수평형 화학기상증착법(CVD)을 사용한 경우에는, 600℃의 성장 온도와 3 nm 이상의 최소 두께를 가졌다. 종래의 유기금속 화학기상증착법(MOCVD)을 사용한 경우에는, 400℃의 성장 온도와 2 nm 이상의 최소 두께를 가졌다.

[0181] 도 10은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법을 이용하여 형성한 1T' $MoTe_2$ 상 및 2H $MoTe_2$ 상의 밴드 구조를 나타내는 모식도이다.

[0182] 도 10을 참조하면, 상기 대상층을 구성하는 상기 1T' $MoTe_2$ 상은 약 4.51 eV의 일함수(WF)을 가지고, 에너지 밴드갭이 없는 반금속으로 나타났다,

[0183] 상기 상변이층을 구성하는 상기 2H $MoTe_2$ 상은 약 4.44 eV의 일함수(WF)을 가지고, 에너지 밴드갭(E_g)이 있는 반도체로 나타났다. 이는 종래의 기계적 박리에 의하여 형성한 2H $MoTe_2$ 상의 일함수(4.35 내지 4.42 eV)와 유사하다.

[0184] 상기 2H $MoTe_2$ 상의 페르미 에너지 준위(E_F)는 가전자 밴드 오프셋($E_F - E_{VBM}$)이 약 0.57 eV이므로, 상기 에너지 밴드갭의 절반 위치에 비하여 높은 위치이고, 이는 상기 2H $MoTe_2$ 상이 p형으로 도핑되지 않았음을 의미한다. 상기 가전자 밴드 오프셋은 종래의 기계적 박리에 의하여 형성한 상기 2H $MoTe_2$ 상에 비하여 상대적으로 낮은 값을 나타내었고, 따라서, 전자 또는 정공과 같은 캐리어 이동에 유리할 것으로 예측된다.

[0185] 도 11은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 P형 반도체 소자의 광학현미경 사진들이다.

[0186] 도 11의 (a)에는, 1 x 1 cm^2 크기의 SiO_2/Si 기판 상에 형성된 반도체 소자로서 P형 전계효과 트랜지스터(FET) 어레이가 나타나있다. 도 11의 (b)에는, 상기 반도체 소자의 전사 길이 방법(transfer length method, TLM) 패턴이 나타나있다. 도 11의 (c)에는, 상기 반도체 소자의 Au/1T' $MoTe_2$ 의 사이에 배치된 2H $MoTe_2$ 가 나타나있다.

[0187] 최근의 2차원/2차원 금속 반도체 접합 전계효과 트랜지스터에 대한 기계적으로 박리한 플레이크를 이용한 반데르발스 통합에 관한 최근 연구와 비교하면, 본 발명은 두 종류의 다른 합성 2차원 박막을 결합하여, 전계효과 트랜지스터 어레이를 더 높은 수율로 제작할 수 있다. 예를 들어, 칩 당 전계효과 트랜지스터의 개수가 약 490% 증가하였다.

[0188] 도 12는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 반도체 소자의 미세조직을 나타내는 주사투과전자현미경 사진들이다.

[0189] 도 12를 참조하면, (a)는 1T' $MoTe_2$ 층, (b)는 2H-$MoTe_2$ 층, (c) 2H-$MoTe_2$ 층과1T' $MoTe_2$ 층의 접합 계면이고, (d)는 비교예로서, 1T' $MoTe_2$ 층이 없이 3차원 금속층과 2H-$MoTe_2$ 층이 금속 컨택으로서 계면을 이루는 경우이다. 2H-$MoTe_2$ 층과1T' $MoTe_2$ 층으로 구성된 이종 구조는 매우 깨끗하고 날카로운 계면을 나타내었다, 또한, EDS 분석에 따르면, 상기 2H $MoTe_2$ 는 Te/Mo 이 2.14 원자%, 상기 1T' $MoTe_2$ 는 Te/Mo 이 2.11 원자%를 나타내었고, 텔레늄 공공은 발견되지 않았다. 따라서, 2H-$MoTe_2$ 층과 1T' $MoTe_2$ 층으로 구성된 이종 구조는 우수한 계면 품질을 가지고 있으며, 소자 제작 공정 이후에 열화 징후가 나타나지 않았다.

[0190] 반도체 소자에서 전극층 등을 구성하는 금속층을 형성함에 있어서, 더 두꺼운 3차원 금속에 의해 기계적으로 고정된 2차원 반금속 층이 전사 과정 동안 주름이나 크랙과 같은 대형 결함의 형성을 방지할 수 있으므로, 3차원

금속과 2차원 금속의 통합은 높은 수율 공정을 보장할 수 있다. 이에 따라, 센티미터 스케일 칩 상에 반도체 소자 어레이를 고밀도로 제조할 수 있다. 여기에서, 2차원 금속은 1T' $MoTe_2$ 이고, 3차원 금속은 1T' $MoTe_2$ 상에 형성된 금속, 예를 들어 금(Au)을 지칭한다.

[0191] 본 발명에 따른 제조 방법은, $MoTe_2$ 기반 금속 반도체 접합을 형성하기 위한 티타늄(Ti) 또는 백금(Pt) 등과 같은 3차원 금속의 기존 증착 방법에 비하여 큰 장점이 있다. 백금(Pt)은 5.64 eV의 높은 일함수를 가지고, Pt 접촉 금속 반도체 접합 내에 높은 p형 이동도가 기대되므로, 컨택 전극으로 선택할 수 있다. 티타늄(Ti)은 4.4 eV의 일함수를 가지므로, n 형 컨택에 적용될 수 있다. 그러나, 증착을 위한 고에너지 공정과 2차원 $MoTe_2$와의 화학적 상호작용에 의하여, 공공 결함, 합금 형성 및 유리층 형성 등과 결함이 발생할 수 있다.

[0192] 금은 1T'-$MoTe_2$ 에 대한 가장 우수한 3차원 접촉 패드일 수 있다. 또한, 제조 공정에서 하부층들의 산화를 방지할 수 있다. 또한, 금은 더 많은 전하를 도입하여 반금속으로 캐리어 이동을 향상시킬 수 있고, 금속간 화합물 $AuTe_x$ 또는 비화학양론적 $MoTe_{2-x}$ 의 형성을 방지할 수 있다.

[0193] 도 13은 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에서 적용되는 전이금속 칼코젠 화합물의 밴드 구조를 나타낸다.

[0194] 도 13을 참조하면, 밴드 구조를 고려할 때, 씨모스에서 다른 VI족 2차원 전이금속 칼코젠 화합물에 비하여, $MoTe_2$는 더 우수한 p형 채널로 동작할 수 있다. 또한, WSe_2도 유사한 성능을 가질 수 있다. $MoTe_2$를 제외한 전형적인 VI 족 2차원 전이금속 칼코젠 화합물은 그들의 가전자 밴드 최대 에너지(E_{VBM})가 5.0 eV 이상이므로 전자 전송을 억제하기 어렵다. 따라서, 홀의 쇼트키 밴드 높이(SBH)가 높아지며, 이는 정공 전도성을 제한하게 된다. 반면, $MoTe_2$는 가전자 밴드 최대 에너지(E_{VBM})의 위치가 높으므로, 쇼트키 밴드 높이(SBH)가 정공 전도성이 증가된다. 특히, $MoTe_2$의 정공에 대한 열이온 장벽 높이(Φ_{hole})와 전자에 대한 열이온 장벽 높이($\Phi_{electron}$) 비율도 VI 족 2차원 전이금속 칼코젠 화합물 중에서 가장 작다. 따라서 $MoTe_2$ 은 단극성 p형을 나타내는 경향이 있으며, p형 모스(MOS)에서 오프 상태 전류가 더 작고, 고-저 전이 및 저-고 전이에서 효율이 더 높아지므로, 씨모스에서 더 작은 비트당 전력 지연곱(low power-delay product)을 가질 수 있다.

[0195] 도 14는 본 발명의 일실시예에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법으로 형성한 P형 반도체 소자와 N형 반도체 소자의 전기적 특성을 나타내는 그래프들이다.

[0196] 도 14의 (a)를 참조하면, WSe_2 채널 패턴층과 1T' $MoTe_2$ 하부층과 Au 상부층으로 구성된 전극층을 가지는 P형 반도체 소자의 P형 거동 전류 전압 그래프가 나타나있다.

[0197] 도 14의 (b)를 참조하면, WSe_2 채널 패턴층과 Au 전극층을 가지는 N형 반도체 소자의 N형 거동 전류 전압 그래프가 나타나있다.

[0198] 따라서, 본 발명에 따른 양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법에 의하면, 반도체성 2H 상의 전이금속 칼코젠 화합물을 포함하는 채널층을 동일하게 이용하여 전극 구조를 변경함에 의하여 N형 반도체 소자와 P형 반도체 소자를 각각 구현할 수 있다.

[0199] 씨드 전사에 의하여 형성한 상기 2H $MoTe_2$ 박막은 포화 흡수기, 변조기, 광 검출기 등 광 통신 기기에 사용될 큰 가능성이 있다. 특히 상기 2H $MoTe_2$ 박막을 이용한 전계효과 트랜지스터는 더 큰 밴드갭을 가진 다른 2차원 전이금속 디칼코제나이드로는 달성할 수 없는 근적외선 범위에서 고성능 광검출기에 적용될 수 있다. 근적외선 하에서는 광 게이팅 효과에 의해 트랜지스터의 광 감도성이 향상될 수 있다. 또한, 서로 다른 배출-소스 전극을 사용하여 형성된 비대칭적인 접촉 장벽은 정류비율을 추가적으로 향상시킬 수 있다. 조절한 페르미 준위의 1T'-$MoTe_2$는 정공 운송을 위한 효율적인 반데르 발스 컨택을 제공할 수 있고, 금속 반도체 접합 계면에서의 전하 함정이 적기 때문에 빠른 광응답을 확보할 수 있다.

[0200] 상기 1T' $MoTe_2$ 상과 상기 2H $MoTe_2$ 상 사이의 결정립 크기 차이는 약 1000배 이상인 것으로 분석된다. 이러한 결정립 크기 차이는 상기 1T' $MoTe_2$ 상에서 상기 2H $MoTe_2$ 상으로 상변이가 성장 중에 재결정화 및 원자 재배열을 통해 발생된 것으로 분석된다. 예를 들어, 상기 1T' $MoTe_2$ 상과 2H $MoTe_2$ 상 사이의 접합부의 일부는 [2-1-

$10]_{2H}//[020]_{1T'}$ 계면과 원자 배향을 공유하며, 이는 상변이에 에너지적으로 가장 유리한 계면일 수 있다. 그러나, 모든 평면 내 1T' $MoTe_2$ 상과 2H $MoTe_2$ 상의 접합부가 유사한 방향성을 나타내지 않는다.

[0201] 본 발명에 따른 2H $MoTe_2$ 상의 성장 모드가 다결정체의 무작위 결정학적 배향을 배열하는 에너지 장벽을 극복하는 데 도움이 될 수 있으며, 결과적으로 2H-$MoTe_2$의 결정립 성장이 발생한다는 것을 의미한다. 이를 일반적으로 "비정상(abnormal) 결정립 성장"으로 지칭할 수 있다. 단결정의 형성이 상대적으로 균일한 결정립 크기 분포를 나타내는 "일반적인 결정립 성장"과 대조된다.

[0202] $MoTe_2$ 합성에 대한 이전 연구에 따르면, 텔루륨의 양은 성장 중 $MoTe_2$ 상을 결정하는 중요한 요인이다. 많은 양의 텔루륨이 존재하면, 2H $MoTe_2$ 상이 열역학적으로 안정된다. 그러나, 텔루륨이 부족하면 비화학양론적 $MoTe_{2-x}$의 형성을 유도하며, 이는 준안정 1T' $MoTe_2$ 상이 형성될 수 있다.

[0203] 본 발명에 따른 텔루륨 제한 성장 방식은, 몰리브덴 전구체에 일정하고 상당한 양의 텔루륨 증기 흐름을 제공하여, 웨이퍼 전체에 걸쳐 2H $MoTe_2$ 상의 균일한 성장과 비정상 결정립 성장을 촉진할 수 있다. 이것은 텔루륨이 균일하지 않게 수평으로 공급되는 분말 기반 수평 CVD를 사용하는 텔루륨 소스와는 대조되며, 이는 필연적으로 기판을 가로지르는 조성 구배를 초래하고 성장 스케일링을 제한하게 된다.

[0204] 본 발명의 기술적 사상에 따르면, 대면적 고성능 p형 금속 반도체 접합 전계효과 트랜지스터(MSJ FET) 어레이를 제조하기 위하여, 2H $MoTe_2$ 단결정의 상 제어 성장 및 위치 제어 성장과 두 가지 다형체의 3차원 금속 지원 번데르발스(vdW) 통합을 구현하였다.

[0205] 텔루륨을 충분히 공급하는 분위기는 고품질 $MoTe_2$의 합성을 촉진하고, 1T' $MoTe_2$ 에서 2H $MoTe_2$ 으로의 상변이를 가능하게 했다. 여기서, 2H $MoTe_2$ 단결정 영역은 비정상 입자성장을 통해 4인치 크기의 SiO_2/Si 웨이퍼를 덮을 수 있었다. 이러한 성장 기술은 두드러진 미세 공동이나 불순물이 없이 약 20 mm로 대형 크기의 두 층의 $MoTe_2$ 박막을 형성하는 것에 확장될 수 있었다. 이는 수 미터 크기의 CVD 모드를 이용하여 취득할 수 있는 가장 얇은 박막이었다. 또한, 에너지적으로 유리한 2H $MoTe_2$ 씨드층의 공간 배열이 단결정 2H $MoTe_2$ 패턴의 측면 고상 에피택시를 가능하게 하여, 약 500℃의 저온에서 모든 비정질 기판 상에 2차원 반도체의 결정 방향성을 제어할 수 있었다.

[0206] 또한, 표준 포토리소그래피 패터닝과 3차원 금속이 증착된 2차원 1T' $MoTe_2$ 구조의 전사를 통해 고성능 반데르발스(vdW) 통합 금속 반도체 접합 전계효과 트랜지스터 어레이가 제조되었다. 종래와 비교하여, 본 발명에서 단결정 2H $MoTe_2$ 금속 반도체 접합 전계효과 트랜지스터는 약 1.3×10^5의 I_{on}/I_{off} 및 약 29.5 $cm^2V^{-1}s^{-1}$의 μ_h 측면에서 더 나은 성능을 보였다. 상당히 높은 온 상태 전도도는, (즉 I_{on} 는 약 7.8 $\mu A\ \mu m^{-1}$)는 $MoTe_2$의 높은 결정성을 가지며, 즉 산화물, 금속 불순물 및 비정질 또는 비화학양론적 구조의 부재에 기인한 것으로 분석된다.

[0207] 또한, 1T' $MoTe_2$과 2H $MoTe_2$ 사이에 초청정이고 원자적으로 정밀한 계면의 형성은, 갭 상태의 형성을 방지하고, 페르미 준위 피닝(FLP)이 없는 계면을 형성하였다. 이를 통하여, 2차원 반금속 상의 다양한 3차원 금속들의 전자 상태에 기반하여, 열이온 방출 장벽의 높이를 조절할 수 있다. 예를 들어, 금을 가지는 1T' $MoTe_2$ 반금속의 금속화는 반데르발스 금속 전극의 높은 일함수 값을, 약 5.0 eV를, 제공하였고, 컨택 계면에서 홀을 이동시키는 장벽 높이를 상당히 억제했다. 즉, V_{FB} 에서 약 14 meV 이었다.

[0208] n형 2차원 트랜지스터의 형성이 상대적으로 용이함을 고려하면, 본 발명은 홀 이동도를 향상시킨 p형 2차원 트랜지스터의 확장 가능한 제작을 위한 상당한 진전을 나타낸다. 예를 들어, 2차원 반도체는 칼코젠 공공과 유전층에 의한 외부 n형 도핑에 대하여 취약하지만, 본 발명의 접근 방식은 이를 피하는 데 도움이 될 수 있다.

[0209] p형 2차원 셀레나이드와 텔루라이드의 합성은 종종 약 700℃ 이상의 높은 성장 온도가 요구된다. 이는, 셀레륨(Se)과 텔루륨(Te)이 황(S)보다 증기압이 낮기 때문이다. 이에 따라, 2차원 채널의 품질을 저하시키고 열에 의한 칼코젠 공공을 형성할 수 있다. 셀레륨(Se)과 텔루륨(Te)의 공공은 2차원 칼코젠화합물에서 n형 도판트로 간주되며, 2차원 반도체가 금속 전극과 접촉할 때, 전도 밴드 부근에서 페르미 준위 피닝(FLP)을 야기할 수 있다. 또한, 실리콘 산화물(SiO_2)과 알루미늄 산화물(AlO_x)과 같이 널리 사용되는 유전층은 2차원 활성층의 n 도핑을

야기할 수 있다. 이러한 점에서, 본 발명은 약 500℃의 저온에서 무작위 비정질 기판에 2차원 단결정 반도체를 고품질로 성장함으로써 원하지 않는 n형 도핑 효과를 방지할 수 있다.

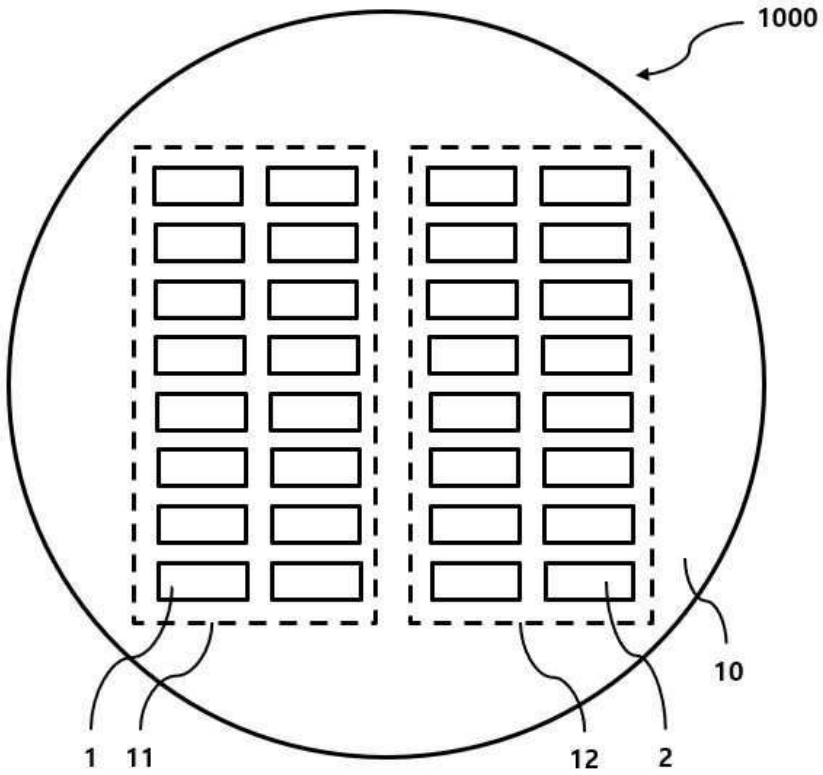
[0210] 또한, 종래의 p형 높은 일함수 3차원 금속 전극은, 예를 들어, Au, Pt, Pd는, 1064℃ 내지 1768℃의 높은 융점을 가지므로 고에너지 증착 공정을 요구하며, 이에 따라 2차원 금속 반도체 접합 계면을 손상시킬 수 있고, 컨택 저항(R_c)을 증가시킬 수 있다. 이는 MoS_2의 n형 오믹 금속 컨택을 위한 인듐(In)이나 비스무트(Bi)는157℃ 내지 271℃의 낮은 융점을 가지므로 무결함 컨택 계면을 생성하게 되므로, 대조적이다.

[0211] 따라서, 본 발명의 초고품질의 초청정 반데르발스 금속 반도체 접합 트랜지스터 어레이의 온칩 제조에 대한 시도는 개선된 p형 이동도를 위하여 최소한의 컨택 장벽을 구현하는 것에 중요한 의미가 있다. 본 발명의 중요성은 2차원 반도체와 2차원 반금속 사이에서 약 0.7 kΩ μm 수준의 낮은 컨택 저항(R_c)를 가지는 것이다. 여기에서, 컨택 저항(R_c)은 3차원 금속/2차원 반금속의 R_c를 제외하여 취득한 것이다. 상기 컨택 저항(R_c)은 2H-$MoTe_2$ 및 WSe_2 를 기반한 10개 이하의 층들의 p형 2차원 트랜지스터에서 최저 값이다. 따라서 물질 합성, 장치 제조 및 계면 엔지니어링을 결합함으로써, 본 발명은 2차원 전자 장치 응용 분야의 범위를 확장할 수 있는 상당한 잠재력을 가지고 있다.

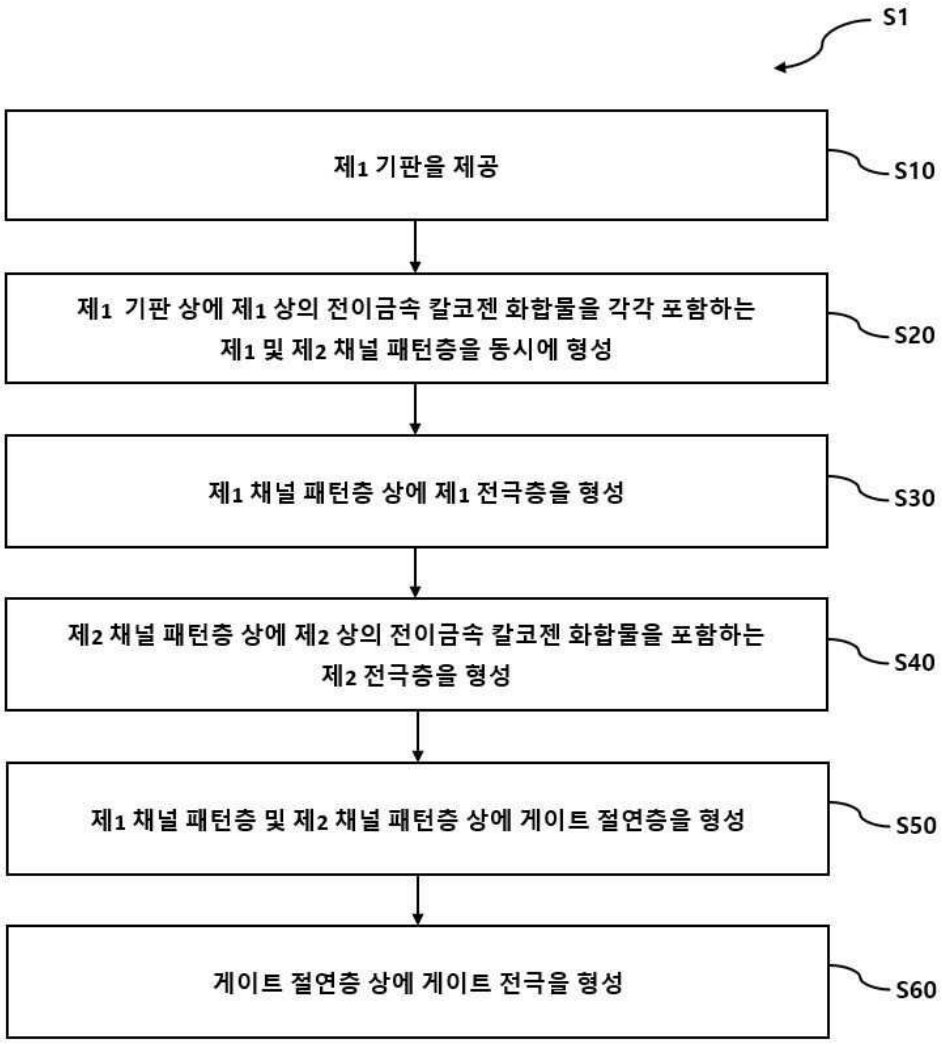
[0212] 이상에서 설명한 본 발명의 기술적 사상이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명의 기술적 사상이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

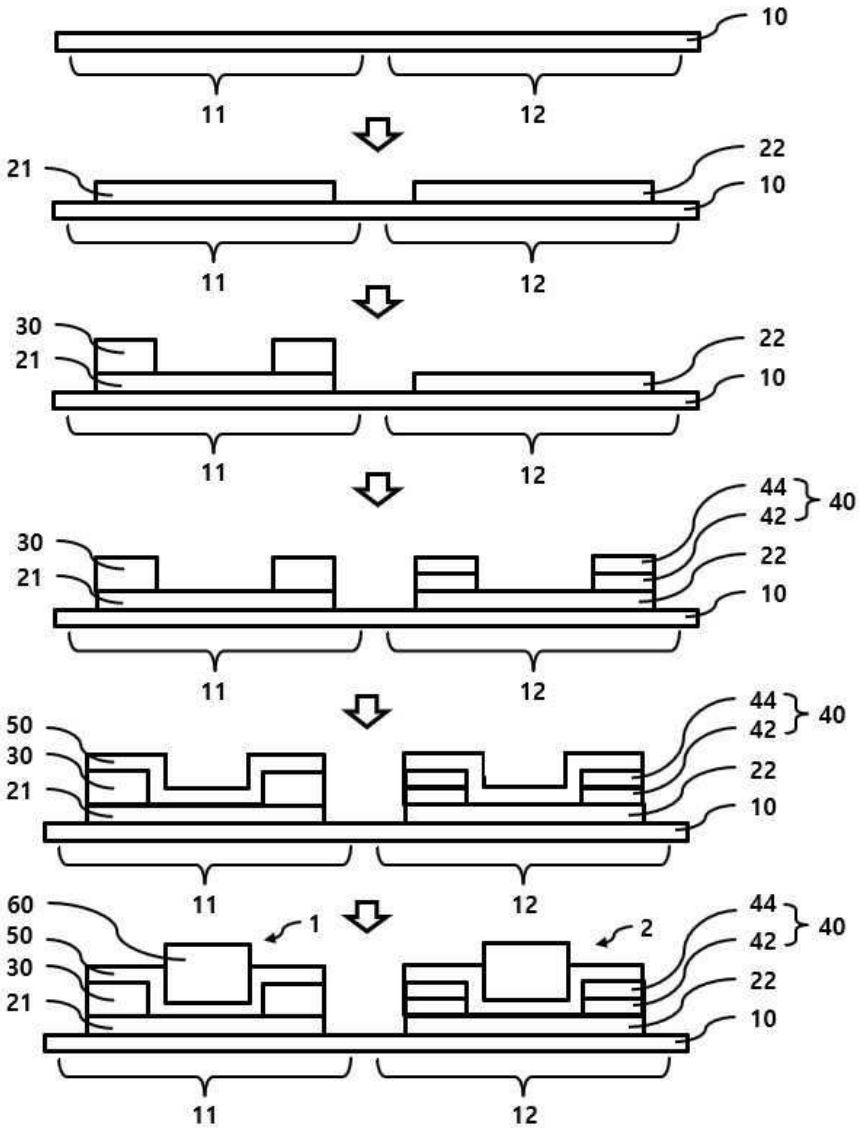
도면1



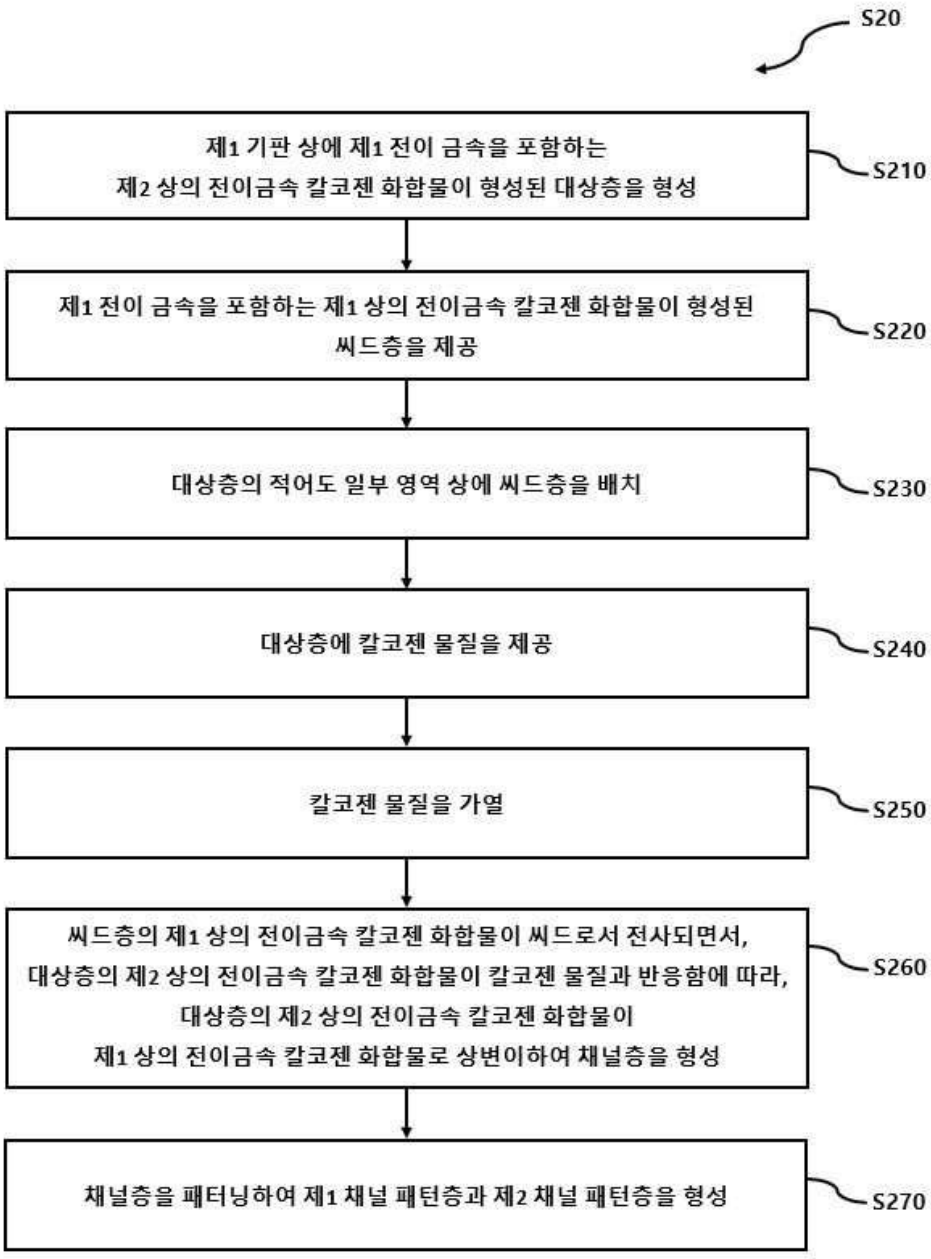
도면2


S1
제1 기판을 제공
S10
제1 기판 상에 제1 상의 전이금속 칼코젠 화합물을 각각 포함하는 제1 및 제2 채널 패턴층을 동시에 형성
S20
제1 채널 패턴층 상에 제1 전극층을 형성
S30
제2 채널 패턴층 상에 제2 상의 전이금속 칼코젠 화합물을 포함하는 제2 전극층을 형성
S40
제1 채널 패턴층 및 제2 채널 패턴층 상에 게이트 절연층을 형성
S50
게이트 절연층 상에 게이트 전극을 형성
S60

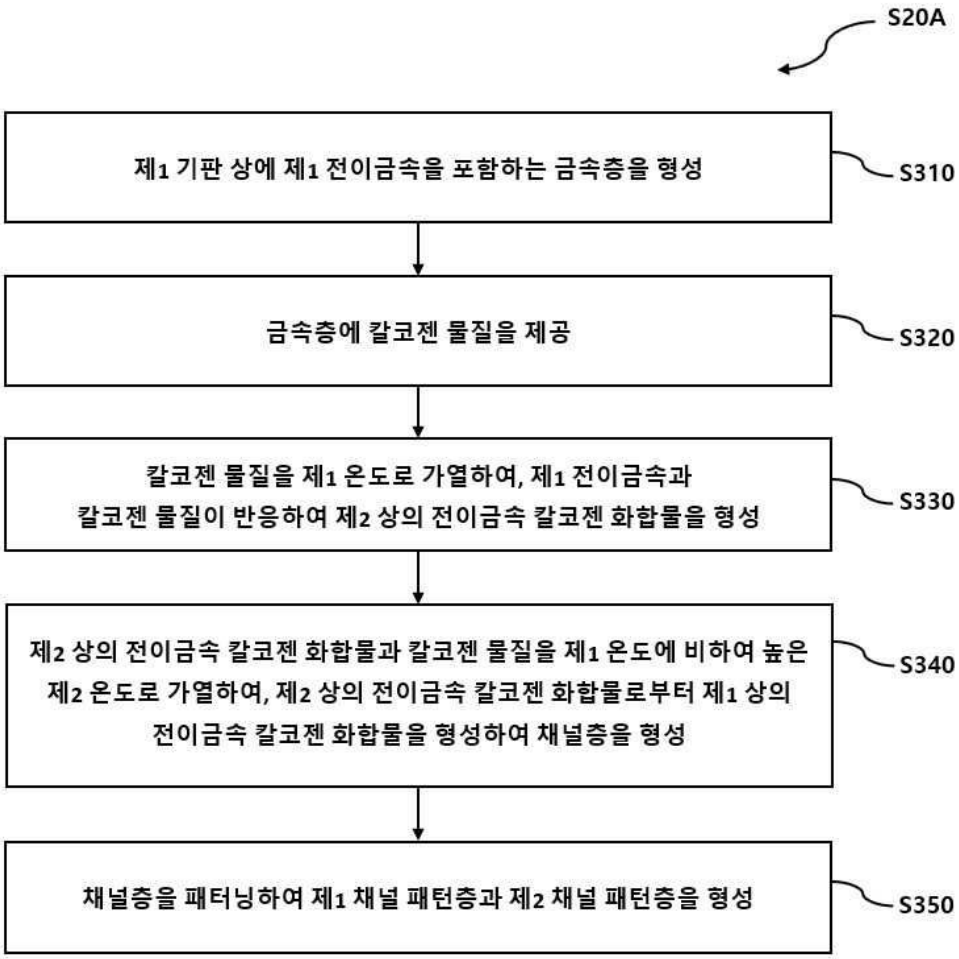
도면3


10
11
12
21
22
10
11
12
30
21
22
10
11
12
44
42
40
30
21
22
10
11
12
50
30
21
44
42
40
22
10
11
12
60
50
30
21
1
2
44
42
40
22
10
11
12

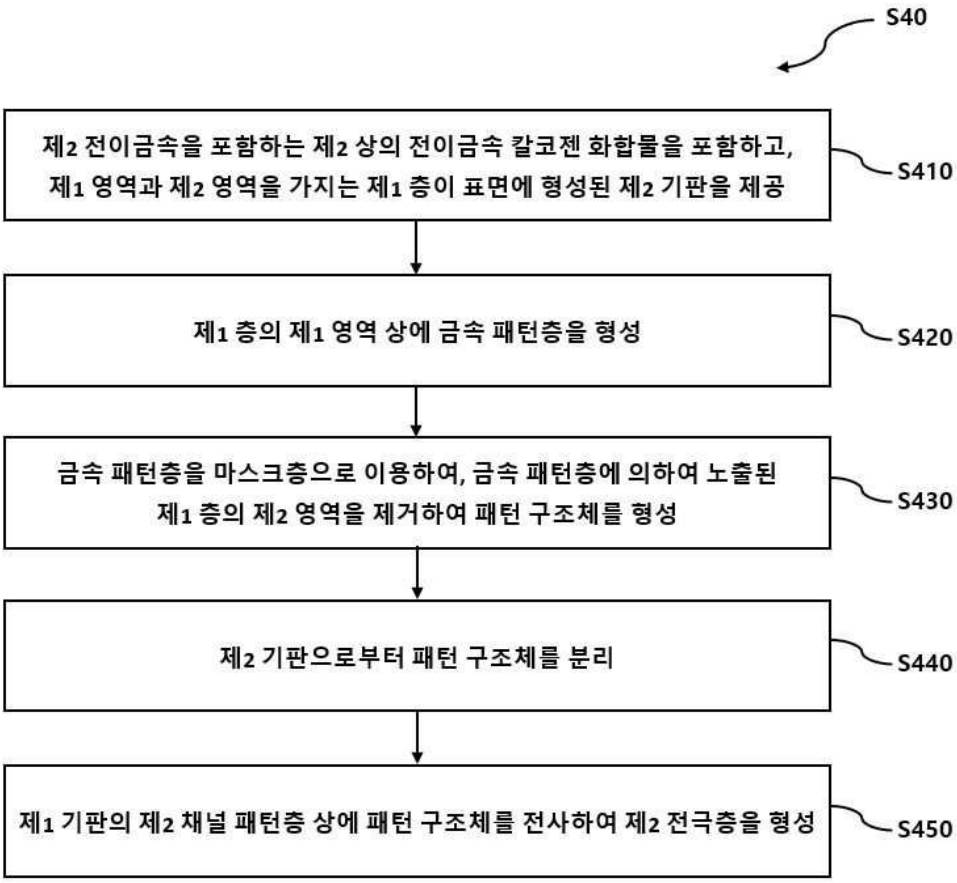
도면4


S20
제1 기판 상에 제1 전이 금속을 포함하는
제2 상의 전이금속 칼코젠 화합물이 형성된 대상층을 형성
S210
제1 전이 금속을 포함하는 제1 상의 전이금속 칼코젠 화합물이 형성된
씨드층을 제공
S220
대상층의 적어도 일부 영역 상에 씨드층을 배치
S230
대상층에 칼코젠 물질을 제공
S240
칼코젠 물질을 가열
S250
씨드층의 제1 상의 전이금속 칼코젠 화합물이 씨드로서 전사되면서,
대상층의 제2 상의 전이금속 칼코젠 화합물이 칼코젠 물질과 반응함에 따라,
대상층의 제2 상의 전이금속 칼코젠 화합물이
제1 상의 전이금속 칼코젠 화합물로 상변이하여 채널층을 형성
S260
채널층을 패터닝하여 제1 채널 패턴층과 제2 채널 패턴층을 형성
S270

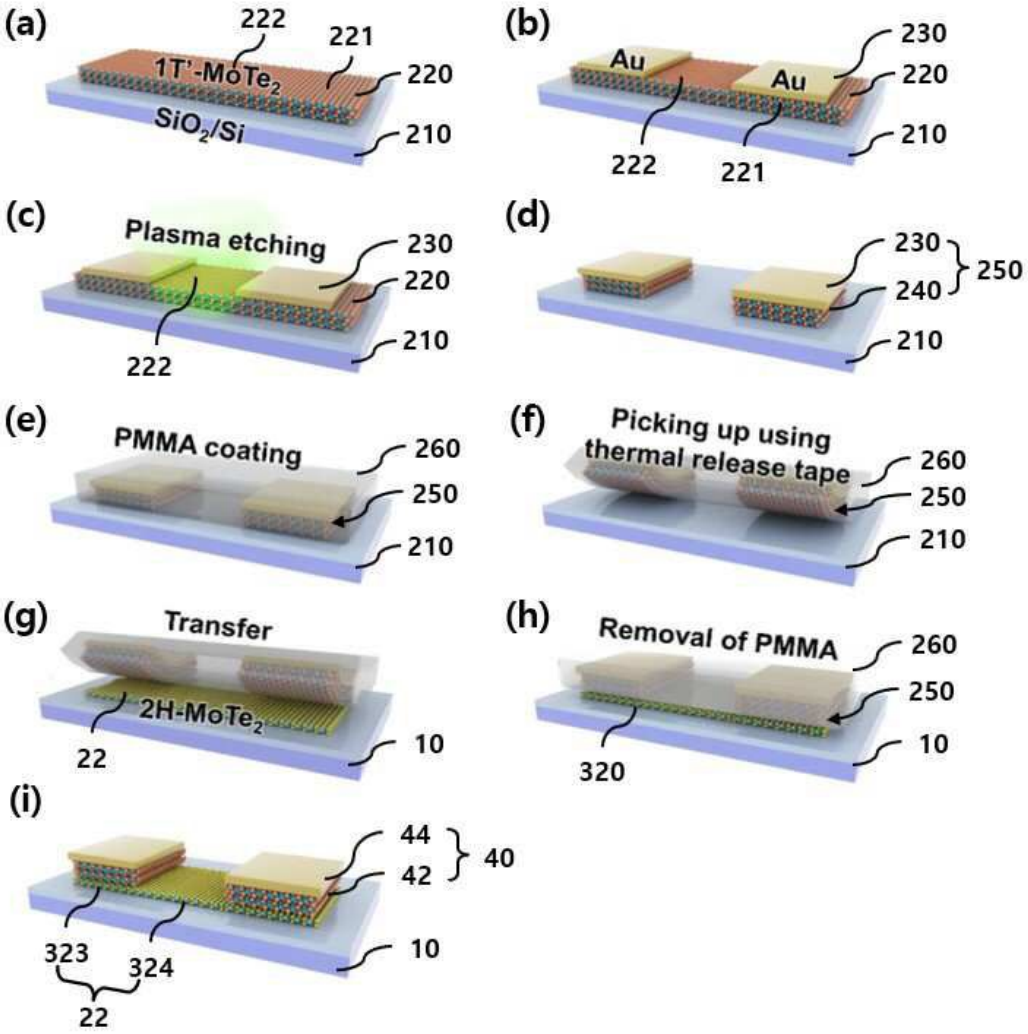
도면5


S20A
제1 기판 상에 제1 전이금속을 포함하는 금속층을 형성
S310
금속층에 칼코젠 물질을 제공
S320
칼코젠 물질을 제1 온도로 가열하여, 제1 전이금속과
칼코젠 물질이 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성
S330
제2 상의 전이금속 칼코젠 화합물과 칼코젠 물질을 제1 온도에 비하여 높은
제2 온도로 가열하여, 제2 상의 전이금속 칼코젠 화합물로부터 제1 상의
전이금속 칼코젠 화합물을 형성하여 채널층을 형성
S340
채널층을 패터닝하여 제1 채널 패턴층과 제2 채널 패턴층을 형성
S350

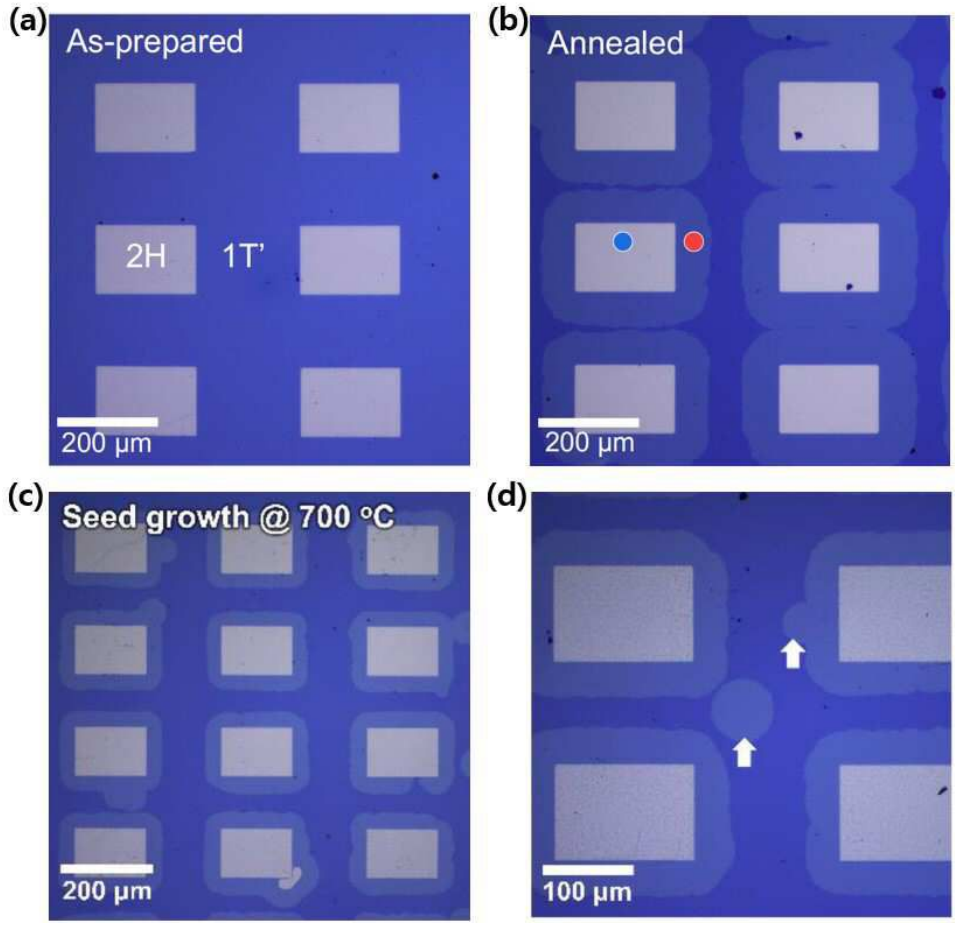
도면6


S40
제2 전이금속을 포함하는 제2 상의 전이금속 칼코젠 화합물을 포함하고, 제1 영역과 제2 영역을 가지는 제1 층이 표면에 형성된 제2 기판을 제공
S410
제1 층의 제1 영역 상에 금속 패턴층을 형성
S420
금속 패턴층을 마스크층으로 이용하여, 금속 패턴층에 의하여 노출된 제1 층의 제2 영역을 제거하여 패턴 구조체를 형성
S430
제2 기판으로부터 패턴 구조체를 분리
S440
제1 기판의 제2 채널 패턴층 상에 패턴 구조체를 전사하여 제2 전극층을 형성
S450

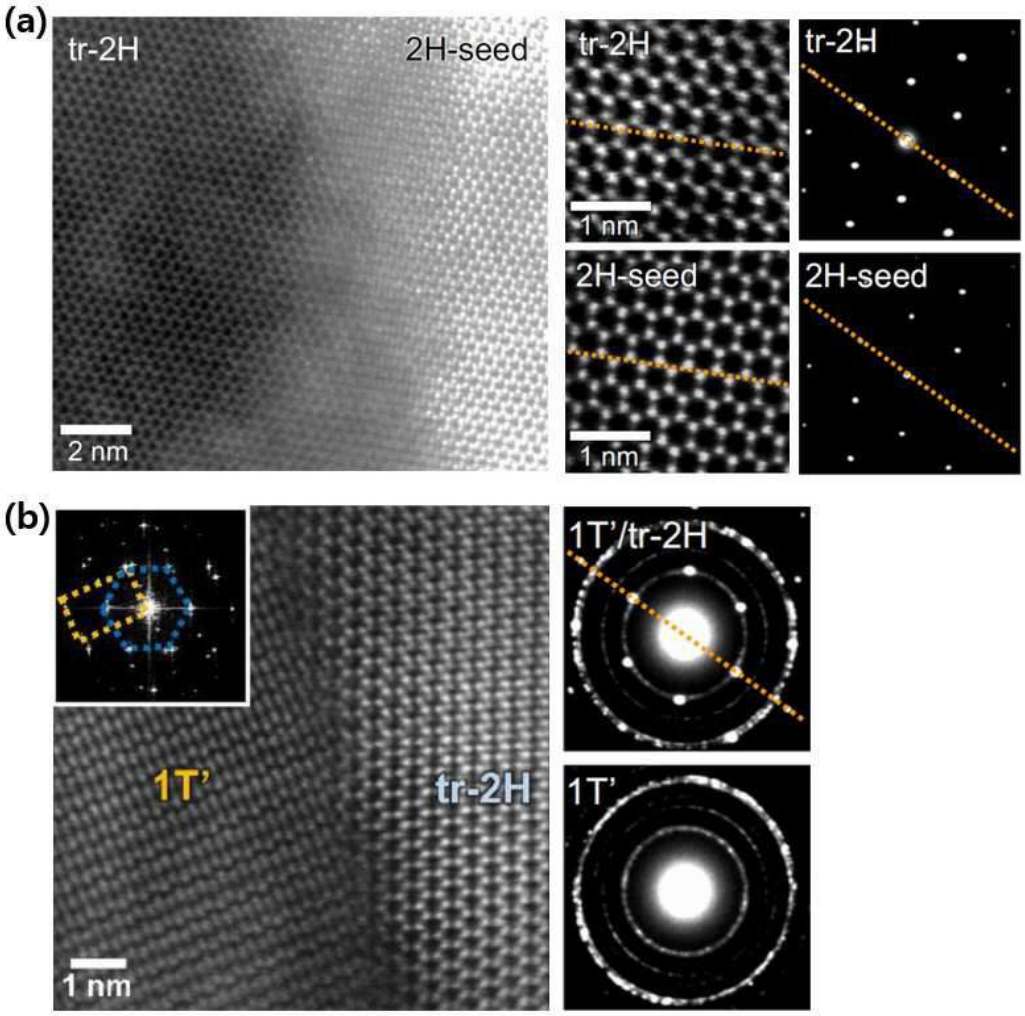
도면7


(a)
222
221
1T'-MoTe2
220
SiO2/Si
210
(b)
Au
Au
230
220
210
222
221
(c)
Plasma etching
230
220
210
222
(d)
230
240
250
210
(e)
PMMA coating
260
250
210
(f)
Picking up using
thermal release tape
260
250
210
(g)
Transfer
2H-MoTe2
22
10
(h)
Removal of PMMA
260
250
10
320
(i)
44
42
40
323
324
22
10

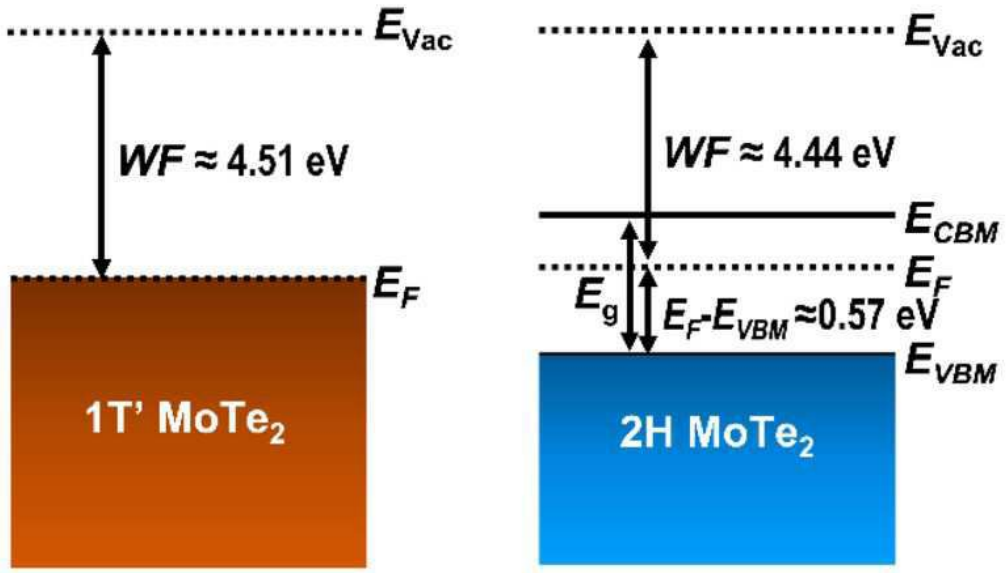
도면8


(a)
As-prepared
2H
1T'
200 μm
(b)
Annealed
200 μm
(c)
Seed growth @ 700 °C
200 μm
(d)
100 μm

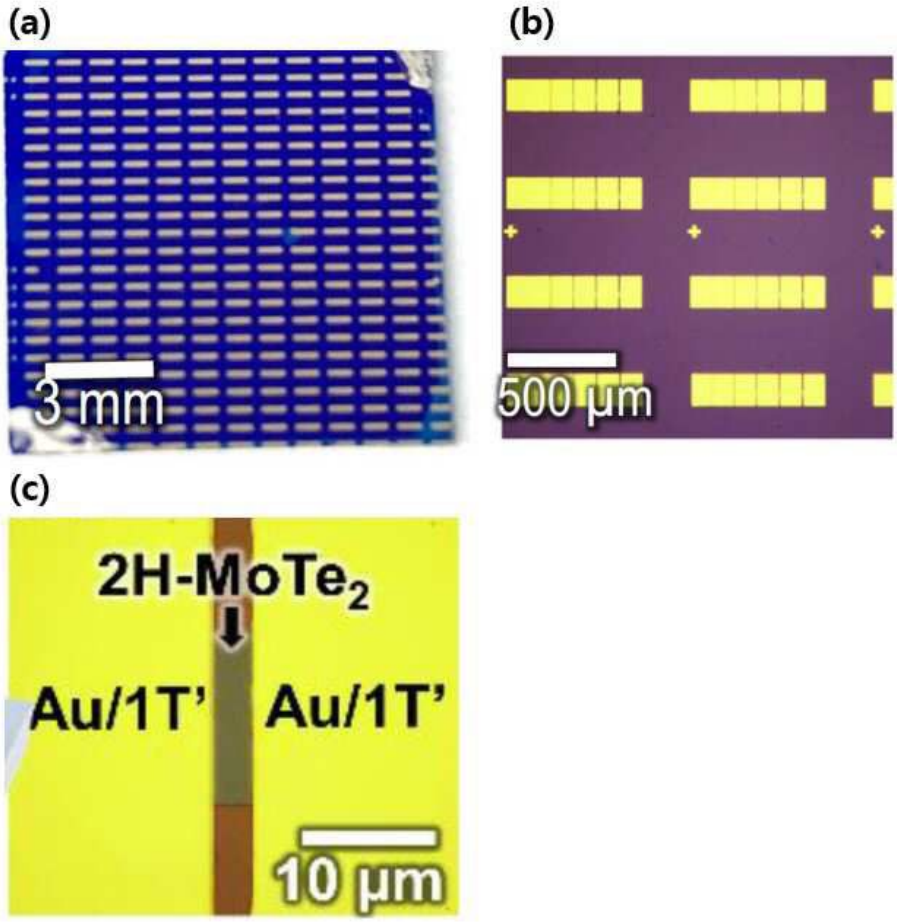
도면9


(a)
tr-2H
2H-seed
2 nm
tr-2H
tr-2H
1 nm
2H-seed
2H-seed
1 nm
(b)
1T'
tr-2H
1 nm
1T'/tr-2H
1T'

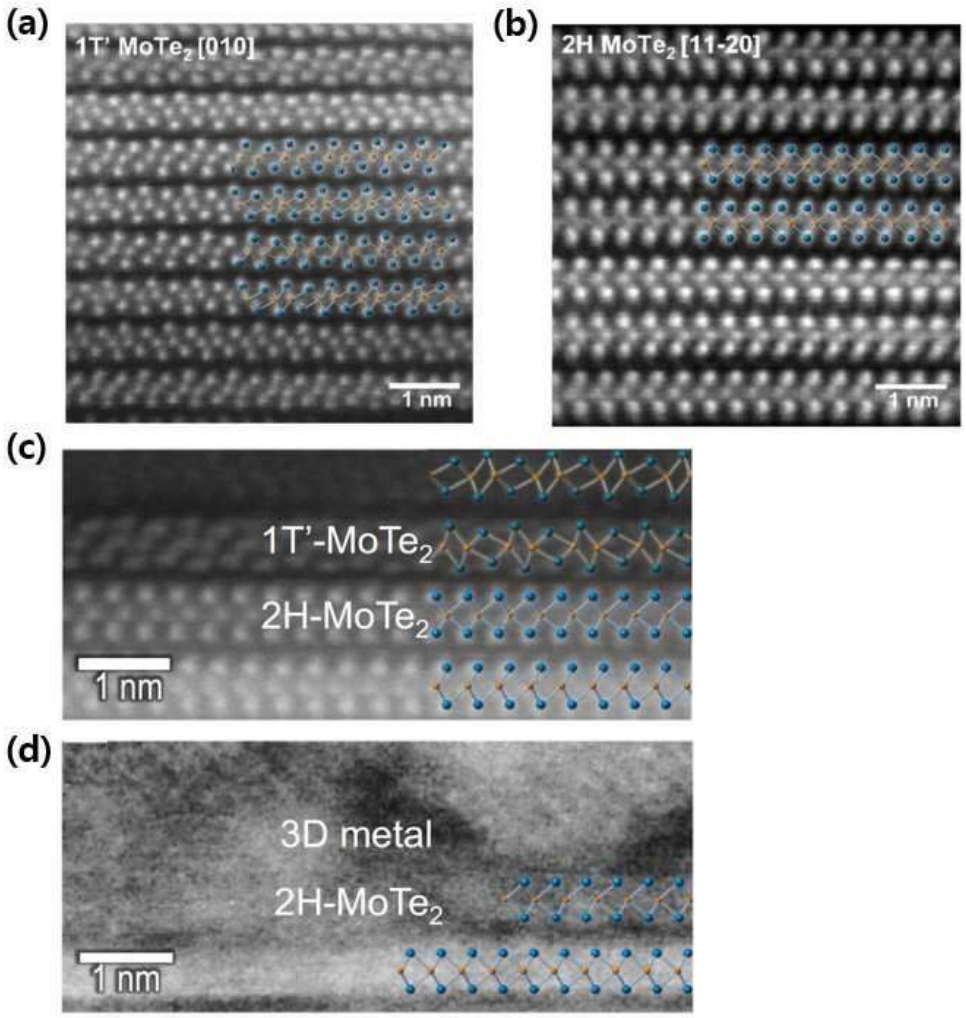
도면10


E_{Vac}
WF ≈ 4.51 eV
E_F
1T' $MoTe_2$
E_{Vac}
WF ≈ 4.44 eV
E_{CBM}
E_F
E_g
E_F-E_{VBM} ≈0.57 eV
E_{VBM}
2H $MoTe_2$

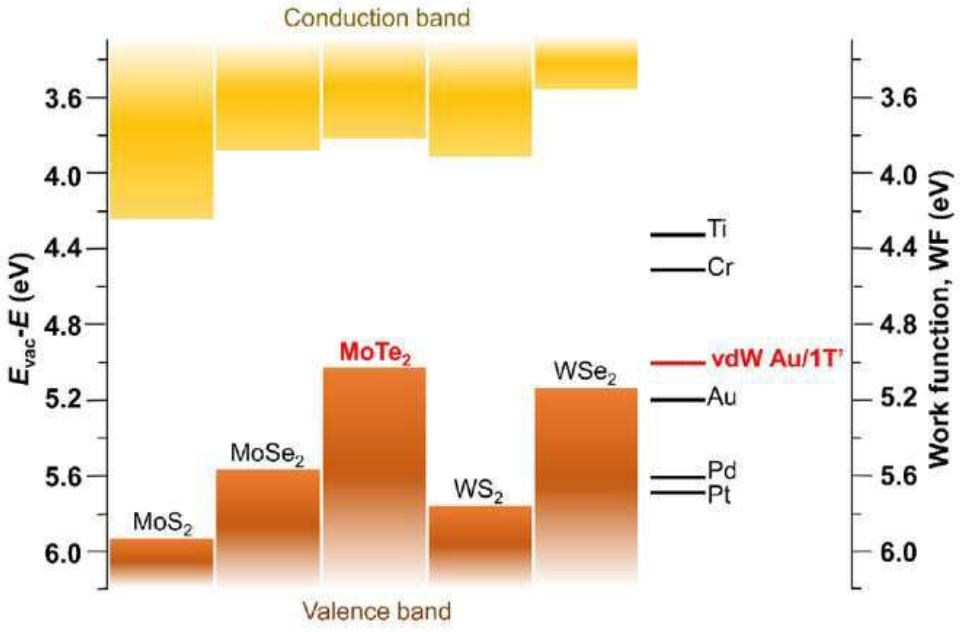
도면11



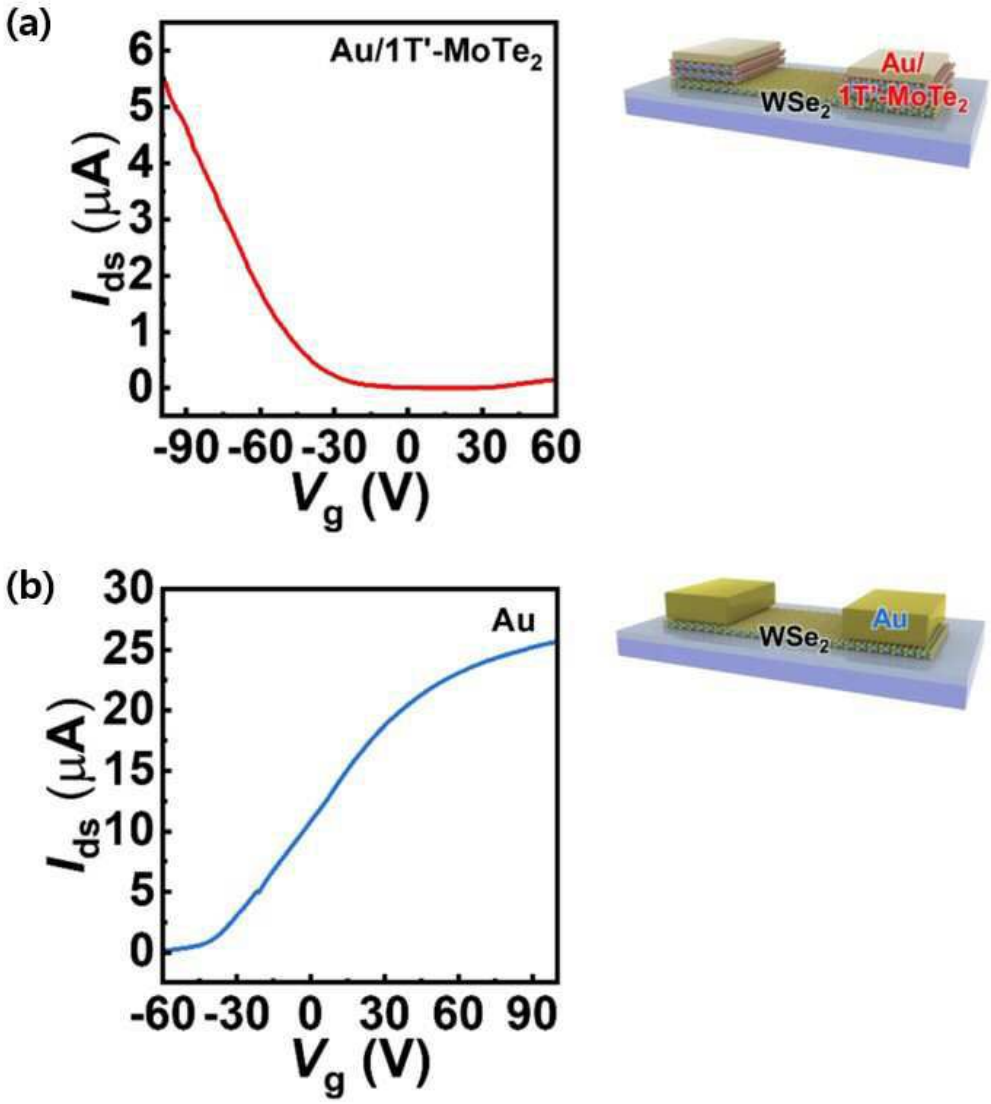
도면12


(a)
1T' MoTe2 [010]
1 nm
(b)
2H MoTe2 [11-20]
1 nm
(c)
1T'-MoTe2
2H-MoTe2
1 nm
(d)
3D metal
2H-MoTe2
1 nm

도면13


Conduction band
Valence band
Evac-E (eV)
Work function, WF (eV)
3.6
4.0
4.4
4.8
5.2
5.6
6.0
MoS2
MoSe2
MoTe2
WS2
WSe2
Ti
Cr
vdW Au/1T'
Au
Pd
Pt

도면14



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 17

【변경전】

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 전이금속 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 전이금속은, 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하고,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 칼코젠 물질 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.

【변경후】

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 상기 제1 상의 전이금속 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 상기 제2 상의 전이금속은, 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하고,

상기 제1 상의 전이금속 칼코젠 화합물을 구성하는 제1 칼코젠 물질 또는 상기 제2 상의 전이금속 칼코젠 화합물을 구성하는 제2 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함하는,

양쪽성 채널층을 포함하는 전이금속 칼코젠 화합물 기반 반도체 소자 어레이의 제조방법.