(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H03F 3/45

(45) 공고일자 2005년10월19일
(11) 등록번호 10-0522711
(24) 등록일자 2005년10월12일

(21) 출원번호 10-2001-0016899
(22) 출원일자 2001년03월30일

(65) 공개번호 10-2001-0095166
(43) 공개일자 2001년11월03일

(30) 우선권주장 2000-098917 2000년03월31일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 추치야마사히코
일본나가노켄392-8502수와시오와3초메3-5세이코엡슨가부시끼가이샤(내)

(74) 대리인 한양특허법인

심사관 : 조천환

(54) 차동 증폭 장치, 반도체 장치, 전원 회로 및 이것을사용한 전자기기

요약

출력 전압을 조기에 안정시킬 수 있는 본 발명의 차동 증폭 장치는, 제 1, 제 2 차동 증폭 회로를 갖는다. 제 1 차동 증폭 회로는, 차동 쌍을 구성하는 제 1 N 형 트랜지스터와 제 2 의 N 형 트랜지스터를 포함하고, 제 1 입력 전압(V_{IN1})에 근거하여 동작한다. 제 2 차동 증폭 회로는, 차동 쌍을 구성하는 제 1 의 P 형 트랜지스터와 제 2 의 P 형 트랜지스터를 포함하고, 제 2 입력 전압(V_{IN2})에 근거하여 동작한다. 제 1 차동 증폭 회로로부터의 제 1 신호(S_1)에 근거하여 동작하는 제 3 의 P 형 트랜지스터와, 제 2 차동 증폭 장치로부터의 제 2 신호(S_2)에 근거하여 동작하는 제 3 의 N 형 트랜지스터가 설치되고, 상기 제 3 의 P, N 형 트랜지스터 사이의 전압이 출력 전압(V_{OUT})이 된다. 제 3 의 P 형 트랜지스터의 게이트 전압을, 제 2 차동 증폭 회로로부터의 제 3 신호(S_3)에 근거하여 조기에 변화시키는 제 4 의 N 형 트랜지스터를 포함하는 제 1 전압 제어 회로(60)가 설치되어 있다. 제 3 의 N 형 트랜지스터의 게이트 전압을, 제 1 차동 증폭 회로로부터의 제 4 신호(S_4)에 근거하여 조기에 변화시키는 제 4 의 P 형 트랜지스터를 포함하는 제 2 전압 제어 회로가 설치된다.

대표도

도 1

색인어

도전형 트랜지스터, 제어 단자, 차동 쌍, 전압 제어 회로

명세서

도면의 간단한 설명

도 1은, 본 발명의 제 1 실시예에 따른 차동 증폭 장치의 개략 회로도.

도 2는, 도 1에 도시하는 차동 증폭 장치의 상세한 회로도.

도 3은, 도 2에 도시하는 차동 증폭 장치의 출력 전압(V_{OUT})의 설명도.

도 4는, 도 2에 도시하는 차동 증폭 장치의 V_{OUT}가 안정하는 과정을 도시하는 파형도.

도 5는, 본 발명의 제 2 실시예에 따른 액정 표시 장치의 개략 설명도.

도 6은 도 5에 도시한 액정 표시 장치의 구동 파형을 도시하는 파형도.

도 7은, 도 5에 도시하는 액정 표시 장치에 사용되는 전원 회로의 회로도.

도 8은, 종래의 차동 증폭 장치의 회로도.

도면의 주요부분에 대한 부호의 설명

102; 커몬 드라이버 104; 세그먼트 드라이버

106; 전원 회로 108; 구동 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 2셋트의 차동 증폭 회로를 갖는 차동 증폭 장치, 반도체 장치, 전원 회로 및 그것을 사용한 전자기기에 관한 것이다.

도 8에, 종래의 차동 증폭 장치를 도시하고, 2셋트의 제 1, 제 2 차동 증폭 회로(210, 230)를 갖는다. 제 1, 제 2 차동 증폭 회로(210, 230)에는, 옵셋이 있는 제 1, 제 2 입력 전압(V_{IN1}, V_{IN2})이 각각 입력된다. 제 1 차동 증폭 회로(210)의 후단에는, 제 1 차동 증폭 회로(210)로부터의 제 1 신호(S_1)에 의해서 구동되는 P형 MOS 트랜지스터(250)가 설치되어 있다. 마찬가지로, 제 2 차동 증폭 회로(230)의 후단에는, 제 2 차동 증폭 회로(230)로부터의 제 2 신호(S_2)에 의해서 구동되는 N형 MOS 트랜지스터(252)가 설치되어 있다. 이들 P 형 MOS 트랜지스터(250) 및 N 형 MOS 트랜지스터(252)가 서로 끌어 당기는 것으로, 출력 전압(Vout)이 결정되도록 되어 있다.

제 1 차동 증폭 회로(210)는, 도 8에 도시하는 바와 같이, P 형 MOS 트랜지스터(212)와, P 형 MOS 트랜지스터(212)와 함께 커런트 미러 회로를 구성하는 P 형 MOS 트랜지스터(214)를 포함한다.

제 2 차동 증폭 회로(230)는, N 형의 MOS 트랜지스터(232)와, N 형 MOS 트랜지스터(232)와 함께 커런트 미러 회로를 구성하는 N 형 MOS 트랜지스터(234)를 포함한다.

제 1 차동 증폭 회로(210)는 또한, 전원 전압(V_{DD}, V_{SS})의 사이에서, P 형 MOS 트랜지스터(212)에 직렬 접속된 N 형 MOS 트랜지스터(216)와, 전원 전압(V_{DD}, V_{SS}) 사이에서 P 형 MOS 트랜지스터(214)에 직렬 접속된 N 형 MOS 트랜지스터(120)를 통해 전원 전압(V_{SS})과 접속되어 있다. 이들 N 형 MOS 트랜지스터(216, 218)는, 사이즈가 동일하고 동일 능력을 갖기 때문에, 차동 쌍을 구성한다.

제 2 차동 증폭 회로(230)도 마찬가지로, 전원 전압(V_{DD}, V_{SS}) 사이에서 N형, MOS 트랜지스터(232)에 직렬 접속된 P 형 MOS 트랜지스터(236)와, 전원 전압(V_{DD}, V_{SS}) 사이에서 N 형 MOS 트랜지스터(234)에 직렬 접속된 P 형 MOS 트랜지스터(238)를 갖는다. 또한, P 형 MOS 트랜지스터(236, 238)는 정전류원(240)을 통해 전원 전압(V_{DD})과 접속되어 있다. 이들 P 형 MOS 트랜지스터(236, 238)는, 사이즈가 동일하고 동일 능력을 갖기 때문에, 차동 쌍을 구성한다.

여기서, 도 8에 도시하는 출력 전압(V_{OUT})을 어떤 전압에 안정시키기 위해서, 그 안정 전압보다 낮은 전압으로부터 출력 전압(V_{OUT})을 상승시키는 경우와, 그 안정 전압보다 높은 전압으로부터 출력 전압(V_{OUT})을 하강시키는 경우가 있다.

전자의 경우에는, 도 8의 P 형 MOS 트랜지스터(250)에서 보다 많은 전류를 흐르게 하고, N 형 MOS 트랜지스터(252)에서 보다 적은 전류를 흐르게 할 필요가 있고, 후자의 경우에는 그 반대의 동작을 시킬 필요가 있다.

그렇지만, 출력 전압(V_{OUT})이 안정이 되는 과정에서는, P 형 MOS 트랜지스터(250) 및 N 형 MOS 트랜지스터(252)의 게이트 전압의 상승 또는 하강이 지연되어, P 형 MOS 트랜지스터(250) 및 N 형 MOS 트랜지스터(252)에서 흐르는 전류의 변화가 지연된다고 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명의 목적은, 출력 전압이 빠르게 안정 상태로 향하도록 동작시킬 수 있는 차동 증폭 장치, 반도체 장치, 전원 회로 및 그것을 사용한 전자기기를 제공하는 것에 있다.

발명의 구성 및 작용

본 발명의 하나의 양태에 따른 차동 증폭 장치는, 제 1 의 제 1 도전형 트랜지스터와, 상기 제 1 의 제 1 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 1 도전형 트랜지스터를 포함하며, 제 1 입력 전압에 근거하여 동작하는 제 1 차동 증폭 회로와,

제 1 의 제 2 도전형 트랜지스터와, 상기 제 1 의 제 2 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 2 도전형 트랜지스터를 포함하며, 제 2 입력 전압에 근거하여 동작하는 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로로부터의 제 1 신호에 근거하여 동작하는 제 3 의 제 2 도전형 트랜지스터와,

상기 제 3 의 제 2 도전형 트랜지스터와 직렬 접속되고, 상기 제 2 차동 증폭 회로로부터의 제 2 신호에 근거하여 동작하는 제 3 의 제 1 도전형 트랜지스터와,

상기 제 2 차동 증폭 회로로부터의 제 3 신호에 근거하여, 상기 제 3 의 제 2 도전형 트랜지스터의 제어 단자의 전압을 제어하는 전압 제어 회로(제 1 제어 회로)를 갖고,

상기 제 3 의 제 2 도전형 트랜지스터와 상기 제 3 의 제 1 도전형 트랜지스터 사이의 전압을 출력 전압으로 하는 것을 특징으로 한다.

본 발명의 하나의 양태에 의하면, 제 1 전압 제어 회로는, 제 2 차동 증폭 회로로부터의 제 3 신호에 근거하여 제 3 의 제 2 도전형 트랜지스터의 제어 단자의 전압을 제어할 수 있다. 이로써, 제 3 의 제 2 도전형 트랜지스터의 동작이 빨라져, 출력 전압을 안정 상태를 향하여 빠르게 변화시킬 수 있다.

제 1 전압 제어 회로는, 상기 제 1 차동 증폭 회로의 정전류원과 병렬 접속된 제 4 의 제 1 도전형 트랜지스터를 포함하며, 상기 제 3 신호가 상기 제 4 의 제 1 도전형 트랜지스터의 제어 단자에 공급되는 구성으로 할 수 있다.

제 3 신호에 의해 제 4 의 제 1 도전형 트랜지스터가 온함으로써, 상기 제 3 의 제 2 도전형 트랜지스터의 제어 단자의 전압을 제어할 수 있다.

이 경우, 제 3 신호는, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자에 공급되는 신호와 같은 신호로 할 수 있다.

이상의 구성은, 제 3 의 제 2 도전형 트랜지스터의 제어 단자에 발진 방지용의 제 1 용량이 접속되고, 출력 전압의 안정이 지연되는 경우에 효과적이다.

본 발명의 다른 양태는, 상기 제 1 전압 제어 회로를 대신하여, 제 1 차동 증폭 회로로부터의 제 4 신호에 근거하여, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자의 전압을 제어하는 제 2 전압 제어 회로를 설치한 것이다.

이렇게 하면, 제 3 의 제 1 도전형 트랜지스터의 동작이 빨라져, 출력 전압을 안정 상태를 향하여 빠르게 변화시킬 수 있다.

제 2 전압 제어 회로는, 상기 제 2 차동 증폭 회로의 정전류원과 병렬 접속된 제 2 의 제 2 도전형 트랜지스터를 포함하며, 상기 제 4 신호가 상기 제 4 의 제 2 도전형 트랜지스터의 제어 단자에 공급되는 구성으로 할 수 있다.

제 4 신호에 의해 제 4 의 제 2 도전형 트랜지스터가 온함으로써, 제 3 의 제 1 도전형 트랜지스터의 제어 단자의 전압을 제어할 수 있다.

이 경우, 제 4 신호는, 제 3 의 제 2 도전형 트랜지스터의 제어 단자에 공급되는 신호와 같은 신호를 사용할 수 있다.

이상의 구성은, 제 3 의 제 1 도전형 트랜지스터의 제어 단자에 발진 방지용의 제 2 용량이 접속되고, 출력 전압의 안정이 지연되는 경우에 효과적이다.

본 발명의 또다른 양태는, 상술한 제 1, 제 2 전압 제어 회로의 쌍방을 설치한 것이다. 이렇게 하면, 제 3 의 제 2 도전형 트랜지스터와, 제 3 의 제 1 도전형 트랜지스터의 쌍방의 동작을 빠르게 할 수 있다.

본 발명의 또다른 양태에 의하면, 상술한 차동 증폭 장치를 적어도 포함하여 1 칩의 반도체 장치를 구성할 수 있다.

이러한 차동 증폭 장치를 적어도 하나 포함하여 전원 회로를 구성할 수 있거나 또는 그 전원 회로를 포함한 전자기기를 구성할 수 있다.

이하, 본 발명의 실시예에 관해서 도면을 참조하여 설명한다.

<제 1 실시예>

본 발명의 일실시예에 따른 차동 증폭 장치의 구성 및 동작에 관해서, 도 1내지 도 4를 참조하여 설명한다.

(차동 증폭 장치의 구성)

도 1은, 본 실시예에 따른 차동 증폭 장치의 회로도이다. 상기 차동 증폭 장치는 제 1 입력 전압(V_{IN1})에 근거하여 동작하는 전압 폴로어형의 제 1 차동 증폭 회로(10)와, 제 2 입력 전압(V_{IN2})에 근거하여 동작하는 전압 폴로어형의 제 2 의 차동 증폭 회로(30)를 갖는다.

제 1 차동 증폭 회로(10)는, 도 2에 도시하는 바와 같이, P 형의 MOS 트랜지스터(12)와, P 형 MOS 트랜지스터(12)와 함께 커런트 미러 회로를 구성하는 P 형 MOS 트랜지스터(14)를 포함한다. 이들 P 형 MOS 트랜지스터(12, 14)는, 사이즈가 동일하고 동일 능력을 갖기 때문에, 커런트 미러 회로를 구성한다.

제 2 차동 증폭 회로(30)는, N 형의 MOS 트랜지스터(32)와, N 형 MOS 트랜지스터(32)와 함께 커런트 미러 회로를 구성하는 N 형 MOS 트랜지스터(34)를 포함한다. 이들 N 형 MOS 트랜지스터(32, 34)도, 사이즈가 동일하고 동일 능력을 갖기 때문에, 커런트 미러 회로를 구성한다.

제 1 차동 증폭 회로(10)는 또한, 전원 전압(V_{DD}, V_{SS})의 사이에서, P 형 MOS 트랜지스터(12)에 직렬 접속된 제 1 도전형 예를 들면 N 형의 MOS 트랜지스터(16)(제 1 의 제 1 도전형 트랜지스터)와, 전원 전압(V_{DD}, V_{SS}) 사이에서 P 형 MOS 트랜지스터(14)에 직렬 접속된 N 형 MOS 트랜지스터(18)(제 2 의 제 1 도전형 트랜지스터)를 갖는다. 또한, N형 MOS 트랜지스터(16, 18)는 정전류원을 통해 전원 전압(V_{SS})과 접속되어 있다. 이들 N 형 MOS 트랜지스터(16, 18)는, 사이즈가 동일하고 동일 능력을 갖기 때문에, 차동 쌍을 구성한다.

제 2 차동 증폭 회로(30)도 마찬가지로, 전원 전압(V_{DD}, V_{SS}) 사이에서 N 형 MOS 트랜지스터(32)에 직렬 접속된 제 2 도전형 예를 들면 P 형의 MOS 트랜지스터(36)(제 1 의 제 2 도전형 트랜지스터)와, 전원 전압(V_{DD}, V_{SS}) 사이에서 N 형 MOS 트랜지스터(34)에 직렬 접속된 P 형 MOS 트랜지스터(38)(제 2 의 제 2도전형 트랜지스터)를 갖는다. 또한, P 형 MOS 트랜지스터(36, 38)는 정전류원(40)을 통해 전원 전압(V_{DD})과 접속되어 있다. 이들 P 형 MOS 트랜지스터(36, 38)는, 사이즈가 동일하고 동일 능력을 갖기 때문에, 차동 쌍을 구성한다.

도 1 및 도 2에 도시하는 바와 같이, 제 1 차동 증폭 회로(10)로부터의 제 1 신호(S_1)에 의거하여 동작하는 P 형 MOS 트랜지스터(제 3 의 제 2 도전형 트랜지스터)(50)와, 제 2 의 차동 증폭 회로(30)로부터의 제 2 신호(S_2)에 근거하여 동작하는 N 형 MOS 트랜지스터(제 3 의 제 1 도전형 트랜지스터)(52)가 설치되어 있다.

이들 P 형 MOS 트랜지스터(50)와 N 형 MOS 트랜지스터(52)는, 전원 전압(V_{DD}, V_{SS}) 사이에서 직렬로 접속되고, P 형 MOS 트랜지스터(50)와 N 형 MOS 트랜지스터(52) 사이의 전압이, 차동 증폭 장치의 출력 전압(V_{OUT})이 된다. 또한, P 형 트랜지스터(50)는 출력 전압(V_{OUT})이 내려간 경우의 부하가 크기 때문에, 큰 사이즈로 형성되고, 게이트 용량은 커지게 되어 있다.

또한, 도 2에 도시하는 바와 같이, 제 1, 제 2 증폭 회로(10, 30)에는, 발진 방지용 용량(C1, C2)과, 정전기 보호용 저항(R1, R2)이 설치되어 있다.

제 1 차동 증폭 회로(10)는, 정전류원(20)과 병렬로 설치된 N 형 MOS 트랜지스터(제 4 의 제 1 도전형 트랜지스터)(62)를 포함하는 제 1 전압 제어 회로(60)를 갖는다. 상기 N 형 MOS 트랜지스터(62)의 게이트에는, 제 2 차동 증폭 회로(30)로부터의 제 3 신호(S_3)가 입력된다. 결과로서, 제 1 전압 제어 회로(60)는, 제 1 신호(S_1)의 전압을 제어함으로써, P 형 MOS 트랜지스터(50)의 게이트 전압을 제어한다.

마찬가지로, 제 2 차동 증폭 회로(30)에는, 정전류원(40)과 병렬로 설치된 P 형 MOS 트랜지스터(제 4 의 제 2 도전형 트랜지스터)(72)를 포함하는 제 2 전압제어 회로(70)를 갖는다. 상기 P형 MOS 트랜지스터(72)의 게이트에는 제 1 차동 증폭 회로(10)로부터의 제 4 신호(S_4)가 입력된다. 결과로서, 제 2 전압 제어 회로(70)는, 제 2 신호(S_2)의 전압을 제어함으로써, N 형 MOS 트랜지스터(52)의 게이트 전압을 제어한다.

또한, N 형 트랜지스터(62) 및 P 형 MOS 트랜지스터(72)는, 차동 증폭 장치 출력 전압(V_{OUT})의 안정시에 있어서는 오프 상태이고, 거의 전류는 흐르지 않는다.

(차동 증폭 장치의 동작)

제 1, 제 2 입력 전압(V_{IN1}, V_{IN2})에 근거하여 동작하는 차동 증폭 장치의 출력 전압(V_{OUT})은, 안정 상태에 있어서는, 도 3에 도시하는 바와 같이, 중간 전압(V_{IN1}-V_{IN2})/2로 안정하거나 또는 그 중간 전압을 경계로 전압(V_{IN1})과 전압 (V_{IN2})과의 사이에서 흔들리는 전압이 된다.

본 실시예의 차동 증폭 장치는, 출력 전압(V_{OUT})을 조기에 안정 상태의 전압으로 설정할 수 있다. 그 동작을, 안정 상태의 전압을 향하여 출력 전압(V_{OUT})을 조기에 상승시키는 경우와, 하강시키는 경우로 나누어 설명한다.

(1) 안정 상태의 전압을 향하여 출력 전압(V_{OUT})을 조기에 상승시키는 경우

도 4에 도시하는 바와 같이, 안정 상태의 전압을 V1로 가정한다. 타이밍(t_0) 이전에서, 출력 전압(V_{OUT})의 출력선은 예를 들면 다른 전압선과 쇼트되고, 전압 V1보다도 낮게 되어 있는 것으로 가정한다.

이 경우, N 형 MOS 트랜지스터(18)와 P 형 MOS 트랜지스터(38)의 게이트 전압은 원래의 안정 상태의 전압보다 낮게 된다.

여기서, 제 1 차동 증폭 회로(10)에서는, 정전류원(20)에서 정전류가 흐르는 한편으로, N 형 MOS 트랜지스터(18)의 게이트 전압이 저하하는 것으로 인해, N 형 MOS 트랜지스터(18)에 흐르는 전류(I_{18})는 감소하고, 그 만큼 전류(I_{16})는 증가하게 된다.

이로 인해, 제 1 차동 증폭 회로(10)에서는, 전류(I_{16})가 증가하는 결과로서, P 형 MOS 트랜지스터(50)의 게이트 전압(S_1)이 내려 가고, P 형 MOS 트랜지스터(50)에서 보다 많은 전류가 흐르도록 변화한다.

한편, 제 2 차동 증폭 회로(30)에서는, 정전류원(40)으로 정전류가 흐르고, 더구나 P 형 MOS 트랜지스터(36, 38)는 차동쌍을 구성하기 때문에, P 형 MOS 트랜지스터(36, 38)를 흐르는 전류(I_{36}, I_{38})는, $I_{36}+I_{38}$=일정하다. 그리고, 상술과 같이 P 형 MOS 트랜지스터(38)의 게이트 전압이 저하하기 때문에, P 형 MOS 트랜지스터(38)에 흐르는 전류(I_{38})는 증가하고, 그 만큼 전류(I_{38})는 감소하게 된다.

이로 인해, 제 2 차동 증폭 회로(30)에서는, 전류(I_{36})가 감소하는 결과로서, N 형 MOS 트랜지스터(52)의 게이트 전위가 내려 가서, N 형 MOS 트랜지스터(52)에 의해 적은 전류가 흐르도록 변화한다.

이와 같이, P 형 MOS 트랜지스터(50)에서 보다 많은 전류가 흐르고, N 형 MOS 트랜지스터(52)에 보다 적은 전류가 흐르는 결과, 이들 P 형 MOS 트랜지스터(50), N 형 MOS 트랜지스터(52)가 서로 당기면서, 푸시-풀 형태의 차동 증폭 장치의 출력 전압(V_{OUT})이 도 4의 안정 전압(V1)을 향하여 상승한다.

상기의 설명에 의한 출력 전압(V_{OUT})의 상승 과정은, 도 4에서 세선(80)으로 도시하는 변화이고, 시간(t_3-t_0)의 비교적 긴 시간을 요한다.

상기 이유는, 상기의 동작만으로는, P 형 MOS 트랜지스터(50) 및 N 형 MOS 트랜지스터(52)의 게이트 전압의 상승 또는 하강이 지연되고, P 형 MOS 트랜지스터(50) 및 N 형 MOS 트랜지스터(52)에서 흐르는 전류의 변화가 지연되기 때문이다.

즉, P 형 MOS 트랜지스터(50)의 게이트 전압은, 도 2에 도시하는 발진 방지용 용량(C1)과, P 형 MOS 트랜지스터(50)의 게이트 용량과, 게이트선(L1)의 배선 기생 용량에 챠지되는 전압이다. 그 챠지 시간은, 게이트선(L1)의 배선 용량과 정전류원(20)의 능력으로 결정된다.

마찬가지로, N 형 MOS 트랜지스터(52)의 게이트 전압도, 도 2에 도시하는 발진 방지용 용량(C2)과, N 형 MOS 트랜지스터(52)의 게이트 용량과, 게이트선(L2)의 배선 기생 용량에 챠지되는 전압이다. 그 챠지되는 시간은, 게이트선(L2)의 배선 용량과 정전류원(40)의 능력으로 결정된다.

그래서, 본 실시예에서는, 제 1, 제 2 전압 제어 회로(60, 70)에 의해, P 형 MOS 트랜지스터(50) 및 N 형 MOS 트랜지스터(52)의 게이트 전압을 빠르게 변화시키고 있다.

즉, 제 2 차동 증폭 회로(30)에서는, 전류(I_{36})는 감소하는 결과로서, 제 3 신호(S_3)의 전압(이것은 N 형 MOS 트랜지스터(52)의 게이트선(L2)의 전압과 같다)이 낮아진다. 이 결과, 제 1 차동 증폭 회로(10)에 설치된 N 형 MOS 트랜지스터(62)의 게이트 전압이 낮게 되어, N 형 MOS 트랜지스터(62)를 흐르는 전류(I_{62})는 감소한다. 이 때는, P 형 MOS 트랜지스터(50)의 동작은, 정전류원(20)에 흐르는 의해서 결정되어지게 된다.

한편, 제 1 차동 증폭 회로(10)에서는, 게이트선(L1)의 전압이 보다 낮게 되기 때문에, 상기의 게이트선(L1)의 전압과 같은 제 4 신호(S_4)의 전압이 낮게 된다. 이 결과, 제 2 차동 증폭 회로(30)에 설치된 P 형 MOS 트랜지스터(72)의 게이트 전압이 낮게 되어, P 형 M0S 트랜지스터(72)를 흐르는 전류(I_{72})가 증가한다.

이로 인해, 제 2 차동 증폭 회로(30)의 차동 쌍 및 커런트 미러에 흐르는 전류가 많아진다. 이 때, 게이트선(L2)에 기생하는 토탈 용량은 변하지 않지만, P 형 MOS 트랜지스터(72)의 전류(I_{72})가 정전류원(40)에 인가되기 때문에, N 형 MOS 트랜지스터(52)의 동작을 빠르게 하게 된다.

상기 추가의 동작에 근거한 출력 전압(V_{OUT})의 상승 과정을, 도 4에서 실선(82)으로 도시한다. 도 4에 도시하는 바와 같이, 본 실시예에서는, N 형 MOS 트랜지스터(62)가 온하는 타이밍(t_1)에서 출력 전압(V_{OUT})의 상승율이 높아지기 때문에, 안정에 달하기까지의 시간을 (t_2-t_0)로 단축할 수 있고, 출력 전압(V_{OUT})을 빠르게 안정시킬 수 있다.

(2) 안정 상태의 전압을 향하여 출력 전압(V_{OUT})을 조기에 하강시키는 경우

이 경우, N 형 MOS 트랜지스터(18)와 P 형 MOS 트랜지스터(38)의 게이트 전압은, 원래의 안정 상태의 전압보다 높게 된다.

따라서, N 형 MOS 트랜지스터(18)에 흐르는 전류(I_{18})는, 그 게이트 전압이증가하기 때문에 증가하고, 그 만큼 N 형 MOS 트랜지스터(16)에 흐르는 전류(I_{16})는 감소하게 된다.

이로 인해, 제 1 차동 증폭 회로(10)에서는, 전류(I_{16})가 감소하는 결과로서, P 형 MOS 트랜지스터(50)의 게이트 전위가 올라가서, P 형 MOS 트랜지스터(50)에서 적은 전류가 흐른다.

한편, 제 2 차동 증폭 회로(30)에서는, P 형 MOS 트랜지스터(38)에 흐르는 전류(I_{38})는, 그 게이트 전압이 높아지기 때문에 감소하고, 그 만큼 P 형 MOS 트랜지스터(36)에 흐르는 전류(I_{36})는 증가하게 된다.

이로 인해, 제 2 차동 증폭 회로(30)에서는, 전류(I_{36})가 증가하는 결과로서, N 형 MOS 트랜지스터(52)의 게이트 전위가 올라가서, N 형 MOS 트랜지스터(52)에 많은 전류가 흐른다.

또한, 제 1 차동 증폭 회로(10)에서는, 전류(I_{16})가 인가되는 결과로서, 게이트선(L1)의 전압과 같은 제 4 신호(S_4)의 전압이 높아진다. 이 결과, 제 2 차동 증폭 회로(10)에 설치된 P 형 MOS 트랜지스터(72)의 게이트 전압이 높게 되어, P 형 MOS 트랜지스터(72)를 흐르는 전류(I_{72})가 감소한다.

이 때, N 형 MOS 트랜지스터(52)의 동작은 정전류원(40)의 전류에 의해 결정되어지게 된다.

한편, 제 2 차동 증폭 회로(30)에서는, N 형 MOS 트랜지스터(52)의 게이트선 (L2)의 전압이 보다 높아지게 되는 결과로서, 제 3 신호(S_3)의 전압(이것은 N 형 MOS 트랜지스터(52)의 게이트선(L2)의 전압과 같다)이 높아진다. 이 결과, 제 1 차동 증폭 회로(10)에 설치된 N 형 MOS 트랜지스터(62)의 게이트 전압이 높게 되어, NMOS 트랜지스터(62)를 흐르는 전류(I_{62})가 증가한다.

이 때문에, 제 1 차동 증폭 회로(10)의 차동 쌍, 커런트 미러 회로에 흐르는 전류가 많아진다. 게이트선(L1)에 기생하는 토탈 용량은 변하지 않지만, N 형 MOS 트랜지스터(62)를 흐르는 전류(I_{62})가 정전류원(20)의 전류에 인가되기 때문에, P 형 MOS 트랜지스터(50)의 동작을 빠르게 하게 된다.

이와 같이, P 형 MOS 트랜지스터(50)에서 보다 적은 전류가 흐르고, N 형 MOS 트랜지스터(52)에 의해 많은 전류가 흐르는 결과, 이들 P 형 MOS 트랜지스터(50), N 형 MOS 트랜지스터(52)가 서로 당기면서, 출력 전압(V_{OUT})이 안정 전압을 향하여 조기에 하강하게 된다.

또한, 출력 전압(V_{OUT})의 안정이 지연되는 이유의 하나로, 도 2에 도시하는 발진 방지용 용량(C1, C2)의 존재를 들 수 있다. 따라서, 이러한 종류의 용량을 부가한 차동 증폭 회로에 상술의 대책을 실시하는 것이 바람직하다. 제 1, 제 2 차동 증폭 회로(10, 30) 중의 어느 한쪽에, 발진 방지용 용량 등이 부가된 용량이나 존재하지 않는 경우에는, 그러한 종류의 용량이 없는 측의 한쪽의 차동 증폭 회로에서 상술의 대책을 실시하는 것은 반드시 필요하지 않다. 따라서, 제 1, 제 2 전압 제어 회로(60, 70)의 한쪽만을 배치하는 것만으로도 가능한 경우가 있다.

<제 2 실시예>

다음에, 본 발명의 제 2 실시예에 따른 액정 표시 장치의 전원 회로에 대해서, 도 5 내지 도 7을 참조하여 설명한다.

(액정 표시 장치의 구성 및 동작)

도 5는, 액정 표시 장치의 주요부의 구성을 도시하고 있다. 도 5에 있어서, 액정 표시부 예를 들면, 단순 매트릭스형 액정 표시부(100)는, 커먼 전극(C0 내지 Cm)이 형성된 제 1 기판과, 세그먼트 전극(S0 내지 Sn)이 형성된 제 2 기판과의 사이에, 액정을 밀봉함으로써 형성되어 있다. 커먼 전극의 한 개와 세그먼트 전극의 한개가 교차하는 교점이 표시 화소가 되고, 액정 표시부(100)에는 (m+ 1)x(n+ 1)의 표시 화소가 존재한다.

또한, 제 2 실시예에 따른 액정 표시 장치는, 단순 매트릭스 액정 표시부(10)를 대신하여, 액티브 매트릭스형 액정 표시 장치 등, 다른 액정 표시부를 사용할 수 있다.

커먼 전극(C0 내지 Cm)에는 커먼 드라이버(102)가 접속되고, 세그먼트 전극 (S 내지 Sn)에는 세그먼트 드라이버(104)가 접속되어 있다. 이들 커먼 드라이버(102), 세그먼트 드라이버(104)는, 전원 회로(106)로부터 소정의 전압이 공급됨과 동시에, 구동 제어 회로(108)로부터의 신호에 근거하여, 그의 소정 전압을 커먼 전극(CO 내지 Cm) 또는 세그먼트 전극(S0 내지 Sn)에 선택적으로 공급하는 것이다.

여기서, 도 5에 도시하는 액정 표시부(100)의 커먼 전극(C3)을 선택하는 프레임 기간 구동 파형의 일례를 도 6에 도시한다.

도 6에 있어서, 굵은 선은 커먼 드라이버(102)로부터 각 커먼 전극(C0 내지 Cm)에 공급되는 구동 파형이고, 가늘선은 세그먼트 드라이버(104)로부터 각 세그먼트 전극(S0 내지 Sn)에 공급되는 구동 파형을 도시하고 있다.

도 6에 도시하는 바와 같이, 커먼 드라이버(102)로부터 공급되는 구동 파형은, 전압(V0, V1, V4, V5)의 사이에서 변화한다. 한편, 세그먼트 드라이버(104)로부터 공급되는 구동 파형은, 전압(VO, V2, V3, V5)의 사이에서 변화한다.

(전원 회로의 구성)

도 7은, 도 5에 도시하는 전원 회로(106)의 상세를 도시하고 있다. 도 7에 도시하는 바와 같이, 스위치(SW1 내지 SW6) 중 어느 2개를 온함으로써, 커먼 드라이버(1O2)에 공급되는 전압(V0, V2, V3, V5)의 하나를 선택할 수 있다.

여기서, 전압(V5)에는 전원 전압(V_{DD})을, 전압(V0)에는 전원 전압(V_{SS})을 각각 사용하고, 전압(V4 내지 V1)은, 전압(V5-V0)을 저항 분할함으로써 생성하고 있다. 이 때문에, 전원 회로(106)는, 저항 분할 회로(110)와, 4개의 차동 증폭 장치(120, 122, 124, 126)를 갖는다. 4개의 차동 증폭 장치(120 내지 126)는, 저항분할 회로(110)를 통해, 각각 제 1, 제 2

입력 전압(V_{IN1}, V_{IN2})이 입력되고, 그 출력 전압으로서 V4, V3, V2, V1을 각각 출력한다. 그리고, 이들 4개의 차동 증폭 장치(120 내지 126)는, 각각 도 2의 구성을 갖는다. 또한, 도 7에 도시하는 전원 회로(106)는 단독이거나, 혹은 도 5에 도시하는 커먼 드라이버(102) 및 세그먼트 드라이버(104)와 함께 1칩 IC로 구성할 수 있다.

(전원 회로의 동작)

도 2 및 도 4를 참조하여 이미 설명한 차동 증폭 장치의 동작은, 전압(V1)을 출력 전압(V_{OUT})으로 하는 도 7에 도시하는 차동 증폭 장치(126)의 동작에 그대로 적합하고, 도 6에 도시하는 A부분의 파형의 개선이 된다.

즉, 도 7의 스위치(SW3)가 온하면, 차동 증폭 장치(126)의 출력선은 커먼 드라이버(102)를 통해, 액정 표시부(100)의 커먼 전극(C3)과 쇼트된다. 이 때, 커먼 전극의 전압은, 극성 반전 구동을 위해 도 6에 도시와 같이 전압(V5)이었기 때문에, 쇼트에 의해서 차동 증폭 장치(126)의 출력 전압(V_{OUT})은 전압(V1)보다 하강한다. 상기 출력 전압(V_{OUT})을 도 4의 굵은 선(182)의 상승 과정을 찾아가도록 빠르게 전압(V1)에서 안정시키기 위해서, 도 2의 제 1, 제 2 전압 제어 회로(60, 70)가 동작하게 된다.

여기서, 도 6의 A부분의 파형은, 커먼 전극의 기생 용량에도 영향을 주어 둔해진다. 상기 A부분의 파형이 둔해짐은, 도 6의 선택 기간(T_{SEC})이 짧아질수록, 액정 표시부(100)에서의 컨트라스트의 저하, 선이 그어지는 현상 등을 현저하게 한다. 선택 기간(T_{SEC})은, 표시 화소수가 증가할수록 짧아지고, 고세밀 고정밀인 화면일수록 화질의 열화에 미치는 영향이 크다.

본 실시예와 같이, 도 6에 도시하는 A 부분 등의 전압 변화점의 파형의 둔해짐을 저감함으로써, 화질이 개선된다.

여기서, 차동 증폭 장치(120 내지 126)는 그 출력 전압(V_{OUT})을 상승시킨 후에 안정시키는 경우에는, 제 1 전압 제어 회로(60)의 N 형 MOS 트랜지스터(62)를 온시켜, P 형 MOS 트랜지스터(50)의 게이트 전압을 빨리 높게 하여 그 동작을 빠르게 하는 것이 효과적이다. 반대로, 차동 증폭 장치(120 내지 126)는, 그 출력 전압(V_{OUT})을 하강시킨 후에 안정시키는 경우에는, 제 2 전압 제어 회로(70)의 P형 MOS 트랜지스터(72)의 전류(I_{72})를 보다 적게 하여, N 형 MOS 트랜지스터(52)의 게이트 전압을 높게 하여 그 동작을 빠르게 하는 것이 효과적이다.

그런데, 도 6을 참조하면, 전압(V1)에 달하기 위해서는 전압(V4 또는 V5)으로부터 상승하는 경우만이고, 전압(V4)에 달하기 위해서는, 전압(V0 또는 V1)으로부터 하강하는 경우만인 것을 알 수 있다. 또한, 전압(V2)에 달하기 위해서는 전압(V0)으로부터 하강하는 경우의 빈도가 많고, 전압(V3)에 달하기 위해서는, 전압(V5)으로부터 상승하는 경우의 빈도가 많은 것을 알 수 있다.

따라서, 전압(V4, V2)을 출력하는 도 7의 차동 증폭 회로(120, 124)는, 제 1 전압 제어 회로(60)는 반드시 필요로 하지 않고, 제 2 전압 제어 회로(70)만을 갖더라도 가능하다. 한편, 전압(V3, V1)을 출력하는 도 7의 차동 증폭 장치(122, 126)는, 제 2 전압 제어 회로(70)는 반드시 필요로 하지 않고, 제 1 전압 제어 회로(60)만을 가져도 된다.

또한, 상술한 차동 증폭 장치 또는 전원 회로는, 액정 표시 장치를 포함하는 전자 기기 예를 들면, 휴대전화, 게임 장치, 퍼스널 컴퓨터 등의 각종 전자기기 이외의 안정한 전압의 공급을 받아서 동작하는 다른 여러가지의 전자기기에 적용할 수 있음은 물론이다.

발명의 효과

본 발명은, 출력 전압이 빠르게 안정 상태로 향하도록 동작시킬 수 있는 차동 증폭 장치, 반도체 장치, 전원 회로 및 그것을 사용한 전자기기를 제공한다.

(57) 청구의 범위

청구항 1.

제 1 의 제 1 도전형 트랜지스터와, 상기 제 1 의 제 1 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 1 도전형 트랜지스터를 포함하고, 제 1 입력 전압에 근거하여 동작하는 제 1 차동 증폭 회로와,

제 1 의 제 2 도전형 트랜지스터와, 상기 제 1 의 제 2 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 2 도전형 트랜지스터를 포함하고, 제 2 입력 전압에 근거하여 동작하는 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로로부터의 제 1 신호에 근거하여 동작하는 제 3 의 제 2 도전형 트랜지스터와,

상기 제 3 의 제 2 도전형 트랜지스터와 직렬 접속되고, 상기 제 2 차동 증폭 회로로부터의 제 2 신호에 근거하여 동작하는 제 3 의 제 1 도전형 트랜지스터와,

상기 제 2 차동 증폭 회로로부터의 제 3 신호에 근거하여, 상기 제 3 의 제 2 도전형 트랜지스터의 제어 단자의 전압을 제어하는 전압 제어 회로를 갖고,

상기 전압 제어 회로는, 상기 제 1 차동 증폭 회로의 정전류원과 병렬 접속된 제 4 의 제 1 도전형 트랜지스터를 포함하고, 상기 제 3 신호가 상기 제 4 의 제 1 도전형 트랜지스터의 제어 단자에 공급되며,

상기 제 3 의 제 2 도전형 트랜지스터와 상기 제 3 의 제 1 도전형 트랜지스터 사이의 전압을 출력 전압으로 하는 것을 특징으로 하는 차동 증폭 장치.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 제 3 신호는, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자에 공급되는 신호와 동일 신호인 것을 특징으로 하는 차동 증폭 장치.

청구항 4.

제 1 항 또는 제 3 항에 있어서,

상기 출력 전압의 발진을 방지하는 제 1 용량이, 상기 제 3 의 제 2 도전형트랜지스터의 제어 단자에 접속되어 있는 것을 특징으로 하는 차동 증폭 장치.

청구항 5.

제 1 의 제 1 도전형 트랜지스터와, 상기 제 1 의 제 1 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 1 도전형 트랜지스터를 포함하고, 제 1 입력 전압에 근거하여 동작하는 제 1 차동 증폭 회로와,

제 1 의 제 2 도전형 트랜지스터와, 상기 제 1 의 제 2 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 2 도전형 트랜지스터를 포함하고, 제 2 의 입력 전압에 근거하여 동작하는 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로로부터의 제 1 신호에 근거하여 동작하는 제 3 의 제 2 도전형 트랜지스터와,

상기 제 3 의 제 2 도전형 트랜지스터와 직렬 접속되고, 상기 제 2 차동 증폭 회로로부터의 제 2 신호에 근거하여 동작하는 제 3 의 제 1 도전형 트랜지스터와,

상기 제 1 차동 증폭 회로로부터의 제 4 신호에 근거하여, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자의 전압을 제어하는 전압 제어 회로를 갖고,

상기 전압 제어 회로는, 상기 제 2 차동 증폭 회로의 정전류원과 병렬 접속된 제 4 의 제 2 도전형 트랜지스터를 포함하고, 상기 제 4 신호가 상기 제 4 의 제 2 도전형 트랜지스터의 제어 단자에 공급되며,

상기 제 3 의 제 2 도전형 트랜지스터와 상기 제 3 의 제 1 도전형 트랜지스터와의 사이의 전압을 출력 전압으로 하는 것을 특징으로 하는 차동 증폭 장치.

청구항 6.

삭제

청구항 7.

제 5 항에 있어서,

상기 제 4 신호는, 상기 제 3 의 제 2 도전형 트랜지스터의 제어 단자에 공급되는 신호와 동일 신호인 것을 특징으로 하는 차동 증폭 장치.

청구항 8.

제 5 항 또는 제 7 항에 있어서,

상기 출력 전압의 발진을 방지하는 제 2 용량이, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자에 접속되어 있는 것을 특징으로 하는 차동 증폭 장치.

청구항 9.

제 1 의 제 1 도전형 트랜지스터와, 상기 제 1 의 제 1 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 1 도전형 트랜지스터를 포함하고, 제 1 입력 전압에 근거하여 동작하는 제 1 차동 증폭 회로와,

제 1 의 제 2 도전형 트랜지스터와, 상기 제 1 의 제 2 도전형 트랜지스터와 함께 차동 쌍을 구성하는 제 2 의 제 2 도전형 트랜지스터를 포함하고, 제 2 입력 전압에 근거하여 동작하는 제 2 차동 증폭 회로와,

상기 제 1 차동 증폭 회로로부터의 제 1 신호에 근거하여 동작하는 제 3 의 제 2 도전형 트랜지스터와,

상기 제 3 의 제 2 도전형 트랜지스터와 직렬 접속되고, 상기 제 2 차동 증폭 회로로부터의 제 2 신호에 근거하여 동작하는 제 3 의 제 1 도전형 트랜지스터와,

상기 제 2 차동 증폭 회로로부터의 제 3 신호에 근거하여, 상기 제 3 의 제 2 도전형 트랜지스터의 제어 단자의 전압을 제어하는 제 1 전압 제어 회로와,

상기 제 1 차동 증폭 회로로부터의 제 4 신호에 근거하여, 상기 제 3 의 제 1 도전형 트랜지스터의 제어 단자의 전압을 제어하는 제 2 전압 제어 회로를 갖고,

상기 제 1 전압 제어 회로는, 상기 제 1 차동 증폭 회로의 정전류원과 병렬 접속된 제 4 의 제 1 도전형 트랜지스터를 포함하고, 상기 제 3 신호가 상기 제 4 의 제 1 도전형 트랜지스터의 제어 단자에 공급되며,

상기 제 2 전압 제어 회로는, 상기 제 2 차동 증폭 회로의 정전류원과 병렬 접속된 제 4 의 제 2 도전형 트랜지스터를 포함하고, 상기 제 4 신호가 상기 제 4 의 제 2 도전형 트랜지스터의 제어 단자에 공급되고,

상기 제 3 의 제 2 도전형 트랜지스터와 상기 제 3 의 제 1 도전형 트랜지스터와의 사이의 전압을 출력 전압으로 하는 것을 특징으로 하는 차동 증폭 장치.

청구항 10.

제 1 항, 제 3 항, 제 4 항, 제 5 항, 제 7 항, 제 8 항 또는 제 9 항 중 어느 한 항에 따른 차동 증폭 장치를 갖는 것을 특징으로 하는 반도체 장치.

청구항 11.

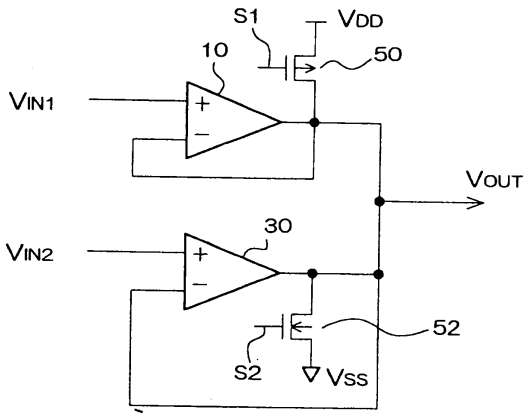
제 1 항, 제 3 항, 제 4 항, 제 5 항, 제 7 항, 제 8 항 또는 제 9 항 중 어느 한 항에 따른 차동 증폭 장치를 갖는 것을 특징으로 하는 전원 회로.

청구항 12.

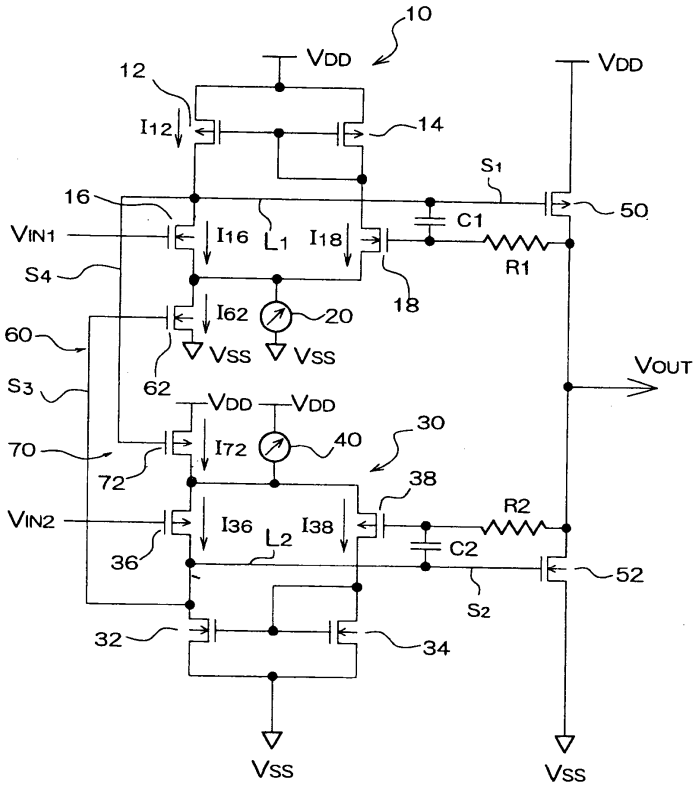
제 11 항에 따른 전원 회로를 갖는 것을 특징으로 하는 전자기기.

도면

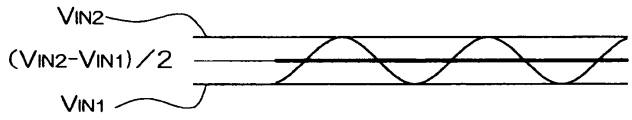
도면1



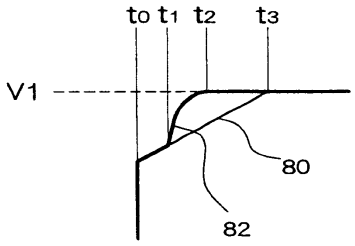
도면2


10
VDD
VDD
12
I12
14
S1
16
50
C1
VIN1
I16
L1
I18
R1
S4
18
I62
20
60
VSS
VSS
VOUT
62
S3
VDD
VDD
30
70
I72
40
72
38
VIN2
I36
L2
I38
R2
C2
36
52
S2
32
34
VSS
VSS

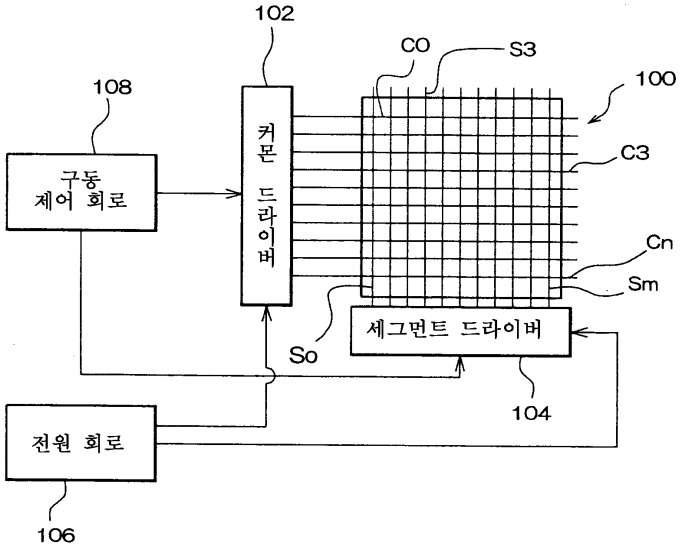
도면3


VIN2
(VIN2-VIN1)/2
VIN1

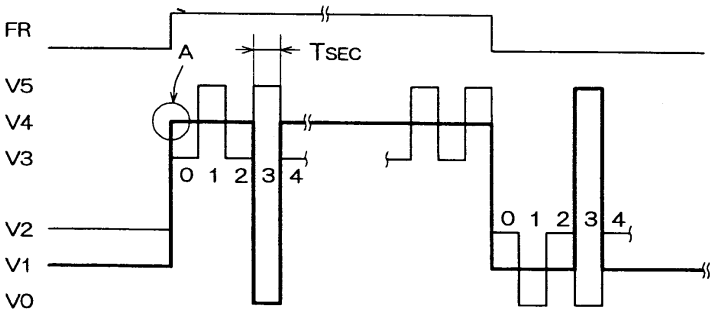
도면4


to t1 t2 t3
V1
80
82

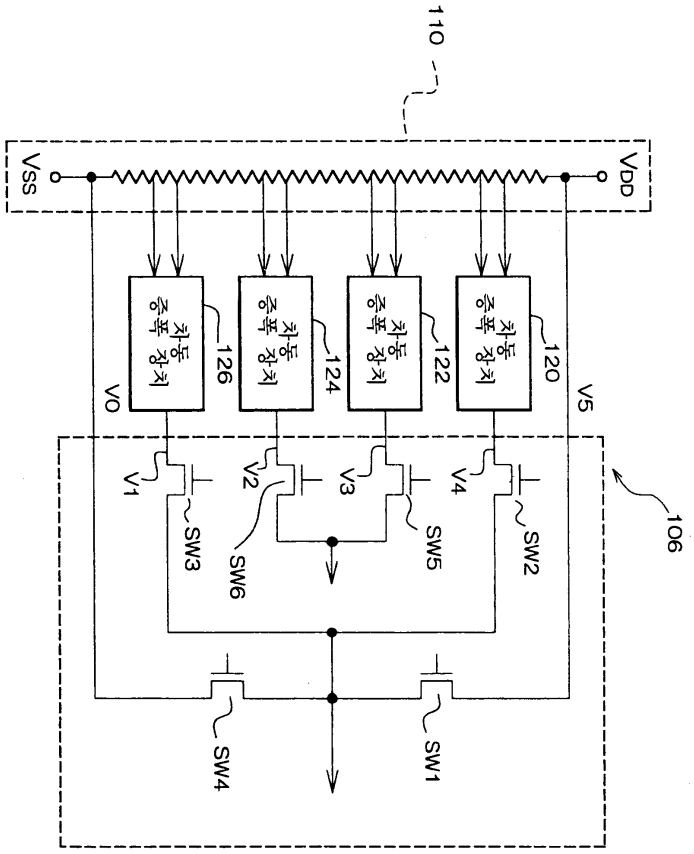
도면5


102
CO
S3
100
108
구동
제어 회로
커먼 드라이버
C3
Cn
Sm
세그먼트 드라이버
So
104
전원 회로
106

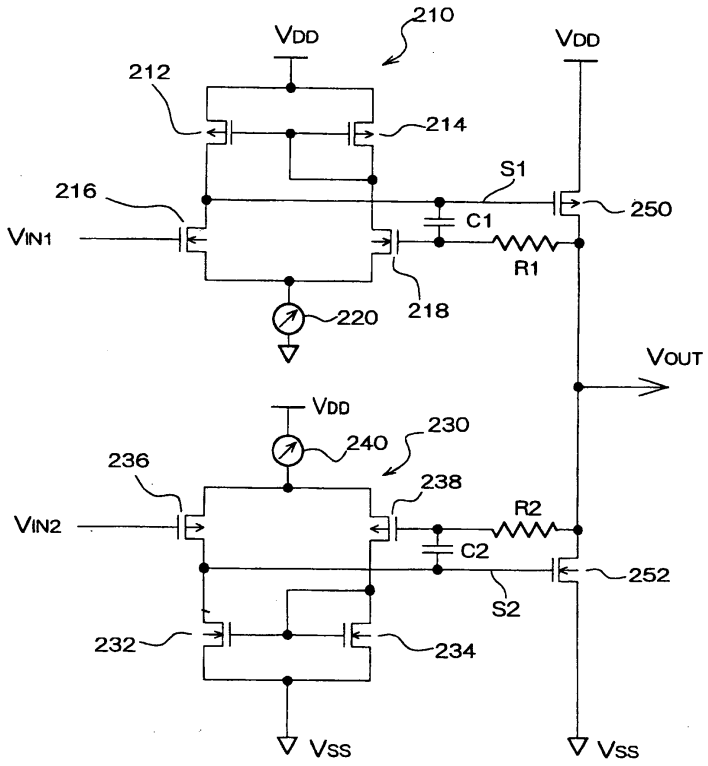
도면6


FR
A
TSEC
V5
V4
V3
V2
V1
V0
0 1 2 3 4
0 1 2 3 4

도면7


110
VSS
VDD
차동 증폭 장치
126
124
122
120
V0
V5
V1
V2
V3
V4
SW3
SW6
SW5
SW2
SW4
SW1
106

도면8


VDD
210
212
214
216
S1
250
C1
VIN1
R1
218
220
VOUT
230
240
236
238
R2
VIN2
C2
252
S2
232
234
VSS