

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-510315

(P2008-510315A)

(43) 公表日 平成20年4月3日(2008.4.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B	5 F 1 5 2
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 G	
HO 1 L 21/20 (2006.01)	HO 1 L 21/02 B	
	HO 1 L 21/20	

審査請求 未請求 予備審査請求 未請求 (全 30 頁)

(21) 出願番号 特願2007-527857 (P2007-527857)
 (86) (22) 出願日 平成17年8月3日(2005.8.3)
 (85) 翻訳文提出日 平成19年4月13日(2007.4.13)
 (86) 国際出願番号 PCT/US2005/027786
 (87) 国際公開番号 W02006/023289
 (87) 国際公開日 平成18年3月2日(2006.3.2)
 (31) 優先権主張番号 60/602,782
 (32) 優先日 平成16年8月18日(2004.8.18)
 (33) 優先権主張国 米国 (US)

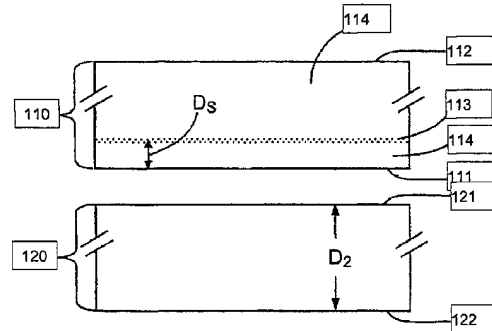
(71) 出願人 397068274
 コーニング インコーポレイテッド
 アメリカ合衆国 ニューヨーク州 148
 31 コーニング リヴァーフロント プ
 ラザ 1
 (74) 代理人 100073184
 弁理士 柳田 征史
 (74) 代理人 100090468
 弁理士 佐久間 剛
 (72) 発明者 ガドカリー, キショー ピー
 アメリカ合衆国 ニューヨーク州 148
 14 ビッグ フラッツ オーチャード
 ドライヴ 15

最終頁に続く

(54) 【発明の名称】 絶縁体上歪半導体構造及び絶縁体上歪半導体構造を作成する方法

(57) 【要約】

発明は歪半導体層を有する絶縁体上半導体構造に関する。発明の一実施形態にしたがえば、絶縁体上半導体構造は、ガラスまたはガラス - セラミックを含む第2の層に接合された、半導体材料を含む第1の層を有し、半導体及びガラスまたはガラス - セラミックのCTEは第1の層に引っ張り歪が入るように選ばれる。発明は絶縁体上歪半導体層を作成する方法にも関する。



【特許請求の範囲】

【請求項 1】

直接にあるいは 1 つまたはそれより多くの中間層を介して接合された第 1 の層及び第 2 の層を有する絶縁体上半導体構造において、

前記第 1 の層が実質的に単結晶の半導体材料からなり、

前記第 2 の層がガラスまたはガラス - セラミックからなり、

前記ガラスまたはガラス - セラミックの C T E (2 5 ~ 3 0 0) が前記半導体材料の C T E (2 5) より正で小さい、
ことを特徴とする絶縁体上半導体構造。

【請求項 2】

2 5 において前記第 1 の層が引っ張り歪を受けていることを特徴とする請求項 1 に記載の絶縁体上半導体構造。

10

【請求項 3】

前記第 1 の層が、実質的に歪を受けていない状態にある前記半導体材料のバルク易動度の少なくとも約 1 0 5 % の、バルク易動度を有することを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 4】

前記ガラスまたはガラス - セラミックが 1 0 5 0 より低い歪点を有することを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 5】

前記半導体材料がシリコンベース半導体材料であることを特徴とする請求項 1 に記載の絶縁体上半導体構造。

20

【請求項 6】

前記ガラスまたはガラス - セラミックが正で約 $2.2 \times 10^{-7} /$ 以下の C T E (2 5 ~ 3 0 0) を有することを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 7】

前記半導体材料の C T E (2 5) と前記ガラスまたはガラス - セラミックの C T E (2 5 ~ 3 0 0) の間の差が約 $3.0 \times 10^{-7} /$ 以下であることを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 8】

前記第 1 の層が温度 $T_{\text{接合}}$ で前記第 2 の層に接合され、前記絶縁体上半導体構造が使用温度 $T_{\text{使用}}$ を有し、式：

30

【数 1】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

がゼロより大きいことを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 9】

前記第 1 の層と前記第 2 の層の間の接合強度が少なくとも $8 \text{ J} / \text{m}^2$ であることを特徴とする請求項 1 に記載の絶縁体上半導体構造。

40

【請求項 10】

前記第 2 の層が、

(i) 距離 D_2 だけ隔てられた実質的に平行な第 1 の面及び第 2 の面を有し、前記第 1 の面は前記第 2 の面より前記第 1 の層に近く、

(ii) 1) 前記第 2 の層内にあり、2) 前記第 1 の面に実質的に平行であり、3) 前記第 1 の面から距離 $D_2 / 2$ だけ隔てられた、基準面を有し、

(iii) 1 つまたはそれより多くの種類の陽イオンを含有し、それぞれの種類の陽イオンは前記基準面において基準濃度 $C_{i / \text{基準}}$ を有し、

(iv) 前記陽イオンの内の少なくとも 1 つの種類の陽イオンの濃度が前記少なくとも 1

50

つの種類の陽イオンに対する前記基準濃度 $C_{i/基準}$ に対して低下している、前記第 1 の面に始まり、前記基準面に向かって広がる領域（陽イオン空乏領域）を有する、ことを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 1 1】

前記第 1 の層が約 $10 \mu m$ 以下の厚さを有することを特徴とする請求項 1 に記載の絶縁体上半導体構造。

【請求項 1 2】

直接にあるいは 1 つまたはそれより多くの中間層を介して接合された第 1 の層及び第 2 の層を有する絶縁体上半導体構造において、

前記第 1 の層が実質的に単結晶の半導体材料からなり、

前記第 2 の層がガラスまたはガラス - セラミックからなり、

前記絶縁体上半導体構造が使用温度 $T_{使用}$ を有し、

式：

【数 2】

$$\int_{T_{使用}}^{T_{接合}} [CTE_{第1層}(T) - CTE_{第2層}(T)] dt$$

がゼロより大きいことを特徴とする絶縁体上半導体構造。

【請求項 1 3】

絶縁体上半導体構造を作成する方法において、

(A) 第 1 の基板及び第 2 の基板を提供する工程であって、

(1) 前記第 1 の基板は、前記第 2 の基板と接合するための第 1 の外表面（第 1 の接合面）、前記第 1 の基板に力を印加するための第 2 の外表面（第 1 の力印加面）及び前記第 1 の基板を第 1 の部分と第 2 の部分に分離するための内部域（分離域）を有し、

(a) 前記第 1 の接合面、前記第 1 の力印加面及び前記分離域は互いに実質的に平行であり、

(b) 前記第 2 の部分は前記分離域と前記第 1 の接合面の間にあり、

(c) 前記第 1 の基板は実質的に単結晶の半導体材料からなり、

(2) 前記第 2 の基板は、一方は前記第 1 の基板との接合のための外表面（第 2 の接合面）であり、他方は前記第 2 の基板に力を印加するための外表面（第 2 の力印加面）である、2 つの外表面を有し、

(a) 前記第 2 の接合面及び前記第 2 の力印加面は互いに実質的に平行であり、

(b) 前記第 2 の基板はガラスまたはガラス - セラミックからなる、

工程、

(B) 前記第 1 の接合面と前記第 2 の接合面を接触させる工程、

(C) 前記第 1 の基板と前記第 2 の基板が前記第 1 の接合面と前記第 2 の接合面で互いに接合するに十分な時間をかけて、

(1) 前記第 1 の力印加面と前記第 2 の力印加面に力を印加して前記第 1 の接合面と前記第 2 の接合面を互いに押し付ける工程、

(2) 前記第 1 の基板及び前記第 2 の基板に前記第 1 の力印加面及び前記第 2 の力印加面のそれぞれにおける第 1 の電圧 V_1 及び第 2 の電圧 V_2 で表される電場をかける工程であって、前記第 1 の電圧 V_1 及び前記第 2 の電圧 V_2 が前記第 1 の力印加面及び前記第 2 の力印加面において一様であり、前記電場が前記第 1 の基板から前記第 2 の基板に向けられるように、前記第 1 の電圧 V_1 が前記第 2 の電圧 V_2 より高い、工程、及び

(3) 前記第 1 の基板及び前記第 2 の基板を加熱する工程であって、前記加熱は前記第 1 の力印加面及び前記第 2 の力印加面のそれぞれにおける第 1 の温度 T_1 及び第 2 の温度 T_2 で表され、前記第 1 の温度 T_1 及び前記第 2 の温度 T_2 は、前記第 1 の力印加面及び前記第 2 の力印加面において一様であり、共通温度への冷却時に前記第 1 の基板と前記第 2 の基板が相異なる収縮を受け、よって前記第 1 の基板が前記分離域において弱化する

10

20

30

40

50

ように選ばれる、工程、
を同時に施す工程、及び

(D) 前記接合された第1の基板及び第2の基板を冷却する工程及び前記第1の部分と前記第2の部分を前記分離域において分離する工程、
を含み、

前記第1の温度 T_1 , 前記第2の温度 T_2 , 前記半導体材料の CTE 及び前記ガラスまたはガラス - セラミック材料の CTE が、25 において前記半導体材料に引っ張り歪が入るように選ばれる、
ことを特徴とする方法。

【請求項14】

前記ガラスまたはガラス - セラミックの CTE (25 ~ 300) が前記半導体材料の CTE (25) より正で小さいことを特徴とする請求項13に記載の方法。

【請求項15】

前記絶縁体上半導体構造が使用温度 $T_{使用}$ を有し、式：

【数3】

$$\int_{T_{使用}}^{T_{接合}} [CTE_{第1層}(T) - CTE_{第2層}(T)] dt$$

がゼロより大きいことを特徴とする請求項13に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は全般的には半導体構造に関し、さらに詳しくは、絶縁体上半導体構造及び絶縁体上半導体構造を作成する方法に関する。

【0002】

これまで絶縁体上半導体構造に通常用いられてきた半導体材料はシリコンである。文献においてそのような構造は絶縁体上シリコン構造と称され、略語“SOI”がそのような構造に適用されている。本発明は全般的に、絶縁体上シリコン構造を含む、絶縁体上半導体構造に関する。

【0003】

説明を容易にするため、以下の議論は時に絶縁体上シリコン構造に関してなされるであろう。この特定のタイプの絶縁体上半導体構造への言及は本発明の説明を容易にするためになされ、本発明の範囲をいかなる態様でも限定する目的はなく、またそのように解されるべきではない。

【0004】

本明細書において略語SOIは全般的に、絶縁体上シリコン構造を含むが、これには限定されない、絶縁体上半導体構造を指すために用いられる。同様に、略語SOGは全般的に、ガラス上シリコン構造を含むが、これには限定されない、ガラス上半導体構造を指すために用いられる。SOGという呼称はガラス - セラミック上シリコン構造を含むが、これには限定されない、ガラス - セラミック上半導体構造も含むとされる。略語SOIはSOGを包含する。

【背景技術】

【0005】

絶縁体上シリコン技術は高性能の、薄膜トランジスタ、太陽電池及び、アクティブマトリックスディスプレイなどの、ディスプレイにとって益々重要になっている。絶縁体上シリコンウエハは絶縁材料上の実質的に単結晶のシリコン薄層(厚さは一般に0.1 ~ 0.3 μm であるが、5 μm の場合もある)からなる。

【0006】

そのようなウエハを得る様々な方法には、格子整合基板上のSiのエピタキシャル成長

10

20

30

40

50

、その上に酸化物 SiO_2 の層を成長させた別のシリコンウエハへの単結晶シリコンウエハの接合に続く、例えば $0.1 \sim 0.3 \mu\text{m}$ 厚の単結晶シリコン層までの上部ウエハの研磨またはエッチング、あるいは、水素イオンまたは酸素イオンを注入して、酸素イオン注入の場合は表面に Si を残してシリコンウエハ内に埋込酸化物層を形成し、水素イオン注入の場合は薄い Si 層を分離（剥離）して酸化物層をもつ別の Si ウエハに接合させる、イオン注入法がある。これらの3つの手法の内、イオン注入に基づく手法が工業的にはより実用的であることがわかった。特に、水素イオン注入法には、必要な注入エネルギーが酸素イオン注入に必要なエネルギーの50%より低く、必要なドーズ量が2桁少ないという、酸素イオン注入プロセスに優る利点がある。

【0007】

水素イオン注入法による剥離は初め、例えば非特許文献1に教示され、さらにマイケル・ブルーエル (Michel Bruel) によって実際に示された。ブルーエルの特許文献1並びに非特許文献2及び3を参照されたい。上掲の刊行物のそれぞれは本明細書に参照として含まれる。この方法は一般に以下の工程からなる。単結晶シリコンウエハ上に熱酸化物層を成長させる。次いでこのウエハに水素イオンを注入して表面下きずを発生させる。注入エネルギーはきずが発生する深さを決定し、ドーズ量はきず密度を決定する。次いでこのウエハを別のウエハ（支持基板）と室温で接触させて仮接合を形成する。次いで、 Si ウエハからのシリコン薄層の分離に用いるために、ウエハを約600 で熱処理して表面下きずを成長させる。得られた集成体を次いで約1000 に加熱して、支持基板すなわちイオン注入されていない Si ウエハに、 SiO_2 層を下層にして、 Si 膜を完全に接合する。このようにして、このプロセスは、酸化物絶縁体層を間にしてシリコン薄膜が別のシリコンウエハに接合された、絶縁体上シリコン構造を形成する。

【0008】

SOI 構造の工業的応用にとってコストは重要な要件である。これまで、そのような構造のコストの大部分は、 Si 薄膜で上面が覆われる、酸化物層を支持するシリコンウエハのコストであった。すなわち、コストの大部分は支持基板であった。支持基板としての石英の使用が様々な特許文献で述べられてきたが（特許文献2, 3, 4, 5, 6及び7を参照されたい）、石英自体が比較的高価な材料である。支持基板を論じる際に、上記特許文献の内のいくつかは、石英ガラス、ガラス及びガラス-セラミックが挙げられている。これらの特許文献に挙げられているその他の支持基板材料には、ダイヤモンド、サファイア、炭化シリコン、窒化シリコン、セラミック、金属及びプラスチックがある。

【0009】

本発明が見いだしたように、 SOI 構造においてシリコンウエハを、それほど高価ではない材料で作られたウエハで置き換えることは必ずしも簡単なことではない。特に、シリコンウエハを低コストで大量につくることができるタイプのガラスまたはガラス-セラミックで置き換えることは困難である。すなわち、費用効果の高い SOG 構造を作成することは困難である。これは、本発明の前には、絶縁体上半導体構造における支持基板としてガラスまたはガラス-セラミックを使用するための実用的手法が技術になかったためである。

【0010】

「歪シリコン効果」はシリコンベース半導体材料において電子易動度及び正孔易動度を高めるために用いられてきた。特許文献8及び9に説明されているように、歪シリコン膜は、シリコン上に Ge 濃度を徐々に高めながら SiGe 層を被着し、次いで最上 SiGe 層上にシリコン層を形成することによって形成される。 SiGe 層とシリコン層の間の熱膨張不整合により、シリコン層に引っ張り応力がかかる。歪シリコン層においては、電子が受ける抵抗が小さくなり、無歪シリコン内より70%も速く流れて、無歪シリコンで作られた同等の大きさのデバイスより35%も高速で動作するマイクロエレクトロニクスデバイスが得られる。しかし、本発明の前には、歪半導体層を有し、支持基板としてガラスまたはガラス-セラミックを有する、絶縁体上半導体構造を作成するための実用的手法が従来技術になかったため、歪シリコン基板のコストは高くなったはずである。

10

20

30

40

50

- 【特許文献1】米国特許第5374564号明細書
- 【特許文献2】米国特許第6140209号明細書
- 【特許文献3】米国特許第6211041号明細書
- 【特許文献4】米国特許第6309950号明細書
- 【特許文献5】米国特許第6323108号明細書
- 【特許文献6】米国特許第6335231号明細書
- 【特許文献7】米国特許第6391740号明細書
- 【特許文献8】米国特許第6107653号明細書
- 【特許文献9】米国特許第6539641号明細書
- 【非特許文献1】ビスター（Bister）等，「Si及びGe内の0.3～2 MeV H+イオン及び0.7～2 MeV H₂+イオンの範囲（Ranges of the 0.3-2 MeV H⁺ and 0.7-2 MeV H₂⁺ ions in Si and Ge）」，Radiation Effects，1982年，第59巻，p.199～202
- 【非特許文献2】エム・ブルーエル（M. Bruel），Electronic Lett.，1995年、第31巻，p.1201～1202
- 【非特許文献3】エル・ディチオッチオ（L. Dicioccio），ワイ・レティエク（Y. Letiec），エフ・レタートル（F. Letertre），シー・ジョウサッド（C. Jaussad）及びエム・ブルーエル（M. Bruel），Electronic Lett.，1996年、第33巻，p.1144～1145
- 【発明の開示】 20
- 【発明が解決しようとする課題】
- 【0011】
本発明の課題は、歪半導体層を有し、支持基板としてガラスまたはガラス-セラミックを有する、絶縁体上半導体構造を低コストで提供することである。
- 【課題を解決するための手段】
- 【0012】
本発明の一実施形態は、直接にあるいは1つまたはそれより多くの中間層を介して接合された第1及び第2の層を有し、第1の層は実質的に単結晶の半導体材料を有し、第2の層はガラスまたはガラス-セラミックを有し、ガラスまたはガラス-セラミックのCTE（熱膨張係数）（25～300）が半導体材料のCTE（25）より正で小さい、絶縁体上半導体構造に関する。 30
- 【0013】
本発明の別の実施形態は、直接にあるいは1つまたはそれより多くの中間層を介して接合された第1及び第2の層を有し、第1の層は実質的に単結晶の半導体材料からなり、第2の層はガラスまたはガラス-セラミックからなる、絶縁体上半導体構造であって、絶縁体上半導体構造が使用温度T_{使用}を有し、式：
- 【数1】
- $$\int_{T_{使用}}^{T_{接合}} [CTE_{第1層}(T) - CTE_{第2層}(T)] dt$$
- 40
- 【0014】
がゼロより大きい、絶縁体上半導体構造に関する。
- 【0015】
本発明の別の実施形態は、
- （A）第1及び第2の基板を提供する工程であって、
- （1）第1の基板は、第2の基板と接合するための第1の外表面（第1の接合面）、第1の基板に力を印加するための第2の外表面（第1の力印加面）及び第1の基板を第1の部分と第2の部分に分離するための内部域（分離域）を有し、
- （a）第1の接合面、第1の力印加面及び分離域は互いに実質的に平行であり、 50

(b) 第2の部分とは分離域と第1の接合面の間にあり、

(c) 第1の基板は実質的に単結晶の半導体材料からなり、

(2) 第2の基板は、一方は第1の基板との接合のための外表面(第2の接合面)であり、他方は第2の基板に力を印加するための外表面(第2の力印加面)である、2つの外表面を有し、

(a) 第2の接合面及び第2の力印加面は互いに実質的に平行であり、距離 D_2 だけ互いに隔てられ、

(b) 第2の基板はガラスまたはガラス-セラミックからなる、

工程、

(B) 第1の接合面と第2の接合面を接触させる工程、

(C) 第1の基板と第2の基板が第1の接合面と第2の接合面で接合するに十分な時間をかけて、

(1) 第1の力印加面と第2の力印加面に力を印加して第1の接合面と第2の接合面を互いに押し付ける工程、

(2) 第1の基板及び第2の基板に第1の力印加面及び第2の力印加面のそれぞれにおける第1の電圧 V_1 及び第2の電圧 V_2 で表される電場をかける工程であって、第1の電圧 V_1 及び第2の電圧 V_2 が第1の力印加面及び第2の力印加面において一様であり、電場が第1の基板から第2の基板に向けられるように、 V_1 が V_2 より高い、工程、及び

(3) 第1の基板及び第2の基板を加熱する工程であって、加熱は第1の力印加面及び第2の力印加面のそれぞれにおける第1の温度 T_1 及び第2の温度 T_2 で表され、第1の温度 T_1 及び第2の温度 T_2 は、第1の力印加面及び第2の力印加面において一様であり、共通温度への冷却時に第1の基板と第2の基板が相異なる収縮を受け、よって第1の基板が分離域において弱化するようには選ばれる、工程、

を同時に施す工程、及び

(D) 接合された第1の基板及び第2の基板を冷却する工程及び第1の部分と第2の部分を分離域において分離する工程、

を含み、

T_1 、 T_2 、半導体材料のCTE及びガラスまたはガラス-セラミック材料のCTEが、25で半導体材料に引っ張り応力がかかるようには選ばれる、絶縁体上半導体構造を作成する方法に関する。

【0016】

本発明の絶縁体上半導体構造及び絶縁体上半導体構造を作成する方法により、多くの、従来技術に優る利点が得られる。本発明は歪SOI構造のための低コスト基板に対する技術上の長年の要求を満たす。さらに、本発明はそのような構造に対して新規な形態を提供する。本発明についての数多くの用途の中には、非晶質シリコン、多結晶シリコン及び無歪シリコンをベースにしたデバイスに比較してかなり高められた性能を達成することができる、ディスプレイ用途、例えばLCD及びOLEDに加えて、光エレクトロニクス、RFエレクトロニクス及び複合信号(アナログ/デジタル)エレクトロニクスなどの分野における用途がある。さらに、効率が高い光電効果素子及び太陽電池も可能になる。本発明の新規なプロセス技術及び新規な歪SOI構造のいずれもが歪SOI構造のコストをかなり下げ、したがって、よりコストの低い歪半導体デバイスに対する半導体分野における永続的な要求を満たす。

【0017】

本発明のさらなる特徴及び利点は以下の詳細な説明に述べられ、当業者には、ある程度は説明から容易に明らかであろうし、あるいは記述及び本発明の特許請求の範囲に、また添付図面にも、説明されるように本発明を実施することにより認められるであろう。

【0018】

上述の一般的説明及び以下の詳細な説明はいずれも本発明の例示に過ぎず、特許請求されるような本発明の本質及び特性の理解のための概観または枠組みの提供が目的とされていることは当然である。

10

20

30

40

50

【 0 0 1 9 】

添付図面は本発明のさらなる理解を提供するために含められ、本明細書に組み入れられて、本明細書の一部をなす。図面は必ずしも比例尺で描かれてはおらず、様々な要素の大きさは明解さのために変形されていることがある。図面は本発明の1つまたはそれより多くの実施形態を示し、記述とともに本発明の原理及び動作の説明に役立つ。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

本発明の一実施形態が、図1に簡略な断面図で示される。絶縁体上半導体構造20は第1の層22及び第2の層24を有する。第1の層22及び第2の層24は、図1に示されるように直接に、あるいは1つまたはそれより多くの中間層を介して、接合される。1つまたはそれより多くの中間層が第1の層22と第2の層24の間に介在していれば、第1の層22と第2の層24の隔離距離は約100nm以下であることが望ましい。第1の層22は実質的に単結晶の半導体材料で形成され、第2の層24はガラスまたはガラス-セラミックで形成される。ガラスまたはガラス-セラミックの25~300の温度範囲にわたる熱膨張係数(CTE)(以降CTE(25~300))は、半導体材料の25におけるCTE(以降CTE(25))より正で小さい。ガラスまたはガラス-セラミックのCTE(25~300)は正になることができ、(例えば -ユークリプタイト型ガラス-セラミックについては)負にさえもなることができる。CTE(25~300)値はこの温度範囲にわたる平均CTE値として示される。

10

【 0 0 2 1 】

ガラスまたはガラス-セラミックのCTE(25~300)は、半導体材料のCTE(25)より正で少なくとも $3 \times 10^{-7}/$ は小さいことが望ましい。ガラスまたはガラス-セラミックのCTE(25~300)は、半導体材料のCTE(25)より正で少なくとも $5 \times 10^{-7}/$ は小さいことがさらに望ましい。本発明のいくつかの望ましい実施形態においては、ガラスまたはガラス-セラミックのCTE(25~300)が、半導体材料のCTE(25)より正で少なくとも $7 \times 10^{-7}/$ は小さく、少なくとも $10 \times 10^{-7}/$ も小さいこともある。第1の層の破損または離層を防止するため、半導体材料のCTE(25)とガラスまたはガラス-セラミックのCTE(25~300)の間の差は約 $30 \times 10^{-7}/$ 以下であることが望ましいであろう。

20

【 0 0 2 2 】

本明細書で説明される材料のCTEは、本発明の実際の絶縁体上半導体構造における材料層の実際の膨張挙動としてではなく、均質な材料自体のCTEとして示される。第1及び第2の層は接合されており、一般に硬質な材料であるから、それぞれの膨張/収縮挙動はそれぞれが接合されている他方の層によって影響されるであろう。第1の層の材料と第2の層の材料の間でCTEに差があり、これらの層が高温 $T_{接合}$ で接合されていれば、室温への冷却時に層の内の一方には引っ張り応力がかかり、他方には圧縮応力がかかるであろう。「収縮しようとする」、「共通温度への冷却時の差別的収縮」という語句及び同様の語句は、 $T_{接合}$ からの冷却時の基板の収縮は一般にそれぞれの非接合状態での収縮とは異なるであろうという事実を表すために本明細書で用いられる。例えば、論じられる、正でより大きなCTEを有する層は冷却の結果としてある程度収縮しようとするが、実際には、より小さな正のCTEを有する層に接合されている結果、その程度までの収縮はできない(また一般には収縮しないであろう)。

30

40

【 0 0 2 3 】

本発明のいくつかの(例えば半導体材料がシリコンベース半導体材料の場合の)実施形態において、ガラスまたはガラス-セラミックのCTE(25~300)は正で約 $22 \times 10^{-7}/$ 以下である。本発明のこれらのいくつかの実施形態において、ガラスまたはガラス-セラミックは、正で約 $20 \times 10^{-7}/$ 以下、正で $18 \times 10^{-7}/$ 以下、さらには正で $15 \times 10^{-7}/$ 以下の、CTE(25~300)を有することが望ましい。本発明のいくつかの望ましい実施形態において、ガラスまたはガラス-セラミックは1050より低い歪点を有する。

50

【0024】

本発明の望ましい実施形態において、半導体材料は引っ張り歪を受けている。例えば、図1に示される実施形態において、第1の層は、絶縁体上半導体構造の使用温度（例えば、25、100または25～100の温度範囲）において引っ張り歪を受けていることが望ましい。引っ張り歪は半導体材料の電子及び正孔の易動度特性を向上させることができ、よって特性が向上したデバイスの構築を可能にする。例えば、第1の層は実質的に無歪状態にある半導体材料の層のバルク易動度の少なくとも約105%のバルク易動度を有することが望ましい。第1の層は実質的に無歪状態にある半導体材料の層のバルク易動度の少なくとも約120%のバルク易動度を有することがさらに望ましい。歪半導体は米国特許第5442205号明細書、米国特許第6107653号明細書、米国特許第6573126号明細書及び米国特許第6593641号明細書でさらに詳細に論じられている。これらの明細書のそれぞれはそれぞれの全体が本明細書に参照として含まれる。

10

【0025】

半導体材料はシリコンベース半導体材料とすることができ、あるいは、III-V族半導体、II-VI族半導体、II-IV-V族半導体またはIV族半導体のような、その他のいずれかが適するタイプの半導体とすることができ、あるいは、第1の層の半導体材料としての使用に適するシリコンベース半導体材料の例には、シリコン（例えば、アンドープシリコン、n-ドープシリコン、p-ドープシリコン）、ゲルマニウムドープシリコン（SiGe）及び炭化シリコン（SiC）がある。第1の層に使用できるその他の半導体材料の例には、Geベース、GeAsベース、GaPベース及びInPベースの材料がある。第1の層は実際上適するいかなる厚さもとることができ、例えば、第1の層の厚さは約1μmまでとすることができ、約10nmと約500nmの間であることが望ましく、約10nmから約150nmの範囲の厚さが特に望ましい。第1の層の半導体材料は材料に応じて広い範囲のCTEを有することができ、例えば、第1の層の半導体材料は約 $20 \times 10^{-7}/$ と約 $70 \times 10^{-7}/$ の間のCTE（25）を有することができ、

20

【0026】

第1の層の半導体材料は実質的に単結晶材料の形態にある。「実質的に」は、半導体材料は通常、格子欠陥またはわずかな結晶粒界のような、固有のまたは意図的に加えられた、少なくともいくらかの内部欠陥または表面欠陥を含むという事実を考慮に入れるために第1の層の説明に用いられる。「実質的に」は、いくつかのドーパントはバルク半導体材料の結晶構造を歪ませるか、そうではなくとも、バルク半導体材料の結晶構造に影響し得るという事実も反映している。

30

【0027】

第2の層のガラスまたはガラス-セラミックはシリカベースのガラスまたはガラス-セラミックであることが望ましい。SiO₂がガラスまたはガラス-セラミック内に少なくとも約30モル%の濃度で存在することが望ましい。SiO₂が少なくとも約40モル%の濃度で存在することがさらに望ましい。本発明に用いるに適するガラス-セラミックには、ムライト、コージェライト、スピネル、 α -石英または β -リチアなどの、いかなる結晶相も含めることができる。本発明のいくつかの望ましい実施形態において、第2の層のガラス-セラミックの結晶相は、スピネル、 α -石英または β -リチアである。ガラス-セラミックのガラス相は、以下に説明する絶縁体上半導体構造を作成する方法の工程（C）中に第1の層と第2の層の間の界面から離れる方向への陽イオンの移動を可能にするに十分であることが望ましい。

40

【0028】

無シリカガラス及び無シリカガラス-セラミックを本発明の実施に用いることはできるが、コストが高くなり、及び/または性能特性が劣ることから、一般にそれほど望ましくはない。本発明のいくつかの望ましい実施形態において（例えば、絶縁体上シリコン構造において）、ガラスまたはガラス-セラミックは酸化物ガラスまたは酸化物ガラス-セラミックであることが望ましい。しかし、いくつかの用途、例えばシリコンベースではない半導体材料を用いるSOI構造に対しては、酸化物基準ではない、例えば無酸化物ガラス

50

の、第2の層が望ましいことがあるが、一般にコストが高くなる。

【0029】

いくつかの用途、例えばディスプレイ用途に対しては、ガラスまたはガラス-セラミックが、可視、近UV（紫外）及び/または近IR（赤外）の波長範囲において実質的に透明であることが望ましい。例えば、ガラスまたはガラス-セラミックは350nmから2μmの波長範囲において実質的に透明であることが望ましい。

【0030】

第2の層のガラスまたはガラス-セラミックは、当業者には良く知られている様々な手法を用いて、通常原材料からつくることができ、以下で本明細書に、また、題名を「ガラスベースSOI構造（GLASS-BASED SOI STRUCTURES）」とする米国特許出願公開第10/779582号明細書に説明されている方法を用いて第1の層に接合することができる。上記明細書はその全体が本明細書に参照として含まれる。

10

【0031】

本発明のいくつかの実施形態において、ガラスまたはガラス-セラミックは、以下で本明細書に、また米国特許出願公開第10/779582号明細書に説明されている方法の工程（C）中に印加電場方向に、すなわち接合された第1の層と第2の層の間の界面から離れて第2の層の裏面に向かって移動する、少なくともいくつかの陽イオンを含有することが望ましい。アルカリ金属イオン、例えばLi⁺イオン、Na⁺イオン及び/またはK⁺イオンが、これらのイオンはガラス及びガラス-セラミックに一般に導入される他の種類のイオンより高い移動度を一般に有するから、この目的に適する陽イオンである。しかし、アルカリ金属イオンを含有しないガラス及びガラス-セラミックも本発明に用いることができる。例えば、アルカリ土類金属イオン（例えば、Ca²⁺、Mg²⁺、Ba²⁺、Sr²⁺）あるいは、Ag⁺、Cu⁺、Zn²⁺及び様々な遷移金属イオンなどのその他の陽イオンなどの別の可動イオンを含有するガラス及びガラス-セラミックを、本発明の絶縁体上半導体構造で第2の層に用いることができるが、後者の群のイオンは、特にUVにおいて、光透過率を低下させ得るので望ましくない。

20

【0032】

ガラスまたはガラス-セラミックがアルカリ金属イオンまたはアルカリ土類金属イオンを含有する本発明の実施形態において、アルカリ金属イオン及びアルカリ土類金属イオンの濃度は広い範囲で変わることができ、代表的な濃度は酸化物基準で0.1重量%から40重量%の間である。望ましいアルカリ金属イオン及びアルカリ土類金属イオンの濃度は、アルカリ金属イオンの場合には酸化物基準で0.1~10重量%であり、アルカリ土類金属イオンの場合には酸化物基準で0~25重量%である。無アルカリガラスと公称されているガラスの多くは、数10ppmから数100ppmの、本明細書で以下に説明される方法の工程（C）中に移動することができる、アルカリ金属汚染物を含有している。

30

【0033】

単一のガラスまたはガラス-セラミックからなる基板が好ましいが、望ましければ、積層構造を用いることができる。積層構造が用いられるときには、第1の層に接する積層形成層は単一のガラス材料またはガラス-セラミック材料からなる第2の層について本明細書で論じられた特性を有するべきである。第1の層に接しないそれぞれの積層形成層もそのような特性を有することが好ましいが、それらの積層形成層は第1の基板と直接に相互作用することはないから、緩められた特性を有することができる。後者の場合、第2の層について指定された特性がもはや満たされなくなったときに、第2の層は終端したとみなされる。

40

【0034】

同様に、第1の層と第2の層の間に中間層があり得る。例えば、本明細書で以下に説明される接合形成プロセスにおいて、第1の層及び第2の層のいずれかまたはいずれもそれぞれの外表面を完全にまたは部分的に覆う表面層、例えば半導体上の酸化物層を有することができる。そのような表面層は、存在する場合に、第1の層と第2の層の間の強い接合の形成を妨げるであろう組成及び/または厚さを有するべきではない。特に、半導体基板

50

上の約100nmより厚い酸化物層はガラスまたはガラス-セラミックの基板との接合を弱めるかまたは接合を生じさせないようにすることができる。第1の層と第2の層の間に1つまたはそれより多くの中間層がある場合には、総合中間層厚は約100nmより薄いことが望ましい。いかなる中間層の総合厚も約50nmより薄いことがさらに望ましく、約30nmより薄いことがさらに一層望ましい。

【0035】

いかなる特定の動作理論にもしたがうつもりはないが、酸化物層が厚くなるほど電流に対する抵抗が高くなり、よって、本明細書で以下に説明される方法において望ましい強い結合を与えると考えられる第1の層と第2の層の間の界面における電解型反応が弱められると考えられる。したがって、第1の層の接合面上に酸化物層が存在する場合、酸化物層は第一義的に、絶縁層ではなく、パッシベーション層として機能するべきである。同様に、第2の層の接合面上に形成されるいかなる酸化物層も電流を妨げるべきではなく、したがってその厚さは約100nmより薄いことが望ましいであろう。第1の層及び第2の層の接合面上に表面層が存在する場合、表面層は絶縁体上半導体構造の第1の層と第2の層の間の中間層となる。

10

【0036】

本発明においてガラスとして用いるに望ましいガラス類には、アルミノケイ酸ガラス、ホウケイ酸ガラス、アルミノホウケイ酸ガラス及び希土類アルミノケイ酸ガラスがある。適する低膨張ガラス組成の例が以下の表1及び2にモル%単位で与えられる。当業者であれば標準的な方法を用いて表1及び2の組成並びにその他の適する組成のガラスを作成することができる。例えば、以下に挙げられるガラスを、成分の酸化物、ハロゲン化物（例えば $AlCl_3$ ）、リン酸塩（例えば $Al(PO_3)_3$ または $AlPO_4$ ）及び/または炭酸塩（ $CaCO_3$ ）の粉末をボールミル内で1時間混合して1kgのバッチを作成することによって、作成することができる。次いで混合バッチをPtのつばに装填し、グローバール炉内において1650で一晚溶融し、その後溶融ガラスを鋼板上に注ぎ、応力を緩和するために850~950でアニールすることができる。当業者であれば組成を修正することによってこれらのガラスの特性を調製することができる。例えば、 SiO_2 含有量を減らすかまたは希土類酸化物含有量を増やすことでCTEを大きくすることができる。 SiO_2 含有量を増やして RE_2O_3 （RE=希土類）に対する Al_2O_3 の比を高めることによって、さらに RE_2O_3 の素性を変えることによって、歪点を高めることができる。例えば、 La_2O_3 を Y_2O_3 で置換すれば、歪点が高められ、CTEが小さくなるであろう。当業者であれば、本明細書で以下に説明する接合形成方法に用いるに一層適するガラスを得るために、以下に挙げられるアルカリ金属イオン及びアルカリ土類金属イオンを含有しない組成に、少量の（例えば数%までの）アルカリ金属イオンまたはアルカリ土類金属イオンを添加することができる。

20

30

【表 1】

表1

例	SiO ₂	Al ₂ O ₃	Al ₂ Cl ₆	CaO	La ₂ O ₃	Y ₂ O ₃	TiO ₂	P ₂ O ₅	歪点 (°C)	アニール 温度 (°C)	CTE(25- 300 °C) (x10 ⁻⁷ /°C)
1A	78	15.4	0	0	2.6	0	0	4	837	894	18
1B	79.62	7.47	0.12	12.80	0	0	0	0	783	835	33
1C	81.23	8.34	0.12	9.82	0.20	0.29	0	0	808	863	30
1D	82.92	9.26	0.12	6.71	0.41	0.58	0	0	826	883	27
1E	84.70	10.22	0.13	3.44	0.62	0.90	0	0	840	900	19
1F	86.57	11.22	0.13	0	0.85	1.23	0	0	908	982	15
1G	86.24	11.18	0.13	0	0	2.45	0	0	914	994	16
1H	86.89	11.27	0.13	0	1.71	0	0	0	896	966	15
1I	89.98	7.44	0.12	0	0.81	0	1.65	0	887	964	11
1J	89.70	7.41	0.12	0	0.71	0	2.06	0	890	965	9
1K	76	12.1	0.5	11.4	0	0	0	0	812	867	32
1L	75.75	13.2	0.5	8.55	1	1	0	0	804	858	32
1M	75.5	14.3	0.5	5.7	2	2	0	0	808	859	31
1N	75.25	15.4	0.5	2.85	3	3	0	0	819	867	30
1O	75	16.5	0.5	0	4	4	0	0	831	876	32
1P	75	16.5	0.5	0	8	0	0	0	812	860	36
1Q	82	11.5	0.5	0	4	0	2	0	867	929	22
1R	82	11.5	0.5	0	3.5	0	2.5	0	876	943	22
1S	80	10.5	0.5	9	0	0	0	0	818	875	26
1T	80	12.5	0.5	4.5	1.25	1.25	0	0	820	870	28
1U	80	13.5	0.5	2.25	1.875	1.875	0	0	830	881	25
1V	80	14.5	0.5	0	2.5	2.5	0	0	854	905	26
1W	81	10.75	0.5	6.75	0.5	0.5	0	0	814	869	26
1X	82	11	0.5	4.5	1	1	0	0	820	876	24
1Y	83	11.25	0.5	2.25	1.5	1.5	0	0	843	901	22
1Z	84	11.5	0.5	0	2	2	0	0	893	959	22

10

20

【表 2】

表2

例	SiO ₂	Al ₂ O ₃	La ₂ O ₃	Y ₂ O ₃	SrO	Na ₂ O	SnO ₂	液相線温度 (°C)	CTE(25- 300 °C) (x10 ⁻⁷ /°C)
2A	82	12.6	4.9	0.5	0	0.5	0	1450	-
2B	80	14	3	3	0	0.5	0	1450	-
2C	80	14	2.75	2.75	1	0	0	1480	-
2D	80	14	3	3	0	0	0	1470	29
2E	84	11.2	4.3	0	0.5	0	0.5	1490	-

30

【0037】

本発明の絶縁体上半導体構造における第2の層としての使用に適する別のタイプのガラスはアルミニウムリンケイ酸ガラスである。(以下の表3における例3A~3Cの組成のような)単純な三元組成は、最小の熱膨張係数及び高い歪点を有する傾向がある。しかし、単純な三元組成と半導体材料の間の膨張不整合は大きすぎる(例えば歪半導体層の破損または離層を生じさせるほど大きい)はずであり、単純な三元ガラスに1つまたはそれより多くの修飾成分を添加することによってCTEがより大きなガラスを提供することが可能である。代表的な修飾成分にはアルカリ金属酸化物及びアルカリ土類金属酸化物(例えば、Na₂O, Li₂O, BaO, CaO)があり、さらに、ZnO, Y₂O₃, La₂O₃, Ga₂O₃, TiO₂, ZrO₂, HfO₂, GeO₂, Nb₂O₅及びTa₂O₃がある。BaO, Y₂O₃及びLa₂O₃のような成分は、ガラスの歪点を大きく下げ

40

50

ることなくCTEを大きくすることから、特に望ましい改質剤である。修飾ガラスの例が以下の表3の例3D~3Nとして示される。当業者であれば、本発明に使用するためのアルミニウムリンケイ酸ガラスを得るために従来の溶融/形成プロセスを用いることができ、本明細書で以下に説明される接合形成方法での使用に一層適するガラスを得るために、以下に挙げられるアルカリ金属及びアルカリ土類金属を含有しない組成に少量の(例えば数%までの)アルカリ金属イオンまたはアルカリ土類金属イオンを添加することができる。例えば、シリカ、アルミナ、メタリン酸アルミニウム(またはオルトリン酸アルミニウム)及び適する酸化物または炭酸塩としてのいずれかの改質剤の混合物を原材料として用いて、PTるつぼ内で1650で溶融することができる。ガラスは一般に約900でアニールされる。アルミニウムリンケイ酸ガラスは、その全体が本明細書に参照として含まれる、題名を「高歪点ガラス(High Strain Point Glasses)」とする、米国仮特許出願公開第60/533765号明細書にさらに詳細に説明されている。

10

【表3】

表3

例	Al ₂ O ₃	P ₂ O ₅	SiO ₂	BaO	Y ₂ O ₃	La ₂ O ₃	ZrO ₂	Na ₂ O	歪点(°C)	CTE(25-300°C) (x10 ⁻⁷ /°C)
3A	23	7	70	0	0	0	0	0	864	10.1
3B	22	9	69	0	0	0	0	0	875	8.6
3C	23	8	69	0	0	0	0	0	860	10.1
3D	21.9	7.6	65.5	5	0	0	0	0	824	20.6
3E	21.3	7.4	63.8	7.5	0	0	0	0	812	27.9
3F	22.4	7.8	67.3	0	2.5	0	0	0	856	16.7
3G	21.9	7.6	65.5	0	5	0	0	0	841	22.3
3H	21.3	7.4	63.8	0	7.5	0	0	0	834	27.9
3I	21.9	7.6	65.5	0	2.5	0	2.5	0	846	18.2
3J	21.9	7.6	65.5	0	3.7	0	1.3	0	836	18.8
3K	22.4	7.8	67.3	0	0	2.5	0	0	840	17.0
3L	21.9	7.6	65.6	0	0	5	0	0	824	23.5
3M	21.9	7.6	65.6	0	0	2.5	2.5	0	829	19.6
3N	21.8	7.92	64.4	0	0	0	0	0.99	819	18.9

20

30

【0038】

本発明に用いるに適するガラス-セラミック材料は、スピネル、 α -石英及び α -リチアの結晶をベースとする組成を含む、数多くの組成類に見いだすことができる。本発明に用いるに適するガラス-セラミックは、ムライト、コージェライト、及び α -ユークリプタイトなどの別の結晶相をベースとすることができる。そのような組成の例が表4に示され、米国特許第5968857号明細書及び米国特許第6248678号明細書に説明されている。これらの特許明細書のそれぞれはそれぞれの全体が本明細書に参照として含まれる。CTEが小さいかまたは負でさえもあって、適する歪点を有する、その他のガラス-セラミック材料(例えば、 α -ユークリプタイトまたはリチウムアルミノケイ酸 α -石英ガラス-セラミックのような α -石英)も本発明に用いることができる。低膨張ガラス-セラミック材料は、当業者に良く知られている方法を用いて作成することができる。ほとんどのガラス-セラミックはいくらかのアルカリ金属イオンまたはアルカリ土類金属イオンを有するが、アルカリ金属またはアルカリ土類金属を含有しない、いかなる既知の低膨張ガラス-セラミックも、本明細書で以下に説明する接合形成方法に用いるに一層適するガラス-セラミック材料を得るために、少量のアルカリ金属イオンまたはアルカリ土類金属

40

50

イオンで修飾することができる。

【表 4】

表 4

組成(重量%)	例 4A	例 4B	例 4C	例 4D	例 4E
SiO ₂	71.6	68.8	68.8	68.8	70.7
Al ₂ O ₃	12.7	19.2	19.2	19.2	22.1
ZnO	4.4	1.0	1.0	1.0	0
MgO	2.1	1.8	1.8	1.8	0
BaO	1.2	0.8	0.8	0.8	0
Li ₂ O	0	2.7	2.7	2.7	4.0
Na ₂ O	0	0	0	0	2.0
K ₂ O	0	0	0	0	1.2
TiO ₂	5.0	2.7	2.7	2.7	2.8
ZrO ₂	3.0	1.8	1.8	1.8	1.6
熱処理	1000 °C, 2時間	920 °C, 0.5時間	1050 °C, 0.5時間	1100 °C, 0.5時間	850 °C, 2時間
結晶相	スピネル	β-石英	β-石英 + β-リチア	β-リチア	β-石英
CTE(25-300 °C) (x10 ⁻⁷ /°C)	25	4.7	7.8	7.9	24
歪点 (°C)	938	870	1001	1018	測定せず

10

20

30

40

50

【 0 0 3 9 】

与えられた使用温度における第 1 の層の引っ張り歪は、接合形成温度と使用温度の間の温度差に、また第 1 の層及び第 2 の層の材料の温度の関数としての相対 C T E にも、強く依存するであろう。本明細書で用いられるように、接合形成温度は第 1 の層と第 2 の層が接合される界面における温度である。接合形成温度は T_1 と T_2 の間にあるであろう。また、 T_1 と T_2 の平均として近似することができ、あるいは、当業者には明らかであろうように、熱モデルまたは温度測定によって決定することができる。使用温度において第 1 の層に歪を入れるためには、第 1 の層は接合形成温度 $T_{\text{接合}}$ から使用温度への冷却の結果としてより大きく収縮しようとしなければならない。よって、本発明の一実施形態にしたがえば、第 1 の層及び第 2 の層の C T E は、式：

【 数 2 】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【 0 0 4 0 】

がゼロより大きくなるような C T E である。式：

【数 3】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【0041】

は約 1×10^{-4} より大きいことが望ましい。式：

【数 4】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

10

【0042】

は約 2×10^{-4} より大きいことがさらに望ましい。本発明のいくつかの特に望ましい実施形態においては、式：

【数 5】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

20

【0043】

が約 5×10^{-4} より大きい。絶縁体上半導体構造は、25 ~ 100 の使用温度範囲にわたって、式：

【数 6】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【0044】

が上に挙げた値を有することが望ましい。例えば、本発明の一実施形態にしたがえば、絶縁体上半導体構造は25 の使用温度 $T_{\text{使用}}$ において、式：

30

【数 7】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【0045】

は上に挙げた値を有する。本発明の別の実施形態にしたがえば、絶縁体上半導体構造は100 の使用温度において、式：

【数 8】

40

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【0046】

は上に挙げた値を有する。

【0047】

当業者には理解されるであろうように、ガラスまたはガラス - セラミックとそれに接合された半導体層の間の接合の強度は絶縁体上半導体構造の肝要な特性である。高い接合強度及び耐久性は、絶縁体上半導体構造が絶縁体上半導体構造内または絶縁体上半導体構造

50

上での薄膜トランジスタ及びその他のデバイスの作成にともなう処理に耐え得ることを保証するために、極めて重要である。第1の層と第2の層の間の接合強度は少なくとも 8 J/m^2 であることが望ましい。第1の層と第2の層の間の接合強度は少なくとも 10 J/m^2 であることがさらに望ましい。本発明のいくつかの特に望ましい実施形態において第1の層と第2の層の間の接合強度は少なくとも 15 J/m^2 である。接合エネルギーは、バーコピッチ (Berkovich) ダイヤモンド圧子を装着した (米国ミネソタ州イーデンプレイリー (Eden Prairie), エムティーエス・システムズ社 (MTS Systems Corporation) の) ナノインデントーII (Nano Indenter II) を用いて行うことができる、押込測定を用いて決定することができる。当業者であれば理解するであろうように、別の装置を用いて押込測定を行うことができる。押込はある負荷範囲にわたってなされなければならない、押込部の直近周辺領域は離層の形跡の有無について検証されなければならない。接合エネルギーの計算は、該当部分が本明細書に参照として含まれる、ディー・ビー・マーシャル (D. B. Marshall) 及びエイ・ジー・エバンス (A. G. Evans), 「有残留応力膜の押込による密着性の測定 I: 界面離層機構 (Measurement of Adherence of Residually Stressed Films by Indentation. I. Mechanics of Interface Delamination)」, J. Appl. Phys., 1984年, 第56巻, 第10号, p. 2632 ~ 2638 にしたがって行った。接合エネルギー決定のさらなる詳細は米国特許出願公開第10/779582号明細書に見ることができる。

【0048】

本発明の別の実施形態が図2に簡略な断面図で示される。絶縁体上半導体構造40は、実質的に図1の実施形態について上述したような、第1の層42及び第2の層44を有する。第2の層44は第1の面46及び距離 D_2 だけ隔てられた第2の面48を有し、第1の面46は第2の面に実質的に平行であり、第2の面48よりも第1の層42に近い。これらの面は、面間に若干の (例えば数度までの) 角度があるかもしれないという事実を考慮に入れるために、「実質的に平行」とであると説明される。「実質的に平行」とは、面の内の1つまたはそれより多くが完全に平坦でないかもしれないという可能性も含む。第2の層44は、第2の層44内にあり、第1の面46に実質的に平行であって、距離 $D_2/2$ だけ第1の面46から隔てられた、基準面50も有する。第2の層44は1つまたはそれより多くの種類の陽イオンを含有し、それぞれの種類の陽イオンは基準面50において基準濃度 $C_{i/基準}$ を有する。第2の層は、少なくとも1つの種類の陽イオンの濃度が基準濃度 $C_{i/基準}$ に対して低下している、第1の面に始まり、基準面に向けて広がる、陽イオン空乏領域52も有する。空乏イオンは可動陽イオン、例えばアルカリ金属イオンまたはアルカリ土類金属イオンとすることができる。陽イオン空乏領域は以下で本明細書に、また米国特許出願公開第10/779582号明細書に、説明される方法における工程(C)中の陽イオンの移動によって、形成することができる。

【0049】

図3に簡略な断面図で示される、本発明の別の実施形態にしたがえば、(実質的に図2に関して上述したような) 絶縁体上半導体構造60の陽イオン空乏領域52は遠端62を有する。第2の層44はさらに遠端62の近傍にパイルアップ領域54を有する。パイルアップ領域54内では、少なくとも1つの種類の陽イオンの濃度がそのイオンについての $C_{i/基準}$ に対して高められている。高められるイオンは、例えば、アルカリ金属イオンまたはアルカリ土類イオンなどの可動イオンとすることができる、陽イオン空乏領域52の空乏イオンと同じであることが望ましい。パイルアップ領域は以下で本明細書に、また米国特許出願公開第10/779582号明細書に、説明される方法における工程(C)中の陽イオンの移動によって、形成することができる。

【0050】

本発明の別の実施形態が図4に簡略な断面図で示される。絶縁体上半導体構造80は、実質的に上述したような、第1の層82及び第2の層84を有する。絶縁体上半導体構造80は順に、半導体材料層90, 酸素含有量が高められた半導体材料層92, 少なくとも1つの種類の陽イオンについて陽イオン濃度が低められたガラスまたはガラス-セラミッ

クの層 9 4 , 少なくとも 1 つの種類陽イオンについて陽イオン濃度が高められたガラスまたはガラス - セラミック材料の層 9 6 , 及びガラスまたはガラス - セラミックの層 9 8 を有する。そのような構造は、以下で本明細書に、また米国特許出願公開第 1 0 / 7 7 9 5 8 2 号明細書に、説明される方法を用いて形成することができる。

【 0 0 5 1 】

本発明のいくつかの望ましい実施形態において、第 2 の層のガラスまたはガラス - セラミックは比較的濃度が低いアルカリ金属イオンを含有する。ガラスまたはガラス - セラミック内のリチウム、ナトリウム及びカリウムのイオンの濃度の和は酸化物基準で約 2 重量 % より小さいことが望ましい。ガラスまたはガラス - セラミック内のリチウム、ナトリウム及びカリウムのイオンの濃度の和は酸化物基準で約 1 重量 % より小さいことがさらに望ましい。本発明のいくつかの特に望ましい実施形態において、ガラスまたはガラス - セラミック内のリチウム、ナトリウム及びカリウムのイオンの濃度の和は酸化物基準で約 0 . 1 重量 % より小さい。

10

【 0 0 5 2 】

以下で本明細書に、また米国特許出願公開第 1 0 / 7 7 9 5 8 2 号明細書に、説明される方法により、当業者による大寸絶縁体上歪半導体構造の作成が可能になる。例えば、本発明の一実施形態にしたがえば、本明細書に説明されるような絶縁体上半導体構造の最大寸法は 1 0 c m 以上である。

【 0 0 5 3 】

本発明の絶縁体上半導体構造は事実上いかなる所望の層厚でも作成することができる。例えば、第 1 の層の厚さは約 1 0 μ m 未満であることが望ましい。第 1 の層の厚さは約 1 μ m 未満であることがさらに望ましい。本発明のいくつかの望ましい実施形態において、第 1 の層の厚さは約 1 0 n m と 5 0 0 n m の間である。第 2 の層の厚さは約 0 . 1 m m と約 1 0 m m の間であることが望ましい。第 2 の層の厚さは約 0 . 5 m m と約 1 m m の間であることがさらに望ましい。絶縁体上半導体構造のいくつかの用途について、例えば、シリコン / S i O ₂ / シリコン構成を有する標準的な絶縁体上半導体構造を高周波で動作させる場合に生じる寄生容量効果を避けるためには、1 μ m 以上の厚さを有する絶縁層が望ましい。以前は、そのような厚さを達成することは困難であった。本発明の一実施形態にしたがえば、単に厚さが 1 μ m 以上の第 2 の層を用いることによって、1 μ m より厚い絶縁層を有する絶縁体上半導体構造が容易に達成される。すなわち、第 2 の層の厚さに関する好ましい下限は 1 μ m である。

20

30

【 0 0 5 4 】

一般的に言って、第 2 の層には、本発明のプロセス工程を通し、さらに S O I 構造に施される以降の処理も通して、第 1 の層を支持するに十分な厚さが必要である。第 2 の層の厚さに関する理論的上限はないが、支持機能に必要であるかまたは最終の S O I 構造に望ましい厚さをこえる厚さは一般に、第 2 の層が厚くなるほど、本発明の方法の工程 (C) 中の基板内の、同じ印加電圧差に対する、電場強度が低くなるので好ましくない。

【 0 0 5 5 】

本発明の絶縁体上半導体構造は多くの種類の半導体ベースデバイス及び最終製品に用いることができる。例えば、本発明の一実施形態にしたがえば、薄膜トランジスタは、上述したような絶縁体上半導体構造を含むパターン付素子を有する。本発明の別の実施形態にしたがえば、液晶ディスプレイは液晶材料及び、実質的に透明な第 2 の層を有することが望ましい、上述したような絶縁体上半導体構造を含むパターン付素子を有する。本発明の別の実施形態にしたがえば、O L E D デバイスは有機発光材料及び、実質的に透明な第 2 の層を有することが望ましい、上述したような絶縁体上半導体構造を含むパターン付素子を有する。米国特許出願公開第 1 0 / 7 7 9 5 8 2 号明細書に説明されるように、当業者であればこれらのデバイスを作成するために従来の方法を用いることができる。

40

【 0 0 5 6 】

図 5 ~ 8 に簡略な断面図で示される本発明の別の実施形態は、絶縁体上半導体構造、特に S O G 構造を作成する方法に関する。図 5 に示される、本方法の工程 (A) において第

50

1の基板110及び第2の基板120が提供され、

(1)第1の基板110は第2の基板と接合するための第1の外表面111(第1の接合面)、第1の基板に力を印加するための第2の外表面112(第1の力印加面)及び第1の基板を第1の部分114と第2の部分115に分離するための内部域113(内部域113は以降「分離域」と称され、例えば水素イオン注入域とすることができる)を有し、

(a)第1の接合面111,第1の力印加面112及び分離域113は互いに実質的に平行であり、

(b)第2の部分115は分離域113と第1の接合面111の間にあり、

(c)第1の基板110は実質的に単結晶の半導体材料からなり、

10

(2)第2の基板120は、一方は第1の基板との接合のための外表面121(第2の接合面)であり、他方は第2の基板に力を印加するための外表面122(第2の力印加面)である、2つの外表面121,122を有し、

(a)第2の接合面121と第2の力印加面122は互いに実質的に平行であって、距離 D_2 だけ相互に隔てられており、

(b)第2の基板120はガラスまたはガラス-セラミックからなる。

【0057】

図6に示される本方法の工程(B)において、第1の接合面111と第2の接合面112が接触させられる(接触すると、第1の接合面と第2の接合面は第1の基板と第2の基板の間に本明細書で「界面」と称される領域を形成する)。

20

【0058】

図7に示される本方法の工程(C)において、第1の基板と第2の基板を第1の接合面と第2の接合面で(すなわち界面で)接合するに十分な時間をかけて、

(1)第1の力印加面112及び第2の力印加面122に力を印加して第1の接合面111と第2の接合面121を互いに押し付ける工程、

(2)第1の力印加面112及び第2の力印加面122のそれぞれにおける第1の電圧 V_1 及び第2の電圧 V_2 で表される電場を第1の基板110及び第2の基板120にかける工程であって、第1の電圧 V_1 及び第2の電圧 V_2 はそれぞれ第1の力印加面112及び第2の力印加面122において一様であり、電場が第1の基板110から第2の基板120に向けられるように第1の電圧 V_1 が第2の電圧 V_2 より大きい、工程、及び

30

(3)第1の基板110及び第2の基板120を加熱する工程であって、加熱は第1の力印加面112及び第2の力印加面122のそれぞれにおける第1の温度 T_1 及び第2の温度 T_2 で表され、第1の温度 T_1 及び第2の温度 T_2 は、それぞれ第1の力印加面112及び第2の力印加面122において一様であり、共通温度への冷却時に第1の基板110及び第2の基板120が相異なる収縮を受け、よって分離域113において第1の基板110を弱化させるように、選ばれる、工程、
が実質的に同時に施される。

【0059】

図8に示される工程(D)において、接合された第1の基板110と第2の基板120は共通温度まで(例えば、室温のような共通温度まで)冷却され、第1の部分114と第2の部分115が分離域113 a-bにおいて分離され、よって(第1の基板110から生じる)第1の層142及び(第2の基板120から生じる)第2の層144を有する絶縁体上半導体構造が形成される。

40

【0060】

ガラスまたはガラス-セラミックのCTEと半導体材料のCTEは、使用温度において半導体材料に引っ張り歪が入るように選ばれることが望ましい。例えば、25、100

において、あるいは25~100の温度範囲にわたり、半導体材料に引っ張り歪が入ることが望ましい。第1の基板及び第2の基板の材料の特性(CTE及びその他)は、実質的に本発明の絶縁体上半導体構造について上述したような特性であることが望ましい。

例えば、本発明の望ましい実施形態において、ガラスまたはガラス-セラミックのCTE

50

(25 ~ 300) は、半導体材料の CTE (25) より正で小さい。本発明の別の望ましい実施形態において、第 1 の層の材料の CTE と第 2 の層の材料の CTE は、式：

【数 9】

$$\int_{T_{\text{使用}}}^{T_{\text{接合}}} [\text{CTE}_{\text{第1層}}(T) - \text{CTE}_{\text{第2層}}(T)] dt$$

【0061】

が、例えば、25、100、あるいは25 ~ 100 の温度範囲の使用温度に対して、ゼロより大きいような CTE である。

【0062】

本発明の一実施形態にしたがえば、ガラスまたはガラス - セラミックは以下の特徴：

(i) ガラスまたはガラス - セラミックは 1000 より低い歪点を有し、工程 (C) 中に、第 2 の基板 120 内で第 2 の接合面 121 から離れて第 2 の力印加面 122 に向かう方向に移動する、陽イオン (例えば、アルカリ金属イオンまたはアルカリ土類金属イオン) を含有する；及び / または

(ii) ガラスまたはガラス - セラミックは、(a) 非架橋酸素及び (b) 工程 (C) 中に、第 2 の基板 120 内で第 2 の接合面 121 から離れて第 2 の力印加面 122 に向かう方向に移動する、陽イオン (例えば、アルカリ金属イオンまたはアルカリ土類金属イオン) を含有する；

のいずれかまたはいずれも示すことが望ましい。

【0063】

技術上知られているように、ガラス内またはガラス - セラミックのガラス相内の非架橋酸素は、ガラスの非網目形成成分によってガラスに与えられる酸素である。例えば、多くのガラスにおいて、非架橋酸素は、ガラス組成におけるアルカリ土類金属酸化物 (例えば、MgO, CaO, SrO 及び / または BaO) の導入によってガラスの一部となる酸素を含む。

【0064】

いかなる特定の動作理論にもしたがうつもりはないが、電解型反応が工程 (C) 中におこると考えられる。詳しくは、半導体基板 (第 1 の基板) が電解型反応の陽電極としてはたらき、反応性酸素が第 1 の基板と第 2 の基板の間の界面の領域でつくられると考えられる。この酸素が半導体材料 (例えばシリコン) と反応して、その場で、酸化半導体混在領域 116 (例えばシリコンベース半導体についてはシリコン酸化物領域) を形成すると考えられる。この混在領域は界面に始まり、第 1 の基板内に広がる。第 2 の基板のガラスまたはガラス - セラミック内の非架橋酸素の存在が第 1 の基板の半導体材料と反応する酸素の発生の役を果たすと考えられる。

【0065】

反応性酸素のそのような発生及び半導体材料との化合が、本発明により第 1 の基板の半導体材料と第 2 の基板のガラスまたはガラス - セラミックの間に達成される強い結合の源である、すなわち第 1 の基板と第 2 の基板の間の結合の少なくとも一部 (おそらくは全て) は第 2 の基板から発する反応性酸素との半導体材料の反応による、と考えられる。重要なことは、従来手法とは異なり、この強い結合が高温処理、すなわち 1000 をこえる温度での処理を必要とせずに達成されることである。

【0066】

この高温プロセスを回避できる能力により、第 2 の基板を低コストで大量生産できる材料とすることが可能になる。すなわち、高温プロセスを排することによって、シリコン、石英、ダイヤモンド、サファイア等のような、高価な耐熱材料で支持基板をつくる必要がなくなる。

【0067】

特に、高温処理を必要とせずに強い結合を達成できる能力により、第 2 の基板をガラス

10

20

30

40

50

またはガラス - セラミックでつくるのが可能になり、一実施形態においてガラスまたはガラス - セラミックは1000より低い歪点を示す。さらに詳しくは、ディスプレイ用途に対して、ガラスまたはガラス - セラミックは一般に800より低く、別の実施形態においては700より低い歪点を有する。エレクトロニクス及びその他の用途に対しては、歪点は1000より低いことが好ましい。ガラス作成技術で良く知られているように、歪点が低いガラス及びガラス - セラミックは歪点が高いガラス及びガラス - セラミックより製造が容易である。

【0068】

接合形成を容易にするため、ガラスまたはガラス - セラミックは少なくともある程度は電気を伝導できるべきである。ガラス及びガラス - セラミックの導電度はそれぞれの温度に依存し、したがって半導体材料とガラスまたはガラス - セラミックとの間の強い結合の達成において、1) ガラスまたはガラス - セラミックの導電度、2) 工程(C)で用いられる温度(T_1 及び T_2)、3) 工程(C)中に第1の基板と第2の基板に印加される電場の強度及び4) 工程(C)が実施される時間の長さの間には適切な関係がある。

10

【0069】

一般的ガイドラインとして、ガラスまたはガラス - セラミックは、 250 で 10^{16} - cm以下の比抵抗 (すなわち、 250 で 10^{-16} シーメンス/cm以上の導電度) を有することが好ましい。 250 での 10^{13} - cm以下であることがさらに好ましく、 $10^{11.5}$ - cm以下であることが最も好ましい。石英は、必要条件である 250 で $10^{11.8}$ - cmの比抵抗を有するが、工程(C)中に移動できる陽イオンが欠けており、したがって、石英は上記手順にしたがう絶縁体上半導体構造の作成において第2の基板として使用するには不適であることになる。

20

【0070】

いくつかの第1の基板/第2の基板の組合せに対しては、第1の基板110の第2の部分115の第2の基板120への接合の達成に、第1の基板110の接合面111の水素濃度を低減するための前処理が有益であることが見いだされた。詳しくは、水素イオンが注入されたシリコンウエハからアルカリ土類金属イオンを含有するガラス基板にシリコン膜を移載する場合に、そのような水素イオン濃度の低減が特に重要であることが見いだされた。水素濃度の低減は、無線用途またはその他のエレクトロニクス用途におけるRF用途に必要であると考えられる、高い、例えば850 ~ 900の範囲の、歪点を有するガラス及びガラス - セラミックに対しても有益であろうと考えられる。

30

【0071】

特に、水素イオン注入後、イオン注入されたシリコンウエハの表面は高い水素濃度、例えば高い水素イオン濃度を有することが見いだされた。Si表面における水素終端は結合形成プロセスを抑制し、したがって、上述したタイプのガラスウエハへのSi層の有効な移載を得るためには、イオン注入されたSiウエハの表面上の水素濃度を緩やかな酸化処理を用いて低減することが望ましいことが見いだされた。水素濃度の低減により、イオン注入されたシリコンウエハはさらに親水性になり、電圧及び熱の印加中に接合形成がおこることが可能になる。本プロセス中に形成される強い結合により、母材ウエハからのSi膜の均一な分離が可能になる。

40

【0072】

定量的には、水素低減処理を欠くと、ガラスウエハの約10%しかSi膜で覆われず、覆われた領域であっても、Si膜は一様にならない傾向がある。しかし、Siの表面における水素濃度が酸化処理によって低減されると、一様なSi膜がガラスウエハの全面にわたって接合されるようになる。

【0073】

イオン注入されたウエハの表面上の水素濃度を低減するためには様々な手法を用いることができる。好ましい手法には、酸素プラズマによるウエハの処理、過酸化水素処理、過酸化水素/アンモニア処理、過酸化水素/アンモニア処理及びこれに続く過酸化水素/酸処理、及びこれらの処理の組合せのような、緩やかな表面酸化処理がある。酸素プラズマ

50

処理が、特に工業環境において、好ましい手法である。いかなる特定の動作理論にもしたがうつもりはないが、これらの処理中に、水素表面終端基が酸化されて水酸基になり、この水酸基が続いてシリコンウエハの表面を親水性にすると考えられる。処理は、酸素プラズマについては室温で、アンモニア + 過酸化水素処理またはアンモニア + 過酸化水素処理及びこれに続く酸 + 過酸化水素処理については 25 ~ 100 の範囲の温度で、行われることが好ましい。

【0074】

上述の議論はシリコンウエハに関してなされているが、水素濃度の低減はシリコン以外の半導体材料からなる水素イオンが注入された半導体ウエハに対しても有益であろうと考えられる。

10

【0075】

図6に戻れば、本図は、第1の基板110と第2の基板120がそれぞれの接合面111及び121において接触させられる、本発明のプロセスの工程(B)を示す。本発明の好ましい実施形態においては、第1の基板及び第2の基板が工程(B)に先だって加熱される。例えば、第1の基板及び第2の基板は力印加面112及び122の温度がそれぞれ T_1 及び T_2 になるように加熱される。このようにすれば、工程(C)の接合形成プロセス中における第1の基板と第2の基板の間の膨張差の発生が回避される。あるいは、第1の基板及び第2の基板は工程(B)に先だって予備加熱されず、接合面111と接合面121が接触させられた後の、工程(C)の開始前及び/または実質的な接合形成がおこる前の工程(C)の初期期間中に、加熱される。予備加熱が行われる場合には、スパーサーで接合面を隔てておくことができ、スパーサーは第1の基板と第2の基板が所望の温度に達すると取り除かれる。

20

【0076】

図7の参照数字140で簡略に示されるプロセスチャンバは、様々な構成をとることができる。実験目的のためには、独国ミュヘン(Munich)のシュス・マイクロテック(SUSS MICROTEC)社から販売されているタイプのボンダーをプロセスチャンバとして用いることができる。同じ装置を工業用途に用いることはできるが、多数の第1の基板/第2の基板集成体を同時に処理できる装置が一般に好ましいであろう。

【0077】

本発明は低から中程度の、温度、圧力、電場強度及び真空レベルを用いるからプロセスチャンバが満たすべき要件は過重ではなく、これは本発明の別の重要な利点である。すなわち、本発明は、比較的安価であり、広範に入手できるかまたは特注用途のために容易に製作できる、装置で実施することができる。

30

【0078】

図7は、第1の基板と第2の基板が接合される、本プロセスの中核工程、すなわち工程(C)を示す。工程(C)は第1の基板と第2の基板を第1の接合面及び第2の接合面において接合するに十分な時間をかけて行われる。例えば、工程(C)は45分と90分の間の時間で実施することができる。当然、時間は短い(例えば、30分より短い)ほど一般には好ましく、工業環境においては、基板材料、プロセス温度及び印加電圧の最適化により、工程(C)の実施に必要な時間は5~15分に、またはさらに、短くできることが期待される。

40

【0079】

工程(C)は中程度の真空状態の下で行われることが好ましい。すなわち、工程(C)が行われている間、チャンバ140は排気される。チャンバ内の圧力は1ミリバール(1hPa)以下であることが好ましく、 10^{-3} ミリバール(0.1Pa)以下であることが最も好ましい。あるいは、工程(C)は、アルゴン、ヘリウム等の雰囲気などの、不活性雰囲気内で行うことができる。

【0080】

第1の基板と第2の基板のいかなる特定の組合せに対しても、当業者であれば本開示から工程(C)に適する時間、温度及び電場強度の組合せを容易に決定できるであろう。特

50

に、当業者であれば、絶縁体上半導体構造がさらなる処理及び/または使用中にさらされるであろう様々な力及び環境条件に耐えるに十分に強い、半導体とガラスまたはガラス-セラミック間の接合を形成する上記パラメータの組合せを選択することができるであろう。

【0081】

電圧 V_1 及び V_2 は、関係式：

$$100\text{ V/cm} < (V_1 - V_2) / D < 40\text{ kV/cm}$$

を満たすことが望ましく、ここで D は第1の基板の厚さと第2の基板の厚さの和である。

【0082】

接合形成における上述の役割に加えて、工程(C)で印加される電場は、第2の基板内で第2の基板の接合面(第2の接合面)から第2の基板の力印加面(第2の力印加面)に向かう方向への陽イオン(カチオン)の移動もおこさせる。そのような移動は、第1の基板と第2の基板の間の界面に始まり、第2の基板内に広がる陽イオン空乏領域123を形成する、すなわち、陽イオン空乏領域が第2の接合面に始まり、第2の力印加面に向かって第2の基板内に広がることが好ましい。

10

【0083】

そのような陽イオン空乏領域の形成は、ガラスまたはガラス-セラミックがアルカリ金属イオン、例えば、 Li^+ 、 Na^+ 及び/または K^+ を含有している場合に、そのようなイオンは半導体デバイスの動作を妨げることが知られているから特に望ましい。アルカリ土類金属イオン、例えば、 Mg^{2+} 、 Ca^{2+} 、 Sr^{2+} 及び/または Ba^{2+} も半導体

20

【0084】

重要なことには、いったん形成された陽イオン空乏領域は、絶縁体上半導体構造が工程(C)で用いられた高温と同等の温度に加熱されるか、あるいはそれよりある程度高い温度に加熱されても、時間の経過に対して安定であることが見いだされた。高温で形成されていれば、陽イオン空乏領域は絶縁体上半導体構造の通常動作温度及び形成温度において特に安定である。これらの要件により、使用中または以降のデバイスプロセス中にアルカリ金属イオン及びアルカリ土類金属イオンが絶縁体上半導体構造のガラスまたはガラスセラミックから半導体に拡散して戻りはしないであろうことが保証され、これは、工程(C)の接合形成プロセスの一環として電場を用いることから得られる重要な恩恵である。

30

【0085】

強い接合を達成するための作業パラメータの選択に関しては、重要な陽イオンの全てに対して所望の幅及び所望の低減陽イオン濃度の陽イオン空乏領域を達成するために必要な作業パラメータを、当業者であれば、本開示から容易に決定することができる。存在する場合、陽イオン空乏領域は本発明の方法態様にしたがって作成された絶縁体上半導体構造に特有の特徴である。

【0086】

陽イオン空乏領域に加えて、電場の印加はガラスまたはガラス-セラミックに含有されている1つまたはそれより多くの可動陽イオンについて「パイルアップ」領域もつくる

40

【0087】

工程(C)中の第1及び第2の基板の温度、すなわち T_1 及び T_2 の値は、第1の基板が第1の部分と第2の部分に分割されて、第2の部分が第2の基板に接合され得るように、分離域において半導体基板(第1の基板)を弱化させる(例えば破断する)という重要

50

な機能を果たすように選ばれる。

【0088】

いかなる特定の動作理論にもしたがうつもりはないが、分離域における半導体基板の弱化は第一義的に、接合された第1の基板と第2の基板が工程(C)後に、例えば室温まで、冷却されるときにおこると考えられる。 T_1 及び T_2 を適切に選ぶ(以下を見よ)ことによって、この冷却は第1の基板と第2の基板に相異なる収縮をおこさせる。この収縮の差異が分離域における第1の基板の弱化/破断として現れる応力を第1の基板に加える。上で論じたように、収縮の差異は、第1の基板が第2の基板より大きく収縮しようとするような差異である。

【0089】

工程(C)中に用いられる T_1 及び T_2 の値は第1の基板と第2の基板の相対熱膨張係数に依存するであろう。これらの値の選択の最終目標は、冷却中に分離域に応力を与え、よって分離域を弱化させるために、一方の基板、好ましくは第1の基板が他方の基板、好ましくは第2の基板より大きく収縮しようとすることを保証することである。本発明のいかなる特定の応用(例えば、いかなる特定の半導体材料及びいかなる特定のガラスまたはガラス-セラミック)に対しても、当業者であれば、所望のSOI構造を作成するために第1の基板の第1の部分と第2の部分を互いに分離できるように分離域を弱化させるに十分なレベルの収縮差異を与える T_1 及び T_2 の値を本開示に基づいて容易に選ぶことができるであろう。本発明の望ましい実施形態において、 T_1 、 T_2 及びガラスまたはガラス-セラミックの歪点 T_S は関係式：

$$T_S - 350 < T_1 < T_S + 350, \text{ 及び} \\ T_S - 350 < T_2 < T_S + 350$$

を満たす。 T_1 及び T_2 はいずれも300と1000の間であることが望ましい。本発明のいくつかの望ましい実施形態において、 T_1 及び T_2 はいずれも300と800の間である。

【0090】

図8に関連して以下でさらに詳細に論じるように、分離域における第1の部分と第2の部分の分離により、それぞれの部分は分離が生じた「剥離」表面を有することになる。技術上知られているように、初期形成時において、すなわち以降のいかなる表面処理よりも前では、そのような剥離表面は特徴的に、一般に少なくとも0.5nmRMS程度の、例えば1~100nmの範囲の表面粗さを有し、用いられるプロセス条件に依存して、第1の部分または第2の部分の本体内に存在するより高い、ある濃度の、分離域を形成するために用いられた注入イオン、例えば水素を有するであろう。初めに形成された状態での剥離表面は特徴的に、TEMで観察されるように、歪んだ結晶構造も有するであろう。一般的な用途において、剥離表面は使用に先だち、そのRMS表面粗さが1nm以下まで小さくなるように、例えばエレクトロニクス用途については0.1nm程度のRMS表面粗さまで、研磨される。本明細書で用いられるように、「剥離表面」は初めに形成されたままの表面を含み、以降のいかなる処理後の表面も含む。

【0091】

分離域113は当業者に現在知られているかあるいは将来開発され得るタイプの注入/剥離手法を用いて形成される。現在、分離域は上に論じた文献の水素イオン注入法を用いて形成されることが好ましく、これらの文献の該当部分は本明細書に参照として含まれる。水素イオンとヘリウムイオンまたは水素イオンとホウ素イオンの共注入などの、別の現在既知の手法も分離域を形成するために用いることができる。どの手法が選ばれようとも、第1の基板は工程(D)中に分離域において第1の部分と第2の部分に分離可能でなければならない。したがって、分離域は、第1の基板の第1の部分と第2の部分への分割がおこり得るように弱化することによって、熱処理/冷却プロセスに反応する必要がある。

【0092】

工程(C)中に第1の基板及び第2の基板に印加される圧力によって、これらの基板が、この工程の熱処理及び電場処理を受けながら、密に接触することが保証される。このよ

10

20

30

40

50

うにすれば、基板間の強い接合形成を達成することができる。

【0093】

一般に半導体基板（第1の基板）はガラスまたはガラス - セラミック基板（第2の基板）より高いレベルの印加圧力に耐えることができるであろう。したがって、圧力は第2の基板を損傷させずに基板間の密な接触を与えるように選ばれる。

【0094】

広い範囲の圧力を用いることができる。例えば、第1及び第2の基板の第1及び第2の力印加面に印加される単位面積あたりの力Pは、関係式：

$$1 \text{ psi} (6.89 \times 10^3 \text{ Pa}) \leq P \leq 100 \text{ psi} (6.89 \times 10^5 \text{ Pa}),$$

を満たすことが好ましく、関係式：

$$1 \text{ psi} (6.89 \times 10^3 \text{ Pa}) \leq P \leq 50 \text{ psi} (3.45 \times 10^3 \text{ Pa}),$$

を満たすことがさらに好ましい。

【0095】

ここでも、当業者であれば、本発明のいかなる特定の用途に対しても、用いられるべき特定の圧力値を本開示から容易に決定することができる。

【0096】

本発明は単一の第1の基板及び単一の第2の基板を用いて実施することができる。あるいは、本発明の方法は単一の第2の基板上に1つより多くのSOI構造を形成するために用いることができる。

【0097】

例えば、工程(A)から(D)を用いて、第2の基板の全面積は覆わない第1のSOI構造を形成することができる。その後、工程(A)から(D)を反復して、第1のSOI構造で覆われていない面積の全てまたは一部を覆う第2のSOI構造を形成することができる。第2のSOI構造は、第1のSOI構造と同じに構造とするかまたは異なる構造とすることができる。例えば、第2のSOI構造は、第1のSOI構造の作成に用いられた第1の基板の半導体材料と同じかまたは異なる実質的に単結晶の半導体材料からなる第1の基板を用いて、作成することができる。

【0098】

さらに好ましくは、工程(A)において複数の（すなわち2つまたはそれより多くの）第1の基板を提供し、工程(B)においてこれらの第1の基板の全てを単一の第2の基板に接触させ、次いで、得られた複数の第1の基板/単一の第2の基板集成体に工程(C)及び(D)を施すことによって、複数のSOI構造が同時に形成される。工程(A)において提供される複数の第1の基板は、全てを同じとするか、全てを異ならせるか、またはいくつかを同じとしていくつかを異ならせることができる。

【0099】

どの手法が用いられようとも、得られる単一のガラスまたはガラス - セラミック基板上の複数のSOI構造は本発明の特定の用途に適切のように一体のままにしておくかあるいは分割することができる。所望であれば、隣接する構造のいくつかまたは全ての間の間隙を、例えば、いかなる所望の寸法のガラスまたはガラス - セラミック基板上にも1つまたはそれより多くの連続半導体層を得るために、半導体材料で埋めることができる。

【実施例】

【0100】

以下の、限定が目的ではない実施例によって、本発明をさらに説明する。

【0101】

実施例：

表3のガラス3Nの100mm径/1mm厚のウエハを研磨して平滑にした。525µm厚のシリコンウエハに100keV及び 8×10^{16} イオン/cm²のイオンドーズ量で水素イオンを注入し、洗剤及び蒸留水で洗浄し、続いて10%硝酸洗浄を行って、SUSS MICROTRECポウダー内でガラスウエハと接触させた。真空中でガラスウエハを450で加熱し、シリコンウエハを400で加熱して、10psi(6.89×10⁴Pa)の

10

20

30

40

50

圧力及び 1750V の電位差（ガラスを接地し、シリコンウエハに 1750V）を 5 分間印加した。同じ電位差及び圧力の下で、ガラスウエハを 575 で、またシリコンウエハを 525 で、10 分間加熱し、その後、電位差及び圧力を取り除いて、接合されたウエハを冷却させた。冷却されたウエハは、薄いシリコン層をもつガラス上シリコンウエハとシリコンウエハに分離した。ガラス上シリコン層は、薄い、損傷を受けた上層及び損傷していない単結晶シリコンの下層を有していた。薄い損傷層を研磨またはエッチングで取り除いて所望のガラス上シリコンウエハを得ることができた。

【0102】

本発明の精神及び範囲を逸脱せずに本発明に様々な改変及び変形がなされ得ることが当業者には明らかであろう。したがって、本発明の改変及び変形が添付される特許請求項及びそれらの等価物の範囲に入れば、本発明はそのような改変及び変形を包含するとされる。

10

【図面の簡単な説明】

【0103】

【図1】本発明の一実施形態にしたがう絶縁体上半導体構造の簡略な断面図である

【図2】本発明の別の実施形態にしたがう陽イオン空乏領域を有する絶縁体上半導体構造の簡略な断面図である

【図3】本発明の別の実施形態にしたがうパイルアップ領域を有する絶縁体上半導体構造の簡略な断面図である

【図4】本発明の別の実施形態にしたがう絶縁体上半導体構造の簡略な断面図である

20

【図5】本発明の一実施形態にしたがう絶縁体上半導体構造を作成するための工程（A）を示す簡略な断面図である

【図6】本発明の一実施形態にしたがう絶縁体上半導体構造を作成するための工程（B）を示す簡略な断面図である

【図7】本発明の一実施形態にしたがう絶縁体上半導体構造を作成するための工程（C）を示す簡略な断面図である

【図8】本発明の一実施形態にしたがう絶縁体上半導体構造を作成するための工程（D）を示す簡略な断面図である

【符号の説明】

【0104】

30

20, 40, 60, 80 絶縁体上半導体構造

110 第1の基板（半導体基板）

111 第1の接合面

112 第1の力印加面

113 分離域

114 第1の部分

115 第2の部分

120 第2の基板（ガラスまたはガラス - セラミック基板）

121 第2の接合面

122 第2の力印加面

40

【 図 1 】

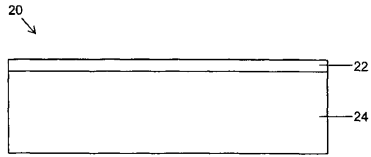


FIG. 1

【 図 4 】

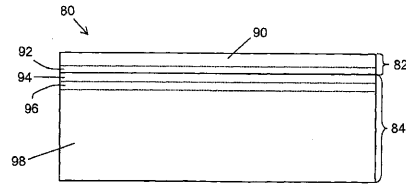


FIG. 4

【 図 2 】

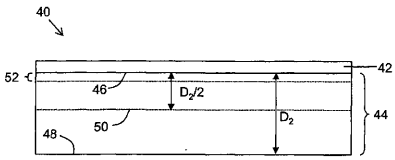


FIG. 2

【 図 5 】

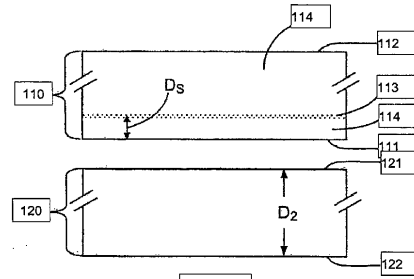


FIG. 5

【 図 3 】

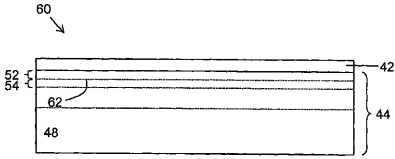


FIG. 3

【 図 6 】

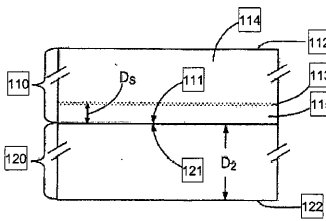


FIG. 6

【 図 8 】

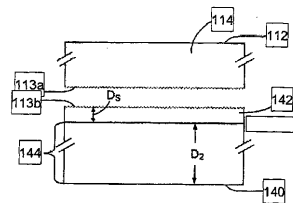


FIG. 8

【 図 7 】

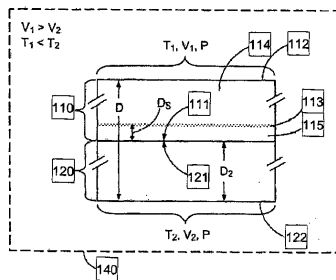


FIG. 7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/27786
A. CLASSIFICATION OF SUBJECT MATTER IPC: H01L 27/01(2006.01) USPC: 257/347 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/347; 428/426; 438/311,455,458 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y,P	US 6,809,390 B2 (MATSUHASHI) 26 October 2004 (26.10.2004), see entire document.	1-17,22,24-30
Y,E	US 6,991,944 B2 (RAYSSAC et al.) 31 January 2006 (31.01.2006), see entire document.	1-17,22,24-30
Y,E	US 7,053,361 B2 (MITAMURA et al.) 30 May 2006 (30.05.2006), see entire document.	1-17,22,24-30
Y,P	US 6,825,909 B2 (WALKER et al.) 30 November 2004 (20.11.2004), see entire document.	1-17,22,24-30
Y	SHOH, SHUICHI, et al. "Low-temperature anodic bonding using lithium aluminosilicate-beta-quartz glass ceramic", Sensors and Actuators A 64 (1998) 95-100.	1-17,22,24-30
Y,E	6,987,028 B2 (RAVI) 17 January 2006 (17.01.2006), see entire document.	5
Y,E	US 7,098,085 B2 (YAMANAKA et al.) 29 August 2006 (29.08.2006), see entire document.	6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"
"E"	earlier application or patent published on or after the international filing date	"X"
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"
"P"	document published prior to the international filing date but later than the priority date claimed	"
Date of the actual completion of the international search 20 September 2006 (20.09.2006)		Date of mailing of the international search report 10 OCT 2006
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer JOSE DEES <i>Shawn S. Hoppe</i> Telephone No. 571-272-1569

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US05/27786

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y --- A	US 6,328,904 B1 (HATTORI et al.) 11 December 2001 (11.12.2001), see entire document.	12 ----- 18-21,23,31-40

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US05/27786

Continuation of B. FIELDS SEARCHED Item 3:
USPGPUB, USPAT, USOCR, FPRS, EPO, JPO, DERWENT, IBM_TDB search notes: aluminophosphosilicate,
phosphoaluminosilicate, psg adj glass psg, AlPsg, PALSG, phosphosilicate adj glass, silicon adj2 insulator adj technologies, soi

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 デジネカ, マシュー ジェイ
 アメリカ合衆国 ニューヨーク州 1 4 8 3 0 コーニング エリソン ロード 2 3 8 5
 (72)発明者 ピンクニー, リンダ アール
 アメリカ合衆国 ニューヨーク州 1 4 8 3 0 コーニング キャトン ロード 1 5 6 0
 (72)発明者 エイトケン, ブルース ジー
 アメリカ合衆国 ニューヨーク州 1 4 8 3 0 コーニング ビーヴァー ボンド レイン 1 0
 2 3 5

Fターム(参考) 5F152 LM09 LP01 LP02 LP07 MM04 MM19 NN12 NN14 NN15 NN16
 NP13 NQ02 NQ03 NQ04 NQ05 NQ10