

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4926974号
(P4926974)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl.
GO 1 T 1/17 (2006.01)

F I
GO 1 T 1/17 B

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2007-539604 (P2007-539604)	(73) 特許権者	510225292
(86) (22) 出願日	平成17年10月27日 (2005.10.27)		コミサリア ア レネルジー アトミック
(65) 公表番号	特表2008-519278 (P2008-519278A)		エ オ ゼネルジー アルテルナティブ
(43) 公表日	平成20年6月5日 (2008.6.5)		COMMISSARIAT A L' EN
(86) 国際出願番号	PCT/FR2005/002694		ERGIE ATOMIQUE ET A
(87) 国際公開番号	W02006/051179		UX ENERGIES ALTERNA
(87) 国際公開日	平成18年5月18日 (2006.5.18)		TIVES
審査請求日	平成20年10月6日 (2008.10.6)		フランス, パリ エフー75015, リュ
(31) 優先権主張番号	0411794		ー ルブラン 25, パティマン ル ポ
(32) 優先日	平成16年11月5日 (2004.11.5)		ナン デ
(33) 優先権主張国	フランス (FR)		Batiment Le Ponant
			D, 25 rue Leblanc, F-
			75015 Paris, FRANCE
		(74) 代理人	100075812
			弁理士 吉武 賢次
			最終頁に続く

(54) 【発明の名称】 サブピクセルを形成する基本回路を備える粒子検出回路

(57) 【特許請求の範囲】

【請求項 1】

各々が、対応する検出素子によって検出された粒子の個数を表す計数信号を送出する関連した計数手段（４）に接続されている粒子（ｐ）検出素子（１）を有する複数個の基本回路（Ｅ）を備える粒子検出回路であって、

各基本回路（Ｅ）が第１及び第２の入力と出力とを有する加算回路（５）を備え、前記基本回路（Ｅ）の前記加算回路の前記第１の入力が前記関連した計数手段（４）の出力に接続され、予め設定された個数の基本回路（Ｅ）がピクセル（Ｐ）を構成し、前記ピクセル内で、前記加算回路（５）が、前記ピクセルの最初の基本回路の前記加算回路の前記第２の入力によって形成されている前記ピクセルの入力と、前記ピクセルの最後の基本回路の前記加算回路の前記出力によって形成され、前記ピクセル（Ｐ）の基本回路全部によって検出された前記粒子の個数を表す計数信号を供給する前記ピクセルの出力との間に直列接続されていることを特徴とする粒子検出回路。

【請求項 2】

各基本回路（Ｅ）が対応する加算回路（５）の前記第１の入力のリセットのための選択的リセット手段（６，Ｒ１）を備えることを特徴とする請求項 1 に記載の粒子検出回路。

【請求項 3】

前記リセット手段が、前記計数手段（４）の前記出力と前記対応する加算回路（５）の前記第１の入力との間に接続されたバッファメモリ（６）と、前記バッファメモリ（６）のリセットのためのリセット入力（Ｒ１）とを備えることを特徴とする請求項 2 に記載の

10

20

粒子検出回路。

【請求項 4】

ピクセルの前記入力をゼロ又は前のピクセルの前記出力へ選択的に接続するように設計されたスイッチング手段(8)を備えることを特徴とする、請求項 1 乃至 3 のいずれか一項に記載の粒子検出回路。

【請求項 5】

ピクセルの前記出力をバス(7)又は次のピクセルの前記入力へ選択的に接続するように設計されたスイッチング手段(8)を備えることを特徴とする請求項 4 に記載の粒子検出回路。

【請求項 6】

ピクセル(P)の前記入力がゼロに接続され、その出力がバス(7)に接続されていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の粒子検出回路。

【請求項 7】

少なくとも 2 個のピクセル(P1, P2, P3, P4)が前記スイッチング手段(8)によってゼロと前記バス(7)との間に直列接続されていることを特徴とする請求項 5 に記載の粒子検出回路。

【請求項 8】

ピクセルの前記基本回路(E_{ij})が行(i)と列(j)とからなるマトリックスの形に配置されるならば、ピクセルが前記バスの近くにアクセス側を有し、ピクセルの前記入力と前記出力とが前記アクセス側に配置されていることを特徴とする請求項 1 乃至 7 の

【請求項 9】

N が偶数であるとして、それぞれが $N/2 \times N/2$ 台の基本回路を備える 4 個のピクセル(P1 ~ P4)のうちの 2 個のピクセルがバス(7)の一方の側に配置され、残りの 2 個のピクセルが前記バス(7)の他方の側に配置されていることを特徴とする、請求項 1 乃至 8 のいずれか一項に記載の粒子検出回路。

【請求項 10】

バス(7)に関して対称性のあるマトリックスの形に配置された複数個のピクセル(P1 ~ P4)を備え、

ピクセルの前記基本回路の前記加算回路の間の直列接続が前記ピクセルの加算経路を画成するならば、ピクセルの前記加算経路が別のピクセルの前記加算経路からの平行移動、軸対称、又は 180° の回転によって得られることを特徴とする、請求項 1 乃至 9 のいずれか一項に記載の粒子検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数台の基本回路を備え、各基本回路が対応する検出素子によって検出された粒子の個数を表す計数信号を送出する関連した計数手段に接続されている粒子検出素子を備える、粒子検出回路に関する。

【背景技術】

【0002】

様々な画像形成装置が、特に、放射線医学分野(X線撮影、蛍光透視)において、行と列のマトリックスの形に配置され、それぞれがピクセルに対応している基本回路を備える粒子(X線又はガンマ光子)検出回路を使用する。一部は電荷を積分することにより動作し、それらの動作範囲は、熱雑音(典型的に、rms 値で約 $100 \mu V$)によって下向き方向に、かつ、電源電圧(たとえば、約 $1 V$)によって上向き方向に制限されている。その他はイベント計数によって動作するので、カウンタの特性によって、特に、カウンタの容量によって制限されている。

【0003】

図 1 に示されているように、従来型の検出回路は、検出された粒子 p を電気パルスに変

10

20

30

40

50

換する検出器素子 1 を備える。検出器素子 1 の出力は、一般に低雑音前置増幅器 2 によって、コンパレータ 3 の入力に接続され、コンパレータはスレッシュホールド電圧 V_s に接続されたさらなる入力をも有する。コンパレータ 3 は、このようにして、粒子の検出が十分な振幅をもつパルスを生じ生成するたびに、バイナリ信号をカウンタ 4 の計数入力に供給する。カウンタ 4 は、このようにして、出力に検出器素子 1 によって検出された粒子の個数を表すバイナリ信号を供給する。従来的には、カウンタ 4 はリセット入力 R を備える。回路の空間解像度は、マトリックス及び画像の基本的な点に対応するピクセルによって定義される。

【 0 0 0 4 】

図 2 ~ 図 4 は、従来技術による検出回路の時間的な挙動を説明している。図 1 による検出回路の検出器素子の出力パルス A が図 2 に示され、各パルスは入射粒子の検出に対応している。検出器からカウンタまでの処理回路全体は、検出器素子 1 内のキャリアの伝送時間と電子回路の処理時間とに関連し、従来的にはサービス時間又は不感時間と呼ばれ、その間にシステムが利用できない処理時間 τ を必要とする。不感時間 τ が粒子フラックス λ と比べて無視できる限り、すなわち、 $\tau \ll 1 / \lambda$ であるとき、検出回路は粒子のすべてを正確に検出する。不感時間 τ が、これに反して、粒子フラックス λ と比べて無視できないならば、すなわち、不等式 $\tau \ll 1 / \lambda$ がもはや立証できないならば、カウンタ 4 によって現実にカウントされた入射粒子の個数に対応する計数レートは、麻痺するシステムの図 1 による検出回路のコンパレータ 3 からの出力信号 B を表す図 3 に示されているように、システムを麻痺させるまで減少する。実際には、粒子が前の粒子の検出の処理時間中に検出器素子 1 によって検出されるならば、検出回路は最後に検出された粒子を無視する。そのとき、パイルアップが発生する。この現象は麻痺しないシステム（図 4）より麻痺するシステム（図 3）において早く現れる。

【 0 0 0 5 】

カウントされた粒子の個数 m は、入射粒子の個数 n と回路によって持ち込まれた不感時間 τ の関数である。よって、麻痺するシステムでは、

$$m = n e^{-n \tau}$$

であり、一方、麻痺しないシステムでは、

$$m = n / (1 + n \tau)$$

である。図 5 は、麻痺しないシステム（曲線 C 1）と麻痺するシステム（曲線 C 2）における、カウントされた粒子の個数 m の変動を検出器素子 1 によって検出された入射粒子のフラックス λ の関数として示している。破線は、検出された入射粒子のすべてがカウントされる理論的なケース（ $m = n$ ）を表している。

【 0 0 0 6 】

欧州特許出願公開第 1 4 2 4 5 6 8 号明細書は、中程度から強度の粒子フラックスに対する標準的な空間解像度とピクセルグループ分けとを伴い、フラックスが弱い場合（雑音を含む画像）に信号対雑音比を高めるために、検出器素子と関連付けられたカウンタから上流へ配置された論理 OR ゲートを使用する粒子検出器を開示する。前者のケースでは、検出器はイベントのパイルアップに敏感に反応し、後者のケースでは、空間解像度が低下させられる。すべてのケースにおいて、不感時間は不変であり、粒子フラックスが非常に高いときに検出器は正確に動作しない。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の目的は、従来の検出回路の欠点を改善し、より詳細には、優れた空間解像度で高粒子フラックスの検出を可能にすることである。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明によれば、上記目的は、各基本回路が第 1 及び第 2 の入力と出力とを有する加算回路を備え、基本回路の加算回路の第 1 の入力に関連した計数手段の出力に接続され、予

10

20

30

40

50

め設定された台数の基本回路がピクセルを構成し、ピクセル内で、加算回路が、ピクセルの最初の基本回路の加算回路の第2の入力によって形成されているピクセルの入力と、ピクセルの最後の基本回路の加算回路の出力によって形成され、ピクセルの基本回路全部によって検出された粒子の個数を表す計数信号を供給するピクセルの出力との間に直列接続されていることによって達成される。

【0009】

本発明の発展によれば、各基本回路は対応する加算回路の第1の入力の選択的リセット手段を備える。

【0010】

その他の利点及び特長は、非限定的な実施例として記載され、添付図面に表された、発明の特定の実施形態についての以下の説明からより明瞭に理解できる。

【発明を実施するための最良の形態】

【0011】

図6に示されているように、本発明による検出回路の各基本回路Eは、少なくとも1個の検出器素子1と、好ましくは、図1の場合のように、前置増幅器2及びコンパレータ3によって、さらにまた加算回路5によって接続され、第1及び第2の入力と出力とを有するカウンタ4とを備える。カウンタ4の出力に供給され、対応する検出素子1によって検出された粒子pの個数を表す計数信号は、対応する加算回路5の第1の入力に供給される。

【0012】

検出回路はピクセルを形成する複数台の基本回路Eを備え、ピクセル内では、加算回路が、ピクセルの最初の基本回路の加算回路5の第2の入力によって形成されているピクセルの入力と、ピクセルの最後の基本回路の加算回路の出力によって形成されているピクセルの出力との間に直列接続されている。ピクセルの最初の基本回路の第2の入力はゼロに接続され、一方、ピクセルのその他の基本回路の加算回路5の第2の入力は前の基本回路の加算回路5の出力に接続されている。ピクセルの最後の基本回路の加算回路の出力は、したがって、ピクセルの出力を形成し、ピクセルの基本回路Eの組によって検出された入射粒子の個数を表す計数信号を供給する。

【0013】

図7では、16個の基本回路が4行4列のマトリックスを形成し、各基本回路E_{ij}はその行インデックスiと列インデックスjとによって参照される。図7の実施例では、ピクセルの最初の基本回路は基本回路E₃₂である。その加算回路5の出力は、基本回路E₂₂、E₂₃、E₃₃、E₄₃、E₄₂、E₄₁、E₃₁、E₂₁、E₁₁、E₁₂、E₁₃、E₁₄、E₂₄及びE₃₄の直列接続された、よって、各基本回路Eを1回だけ通過する渦巻き経路を形成する加算回路を用いて、ピクセルの最後の基本回路E₄₄の加算回路5の第2の入力に接続されている。基本回路E₃₂の加算回路の第2の入力はゼロに接続されている。

【0014】

図8に示された代替的な実施形態では、ピクセルの最初の基本回路は基本回路E₄₁である。その加算回路5の出力は、基本回路E₃₁、E₂₁、E₁₁、E₁₂、E₂₂、E₃₂、E₄₂、E₄₃、E₃₃、E₂₃、E₁₃、E₁₄、E₂₄及びE₃₄の直列接続された、よって、各基本回路Eを1回だけ通過する別の経路を形成する加算回路を用いて、ピクセルの最後の基本回路E₄₄の加算回路5の第2の入力に接続されている。基本回路E₄₁の加算回路の第2の入力はゼロに接続されている。

【0015】

経路は、ピクセルの基本回路のそれぞれを1回だけ通過するならば、当然にどのような経路でもよい。このカスケード構造は、サブピクセルを形成する基本回路全部を通過し、カウンタ全部の内容が一緒に加算されることを可能にする。カウンタ全部の内容の和は、着目している基本回路全部の検出器素子1全部によって検出された入射粒子の個数を表し、よって、ピクセルの最後の基本回路の加算回路の出力で得られる。このようにし

10

20

30

40

50

て接続された基本回路全部の組は、ピクセル、すなわち、バスによって伝送され、最終的な画像を構成するために使用される時間的に正確な計数情報を供給する検出回路の点を画成する。各ピクセルのサイズは、検出回路の、したがって、最終的な画像の空間解像度を定める。高空間解像度を達成するため、ピクセルの寸法は小さな寸法からなり、電子検出回路がそのとき特定用途向け集積回路 (ASIC) によって実現される。

【0016】

各ピクセルは、このようにして、 K 個のサブピクセル (図7及び図8において $K = 16$) に分割される。よって、ピクセルに到達する粒子のフラックス λ は、各サブピクセルのレベル、すなわち、各基本回路 E のレベルでは K によって分割され、フラックスは λ / K に低減される。各基本回路 E において、検出器素子 1 内のキャリアの伝送時間と電子回路の処理時間とに関連した不感時間 τ は、もはや $1 / \lambda$ とではなく、 K / λ と比較されるべきである。不感時間 τ は、その結果、ピクセルを構成する基本セルの個数 K が大きくなるにつれて、より容易に無視できるようになる。実際に、そのとき不等式 $\tau \ll K / \lambda$ を立証することはより容易である。実際には、あらゆることが単一の計数チャンネルだけを構成するピクセルの不感時間 τ が K によって分割されたかのように起こる。このことは、図3及び4に関連して既に説明したパイルアップ現象がかなり遅く現れることを可能にする。

【0017】

したがって、検出回路の解像度は、管理されるべき粒子フラックスによって制限されなくなる。ピクセルをサブピクセルに分割し、その結果、ピクセルではなくサブピクセルを構成する基本回路のサイズを縮小することは、各基本回路によって所与の時間中に管理されるべきパルスの量を同じ空間解像度の場合に擬似的に削減させることを可能にする。しかし、発明は、基本回路のマトリックスのピッチを縮小することだけにあるのではなく、初期のピクセルを表す単一信号を供給するために基本回路を一緒にグループ化することにもある。さらに、パルス幅に関係する制約を解決するために、加算は基本回路のそれぞれによって送出された計数信号から実行される。このようにして、知られている検出回路の場合より非常に大きな粒子フラックスを測定することが可能であり、基本回路のカウンタ4が、典型的に約 $20 \text{ ns} \sim 30 \text{ ns}$ であるパルス幅より遙かに遅い、たとえば、約 $100 \mu \text{s}$ のレートでリセットされるときに、なお一層そうである。

【0018】

図9に示された代替的な実施形態では、各基本回路 E は、カウンタ4の出力と対応する加算回路5の第1の入力との間に接続されたバッファメモリ6をさらに備える。バッファメモリ6は、好ましくは、ホールド入力 H とリセット入力 $R1$ とを備える。入力 R 、 H 及び $R1$ は、図示されていない中央制御回路によって制御される。通常動作時に、バッファメモリ6は、カウンタ4の内容を記憶し、加算回路5へ転送する。

【0019】

ホールド入力 H は、バッファメモリ6から上流と下流の動作を分離できるようにする。よって、着目している基本回路内の計数シーケンスは、ピクセル E 内の加算シーケンスとは独立に、カウンタ5のデータがバッファメモリ6へ転送された直後に再開できる。この加算シーケンスは、好ましくは、中央制御回路に接続された、加算回路5の加算入力 Ad によって制御される。計数不感時間はそれによって最小限に抑えられる。

【0020】

バッファメモリ6のリセット入力 $R1$ は、その役割として、バッファメモリ6の内容、したがって、出力を選択的にゼロリセットできるようにする。これは、次にその結果として、下流に接続された対応する加算回路5の第1の入力のリセットをもたらす。この加算回路5の出力信号は、このとき、加算回路の第2の入力に供給される信号と同一である。この加算回路5は、したがって、トランスペアレントである。よって、プログラミングにより、上述の通りに加算回路全部が直列接続されているピクセルの基本回路 E から、これらの回路の一部分 (入力 $R1$ が非アクティブ状態である回路、すなわち、バッファメモリ6の出力がリセットされていない回路) だけを選択し、トランスペアレントになるその他

の回路（入力 R 1 がアクティブ状態であり、バッファメモリ 6 の出力のリセットを引き起こす回路）を無効にすることが可能である。ピクセルの出力上の計数信号は、このとき、（入力 R 1 が非アクティブ状態である）選択された基本回路によって検出された粒子だけを考慮し、（入力 R 1 がアクティブ状態である）トランスペアレント基本回路によって検出された粒子を無視する。加算経路は、それによってプログラマブルであり、ピクセルのある特定の基本回路の加算回路 5 の第 1 の入力を選択的にリセット化することによりその特定の基本回路を無効にし、ピクセルの一部のゾーンによって検出された粒子だけがカウントされるようにする。

【0021】

バッファメモリ 6 は、カウンタ 4 と加算回路 5 のアーキテクチャに依存して、直列又は並列のメモリドットの組を用いて実現される。各メモリドットは、たとえば、ホールド入力 H に印加されたバイナリ信号のフロントの 1 つで入力をサンプルするスイッチが前置されたキャパシタによって実現される。このメモリドットの内容は再初期化可能であり、すなわち、全く同期制約を伴うことなく、リセット入力 R 1 に印加されたりリセット信号を用いて論理レベルゼロへリセット可能である。

【0022】

図 10 及び図 11 は、図 9 による基本回路によって形成され、一部分だけが選択されている二つのピクセルを説明する図である。加算経路は、したがって、選択された部分（図 10 及び図 11 において実線によって図式化されている）と、トランスペアレント基本回路（破線によって図式化されている）とを備える。たとえば、図 10 によるピクセルは、図 8 によるピクセルに類似しているが、右下象限の 4 個の基本回路 E 43、E 33、E 34 及び E 44 だけが選択されている（それらの入力 R 1 が非アクティブ状態である）。基本回路 E 11、E 12、E 13、E 14、E 21、E 22、E 23、E 24、E 31、E 32、E 41 及び E 42 のバッファメモリのリセット入力 R 1 は、対応する基本回路をトランスペアレントにするように、アクティブ状態である。

【0023】

ピクセル P の基本回路の個数はいくつでもよく、基本回路の配置はどのような形でもよい。図 11 は、たとえば、3 行の 5 個の基本回路により形成され、よって、E 11 から E 35 までの 3×5 台の基本回路のマトリックスを形成する長方形ピクセル P を示している。加算経路は、図 11 に示された実施例では、基本回路 E 31、E 21、E 11、E 12、E 22、E 32、E 33、E 23、E 13、E 14、E 24、E 34、E 35、E 25 及び E 15 の加算回路を連続的に接続する。中央行のピクセルだけを観察するため、ピクセルの中央行の基本回路 E 21、E 22、E 23、E 24 及び E 25 だけが選択され（入力 R 1 が非アクティブ状態）、その他の基本回路全部（E 11、E 12、E 13、E 14、E 15、E 31、E 32、E 33、E 34 及び E 35）は、対応する入力 R 1 をアクティブ状態にすることによってトランスペアレントにされている。

【0024】

本発明による検出回路の計数の効率性は図 12 に示されている。曲線 C 3 は、発明による検出回路において、カウントされた粒子の個数と入射粒子の個数との間の比 m/n の変動を、ピクセルの基本セルの個数 K と対比して表している。この曲線は、欧州特許公開第 1424568 号明細書による検出回路においてピクセルのグループの場合（曲線 C 4）に見られるものとは異なり、計数の効率がピクセル中のサブピクセルの個数と共に増加することを明らかにする。

【0025】

さらに、上記の検出回路において、カウンタ 4 から下流での粒子の加算は、最終的な和の際に各サブピクセルに同じ重みを与えるので、1 個のピクセルの種々の基本セルによって受け取られたフラックスの一般的な和を構成する。

【0026】

これに反して、上記の文献では、ピクセルのグループによって検出された粒子の個数の和は、各ピクセルのコンパレータの出力に直結して、すなわち、対応するカウンタから上

10

20

30

40

50

流に配置された論理ORゲートを用いて実行される。これは、下流のピクセルが取り上げられるので、フローレートの増加の原因となる。この現象によって、下流のピクセルから生じた粒子の検出は上流のピクセルより徐々に考慮されなくなる。したがって、最終的な結果は、上流から下流へ減少する係数が割り当てられた、種々のピクセルによって受け取られたフラックスの重み付き和である。

【0027】

知られている方法では、ある特定の個数のピクセルと一緒にグループ化することが望ましい。このとき、ピクセル全体が独立している検出回路から、ある特定の個数のピクセルが直列接続されている検出回路へ移ることが可能である。このケースでは、検出回路の空間解像度はそれに応じて低下させられる。

10

【0028】

図13では、4個の独立したピクセルP1～P4がバス7の両側に配置されている。各ピクセルの入力（黒丸によって図式化されている）は、前述の通りゼロに接続され、一方、その出力（矢印によって図式化されている）はバス7に接続されている。好ましい実施形態では、粒子フラックスに適合し、ある解像度から別の解像度へ移行するために、検出回路は、図示されない制御回路によって制御されるスイッチ8を備えているので、種々のピクセルを自由自在に接続されるようにする。各ピクセル内の加算経路は、好ましくは、ピクセルの入力と出力が共に、中央のバス7の付近でピクセルの同じ側、すなわち、アクセス側に配置されるようにする。よって、図13において、ピクセルP2及びP3の入力及び出力は、バス7の左側で列2にすべて並べられ、一方、ピクセルP1及びP4の入力及び出力は、バスの右側で列3にすべて並べられている。

20

【0029】

図14に示されているように、スイッチは、各ピクセルの入力が、ゼロ又は前のピクセルの出力に選択的に接続されることを可能にし、その他のスイッチは、各ピクセルの出力が、バス7又は次のピクセルの入力に選択的に接続されることを可能にする。図14に示された実施例では、ピクセルのグループの入力を構成するピクセルP1の入力はゼロに接続され、一方、ピクセルのグループの出力を構成するピクセル4の出力はバス7に接続されている。同時に、ピクセルP1、P2及びP3の出力は、次のピクセルP2、P3及びP4の入力にそれぞれ接続されている。グループの空間解像度は、このとき、4個の独立したピクセルによって構成された図13による検出回路の空間解像度の4分の1と同じである。

30

【0030】

ピクセル全体が独立している標準解像度から、低下した解像度を有するピクセルのグループ化まで移行できるようにする4個のピクセルP1～P4の適当な配置が図15に示されている。Nが偶数であるとして、それぞれが $N/2 \times N/2$ 個の基本回路を有する4個のピクセル（P1～P4）が、バス7の両側に配置されている。この組は、かくして、 N^2 個の基本回路の正方形を形成する。4個のピクセルは、独立していてもよく、解像度が低下したピクセルのグループを形成するためにスイッチ8によってグループ化されている。

【0031】

40

より一般的には、複数個のピクセルがバス7に関して対称性を有するマトリックスの形に配置されている。図13及び15において、ピクセルP2及びP3はバス7の左側でそれぞれ上と下に配置され、一方、ピクセルP1及びP4はバス7の右側でそれぞれ上と下に配置されている。ピクセルPの基本回路Eの加算回路6の間の直列接続はピクセルの加算経路を画成する。図15において、ピクセルP3の加算経路（Fによって図式的に表されている）は、バス7と平行な方向へのピクセルP2の加算経路の平行移動によって得られ、その逆もまた同様である。ピクセルP1及びP4の加算回路（上下逆のFによって図式的に表されている）は、それぞれ、ピクセルP2及びP3からの 180° の回転によって得られる。一般的に、マトリックスのピクセルの加算経路は、マトリックスの別のピクセルの加算経路からの平行移動、軸対称、又は、 180° の回転によって得られる。この

50

対称性は、特に、多数のピクセルを備える検出回路の製造を簡略化できるようにさせ、回路の空間解像度を要求に応じて変更できるようにする。

【 0 0 3 2 】

発明による検出回路は、あらゆるタイプのピクセル化され、特に、複数の空間解像度をもつ映像化システムで使用され得る。発明による検出回路は、より詳しくは、

- 粒子フラックスが高く

【 数 1 】

$$(\lambda \approx 1 / \tau)$$

、最小損失率の達成が優先事項であるとき（医療映像化システム）、又は、

- フラックスが低く（ $\lambda \ll 1 / \tau$ ）、最小不感時間の達成が最重要であるとき（天体物理学）

に使用されるように設計されている。

【 図面の簡単な説明 】

【 0 0 3 3 】

【 図 1 】 従来技術による検出回路を説明する図である。

【 図 2 】 従来技術による検出回路の検出器素子の出力で獲得された信号を説明する図である。

【 図 3 】 従来技術による検出回路の（麻痺するシステムの場合の）コンパレータからの出力で獲得された信号を説明する図である。

【 図 4 】 従来技術による検出回路の（麻痺しないシステムの場合の）コンパレータからの出力で獲得された信号を説明する図である。

【 図 5 】 従来技術による検出回路におけるカウントされた粒子の個数 m の変動を検出器素子によって検出された入射粒子のフラックス λ に対比して説明する図である。

【 図 6 】 本発明による検出回路の基本回路の特定の実施形態を示す図である。

【 図 7 】 本発明による検出回路のピクセルの 16 台の基本回路の加算回路の直列接続の実施例を示す図である。

【 図 8 】 本発明による検出回路のピクセルの 16 台の基本回路の加算回路の直列接続の実施例を示す図である。

【 図 9 】 ピクセルの基本回路の一部が選択され、それ以外が無効にされることを可能にする本発明による検出回路の基本回路の代替的な実施形態を示す図である。

【 図 10 】 図 9 による基本回路によって形成された 2 個のピクセルの選択された部分を説明する図である。

【 図 11 】 図 9 による基本回路によって形成された 2 個のピクセルの選択された部分を説明する図である。

【 図 12 】 本発明による検出回路（曲線 C3）及び欧州特許公開第 1424568 号明細書による検出回路（曲線 C4）をそれぞれ使って、カウントされた粒子の個数 m と入射粒子の個数 n との間の比 m / n の変動をピクセルの基本セルの個数 K と対比して説明する図である。

【 図 13 】 1 倍から 4 倍まで変わる二つの空間解像度を定義することを可能にする本発明による検出回路の 4 台の基本回路の 4 個のピクセルの配置の特定の実施例を示す図である。

【 図 14 】 図 13 による回路のピクセルの入力と出力の電氣的接続を概略的に説明する図である。

【 図 15 】 本発明による検出回路の 4 個のピクセルの配置の特定の実施例を示す図である。

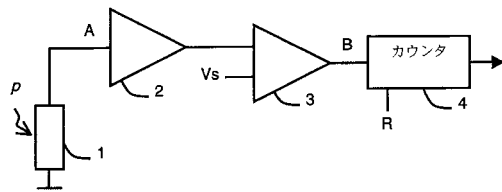
10

20

30

40

【図 1】



【図 2】

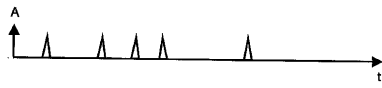


Figure 2 (Art antérieur)

【図 3】

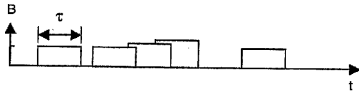


Figure 3 (Art antérieur)

【図 4】

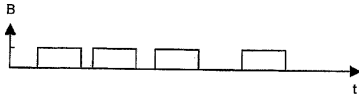


Figure 4 (Art antérieur)

【図 5】

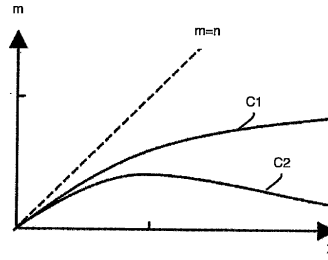
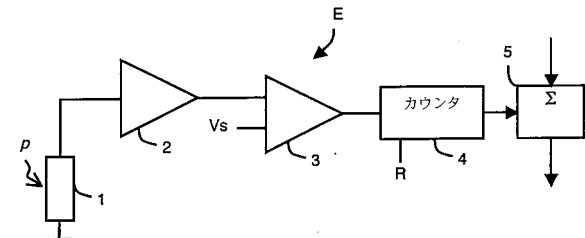
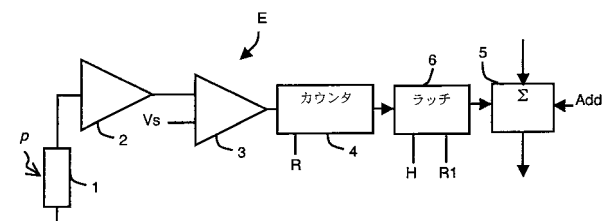


Figure 5 (Art antérieur)

【図 6】



【図 9】



【図 7】

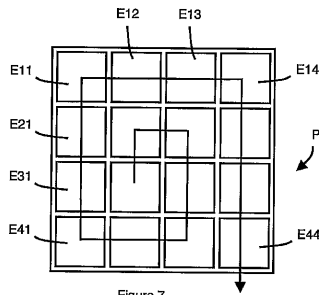


Figure 7

【図 8】

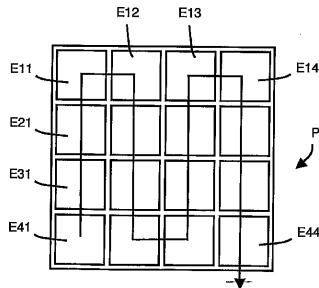


Figure 8

【図 10】

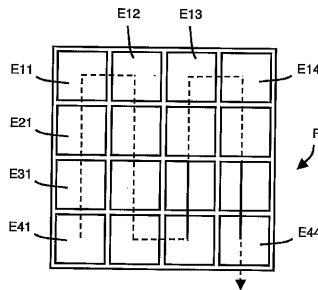


Figure 10

【図 1 1】

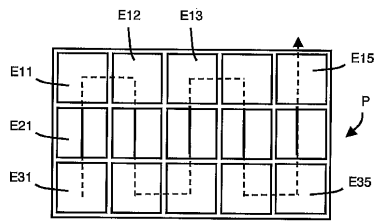


Figure 11

【図 1 2】

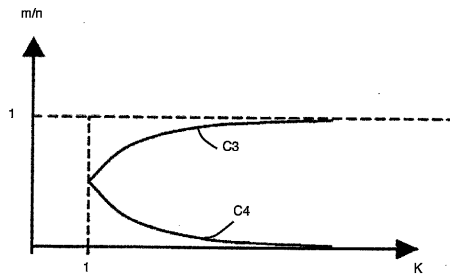


Figure 12

【図 1 3】

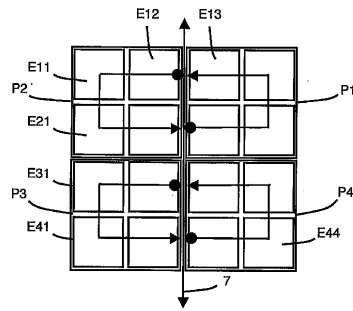


Figure 13

【図 1 4】

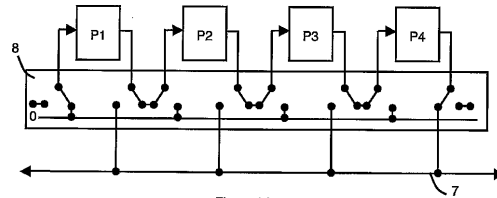


Figure 14

【図 1 5】

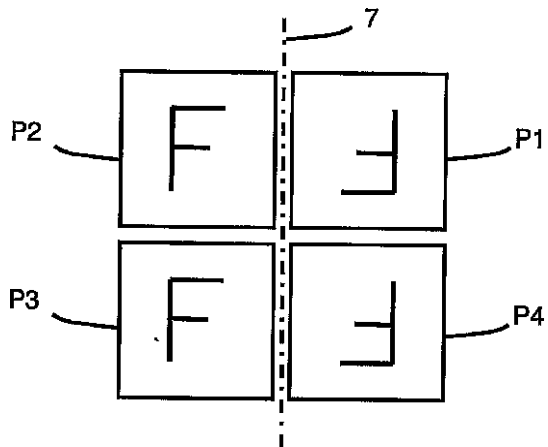


Figure 15

フロントページの続き

- (74)代理人 100088889
弁理士 橘谷 英俊
- (74)代理人 100082991
弁理士 佐藤 泰和
- (74)代理人 100096921
弁理士 吉元 弘
- (74)代理人 100103263
弁理士 川崎 康
- (72)発明者 ジャン - ピエール、ロスタイン
フランス国ラ、コート、サン、アンドル、シュマン、デ、アルティユリ、 1
- (72)発明者 オリビエ、ピロワン
フランス国グルノーブル、リュ、アメデー、モルル、 2 4、レジダンス、ファンタン、ラトゥール
、アパルトマン、 1 0
- (72)発明者 パトリック、オーデペール
フランス国バルス、アリエル、エ、リセ、アンバス、デュ、タイルフェ、 1 1
- (72)発明者 フランシス、グラセ
フランス国エイバン、リュ、ルネ、カサン、 2 2

審査官 藤本 加代子

- (56)参考文献 国際公開第 0 1 / 0 6 9 2 8 4 (W O , A 1)
米国特許出願公開第 2 0 0 4 / 0 1 4 4 9 2 6 (U S , A 1)
特開 2 0 0 2 - 1 7 2 1 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G01T 1/17
G01T 1/18
G01T 1/185