



(10) 授权公告号 CN 113395223 B

(45) 授权公告日 2024. 12. 13

(21) 申请号 202110502921.8

(22) 申请日 2016.06.06

(65) 同一申请的已公布的文献号
申请公布号 CN 113395223 A

(43) 申请公布日 2021.09.14

(30) 优先权数据
62/171,409 2015.06.05 US
14/876,206 2015.10.06 US

(62) 分案原申请数据
201680032517.6 2016.06.06

(73) 专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72) 发明人 T·S·穆克吉

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

专利代理师 魏利娜

(51) Int.Cl.
H04L 25/03 (2006.01)
H04L 7/00 (2006.01)

(56) 对比文件
CN 103491038 A, 2014.01.01
US 2013021074 A1, 2013.01.24

审查员 张宇

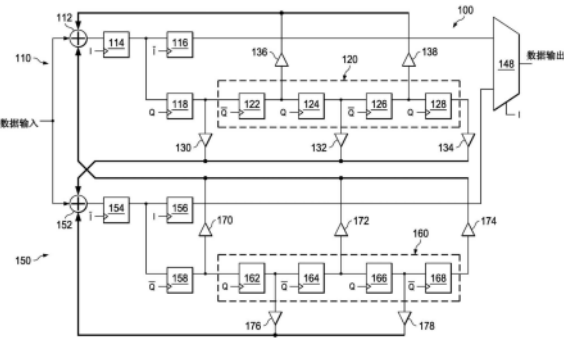
权利要求书3页 说明书6页 附图7页

(54) 发明名称

用于处理串行数据流的装置

(57) 摘要

本发明涉及用于处理串行数据流的装置。在描述的示例中,判定反馈均衡器(DFE)(100)包括第一求和节点(112)、第一同步锁存器(114)、第二同步锁存器(116)、第一反馈锁存器(118)和第一反馈移位寄存器(120)。第一求和节点(112)耦接到DFE(100)的数据输入端。第一同步锁存器(114)从第一求和节点(112)接收数据。第二同步锁存器(116)和第一反馈锁存器(118)从第一同步锁存器(114)接收数据。第一反馈移位寄存器(120)耦接到第二同步锁存器(116)或第一反馈锁存器(118)的输出端。第一反馈移位寄存器(120)包括顺序耦接的移位锁存器(122-128)。移位锁存器中的第一移位锁存器(122)锁存从第二同步锁存器(116)或第一反馈锁存器(118)接收的数据并将数据提供给第一求和节点(112)。



1. 一种串行接口电路,包括:
数据输入端子;
耦接到所述数据输入端子的第一路径,其包括:
第一求和节点,其耦接到所述数据输入端子;
第一同步锁存器,其耦接到所述第一求和节点,所述第一同步锁存器基于第一时钟信号被驱动;
第一反馈锁存器,其耦接到所述第一同步锁存器,所述第一反馈锁存器基于第二时钟信号被驱动,所述第二时钟信号是所述第一时钟信号的正交相移版本;和
第一反馈移位寄存器,其耦接在所述第一反馈锁存器与所述第一求和节点之间,所述第一反馈移位寄存器包括基于第三时钟信号被驱动的第一移位锁存器,所述第三时钟信号是所述第二时钟信号的反相版本;
耦接到所述数据输入端子的第二路径,其包括:
第二求和节点,其耦接到所述数据输入端子;
第二同步锁存器,其耦接到所述第二求和节点,所述第二同步锁存器基于第四时钟信号被驱动,所述第四时钟信号是所述第一时钟信号的反相版本;
第二反馈锁存器,其耦接到所述第二同步锁存器,所述第二反馈锁存器基于所述第三时钟信号被驱动;和
第二反馈移位寄存器,其耦接在所述第二反馈锁存器与所述第二求和节点之间,所述第二反馈移位寄存器包括基于所述第二时钟信号被驱动的第二移位锁存器;和
多路复用器,其具有耦接到所述第一同步锁存器的第一输入端子、耦接到所述第二同步锁存器的第二输入端子,以及被配置成接收所述第一时钟信号的选择输入。
2. 根据权利要求1所述的串行接口电路,还包括耦接在所述第一反馈锁存器和所述第二求和节点之间的第一增益级,以及耦接在所述第二反馈锁存器和所述第一求和节点之间的第二增益级。
3. 根据权利要求1所述的串行接口电路,其中所述第一路径包括耦接在所述第一移位锁存器和所述第一求和节点之间的第三增益级,并且所述第二路径包括耦接在所述第二移位锁存器和所述第二求和节点之间的第四增益级。
4. 根据权利要求1所述的串行接口电路,其中所述第一反馈移位寄存器包括串联耦接的第一组移位锁存器,并且所述第一组移位锁存器中的相邻移位锁存器由所述第三时钟信号和所述第二时钟信号分别钟控。
5. 根据权利要求4所述的串行接口电路,其中所述第一组移位锁存器的多于一个输出端子通过相应的增益级交替地耦接到所述第一求和节点和所述第二求和节点。
6. 根据权利要求1所述的串行接口电路,其中所述第二反馈移位寄存器包括串联耦接的第二组移位锁存器,并且所述第二组移位锁存器中的相邻移位锁存器由所述第二时钟信号和所述第三时钟信号分别钟控。
7. 根据权利要求6所述的串行接口电路,其中所述第二组移位锁存器的多于一个输出端子通过相应的增益级交替地耦接到所述第二求和节点和所述第一求和节点。
8. 根据权利要求1所述的串行接口电路,其中所述第一路径包括顺序耦接在所述第一求和节点和所述多路复用器的所述第一输入端子之间的第一组同步锁存器,并且所述第一

组同步锁存器中的相邻同步锁存器由所述第一时钟信号和所述第四时钟信号分别驱动。

9. 根据权利要求1所述的串行接口电路,其中所述第二路径包括顺序耦接在所述第二求和节点和所述多路复用器的所述第二输入端子之间的第二组同步锁存器,并且所述第二组同步锁存器中的相邻同步锁存器由所述第四时钟信号和所述第一时钟信号分别钟控。

10. 一种数据处理系统,包括:

决策反馈均衡器即DFE,其包括:

数据输入端子;

耦接到所述数据输入端子的第一路径,其包括:

第一求和节点,其耦接到所述数据输入端子;

第一同步锁存器,其耦接到所述第一求和节点,所述第一同步锁存器基于第一时钟信号被驱动;

第一反馈锁存器,其耦接到所述第一同步锁存器,所述第一反馈锁存器基于第二时钟信号被驱动,所述第二时钟信号是所述第一时钟信号的正交相移版本;和

第一反馈移位寄存器,其耦接在所述第一反馈锁存器与所述第一求和节点之间,所述第一反馈移位寄存器包括基于第三时钟信号被驱动的第一移位锁存器,所述第三时钟信号是所述第二时钟信号的反相版本;

耦接到所述数据输入端子的第二路径,其包括:

第二求和节点,其耦接到所述数据输入端子;

第二同步锁存器,其耦接到所述第二求和节点,所述第二同步锁存器基于第四时钟信号被驱动,所述第四时钟信号是所述第一时钟信号的反相版本;

第二反馈锁存器,其耦接到所述第二同步锁存器,所述第二反馈锁存器基于所述第三时钟信号被驱动;以及

第二反馈移位寄存器,其耦接在所述第二反馈锁存器与所述第二求和节点之间,所述第二反馈移位寄存器包括基于所述第二时钟信号被驱动的第二移位锁存器;和

多路复用器,其具有耦接到所述第一同步锁存器的第一输入端子、耦接到所述第二同步锁存器的第二输入端子,以及被配置成接收所述第一时钟信号的选择输入。

11. 根据权利要求10所述的系统,还包括耦接在所述第一反馈锁存器和所述第二求和节点之间的第一增益级,以及耦接在所述第二反馈锁存器和所述第一求和节点之间的第二增益级。

12. 根据权利要求10所述的系统,其中所述第一路径包括耦接在所述第一移位锁存器和所述第一求和节点之间的第三增益级,并且所述第二路径包括耦接在所述第二移位锁存器和所述第二求和节点之间的第四增益级。

13. 根据权利要求10所述的系统,其中所述第一反馈移位寄存器包括串联耦接的第一组移位锁存器,并且所述第一组移位锁存器中的相邻移位锁存器由所述第三时钟信号和所述第二时钟信号分别钟控。

14. 根据权利要求13所述的系统,其中所述第一组移位锁存器的多于一个输出端子通过相应的增益级被交替地耦接到所述第一求和节点和所述第二求和节点。

15. 根据权利要求10所述的系统,其中所述第二反馈移位寄存器包括串联耦接的第二组移位锁存器,并且所述第二组移位锁存器中的相邻移位锁存器由所述第二时钟信号和所

述第三时钟信号分别钟控。

16. 根据权利要求15所述的系统, 其中所述第二组移位锁存器的多于一个输出端子通过相应的增益级被交替地耦接到所述第二求和节点和所述第一求和节点。

17. 根据权利要求10所述的系统, 其中所述第一路径包括顺序耦接在所述第一求和节点和所述多路复用器的所述第一输入端子之间的第一组同步锁存器, 并且所述第一组同步锁存器中的相邻同步锁存器由所述第一时钟信号和所述第四时钟信号分别驱动。

18. 根据权利要求10所述的系统, 其中所述第二路径包括顺序耦接在所述第二求和节点和所述多路复用器的所述第二输入端子之间的第二组同步锁存器, 并且所述第二组同步锁存器中的相邻同步锁存器由所述第四时钟信号和所述第一时钟信号分别钟控。

用于处理串行数据流的装置

[0001] 本申请是国际申请日为2016年06月06日、进入国家阶段日为2017年12月04日的名称为“用于处理串行数据流的装置”的中国专利申请201680032517.6 (PCT/US2016/036023)的分案申请。

技术领域

[0002] 本发明涉及用于处理串行数据流的装置。

背景技术

[0003] 随着技术的进步和数字计算装置的处理能力的增加,更高带宽的网络被需要以互连计算装置并促进使用增加的计算能力。然而,由于有限的信道带宽,增加网络数据速率可能是有问题的。电信道(例如,传输线)的带宽可以通过物理效应如趋肤效应、介电损耗和由于阻抗不连续性引起的反射而减小。

[0004] 有限的信道带宽可能导致传输脉冲跨越一个以上的单位间隔传播。因此,所接收的信号可能遭受符号间(inter-symbol)干扰。均衡功能可以被添加到网络的输入和/或输出电路以补偿由有限的信道导致的信号失真。

[0005] 判定反馈均衡器(DFE)为非线性均衡器,其非常适合均衡高损耗信道。与线性均衡器不同,DFE能够平滑信道响应并减少信号失真而不放大噪声或串扰,这在均衡高损耗信道时是重要的优点。

[0006] 在DFE中,先前接收到的位被加权、反馈并被添加到接收的输入信号。如果适用于先前接收的位的权重的大小(magnitude)和极性被适当地调整以匹配信道特性,则来自数据流中的先前位的符号间干扰将被抵消,并且所述位可以被检测为低误码率。

发明内容

[0007] 在判定反馈均衡器(DFE)和串行器的所述示例中,DFE电路包括第一均衡路径和第二均衡路径。第一均衡路径和第二均衡路径中的每个包括求和节点、第一同步锁存器、第二同步锁存器、反馈锁存器和反馈移位寄存器。第一同步锁存器被配置成锁存从求和节点接收的数据。第二同步锁存器被配置成锁存从第一同步锁存器接收的数据。反馈锁存器耦接到第一同步锁存器的输出端,并且被配置成锁存从第一同步锁存器接收的数据。反馈移位寄存器耦接到第二同步锁存器和反馈锁存器中的一个的输出端。反馈移位寄存器包括多个顺序耦接的移位锁存器。移位锁存器中的第一移位锁存器被配置成锁存从第二同步锁存器和反馈锁存器中的一个接收的数据,并且将数据提供给求和节点。移位锁存器中的第二移位锁存器被配置成锁存从移位锁存器中的第一个接收的数据。在第一均衡路径中,反馈锁存器和移位锁存器中的第二移位锁存器被配置成向第二均衡路径的求和节点提供数据。在第二均衡路径中,反馈锁存器和移位锁存器中的第二移位锁存器被配置成向第一均衡路径的求和节点提供数据。

[0008] 在另一实施方式中,系统包括DFE。DFE包括第一求和节点、第一同步锁存器、第二

同步锁存器、第一反馈锁存器和第一反馈移位寄存器。第一求和节点耦接到DFE的数据输入端。第一同步锁存器被配置成从第一求和节点接收数据。第二同步锁存器被配置成从第一同步锁存器接收数据。第一反馈锁存器被配置成从第一同步锁存器接收数据。第一反馈移位寄存器耦接到第二同步锁存器和第一反馈锁存器中的一个的输出端。第一反馈移位寄存器包括多个顺序耦接的移位锁存器。移位锁存器中的第一移位锁存器被配置成锁存从第二同步锁存器和第一反馈锁存器中的一个接收的数据,并且将数据提供给第一求和节点。移位锁存器中的第一替代移位锁存器被配置成向第一求和节点提供反馈数据。第一求和节点被配置成通过将由第一反馈锁存器和移位锁存器的第一替代移位锁存器提供的数据与从DFE的数据输入端接收的符号组合来均衡所述符号。

[0009] 在进一步的实施方式中,系统包括串行器。串行器包括多层串行化单元。所述层中的每个连续的层包括比前一层少的串行化单元。每个串行化单元包括第一锁存器、第二锁存器和多路复用器。多路复用器耦接到第一锁存器和第二锁存器的输出端。第一锁存器通过第一时钟进行控制。第二锁存器通过第二时钟进行控制。第一时钟和第二时钟处于正交相位关系。多路复用器被配置成基于第二时钟选择性地将第一锁存器和第二锁存器的输出路由到串行化单元的输出端。

附图说明

[0010] 图1示出根据示例实施例的判定反馈均衡器 (DFE) 的示意图。

[0011] 图2示出适用于图1的DFE的定时信号的示意图。

[0012] 图3示出根据示例实施例的DFE的示意图。

[0013] 图4示出根据示例实施例的串行器/解串器 (SERDES) 的框图。

[0014] 图5示出根据示例实施例的串行器的示意图。

[0015] 图6示出根据示例实施例的两层串行器和串行器单元的示意图。

[0016] 图7示出根据示例实施例的两层串行器中的定时信号的示意图。

具体实施方式

[0017] 如果第一装置耦接到第二装置,则该连接可以为通过直接电连接或者通过经由其它装置和连接的间接电连接。另外,如果X基于Y,那么X可以基于Y和任何数量的其它因素。

[0018] 串行器/解串器 (SERDES) 电路被用于需要在串行和并行格式之间转换数据的各种应用中。用于处理高速串行数据流的SERDES电路可以包括均衡电路系统如判定反馈均衡器 (DFE) 以减轻符号间干扰的影响。

[0019] 在常规的全速率判定反馈均衡器 (DFE) 中,适当的操作要求反馈环路延迟小于一个单位间隔(单位间隔为符号间隔或符号持续时间),这使得实施方式随着数据速率增加越来越困难。常规的半速率DFE架构可能受到与全速率架构相同的采样反馈延迟要求。更复杂的半速率DFE架构包括放宽反馈延迟要求的采样和保持电路系统,但是实施合适的采样和保持电路系统可能是困难且昂贵的。

[0020] 本文公开的DFE电路采用半速率架构和交叉耦接均衡路径。每个均衡路径包括提供用于在均衡路径中使用的反馈数据的反馈移位寄存器。一些实施方案包括放宽的反馈时序要求,其允许均衡比常规DFE架构可能更高速率的数据流。可替代地,本文公开的DFE架构

允许使用半导体工艺来实施用于均衡高速率数据流的DFE,所述半导体工艺可能不适合实施常规DFE以平衡这些数据流。

[0021] SERDES电路还包括串行器以将数据从并行格式转换为比特流。本文公开了比常规高速串行器需要更少电路系统的串行器。与具有相同性能的常规串行器相比,本公开的串行器可以以少得多(例如,少40%(40% less))的电路系统和能耗来实施。本文公开的串行器的实施例避免使用触发器,以利于经由正交相位时钟信号控制的锁存器。除了减小电路面积和功耗之外,由于相对于常规串行器减少了时钟负载,使用正交相位时钟信号可以允许提高性能。

[0022] 图1示出根据示例实施例的DFE电路100的示意图。DFE电路100允许相对于常规DFE实施方式放宽的反馈时间规范。因此,DFE电路100为半速率实施方式,其允许在给定的半导体工艺上比常规全速率实施方式均衡更高速度的数据流,同时需要比常规半速率DFE实施方式更少的电路系统。

[0023] DFE电路100包括在每个均衡路径中具有多个反馈路径的并行均衡路径110和150。在DFE电路100的输入端接收的数据流的交替(alternate)符号在每个均衡路径110、150中被处理。多路复用器148选择来自均衡路径110和150的输出数据以形成均衡数据的输出数据流。多路复用器148串行化由均衡路径110和150生成的半速率数据流以产生全速率数据流。

[0024] 均衡路径110包括求和节点112、同步锁存器114和116、反馈锁存器118和反馈移位寄存器120。反馈移位寄存器120包括移位锁存器122、124、126和128。均衡路径150包括求和节点152以及同步锁存器154和156、反馈锁存器158和反馈移位寄存器160。反馈移位寄存器160包括移位锁存器162、164、166和168。求和节点112和152中的每个从DFE电路100的输入端接收数据并且包括用于将输入数据与反馈数据求和的电路系统。

[0025] 在均衡路径110中,同步锁存器114从求和节点112接收作为输入的求和数据,并将输出数据作为输入提供给同步锁存器116和反馈锁存器118。反馈锁存器118将输出数据作为输入提供给反馈移位寄存器120。由反馈移位寄存器120从反馈锁存器118接收到的数据被锁存在移位锁存器122中并且通过连续的移位锁存器124、126和128被移位。反馈锁存器118、移位锁存器124和移位锁存器128的输出数据在相应的增益级130、132和134中被加权,并被提供给均衡路径150的求和节点152。移位锁存器122和126的输出数据在相应的增益级136和138中被加权,并被提供给均衡路径110的求和节点112。

[0026] 类似地,在均衡路径150中,同步锁存器154从求和节点152接收作为输入的求和数据,并提供输出数据用于同步锁存器156和反馈锁存器158的输入。反馈锁存器158将作为输入的输出数据提供给反馈移位寄存器160。由反馈移位寄存器160从反馈锁存器158接收到的数据被锁存在移位锁存器162中,并且通过连续的移位锁存器164、166和168移位。反馈锁存器158、移位锁存器164和移位锁存器168的输出数据在相应的增益级170、172和174中被加权并被提供给均衡路径110的求和节点112。移位锁存器162和166的输出数据在相应的增益级176和178中被加权并被提供给均衡路径150的求和节点152。

[0027] 同步锁存器116和156的输出被提供给多路复用器148或等效的选择电路系统,其将锁存器116、156的输出选择/路由到DFE电路100的输出端。

[0028] 增益级130-138和170-178缩放锁存器118-128和158-168的输出,以用于与输入到

电路100的数据组合。从增益级130-138和170-178中的每个提供的反馈信号的极性可以在增益级、在求和节点112和152或DFE电路100中的其它地方被改变。

[0029] 尽管已经将DFE电路100图示为包括具有四个移位锁存器的反馈移位寄存器120、160,但是DFE反馈移位寄存器的一些实施例可以包括更多或更少的具有关联增益级的移位锁存器。在一些实施例中,反馈寄存器118和158可以分别包括在反馈移位寄存器120和160中。

[0030] 图2示出应用于DFE电路100的控制信号。时钟I和Q的周期为输入到电路100的数据的单位间隔的两倍。时钟I被对齐以在每个单位间隔的中心处或者大约在该中心处转换。时钟Q为时钟I的正交相位(即,延迟90度)版本。因此,时钟Q的转换在输入到电路100的数据的单位间隔的边缘处或者大约在该边缘处对齐。因此,由时钟Q控制的锁存器在偶数编号的单位间隔期间传送数据并且在奇数编号的单位间隔期间锁存数据,而由时钟Q的反相版本控制的锁存器在奇数编号的单位间隔期间传送数据并在偶数编号的单位间隔期间锁存数据。

[0031] 在均衡路径110中,时钟I使锁存器114在每个偶数编号的单位间隔的初始一半中透明地传递从求和节点112接收到的数据,并且通过后续奇数编号的单位间隔的中间锁存数据。时钟Q使得锁存器118贯穿偶数编号的单位间隔透明地传递从锁存器114接收到的数据并贯穿奇数编号的单位间隔锁存接收到的数据。因此,锁存器118捕获由锁存器114锁存的数据并且通过下一单位间隔对齐反馈数据用于与求和节点152中的输入数据组合。

[0032] 锁存器116由时钟I的反相版本钟控(clocked)。因此,当锁存器114被锁存时锁存器116为透明的,并且在锁存器114变为透明之后锁存器116存储锁存器114的输出达附加的单位间隔。锁存器122由时钟Q的反相版本钟控以锁存、保持从锁存器118提供的数据并使所述数据与随后偶数编号的单位间隔对齐。因此,锁存器122将反馈数据对齐用于与求和节点112中的输入数据组合。因此,在均衡路径110中,为了均衡在给定的单位间隔(例如,单位间隔2)中的数据,从另一均衡路径150提供来自紧接在前的单位间隔(例如,单位间隔1)的反馈,而从均衡路径110提供来自在给定单位间隔前两个(two ahead of)的单位间隔(单位间隔0)的反馈。移位锁存器124和128也由时钟Q钟控并锁存数据以用于提供给求和节点152。移位锁存器126由时钟Q的反相版本钟控并锁存数据以用于提供给求和节点112。

[0033] 将时钟I应用于锁存器156,将时钟Q应用于锁存器162和166,将时钟I的反相应用于锁存器154,并且将时钟Q的反相应用于锁存器158、164和168,相对于奇数单位间隔,均衡路径150类似于均衡路径110操作。因此,相对于全速率DFE和常规半速率DFE,DFE电路100提供了降低的实现复杂度。DFE电路100有利地增加了可用于先前接收的符号数据的反馈的时间。例如,在25千兆比特的输入速率下,DFE 100允许40皮秒用于反馈,而不是常规DFE实施方式中提供的20皮秒。因此,DFE 100以与全速率架构提供的速率相等的速率提供均衡,但是允许使用较不复杂且较不昂贵的半导体工艺来实现。相反,在给定的半导体工艺中,DFE 100用于均衡比常规全速率DFE所允许的速率更高的速率。此外,DFE电路100使用简单的50%占空比时钟,其比不对称时钟更容易生成并在高速电路系统中传播。另外,与常规DFE相比,在DFE电路100中,不需要在单位间隔边界(即,符号过零点)处精确地提供反馈数据;相反,可以有利地在反馈数据将与输入数据组合期间的单位间隔之前的裕度(margin)约束内的任何时间处有利地提供反馈数据。

[0034] DFE电路100可以以各种方式修改。图3示出类似于DFE电路100的DFE电路300的示

意图。DFE电路200包括并行均衡路径310和350。在电路300的一些实施例中,附加的同步锁存器140耦接到同步锁存器116的输出端。同步锁存器140(不是DFE电路100中的同步锁存器116)连接到多路复用器148,并向多路复用器148提供均衡的输出数据。在一些实施例中,反馈移位寄存器120耦接到同步锁存器116(不是如在DFE电路100中的反馈锁存器118)并从同步锁存器116接收输入数据。

[0035] 类似地,在电路300的一些实施例中,附加的同步锁存器180耦接到同步锁存器156的输出端。同步锁存器180耦接到多路复用器148并将均衡的输出数据提供给多路复用器148。在一些实施例中,反馈移位寄存器160耦接到同步锁存器156而不是反馈锁存器158并从同步锁存器156接收输入数据。

[0036] 图4示出根据各种实施方式的SERDES 400的框图。SERDES 400包括串行到并行转换路径412和并行到串行转换路径414。串行到并行转换路径412包括DFE电路404,其可以为DFE电路100或DFE电路300、时钟/数据恢复(CDR)电路406和串行到并行转换器408。DFE 404均衡串行输入数据以减轻符号间干扰。CDR电路406从由DFE 404生成的均衡串行数据流中提取时钟和数据信号。串行到并行转换器408以并行字将由CDR电路406恢复的数据位分组。串行到并行转换路径412可以包括为了清楚起见而被省略的各种其它部件和子系统。例如,串行到并行转换路径412可以包括附加的均衡电路系统、接收器电路系统和/或时钟生成电路系统。

[0037] 并行到串行转换路径414包括串行器402和驱动器410。串行器402接收并行数据字(每个字包括多个同时呈现的数据位)并将并行数据字转换成串行比特流。驱动器410调节由串行器410生成的串行比特流以用于传输到其它电路系统。

[0038] 除了SERDES 400之外,DFE电路404和/或串行器402还可以应用于接收和/或生成串行数据流的其它应用、电路或系统中。

[0039] 图5示出根据示例实施例的串行器500的示意图。串行器500可以作为串行器402应用在SERDES 400中。串行器500包括以树结构布置的多个串行化层502、504、506,其中输出串行比特流在树的根部处生成。三个串行化层502、504、506被布置成用于串行化呈现在串行化层502的输入端处的八位并行数据。串行器500的其它实施例可以包括不同数量的层以串行化不同数量的并行数据位。串行化层502-506中的每个包括一个或多个串行化单元508。每个串行化单元508串行化两个同时呈现的位/比特流。

[0040] 图6示出串行器500的层504和层506的示意图,并且示出串行器单元508的附加细节。每个串行器单元508包括锁存器602、锁存器604和多路复用器606。锁存器602和锁存器604各自接收待被串行化的位以作为输入。多路复用器606进而选择锁存器602和锁存器604中的每个的输出以串行化锁存器输出。

[0041] 参考生成串行器500的输出串行比特流的串行化单元508,锁存器604由Iclk控制并且锁存器602由Qclk控制。Qclk为Iclk的正交相位版本(即,Qclk比Iclk延迟90°)。多路复用器606由应用于串行器单元508中的锁存器604的时钟Iclk控制。

[0042] 由于待由单元508串行化的数据速率在串行器500的每个后续层中翻倍(double),所以应用于给定层中的锁存器602和锁存器604以及多路复用器606的时钟的速率为应用于后续层中的时钟的速率的两倍。因此,应用于串行化层504中的Iclk和Qclk的版本为应用于串行化层506中的Iclk和Qclk的版本的频率的一半。类似地,应用于串行化层502中的Iclk

和Qc1k的版本为应用于串行化层504中的Ic1k和Qc1k的版本的频率的一半。因此,从串行器500的输出观察串行器500的层,每个更远的层应用频率为应用于更接近串行器500的输出的邻近层中的时钟的频率的一半的时钟。

[0043] 另外,在串行器500的每个后续层的情况下,应用于锁存器602和604以及多路复用器606的时钟相位被改变。在层506中,正交相位时钟被应用于锁存器602,并且同相时钟被应用于锁存器604和多路复用器606。钟控在层504中被改变,使得同相相位时钟被应用于锁存器602,并且正交相位时钟被应用于锁存器604和多路复用器606。

[0044] 图7示出根据示例实施例的串行器单元508中的时序信号的示意图。图7的时序为关于串行器500的层504和506的串行器单元508的操作。在层504中,数据位以时钟Ic1k的速率被呈现给串行器单元508。时钟Ic1k (DIV_2ICLK) 约在数据位的转换时间处转换。时钟信号Qc1k (DIV_2QCLK) 从Ic1k偏移90°。多路复用器606由Qc1k控制。因此,层504中的串行器508的数据输出与Qc1k同步,并且每个输出位在Qc1k周期的一半呈现。

[0045] 标记为“INPUT EVEN STREAM(输入偶数流)”的数据被呈现给锁存器602,以及标记为“INPUT ODD STREAM(输入奇数流)”的数据被呈现给锁存器604。当Ic1k为低时,锁存器602为透明的,并且当Ic1k为高时锁存器602锁存输入数据。当Qc1k为低时,多路复用器606选择锁存器602的输出。因此,如图7所示,多路复用器606选择锁存器602的输出以用于在每个单位间隔的中心部分期间输出。当Qc1k为低时,锁存器604为透明的,并且当Qc1k为高时锁存器604锁存输入数据。因此,锁存器604将“INPUT ODD STREAM(输入奇数流)”延迟Ic1k周期的1/4,并且多路复用器606在Qc1k的高部分期间选择锁存器604的输出。

[0046] 在随后的串行器层(即,层506)中,所应用的Qc1k与在前一层(即,层504)中应用的Qc1k相位对齐并且是其频率的两倍。在层506中接收的输入数据约在Qc1k的高到低转换时间处转换。应用于层506中的Ic1k与在前一层(即,层504)中应用的Ic1k的相位对齐并且是其频率的两倍。Ic1k也相对于在层504中应用的Ic1k反相。因此,Ic1k和Qc1k的时序关系与前一层相同,但是Ic1k被反相,使得Ic1k相对于Qc1k延迟了90°。Qc1k被应用于多路复用器606和锁存器602,而反相的Ic1k被应用于锁存器604。因此,如上所述,应用于锁存器602和锁存器604以及多路复用器606的时钟相对于层504被切换,并且在层506中,经由经反相的Ic1k使“DELAYED ODD STREAM(延迟的奇数流)”延迟1/4周期。如图7所示,层506的输出与反相Ic1k同步。

[0047] 因此,在串行器500的每个后续层中,应用于前一层的多路复用器的时钟以两倍的频率应用于后续层的(一个或多个)锁存器502,并且应用于前一层的一个或多个锁存器502的时钟的反相以两倍的频率应用于后续层的(一个或多个)锁存器504和多路复用器506。在上述配置中使用正交相位时钟允许串行器500使用比常规串行器大幅减少的电路系统生成串行比特流同时可能增加输出比特率。

[0048] 在所描述的实施例中可以进行修改,并且在权利要求的范围内,其它实施例是可能的。

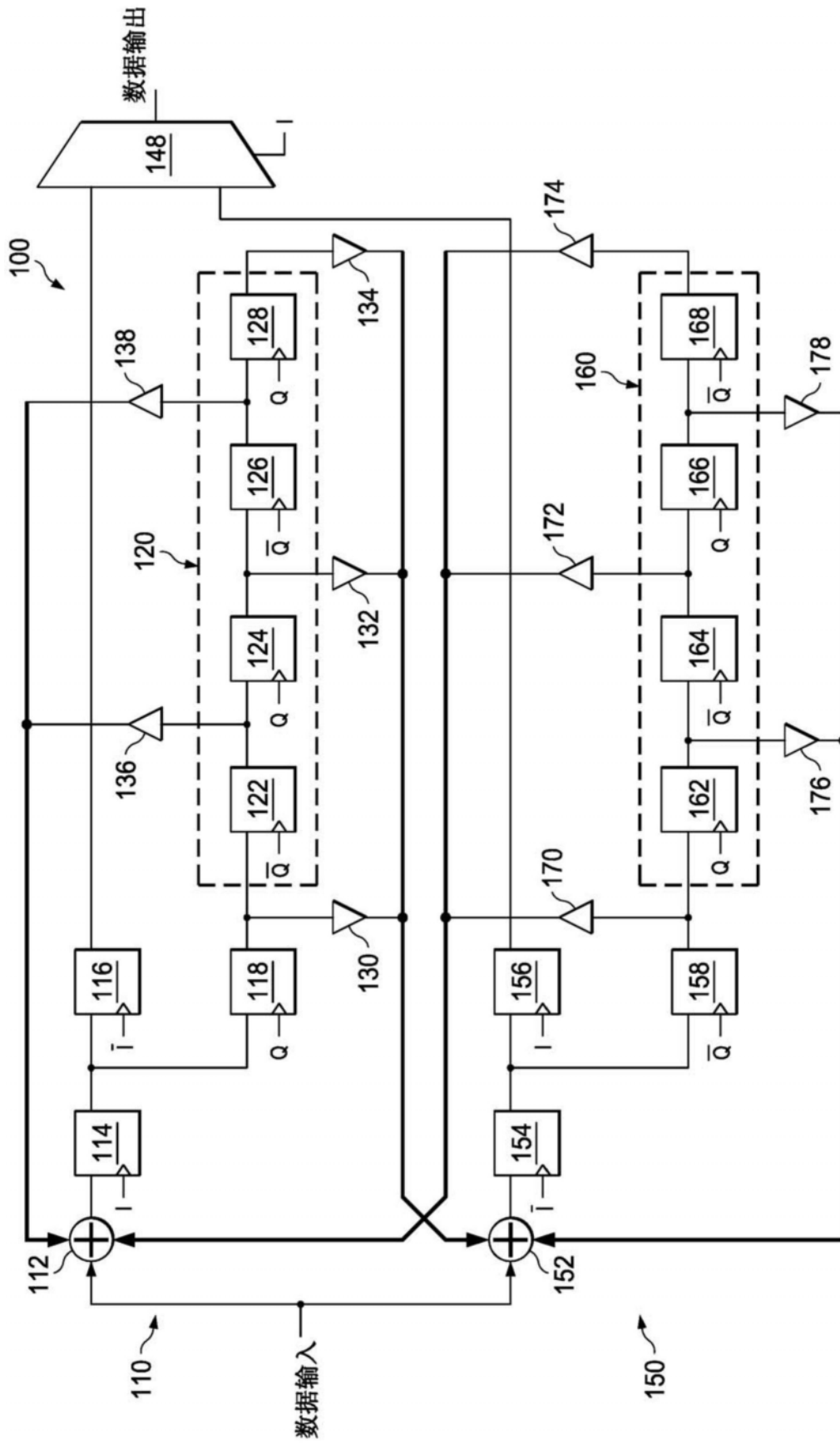


图1

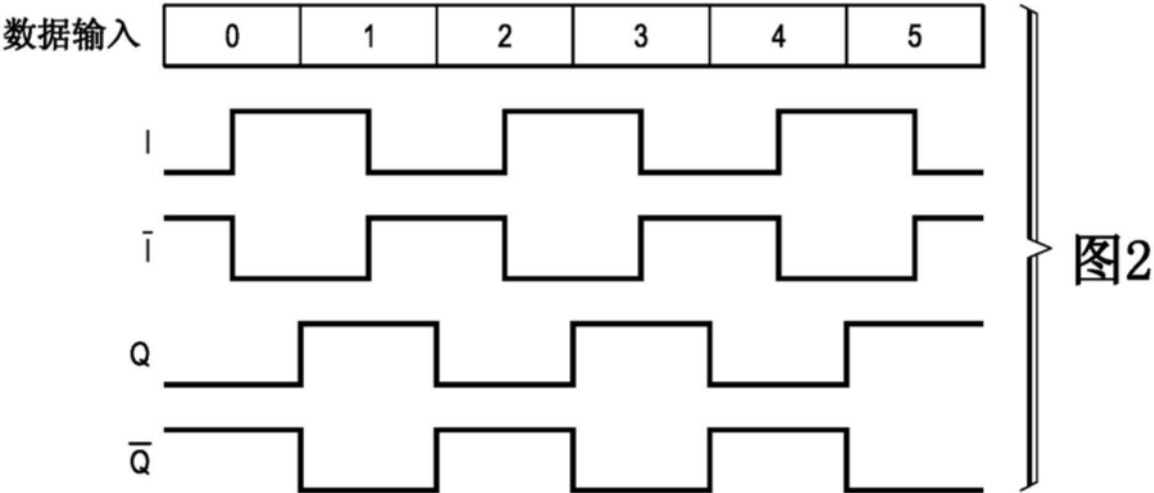


图2

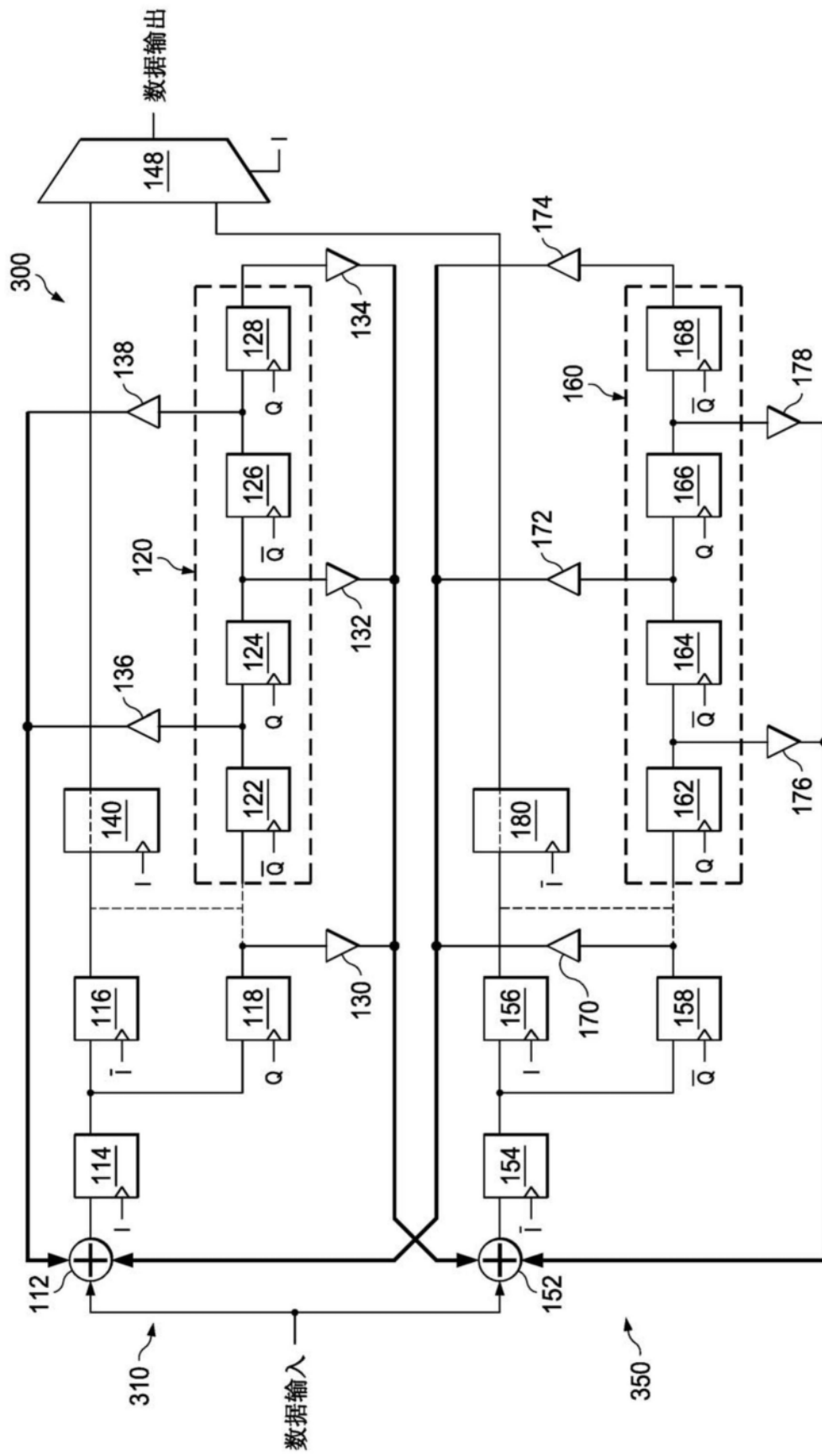


图3

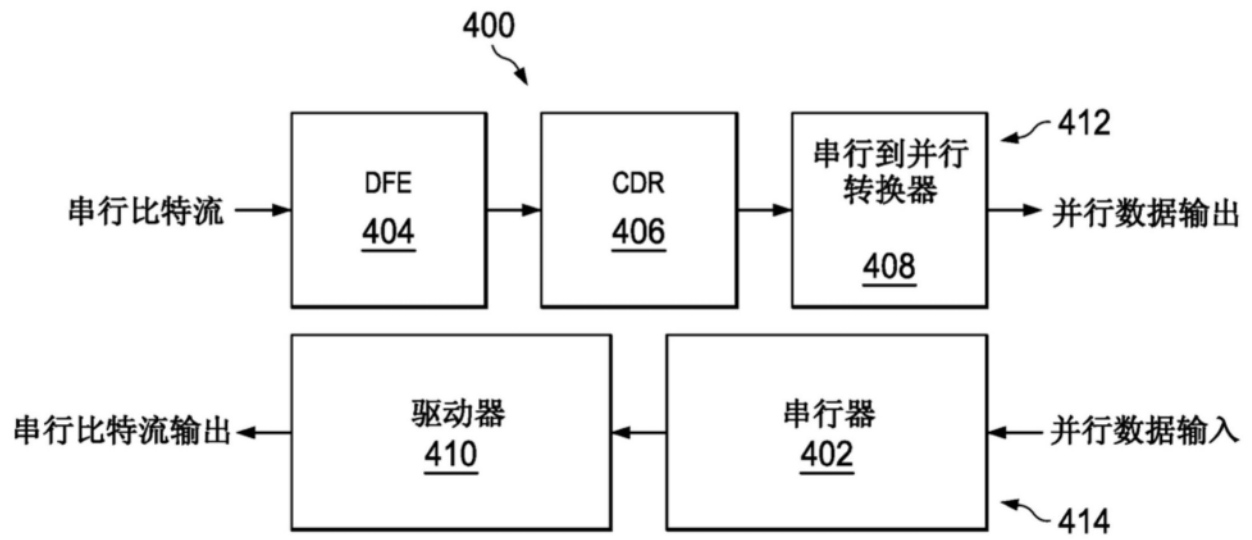


图4

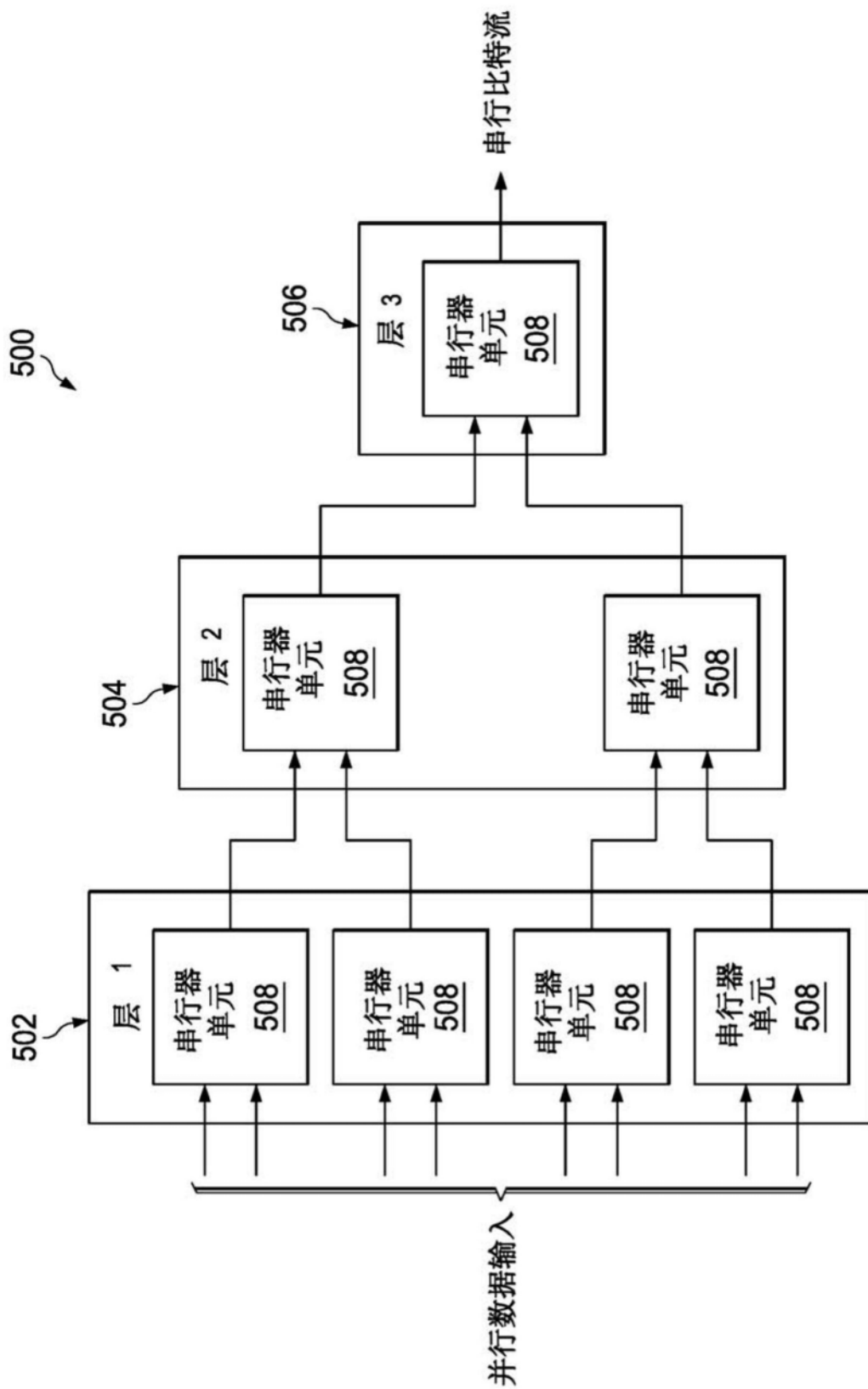


图5

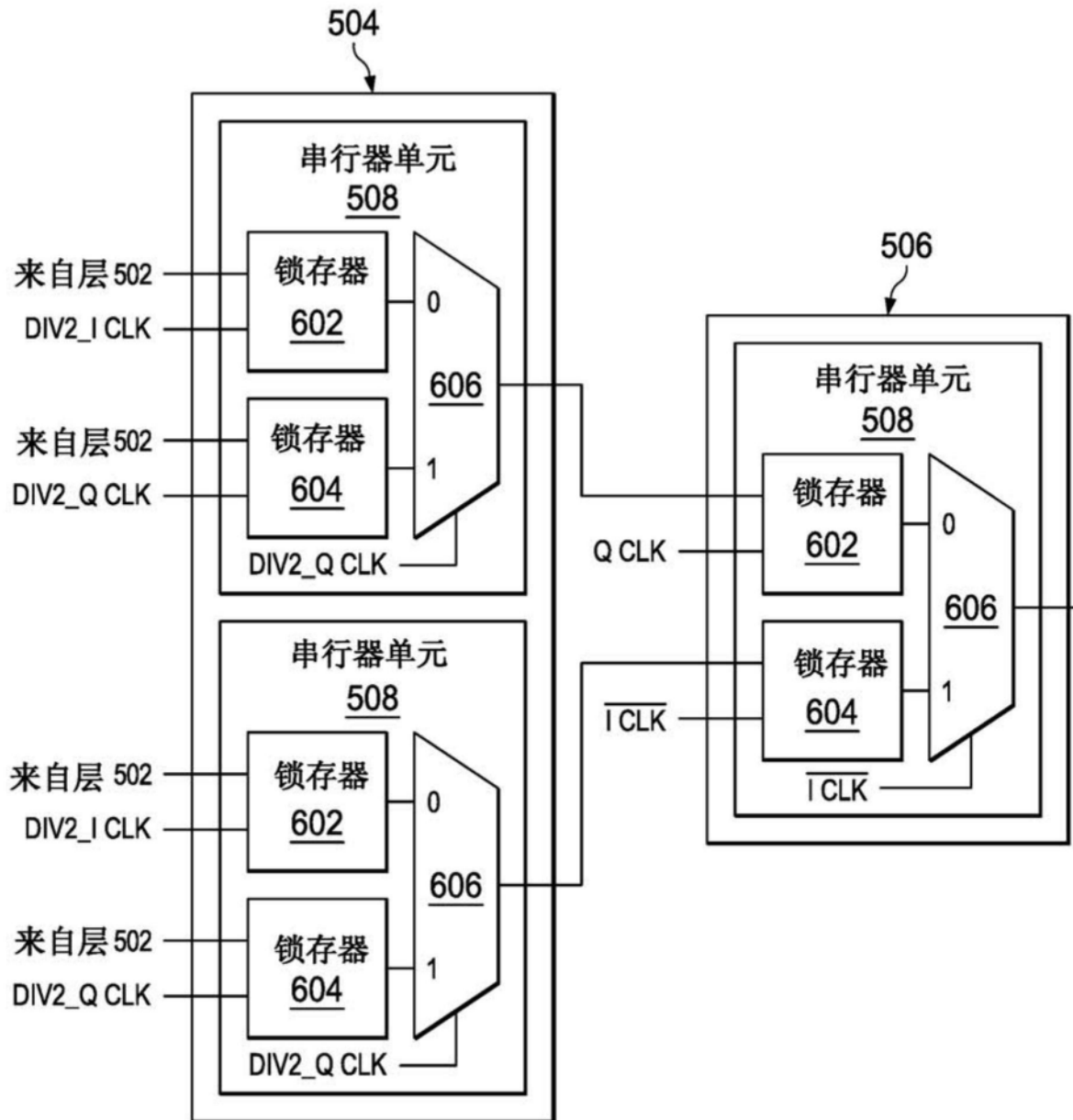


图6

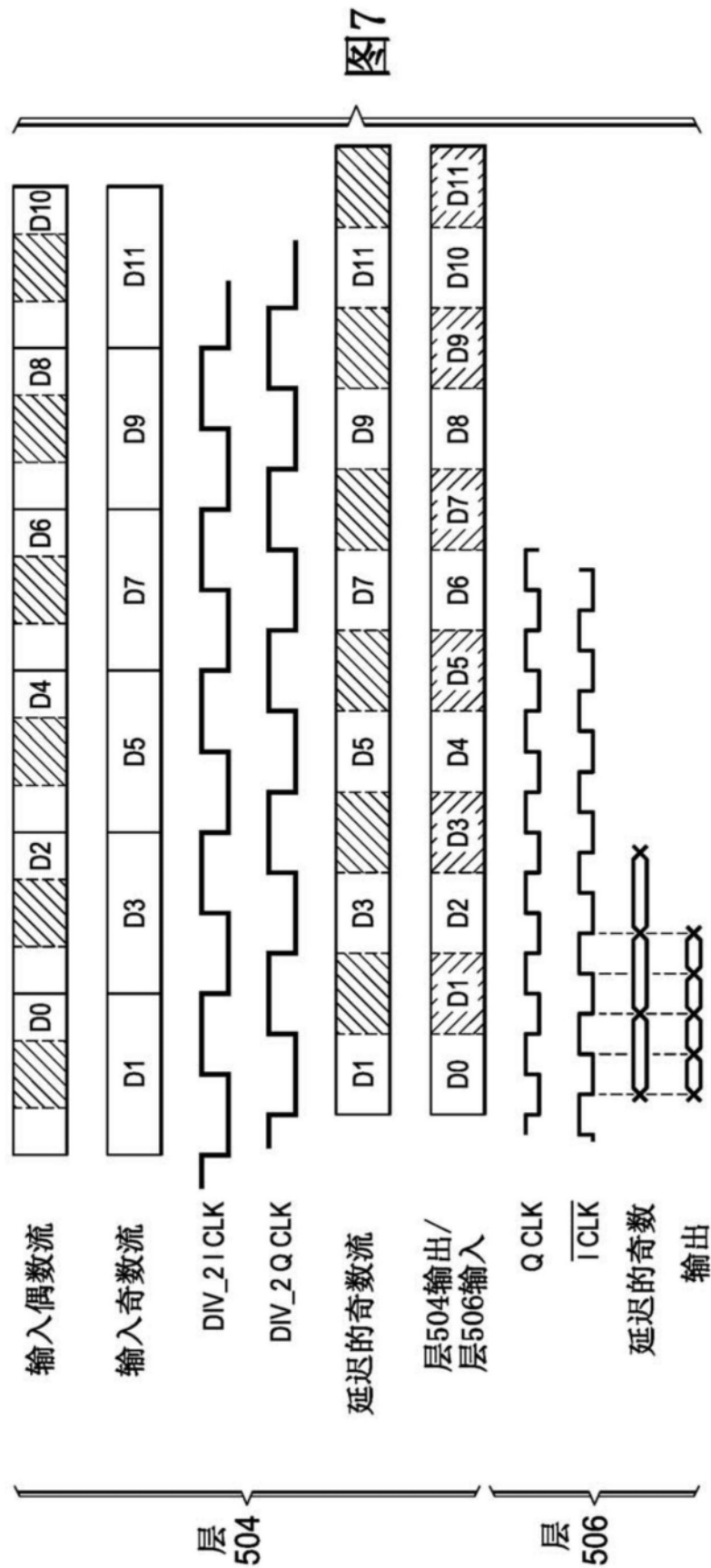


图7