

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-105204
(P2017-105204A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl. F I テーマコード(参考)
B 4 1 J 2/14 (2006.01) B 4 1 J 2/14 2 0 1 2 C 0 5 7

審査請求 有 請求項の数 17 O L (全 15 頁)

(21) 出願番号	特願2017-31329 (P2017-31329)	(71) 出願人	000001007 キヤノン株式会社
(22) 出願日	平成29年2月22日 (2017. 2. 22)		東京都大田区下丸子3丁目30番2号
(62) 分割の表示	特願2013-132025 (P2013-132025) の分割	(74) 代理人	100076428 弁理士 大塚 康德
原出願日	平成25年6月24日 (2013. 6. 24)	(74) 代理人	100115071 弁理士 大塚 康弘
		(74) 代理人	100112508 弁理士 高柳 司郎
		(74) 代理人	100116894 弁理士 木村 秀二
		(74) 代理人	100130409 弁理士 下山 治
		(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

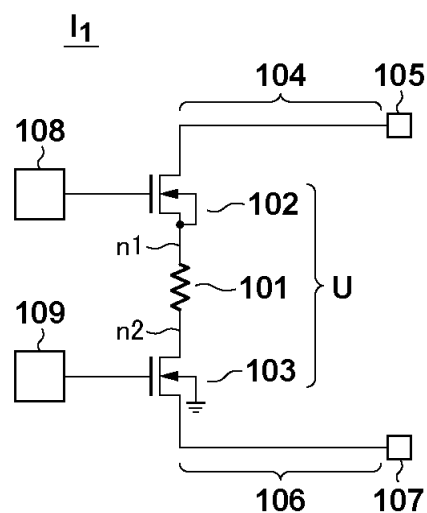
(54) 【発明の名称】 記録素子基板、記録ヘッド及び記録装置

(57) 【要約】

【課題】電源ラインの電位変動の影響を受けにくく、動作面において有利な記録ヘッドの記録素子基板を提供する。

【解決手段】記録素子基板は、液体の吐出を行う複数のユニットと、第1の電源ノードと、第2の電源ノードとを備えた液体吐出素子基板であって、前記複数のユニットのそれぞれは、液体を吐出するための吐出素子と、前記第1の電源ノードと前記吐出素子との間に接続されたMOS型の第1トランジスタと、前記吐出素子と前記第2の電源ノードとの間に接続されたMOS型の第2トランジスタと、を有し、前記第1の電源ノードには電源電圧が供給され、前記第2の電源ノードには接地電圧が供給され、前記第1トランジスタと前記第2トランジスタとはいずれもNチャネル型であり、前記第2トランジスタのゲート端子に、前記第2トランジスタの導通を制御する制御信号が入力される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

液体の吐出を行う複数のユニットと、第 1 の電源ノードと、第 2 の電源ノードとを備えた液体吐出素子基板であって、

前記複数のユニットのそれぞれは、

液体を吐出するための吐出素子と、

前記第 1 の電源ノードと前記吐出素子との間に接続された M O S 型の第 1 トランジスタと、

前記吐出素子と前記第 2 の電源ノードとの間に接続された M O S 型の第 2 トランジスタと、を有し、

前記第 1 の電源ノードには電源電圧が供給され、

前記第 2 の電源ノードには接地電圧が供給され、

前記第 1 トランジスタと前記第 2 トランジスタとはいずれも N チャネル型であり、

前記第 2 トランジスタのゲート端子に、前記第 2 トランジスタの導通を制御する制御信号が入力される、

ことを特徴とする液体吐出素子基板。

【請求項 2】

液体の吐出を行う複数のユニットと、第 1 の電源ノードと、第 2 の電源ノードとを備えた液体吐出素子基板であって、

前記複数のユニットのそれぞれは、

液体を吐出するための吐出素子と、

前記第 1 の電源ノードと前記吐出素子との間に接続された M O S 型の第 1 トランジスタと、

前記吐出素子と前記第 2 の電源ノードとの間に接続された M O S 型の第 2 トランジスタと、を有し、

前記第 1 の電源ノードには接地電圧が供給され、

前記第 2 の電源ノードには電源電圧が供給され、

前記第 1 トランジスタと前記第 2 トランジスタとはいずれも P チャネル型であり、

前記第 2 トランジスタのゲート端子に、前記第 2 トランジスタの導通を制御する制御信号が入力される、

ことを特徴とする液体吐出素子基板。

【請求項 3】

前記第 1 トランジスタは、ソース端子とバックゲート端子とが接続されている、

ことを特徴とする請求項 1 又は請求項 2 に記載の液体吐出素子基板。

【請求項 4】

前記第 1 トランジスタの前記ゲート端子への電圧の供給が、前記第 1 トランジスタのドレイン端子への電圧の供給と同期して行われる、

ことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の液体吐出素子基板。

【請求項 5】

前記液体吐出素子基板は、外部からの第 1 電圧が供給される第 1 パッド部と、外部からの第 2 電圧が供給される第 2 パッド部とをさらに有し、

前記吐出素子は、第 1 端子と第 2 端子とを有し、

前記第 1 トランジスタは、前記第 1 端子と前記第 1 パッド部との間に電流経路を形成するように配され、

前記第 2 トランジスタは、前記第 2 端子と前記第 2 パッド部との間に電流経路を形成するように配され、

前記第 2 パッド部と前記第 2 トランジスタとの間の配線抵抗は、前記第 1 パッド部と前記第 1 トランジスタとの間の配線抵抗より低い、

ことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の液体吐出素子基板。

【請求項 6】

前記第 1 トランジスタは、ソース端子とバックゲート端子とが接続されている、

ことを特徴とする請求項 1 又は請求項 2 に記載の液体吐出素子基板。

10

20

30

40

50

前記第 1 トランジスタは、第 1 の D M O S トランジスタで構成されており、
 前記第 1 の D M O S トランジスタは、
 半導体基板の P 型半導体領域に設けられた第 1 の P 型ウェルと、
 前記第 1 の P 型ウェルを取り囲むように前記 P 型半導体領域に設けられ、前記第 1 の P
 型ウェルと前記 P 型半導体領域とを電氣的に分離する第 1 の N 型ウェルと、
 前記第 1 の N 型ウェルの中に設けられた第 1 のドレイン領域と、
 前記第 1 の P 型ウェルの中に設けられた第 1 のソース領域と、
 前記第 1 のドレイン領域と前記第 1 のソース領域との間における前記半導体基板の上に
 絶縁膜を介して設けられた第 1 のゲート電極と、
 前記第 1 の P 型ウェルの中に設けられ、前記第 1 の P 型ウェルに電位を与えるための第
 1 の P 型拡散領域と、を含む
 ことを特徴とする請求項 1 に記載の液体吐出素子基板。

10

【請求項 7】

前記第 2 トランジスタは、第 2 の D M O S トランジスタで構成されており、
 前記第 2 の D M O S トランジスタは、
 前記 P 型半導体領域に設けられた第 2 の P 型ウェルと、
 前記第 2 の P 型ウェルの側面に接するように前記 P 型半導体領域に設けられた第 2 の N
 型ウェルと、
 前記第 2 の N 型ウェルの中に設けられた第 2 のドレイン領域と、
 前記第 2 の P 型ウェルの中に設けられた第 2 のソース領域と、
 前記第 2 のドレイン領域と前記第 2 のソース領域との間における前記半導体基板の上に
 絶縁膜を介して設けられた第 2 のゲート電極と、
 前記第 2 の P 型ウェルの中に設けられ、前記第 2 の P 型ウェルに電位を与えるための第
 2 の P 型拡散領域と、を含む、
 ことを特徴とする請求項 6 に記載の液体吐出素子基板。

20

【請求項 8】

前記複数のユニットのそれぞれは、
 第 2 吐出素子と、
 ゲート端子に入力される制御信号に応答して前記第 2 吐出素子への電流の供給を制御す
 る M O S 型の第 3 トランジスタと、をさらに有し、
 前記第 1 トランジスタは、前記第 2 吐出素子に電流を供給する
 ことを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項に記載の液体吐出素子基板。

30

【請求項 9】

前記第 3 トランジスタは、第 3 の D M O S トランジスタで構成されており、
 前記第 3 の D M O S トランジスタは、ソース領域として、前記第 2 トランジスタのソー
 ス領域を共有しており、
 前記第 3 の D M O S トランジスタは、前記第 2 トランジスタとは独立に、第 3 の N 型ウ
 ェルと、前記第 3 の N 型ウェルの中に設けられた第 3 のドレイン領域と、前記第 3 のドレ
 イン領域と前記ソース領域との間における半導体基板の上に絶縁膜を介して設けられた第
 3 のゲート電極と、を含む、
 ことを特徴とする請求項 8 に記載の液体吐出素子基板。

40

【請求項 10】

前記複数のユニットにおける第 1 のユニットと第 2 のユニットとは互いに隣接して配置
 され、
 前記第 1 のユニットの前記第 2 トランジスタ及び前記第 3 トランジスタと、前記第 2 の
 ユニットの第 2 トランジスタ及び前記第 3 トランジスタとの間に、前記第 1 のユニッ
 ト及び前記第 2 のユニットの前記吐出素子及び前記第 2 吐出素子が配され、
 前記第 1 のユニットの前記吐出素子及び前記第 2 吐出素子と、前記第 2 のユニットの前
 記吐出素子及び前記第 2 吐出素子との間に、前記第 1 のユニット及び前記第 2 のユニッ
 トの前記第 1 トランジスタが配されている、

50

ことを特徴とする請求項 8 又は請求項 9 に記載の液体吐出素子基板。

【請求項 1 1】

前記第 1 のユニット及び前記第 2 のユニットのそれぞれにおける前記吐出素子及び前記第 2 吐出素子のそれぞれが時分割駆動方式で駆動されるように、前記第 2 トランジスタ及び前記第 3 トランジスタのゲート端子に制御信号を出力する制御部をさらに備える、

ことを特徴とする請求項 1 0 に記載の液体吐出素子基板。

【請求項 1 2】

前記第 1 トランジスタは、第 1 の D M O S トランジスタで構成されており、

前記第 1 の D M O S トランジスタは、

半導体基板の N 型半導体領域に設けられた第 1 の N 型ウェルと、

前記第 1 の N 型ウェルを取り囲むように前記 N 型半導体領域に設けられ、前記第 1 の N 型ウェルと前記 N 型半導体領域とを電気的に分離する第 1 の P 型ウェルと、

前記第 1 の P 型ウェルの中に設けられた第 1 のドレイン領域と、

前記第 1 の N 型ウェルの中に設けられた第 1 のソース領域と、

前記第 1 のドレイン領域と前記第 1 のソース領域との間における前記半導体基板の上に絶縁膜を介して設けられた第 1 のゲート電極と、

前記第 1 の N 型ウェルの中に設けられ、前記第 1 の N 型ウェルに電位を与えるための第 1 の N 型拡散領域と、を含む

ことを特徴とする請求項 2 に記載の液体吐出素子基板。

【請求項 1 3】

前記第 2 トランジスタは、第 2 の D M O S トランジスタで構成されており、

前記第 2 の D M O S トランジスタは、

前記 N 型半導体領域に設けられた第 2 の N 型ウェルと、

前記第 2 の N 型ウェルの側面に接するように前記 N 型半導体領域に設けられた第 2 の P 型ウェルと、

前記第 2 の P 型ウェルの中に設けられた第 2 のドレイン領域と、

前記第 2 の N 型ウェルの中に設けられた第 2 のソース領域と、

前記第 2 のドレイン領域と前記第 2 のソース領域との間における前記半導体基板の上に絶縁膜を介して設けられた第 2 のゲート電極と、

前記第 2 の N 型ウェルの中に設けられ、前記第 2 の N 型ウェルに電位を与えるための第 2 の N 型拡散領域と、を含む、

ことを特徴とする請求項 1 2 に記載の液体吐出素子基板。

【請求項 1 4】

前記複数のユニットのそれぞれは、

第 2 吐出素子と、

ゲート端子に入力される制御信号に応答して前記第 2 吐出素子への電流の供給を制御する第 3 の D M O S トランジスタと、をさらに有し、

前記第 1 トランジスタは、前記第 2 吐出素子に電流を供給し、

前記第 3 の D M O S トランジスタは、ソース領域として、前記第 2 トランジスタのソース領域を共有しており、

前記第 3 の D M O S トランジスタは、前記第 2 トランジスタとは独立に、第 3 の P 型ウェルと、前記第 3 の P 型ウェルの中に設けられた第 3 のドレイン領域と、前記第 3 のドレイン領域と前記ソース領域との間における半導体基板の上に絶縁膜を介して設けられた第 3 のゲート電極と、を含む、

ことを特徴とする請求項 1 2 又は請求項 1 3 に記載の液体吐出素子基板。

【請求項 1 5】

前記第 1 トランジスタは飽和領域で動作し、

前記第 2 トランジスタは非飽和領域で動作する

ことを特徴とする請求項 1 乃至請求項 1 4 のいずれか 1 項に記載の液体吐出素子基板。

【請求項 1 6】

10

20

30

40

50

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液体吐出素子基板を備え、前記吐出素子が駆動されたことに応答して液体を吐出する吐出口と、前記吐出口に液体を供給する液体供給部と、を有する、ことを特徴とする液体吐出ヘッド。

【請求項 1 7】

請求項 1 6 に記載の液体吐出ヘッドと、前記液体吐出ヘッドを駆動する液体吐出ヘッドドライバと、を備える、ことを特徴とする液体吐出装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、記録素子基板、記録ヘッド及び記録装置に関する。

【背景技術】

【0002】

プリンタ等に代表されるインクジェット方式の記録装置は、記録媒体に対して記録を行う記録ヘッドを備える。記録ヘッドは記録素子基板を備えており、当該記録素子基板には記録データに基づいて記録を行うための記録素子と、当該記録素子を駆動するための駆動トランジスタとが設けられうる。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開 2 0 0 2 - 3 5 5 9 7 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

記録素子及び駆動トランジスタは、電源ラインと接地ラインとの間に配され、記録を行う際には電源ラインに電位変動が生じうる。この電位変動は、同時に駆動される記録素子の数が多くなるほど顕著になるため、記録素子基板は当該電位変動を考慮した回路構成を採る必要がある。

【0005】

30

なお、特許文献 1 には、記録素子及び駆動トランジスタと、駆動トランジスタの制御端子に制御信号を供給する制御部とが互いに異なる電源で動作する構成が開示されている。この構成によると、駆動トランジスタの制御端子には一定の電位の制御信号が供給され、記録素子に供給される電流量は上述の電源電位変動の影響を受けにくい。しかしながら、特許文献 1 には、定電流を記録素子に供給する素子と、当該記録素子を制御する素子とを個別に設けることは開示されていない。

【0006】

本発明の目的は、電源ラインの電位変動の影響を受けにくく、動作面において有利な記録ヘッドの記録素子基板を提供することにある。

【課題を解決するための手段】

40

【0007】

本発明の一つの側面は、液体の吐出を行う複数のユニットと、第 1 の電源ノードと、第 2 の電源ノードとを備えた液体吐出素子基板であって、前記複数のユニットのそれぞれは、液体を吐出するための吐出素子と、前記第 1 の電源ノードと前記吐出素子との間に接続された MOS 型の第 1 トランジスタと、前記吐出素子と前記第 2 の電源ノードとの間に接続された MOS 型の第 2 トランジスタと、を有し、前記第 1 の電源ノードには電源電圧が供給され、前記第 2 の電源ノードには接地電圧が供給され、前記第 1 トランジスタと前記第 2 トランジスタとはいずれも N チャネル型であり、前記第 2 トランジスタのゲート端子に、前記第 2 トランジスタの導通を制御する制御信号が入力されることを特徴とする。

【発明の効果】

50

【 0 0 0 8 】

本発明によれば、電源ラインの電位変動の影響を受けにくく、動作面において有利な記録ヘッドの記録素子基板が得られる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 記録装置の内部構成の例を説明する図。

【 図 2 】 記録ヘッドの構成の例を説明する図。

【 図 3 】 記録ヘッドの内部構成の例を説明する図。

【 図 4 】 記録装置のシステム構成の例を説明する図。

【 図 5 】 記録素子基板の回路構成の一部の例を説明する図。

10

【 図 6 】 D M O S トランジスタの断面構成の例を説明する図。

【 図 7 】 電源供給部の回路構成の例を説明する図。

【 図 8 】 記録素子基板の回路構成の一部の他の例を説明する図。

【 図 9 】 記録素子基板の回路構成の一部の他の例を説明する図。

【 図 1 0 】 記録素子基板の回路構成の一部の他の例を説明する図。

【 発明を実施するための形態 】

【 0 0 1 0 】

(記録装置)

図 1 は、プリンタ、ファクシミリ、コピー機等に代表されるインクジェット方式の記録装置 9 0 0 の内部構成を例示している。記録装置 9 0 0 は、記録用紙 P にインクを吐出する記録ヘッド 8 1 0 を備える。記録ヘッド 8 1 0 はキャリッジ 9 2 0 の上に搭載され、キャリッジ 9 2 0 は、螺旋溝 9 2 1 を有するリードスクリュー 9 0 4 に取り付けられうる。リードスクリュー 9 0 4 は、駆動力伝達ギア 9 0 2 及び 9 0 3 を介することにより、駆動モータ 9 0 1 の回転に連動して回転しうる。これにより、記録ヘッド 8 1 0 は、キャリッジ 9 2 0 と共にガイド 9 1 9 に沿って矢印 a 又は b 方向に移動しうる。

20

【 0 0 1 1 】

記録用紙 P は、紙押え板 9 0 5 によってキャリッジ移動方向に沿って押さえられており、プラテン 9 0 6 に対して固定される。記録装置 9 0 0 は、記録ヘッド 8 1 0 を往復移動させて、搬送部 (不図示) によってプラテン 9 0 6 上に搬送された記録用紙 P に対して記録を行う。

30

【 0 0 1 2 】

また、記録装置 9 0 0 は、フォトカブラ 9 0 7 及び 9 0 8 を介して、キャリッジ 9 2 0 に設けられたレバー 9 0 9 の位置を確認し、駆動モータ 9 0 1 の回転方向の切換を行う。支持部材 9 1 0 は、記録ヘッド 8 1 0 のインク吐出口 (ノズル) を覆うためのキャップ部材 9 1 1 を支持している。吸引手段 9 1 2 は、キャップ内開口 9 1 3 を介してキャップ部材 9 1 1 の内部を吸引することによる記録ヘッド 8 1 0 の回復処理を行う。レバー 9 1 7 は、吸引による回復処理を開始するために設けられ、キャリッジ 9 2 0 と係合するカム 9 1 8 の移動に伴って移動し、駆動モータ 9 0 1 からの駆動力がクラッチ切換等の公知の伝達手段によって制御される。

40

【 0 0 1 3 】

また、本体支持板 9 1 6 は、移動部材 9 1 5 及びクリーニングブレード 9 1 4 を支持しており、移動部材 9 1 5 は、クリーニングブレード 9 1 4 を移動させ、ワイピングによる記録ヘッド 8 1 0 の回復処理を行う。また、記録装置 9 0 0 には記録制御部 (不図示) が設けられ、当該記録制御部は上述の各機構の駆動を制御する。

【 0 0 1 4 】

(記録ヘッド)

図 2 は、記録ヘッド 8 1 0 の外観を例示している。記録ヘッド 8 1 0 は、複数のノズル 8 0 0 を有する記録ヘッド部 8 1 1 と、記録ヘッド部 8 1 1 に供給するためのインクを保持するインクタンク 8 1 2 とを備えうる。インクタンク 8 1 2 と記録ヘッド部 8 1 1 とは、例えば破線 K で分離することができ、インクタンク 8 1 2 を交換することができる。記

50

録ヘッド 810 は、キャリッジ 920 からの電気信号を受け取るための電気的コンタクト（不図示）を備えており、当該電気信号にしたがってインクを吐出して上述の記録を行う。インクタンク 812 は、例えば繊維質状又は多孔質状のインク保持材（不図示）を有しており、当該インク保持材によってインクを保持しうる。

【0015】

図 3 は、記録ヘッド 810 の内部構成を例示している。記録ヘッド 810 は、基体 808 と、基体 808 の上に配され、流路 805 を形成する流路壁部材 801 と、インク供給部 803 を有する天板 802 とを備える。また、記録素子として、ヒータ 806（発熱部）が、記録ヘッド 810 が備える記録素子基板（後述）に各ノズル 800 に対応して配列されている。各ヒータ 806 は、当該ヒータ 806 に対応して設けられた駆動トランジスタ（不図示）を導通状態にして、通電されることによって発熱する。

10

【0016】

インク供給路 803 からのインクは、共通インク室 804 に蓄えられ、各流路 805 を介して各ノズル 800 に供給される。各ノズル 800 に供給されたインクは、当該ノズル 800 に対応するヒータ 806 が駆動されて発熱することによって、当該ノズル 800 から吐出される。なお、インク温度が高いときはインクの吐出量が増加し、インク温度が低いときはインクの吐出量が減少しうる。

【0017】

（システム構成）

図 4 は、記録装置 900 のシステム構成を例示している。記録装置 900 は、インターフェース 1700、MPU 1701、ROM 1702、RAM 1703 及びゲートアレイ 1704 を有する。インターフェース 1700 には記録信号が入力される。ROM 1702 は、MPU 1701 が実行する制御プログラムを格納する。RAM 1703 は、前述の記録信号や記録ヘッド 1708 に供給された記録データ等、各種データを保存する。ゲートアレイ 1704 は、記録ヘッド 1708 に対する記録データの供給制御を行い、また、インターフェース 1700、MPU 1701、RAM 1703 の間のデータ転送の制御を行う。

20

【0018】

記録装置 900 は、記録ヘッドドライバ 1705、並びにモータドライバ 1706 及び 1707、搬送モータ 1709、キャリアモータ 1710 をさらに有する。キャリアモータ 1710 は記録ヘッド 1708 を搬送する。搬送モータ 1709 は記録用紙を搬送する。記録ヘッドドライバ 1705 は記録ヘッド 1708 を駆動する。モータドライバ 1706 及び 1707 は搬送モータ 1709 及びキャリアモータ 1710 をそれぞれ駆動する。

30

【0019】

インターフェース 1700 に記録信号が入力されると、この記録信号は、ゲートアレイ 1704 と MPU 1701 の間でプリント用の記録データに変換されうる。この記録データにしたがって各機構が所望の動作を行い、このようにして上述の記録が為される。

【0020】

（第 1 実施形態）

以下、図 5 乃至 7 を参照しながら、第 1 実施形態の記録素子基板 I_1 について述べる。図 5 は、記録素子基板 I_1 の構成の一部を示している。記録素子基板 I_1 は、ヒータ 101 と、N チャネル MOS 型の第 1 トランジスタ 102 及び第 2 トランジスタ 103 とをそれぞれが有する複数のユニット U を備える。ここでは、理解の容易化のため、1 つのユニット U について（ヒータ 101、トランジスタ 102 及びトランジスタ 103 を、それぞれ 1 つずつ）示している。

40

【0021】

ヒータ 101 は、記録媒体に対して記録を行うための記録素子として機能する。ヒータ 101 が駆動されて発熱することによって前述のノズルからインクが吐出される。具体的には、ヒータ 101 の両端に電圧が印加され、ヒータ 101 に電流が流れることにより、ヒータ 101 は発熱する。トランジスタ 102 は、ゲート端子に定電圧が供給されること

50

でソースフォロアとして動作する。これによって、トランジスタ102はヒータ101に定電流を供給する。トランジスタ103のゲート端子に制御信号が入力される。トランジスタ103は、当該制御信号に应答してヒータ101に供給する電流を制御する。トランジスタ102及び103は、いずれも同じ導電型のMOS型のトランジスタである。

【0022】

トランジスタ102及び103並びにヒータ101は、ノード104とノード106との間に配されている。トランジスタ102及び103がNチャネル型のトランジスタの場合、トランジスタ102は、電源ノード104とヒータ101の第1端子n1との間に電流経路を形成するように配される。そして、トランジスタ103は、接地ノード106とヒータ101の第2端子n2との間に電流経路を形成するように配される。なお、電源ノード104には、電源用の電極105を介して電源電圧が供給され、接地ノード106は、GND用の電極107を介して接地される。電極105、107は、それぞれ、外部からの電圧が供給されるパッド部であってもよい。電極105 - 電極107間の電位差 V_h は、例えば32[V]である。

10

【0023】

一方で、トランジスタ102及び103がPチャネル型のトランジスタの場合、103がNチャネルMOS型のトランジスタの場合と比べ電位が逆転する。つまり、トランジスタ102は、接地ノード104とヒータ101の第1端子n1との間に電流経路を形成するように配され、トランジスタ103は、電源ノード106とヒータ101の第2端子n2との間に電流経路を形成するように配される。なお、接地ノード104には、GND用の電極105を介して接地され、電源ノード106は、電源用の電極107を介して電源電圧が供給される。以下、トランジスタ102及び103がNチャネル型のトランジスタの場合について記載する。

20

【0024】

トランジスタ102のゲート端子には、電源供給部108により一定の電圧 V_{gh} が供給される。電圧 V_{gh} は、例えば28[V]である。電源供給部108は、電源ノード104 - 接地ノード106間の電位差にかかわらず、トランジスタ102のゲート端子に電圧 V_{gh} を供給する。このような構成により、トランジスタ102はソースフォロワ型を形成している。よって、トランジスタ102のソース電位（即ち、端子n1の電位）は、記録を行うことにより生じる電源ノード104及び接地ノード106の電位変動の影響を受けにくい。電圧 V_{gh} は、好適には、トランジスタ102のドレイン端子の電圧に対して、トランジスタ102の閾値電圧分以上に低い。つまり、トランジスタ102は飽和領域で動作することが好ましい。また、トランジスタ102のドレイン端子に電圧が供給されている間は、電源供給部108が連続的に電圧 V_{gh} を供給する。つまり、トランジスタ102のゲート端子への電圧供給が、トランジスタ102のドレイン端子への電圧の供給と同期しておこなわれる。なお、トランジスタ102は、詳細は後述するが、ソース端子とバックゲート端子（バルク）とが電氣的に接続されている。

30

【0025】

一方、トランジスタ103のゲート端子には、制御部109からの制御信号が入力される。当該制御信号の電位の変化の幅 V_{gl} は、例えば5[V]であり、0~5[V]の範囲内で変化する。制御部109は、公知の論理回路やバッファ回路を用いて、5V電源系の電源で動作するように構成されればよい。このような構成により、トランジスタ103はソース接地型を形成しており、当該制御信号に应答してヒータ101を駆動する。例えば、トランジスタ103のゲート電位が5[V]のときは、トランジスタ103が導通状態になり、ヒータ101が駆動される（ヒータ101が通電されて発熱する）。一方、当該ゲート電位が0[V]のときは、トランジスタ103は非導通状態であり、ヒータ101は駆動されない。

40

【0026】

なお、 V_h 、 V_{gh} 及び V_{gl} の間には $V_{gl} < V_{gh} < V_h$ （以下、第1式）の関係が成立している。好適には、トランジスタ103は非飽和領域で動作する。これによって

50

、トランジスタ103は、トランジスタ102により供給される定電流を律速しないように構成される。

【0027】

以上、上述の構成によると、記録素子基板 I_1 は、トランジスタ102によりヒータ101に定電流が供給されるため、記録を行うに際して電源ラインの電位変動による影響を受けにくく、記録素子基板 I_1 の動作面において有利である。また、この構成によると、記録素子基板 I_1 の設計において、駆動トランジスタの状態を切り替える設計と、駆動トランジスタの制御端子に一定の電圧を供給する設計とを個別に考慮して行うことができる。具体的には、例えば、電源供給部108と制御部109とを個別に設計することができる。電源供給部108は、ヒータ101の端子 n_1 の電位を固定して、ヒータ101に定電流が供給されるように設計されればよい。また、制御部109は、トランジスタ103のゲート電位 V_{g1} が所望の範囲内で変化し、その変化が所望の周波数に追従できるように設計されればよい。よって、本実施形態の構成によると、記録素子基板 I_1 の動作設計が容易になり、記録素子基板 I_1 の設計面においても有利である。

10

【0028】

なお、電源ノード104および接地ノード106の配線抵抗は、それぞれ、可能な限り低いことが望ましい。しかし、記録素子基板 I_1 のサイズを小さく作製するために電源ノード104及び接地ノード106が配置される領域には面積的な制限がある。この場合、接地ノード106の配線抵抗を、電源ノード104の配線抵抗より低くすることが望ましい。電源ノード104と接地ノード106を同一の配線層で形成する場合は、接地ノード106の配線幅が、電源ノード104の配線幅はより広いことが望ましい。これにより、上述の構成による、電源ノードの104の配線抵抗による電源ラインの電位変動の影響を受けにくくなることに加え、接地ノード106の配線抵抗が低くなることから接地ラインの電位変動を低くすることが可能となる。

20

【0029】

図6は、上述のトランジスタ102及び103の断面構成の例を模式的に示している。トランジスタ102及び103には、高耐圧トランジスタの1つの例であるDMOSトランジスタ(Double-Diffused MOSFET)が用いられうる。図6(a)は、トランジスタ102に対応する第1のDMOSトランジスタの断面構成を例示している。図6(b)は、トランジスタ103に対応する第2のDMOSトランジスタの断面構成を例示している。図6(a)及び(b)において、端子Sはソース端子に対応し、端子Dはドレイン端子に対応し、端子Gはゲート端子に対応し、端子BGはバックゲート端子に対応している。

30

【0030】

上述のDMOSトランジスタは、公知の半導体製造プロセスを用いて形成されうる。ここでは図6(a)の第1のDMOSトランジスタ(トランジスタ102)を例に用いて、その製造方法を述べる。まず、P型半導体領域10を有する半導体基板が準備され、イオン注入法により、P型半導体領域10にN型ウェル3が形成され、当該N型ウェル3の中にP型ウェル2が形成されうる。N型ウェル3は、P型ウェル2を取り囲むようにP型半導体領域10に設けられ、P型ウェル2とP型半導体領域10とを電氣的に分離している。次に、半導体基板の上にゲート絶縁膜及びフィールド酸化膜1が形成され、当該ゲート絶縁膜及びフィールド酸化膜1の上の所望の領域にゲート電極6が形成されうる。その後、イオン注入法により、P型ウェル2の中にN型半導体領域4sが形成され、N型ウェル3の中にN型半導体領域4dが形成され、また、P型ウェル2の中にP型半導体領域5が形成されうる。

40

【0031】

上述のウェル、半導体領域及びゲート電極によって第1のDMOSトランジスタ(トランジスタ102)が構成されている。N型半導体領域4dは第1のドレイン領域に対応し、N型半導体領域4sは第1のソース領域に対応し、P型半導体領域5は第1のP型拡散領域に対応する。また、P型ウェル2には、P型半導体領域5に電源を供給することによ

50

って電位が与えられ、ゲート電極 6 に活性化信号が供給されたときに P 型ウェル 2 に N 型チャンネルが形成される。

【0032】

また、前述のとおり、トランジスタ 102 は、ソース端子とバックゲート端子とが電氣的に接続されている。トランジスタ 102 のゲート端子には、上述の例によると、28 [V] が印加されるため、バックゲート端子を 0 [V] に固定すると、P 型半導体領域 2 (電位 0 [V]) との間でゲート絶縁膜の絶縁破壊をもたらしうる。そこで、トランジスタ 102 が図 6 (a) に例示された構成を採ることにより、ソース端子 S とバックゲート端子 BG とを電氣的に接続しつつ P 型ウェル 2 と P 型半導体領域 10 とを電氣的に分離することができる。この構成によると、上述のゲート絶縁膜の絶縁破壊が防止されうる。

10

【0033】

一方、図 6 (b) の第 2 の DMOS トランジスタ (トランジスタ 103) は、P 型ウェル 2' と N 型ウェル 3' とが側面で互いに接するように形成されている点で、図 6 (a) の第 1 の DMOS トランジスタとは構造が異なる。トランジスタ 103 は、P 型ウェル 2' と P 型半導体領域 10 とが電氣的に分離されなくてもよいため、図 6 (b) に例示された構成を採っており、図 6 (a) の構成を採る場合よりも小さい面積で形成されうる。

【0034】

なお、本実施形態では、トランジスタ 102 及び 103 として、横型の DMOS トランジスタの構造を例示したが、本発明の目的を逸脱しない範囲内で、他の構造の高耐圧トランジスタが用いられてもよい。

20

【0035】

また、電源供給部 108 は、所望の定電圧が得られればよく、公知の回路構成を採ればよい。図 7 は、電源供給部 108 の回路構成を例示している。電源供給部 108 は、抵抗素子 R1、R2 及び R3、並びにトランジスタ M1 及び M2 を用いて構成されている。電源供給部 108 には、外部から電源電圧 VHT が供給されうる。電源供給部 108 は、抵抗素子 R1 ~ R3 の抵抗値やトランジスタ M1 及び M2 のサイズを調節して、出力電圧 Vgh が所望の値になるように設計することができる。

【0036】

(第 2 実施形態)

図 8 を参照しながら、第 2 実施形態の記録素子基板 I₂ について述べる。第 1 実施形態では、ヒータ 101 に定電流を供給するための 1 つのトランジスタ 102 に対して、ヒータ 101 と、ヒータ 101 の駆動制御を行うためのトランジスタ 103 とが 1 つずつ配された構成を例示した。しかしながら、本発明は、この構成に限られるものではなく、図 8 に例示される記録素子基板 I₂ の複数のユニット U のそれぞれが、1 つのトランジスタ 102、複数のヒータ 101 及び複数のトランジスタ 103 を含んで構成されてもよい。

30

【0037】

複数のトランジスタ 103 のそれぞれは、前述の図 6 (b) に例示された DMOS トランジスタの構造を採りうる。ここで、複数のトランジスタ 103 のそれぞれは、N 型半導体領域 4s をソース領域として共有するように設けられうる。これにより、複数のトランジスタ 103 は、前述の図 6 (a) に例示された DMOS トランジスタの構造を採る場合よりも小さい面積で形成されうる。一方、各トランジスタ 103 は、他のトランジスタ 103 との動作上の短絡を防止するため、他のトランジスタ 103 とは独立にドレイン領域やゲート電極を有する。

40

【0038】

以上、本実施形態によると、第 1 実施形態と同様に、記録素子基板 I₂ の動作面及び設計面において有利であり、さらに、複数の記録素子の駆動制御を行うための複数のトランジスタ 103 を小さい面積で形成することができる。

【0039】

(第 3 実施形態)

図 9 を参照しながら、第 3 実施形態の記録素子基板 I₃ について述べる。記録素子基板

50

I_3 の複数のユニット U のそれぞれは、図 9 に例示されるように、グループ G ($G_1 \sim G_N$) を形成しており、時分割駆動方式で動作しうる。具体的には、制御部 109 は、各グループ G における各ヒータ 101 が時分割駆動方式で駆動されるように、各トランジスタ 103 のゲート端子に制御信号を出力しうる。より具体的には、制御部 109 は、例えば、いずれのグループ G を選択するかを決定する信号と、各グループ G におけるいずれのヒータ 101 を駆動するかを決定する信号とを出力する。

【0040】

この構成により、ヒータ 101 が駆動されることにより生じる熱エネルギーの隣接ヒータ 101 への影響が低減されうる。各グループ G の 1 つのヒータ 101 が駆動される場合には、最大で N 個のヒータ 101 が同時に駆動されうるため、電源ノード 104 及び接地ノード 106 の電位変動が顕著になりうる。しかしながら、前述のとおり、トランジスタ 102 のゲート端子には電源供給部 108 から定電圧が供給されており、各ヒータ 101 に流れる電流量は当該電位変動による影響を受けにくい。

10

【0041】

以上、本実施形態の記録素子基板 I_3 によっても第 1 ~ 第 2 実施形態と同様の効果が得られ、また、記録素子基板 I_3 は、複数の記録素子を時分割駆動方式で駆動することにより生じうる電源の電位変動の下においても、適切に動作しうる。

【0042】

なお、本実施形態では、最大で N 個のヒータ 101 が同時に駆動されうるため、トランジスタ 102 のドレイン端子の電位が顕著に低下しうる。よって、電源供給部 108 から供給される定電圧 V_{gh} は、 $V_{gl} < V_{gh} < (V_h - (N \times (N + 1) / 2) \times I_{ON} \times R_h)$ (以下、第 2 式) を満たすとよい。ここで、 I_{ON} は、1 つのヒータ 101 に流れる電流量を示し、 R_h は、電源ノード 104 に対応するラインパターンのうちの隣接トランジスタ 102 間の配線抵抗を示している。なお、第 2 式における V_{gh} の上限値は、 N 個のヒータ 101 が同時に駆動された場合において、複数のトランジスタ 102 のうち、電源ノード 104 の電圧降下が最も大きいトランジスタ 102 のドレイン端子の電位である。例えば、 $V_h = 3.2$ [V]、 $N = 32$ 、 $I_{ON} = 100$ [mA]、 $R_h = 0.1$ [Ω]、 $V_{gl} = 5$ [V] とすると、第 2 式は、 5 [V] $< V_{gh} < 26.72$ [V] となる。また、電圧 V_{gh} は、上述の第 2 式を満たせばよいが、例えば粘性の高いインクを吐出する場合や吐出量を大きくする場合には、電圧 V_{gh} を、第 2 式を満たしつつ更に高い電圧に設定してもよい。

20

30

【0043】

(第 4 実施形態)

図 10 を参照しながら、第 4 実施形態の記録素子基板 I_4 について述べる。第 3 実施形態では、複数のユニット U が、時分割駆動方式で動作する複数のグループ G を形成する構成を例示した。しかしながら、本発明は、この構成に限られるものではなく、例えば、図 10 に例示される記録素子基板 I_4 のように、複数のグループ G が 2 列 (又は 3 列以上) を形成するように配列された構成でもよい。

【0044】

各列の記録素子 (記録素子列) は、例えば、互いに異なる種類のインクに対応しうる。例えば、第 1 列目の各ヒータ 101 および第 2 列目の各ヒータ 201 は、例えば当該種類に対応する仕様 (形状、サイズ、抵抗値等) でそれぞれ設計されうる。また、各ヒータ 101 に定電流を供給するトランジスタ 102 および各ヒータ 201 に定電流を供給するトランジスタ 202 が、当該種類に対応する仕様でそれぞれ設計されてもよい。このことは、トランジスタ 103 及び 204、電源ライン 104 及び 204 その他の構成要素についても同様である。

40

【0045】

図 10 では、電源用の電極 105 と電極 205 とを個別に示したが、これらは共通の電極によって設けられてもよい。このことは、GND 用の電極 107 及び 207 についても同様である。また、 $k = 1 \sim N$ とし、第 1 列目の記録素子列および第 2 列目の記録素子

50

列の2列において、トランジスタ103、ヒータ101、トランジスタ102は、当該2列の外側から順に配されている。当該2列の内側にトランジスタ102を配することにより、トランジスタ102のドレイン領域を当該2列の間で共有してもよい。

【0046】

以上、本実施形態によると第1～第3実施形態と同様の効果が得られ、また、異なる種類のインクに対応した記録素子列の設計をそれぞれ個別に行うことも可能である。

【0047】

なお、電源供給部108がトランジスタ102のゲート端子に供給する定電圧 V_{gh1} と、電源供給部208がトランジスタ202のゲート端子に供給する定電圧 V_{gh2} とが満たすべき条件が、前述の第2式を用いて得られうる。例えば、 $V_h = 3.2 [V]$ 、 $N = 3.2$ 、 $I_{ON1} = 100 [mA]$ 、 $I_{ON2} = 80 [mA]$ 、 $R_{h1} = 0.1 []$ 、 $R_{h2} = 0.2 []$ 、 $V_{gl} = 5 [V]$ とする。 I_{ON1} は、1つのヒータ101に流れる電流量を示し、 R_{h1} は、電源ノード104に対応するラインパターンのうちの隣接トランジスタ102間の配線抵抗を示している。 I_{ON2} は、1つのヒータ201に流れる電流量を示し、 R_{h2} は、電源ノード204に対応するラインパターンのうちの隣接トランジスタ202間の配線抵抗を示している。第2式によると、 $5 [V] < V_{gh1} < 26.72 [V]$ となり、 $5 [V] < V_{gh2} < 23.55 [V]$ となる。このようにして、第2式の範囲内で、インクの種類に応じて電圧 V_{gh1} 及び V_{gh2} を設定してもよい。

10

【0048】

以上の4つの実施形態を述べたが、本発明はこれらに限られるものではなく、目的、状態、用途及び機能その他の仕様に応じて、適宜、変更が可能であり、他の実施形態によっても為されうる。例えば、以上では、記録装置を例としてヒータを用いたインクジェット方式の構成を例示したが、本発明はこの構成に限られるものではなく、他の公知の駆動方式の記録装置にも適用されうる。また、記録の概念には、文字、図形等、有意の情報を形成する場合のみならず、無意の情報を形成する場合をも含むうる。記録媒体には、例として記録用紙を例示したが、布、プラスチックフィルム、金属板、ガラス、セラミックス、樹脂、木材、皮革等のようなインクを受容できるものであればよい。さらに、インクの概念は、一般的なインクのように、記録用紙の上に画像、模様、パターン等の形成する液体の他、例えば、インクに含まれる色剤の凝固または不溶化等のインクの処理に供される液体をも含むうる。

20

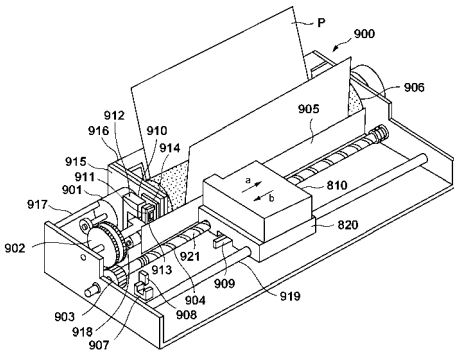
30

【符号の説明】

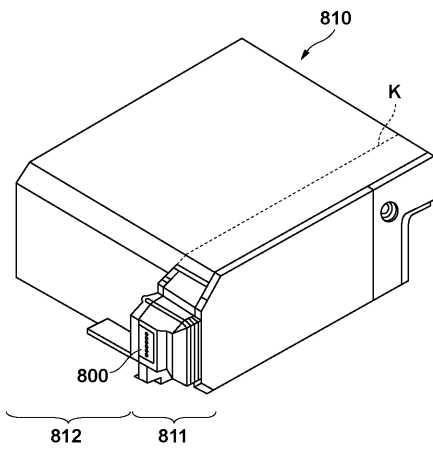
【0049】

I_1 ：記録素子基板、104：ノード、105：ノード、101：ヒータ、102：トランジスタ、103：トランジスタ。

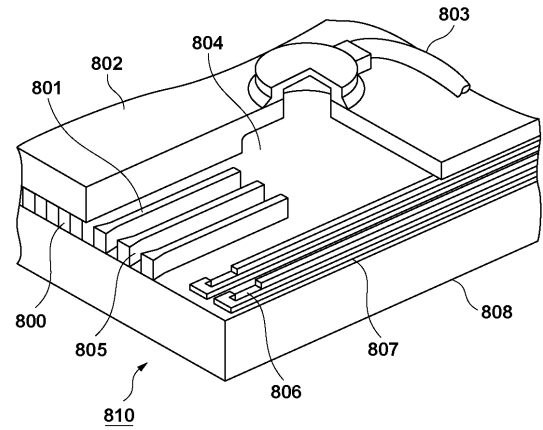
【図1】



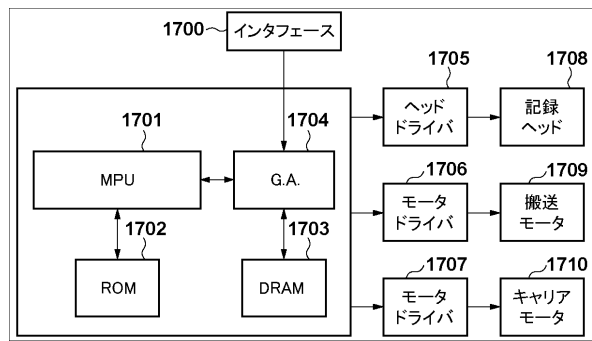
【図2】



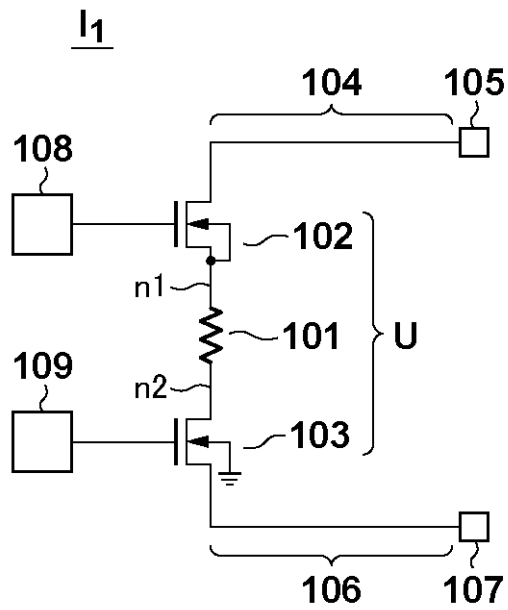
【図3】



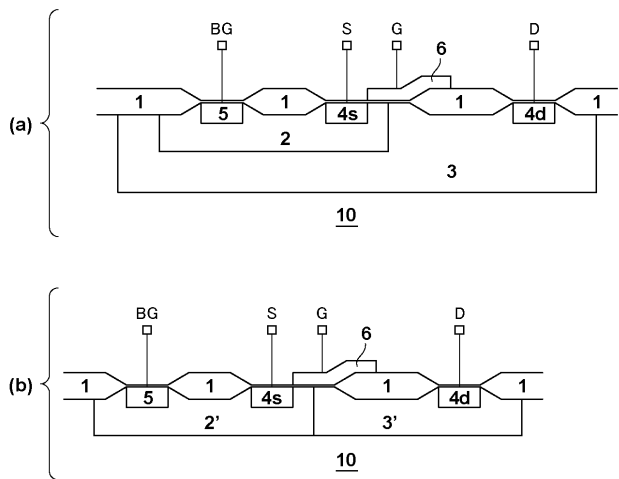
【図4】



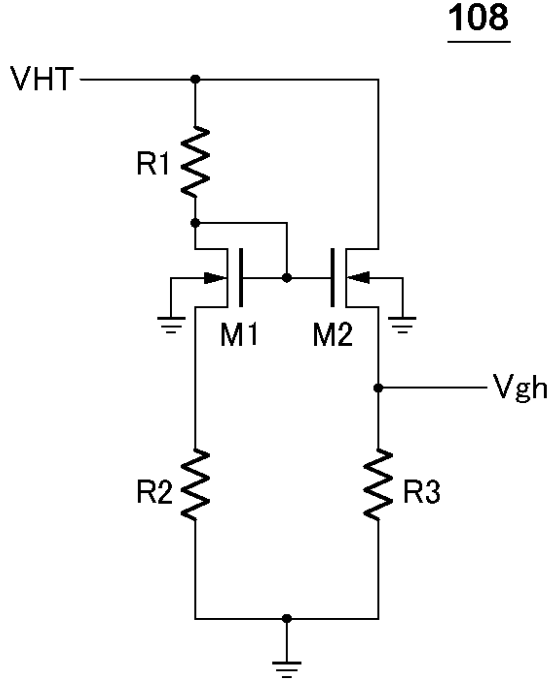
【図5】



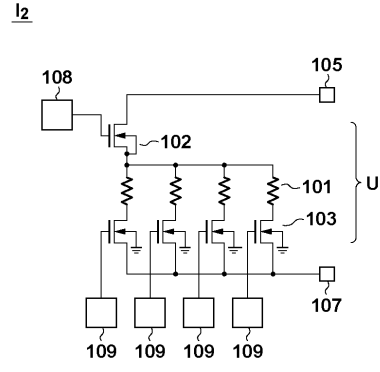
【図6】



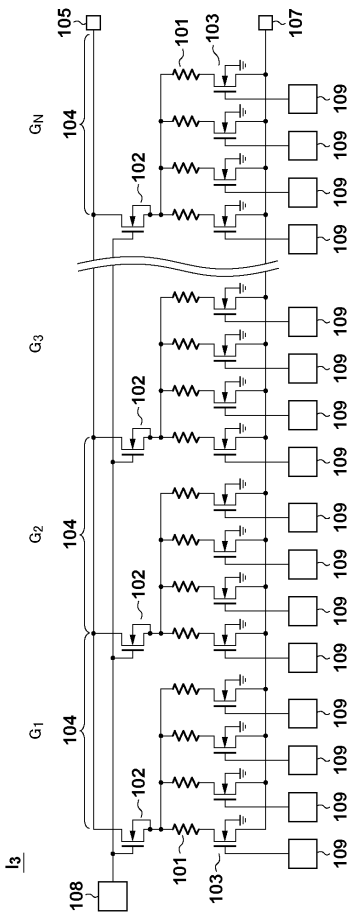
【図 7】



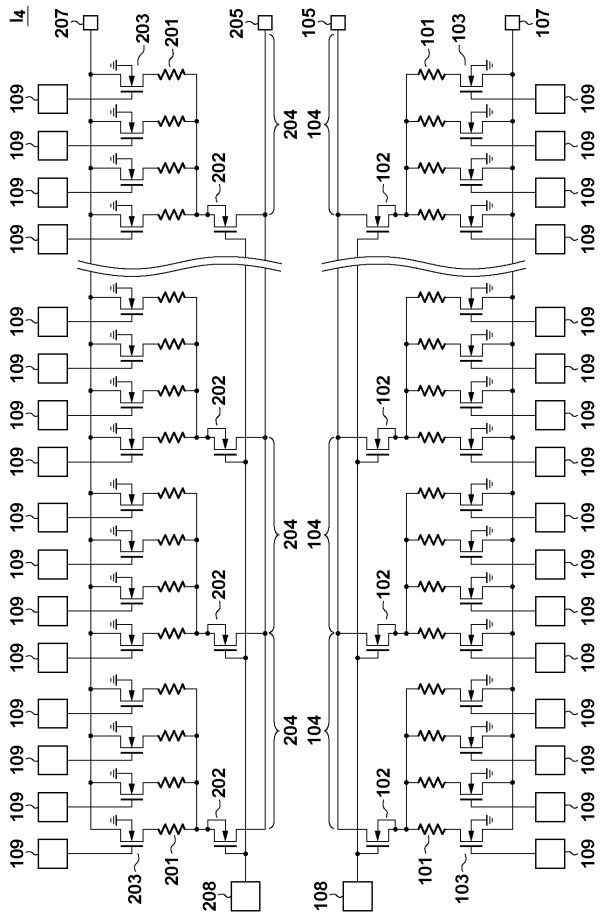
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 藤井 一成

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大村 昌伸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 2C057 AF99 AN01 AR03 AR14 AR16 AR20