

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4202149号
(P4202149)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

| | |
|-------------------------|----------------------|
| (51) Int.Cl. | F I |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 6 5 2 K |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 6 5 3 A |
| | HO 1 L 29/78 6 5 8 F |

請求項の数 5 (全 12 頁)

| | | | |
|-----------|-------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願2003-19066 (P2003-19066) | (73) 特許権者 | 000116024 |
| (22) 出願日 | 平成15年1月28日(2003.1.28) | | ローム株式会社 |
| (65) 公開番号 | 特開2004-235231 (P2004-235231A) | | 京都府京都市右京区西院溝崎町2 1 番地 |
| (43) 公開日 | 平成16年8月19日(2004.8.19) | (74) 代理人 | 100087701 |
| 審査請求日 | 平成16年3月18日(2004.3.18) | | 弁理士 稲岡 耕作 |
| | | (74) 代理人 | 100101328 |
| | | | 弁理士 川崎 実夫 |
| | | (72) 発明者 | 高石 昌 |
| | | | 京都市右京区西院溝崎町2 1 番地 ローム株式会社内 |
| | | 審査官 | 安田 雅彦 |

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の表層部に形成された第1導電型のチャネル領域と、
 このチャネル領域を貫通して形成されたトレンチの縁部に形成された上記第1導電型とは異なる第2導電型のソース領域と、
 上記トレンチの底部と隣接する領域に形成された上記第2導電型のドレイン領域と、
 上記トレンチの内側壁に沿って形成されたゲート絶縁膜と、
 上記トレンチ内において、上記ゲート絶縁膜を挟んで上記チャネル領域に対向するように配置されたゲート電極と、
 上記トレンチ内において、上記ゲート電極より上記ドレイン領域側に形成され、上記ト
 レンチの深さ方向に沿って配列された複数個の導電層と、
 各導電層の周囲を覆い、上記導電層と上記ゲート電極および上記ドレイン領域との間、
 ならびに、各導電層の間を電氣的に絶縁する絶縁層とを含み、
 上記ゲート電極の一部が、上記ゲート絶縁膜と上記導電層および上記絶縁層との間であ
 って、上記ドレイン領域と上記導電層との間を含む領域に入り込んでいることを特徴とする半導体装置。

【請求項 2】

上記導電層が不純物の導入により導電化されたポリシリコンからなることを特徴とする請求項1記載の半導体装置。

【請求項 3】

請求項 1 記載の半導体装置を製造するための方法であって、
 半導体基板の表層部に上記第 2 導電型のエピタキシャル層を形成する工程と、
 このエピタキシャル層に上記トレンチを形成する工程と、
 上記トレンチの底部に第 1 絶縁層を形成する工程と、
 この第 1 絶縁層を形成する工程の後、上記トレンチ内で上記第 1 絶縁層の上に複数個の
 上記導電層を形成する工程と、
 各導電層を形成する工程の後、当該導電層の露出表面に、上記第 1 絶縁層とともに上記
 絶縁層を構成する第 2 絶縁層を形成する工程と、
 上記トレンチの内側壁に沿って上記ゲート絶縁膜を形成する工程と、
 上記トレンチ内に、上記絶縁層により上記導電層から電氣的に絶縁された上記ゲート電
 極を形成する工程と、
 上記エピタキシャル層に、上記ゲート絶縁膜を挟んで上記ゲート電極と対向する上記第
 1 導電型の上記チャネル領域を形成する工程と、
 上記エピタキシャル層において上記トレンチの縁部に対応する領域に、上記第 2 導電型
 の上記ソース領域を形成する工程とを含み、
 上記第 1 絶縁層を形成する工程が、
 上記トレンチの内壁を熱酸化させて犠牲酸化膜を形成する工程と、
 上記導電層の側壁の一部が露出され、上記ドレイン領域と上記導電層との間の上記犠牲
 酸化膜が残るように、上記犠牲酸化膜を上記トレンチの底部に存在する部分を残して除去
 する工程とを含むことを特徴とする半導体装置の製造方法。

10

20

【請求項 4】

上記第 2 絶縁層を形成する工程が、上記導電層の露出面を酸化させる工程を含むことを
 特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

上記ゲート電極を形成する工程が、不純物の導入により導電化されたポリシリコン膜を
 形成する工程を含むことを特徴とする請求項 3 または 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、トレンチ構造を有する半導体装置およびその製造方法に関し、特に、トレン
 チ構造を有する高周波スイッチング用の MOS FET およびその製造方法に関する。

30

【0002】

【従来の技術】

図 6 は、従来のトレンチ構造を有する MOS FET が形成された半導体装置の構造を示
 す図解的な断面図である。

シリコン基板 5 1 の表面には、N⁻エピタキシャル層 5 2 が形成されており、N⁻エピタキ
 シャル層 5 2 の上には、拡散領域 6 5 が形成されている。拡散領域 6 5 を貫通して N⁻エ
 ピタキシャル層 5 2 の厚さ方向途中に至る複数のトレンチ 5 4 が、一定間隔ごとに形成さ
 れている。トレンチ 5 4 の内部には、不純物の導入により導電化されたポリシリコンから
 なるゲート電極 5 5 が配置されている。

40

【0003】

トレンチ 5 4 の内壁に沿って、ゲート酸化膜 5 6 が設けられている。すなわち、ゲート電
 極 5 6 と N⁻エピタキシャル層 5 2 および拡散領域 6 5 とは、ゲート酸化膜 5 6 を挟んで
 対向している。トレンチ 5 4 の内側壁はほぼ平坦な面になっており、トレンチ 5 4 の底は
 シリコン基板 5 1 側に突出した湾曲面をなしている。トレンチ 5 4 のこのような形状を反
 映して、ゲート酸化膜 5 6 と拡散領域 6 5 および N⁻エピタキシャル層 5 2 との界面は、
 平坦面 5 6 f および湾曲面 5 6 c を有している。平坦面 5 6 f は、拡散領域 6 5 において
 、特定の面方位を有する面であってその面に沿って電流が流れるとき抵抗値が低くなるよ
 うな面に沿うようにされている。

【0004】

50

拡散領域 65 の表層部でトレンチ 54 の周辺（縁部）には、N⁺ソース領域 57 が形成されている。拡散領域 65 の残部は導電型が P 型のチャンネル領域 53 となっている。

トレンチ 54 の上方を覆うように酸化シリコンからなる絶縁膜 59 が形成されている。絶縁膜 59 は、平面視においてトレンチ 54 の縁部（N⁺ソース領域 57 の上）にも存在する。隣接する 2 つの絶縁膜 59 の間は、コンタクトホール 60 となっている。拡散領域 65 および絶縁膜 59 の上には、アルミニウムなどの金属からなる電極膜 61 が設けられている。電極膜 61 は、コンタクトホール 60 内を埋めるように形成されている。

【0005】

以上の半導体装置の動作時（オン状態のとき）には、N⁺ソース領域 57 と N⁻エピタキシャル層 52 との間に、電流（ドレイン電流）が流れる。ドレイン電流は、チャンネル領域 53 中のゲート酸化膜 56 近傍を、ゲート酸化膜 56 に沿って流れる。

10

このような半導体装置は、たとえば、下記特許文献 1 に開示されている。

【0006】

【特許文献 1】

特開平 8 - 167711 号公報

【0007】

【発明が解決しようとする課題】

ところが、以上のような構造を有する半導体装置は、高周波のスイッチング用途（たとえば、DC - DC コンバータ）に好適に用いることができなかった。このような用途に用いる半導体装置は、低いオン抵抗および低いスイッチングロスが要求されるが、上記の構造を有する半導体装置では、オン抵抗の低減とスイッチングロスの低減とを両立できなかった。これは、以下のような理由による。

20

【0008】

ドレイン電流は、ゲート酸化膜 56 近傍をゲート酸化膜 56 に沿って流れるので、チャンネル領域 53 と湾曲面 56c とが接していると、ドレイン電流は湾曲面 56c 近傍では、湾曲面 56c に沿って流れる。このため、ドレイン電流の経路は、抵抗値が低くなる面方位を有する面から外れた経路を含むことになるので、オン抵抗は高くなる。したがって、オン抵抗を低くするためには、図 6 に示すように、チャンネル領域 53 はゲート酸化膜 56 に対して平坦面 56f にのみ接するようにしなければならない。すなわち、湾曲面 56c は全面に渡って N⁻エピタキシャル層 52 と接するようにされる。

30

【0009】

ところが、これにより、ゲート電極 55 と N⁻エピタキシャル層 52 との対向部の面積は大きくなり、N⁻エピタキシャル層 52 とゲート電極 55 との間の容量、すなわち、ドレイン - ゲート間の容量 C_{DG} が大きくなり、スイッチングロスが大きくなる。

たとえば、上記の構造を有する半導体装置は、300 kHz の周波数で動作させて使用することは可能であるが、1 MHz の周波数で満足な動作をさせるのは困難であった。

【0010】

トレンチ 54 の底を平坦面にし、N⁻エピタキシャル層 52 に対してトレンチ 54 を浅く形成することにより、ゲート電極 55 と N⁻エピタキシャル層 52 とが対向する部分の面積を小さくし、ドレイン - ゲート間の容量 C_{DG} を小さくすることができる。しかし、トレンチ 54 をこのような形状に形成することは困難であり、できたとしてもトレンチ 54 の底と内側壁との間に角部が形成され、この角部に電界が集中して良好な特性を有することができない。

40

【0011】

そこで、この発明の目的は、オン抵抗の低減を図りつつ、スイッチングロスの低減を図ることが可能な半導体装置を提供することである。

この発明の他の目的は、オン抵抗の低減を図りつつ、スイッチングロスの低減を図ることが可能な半導体装置の製造方法を提供することである。

【0012】

【課題を解決するための手段および発明の効果】

50

上記の課題を解決するための請求項1記載の発明は、半導体基板(1)の表層部に形成された第1導電型のチャンネル領域(4)と、このチャンネル領域を貫通して形成されたトレンチ(17)の縁部に形成された上記第1導電型とは異なる第2導電型のソース領域(25)と、上記トレンチの底部と隣接する領域に形成された上記第2導電型のドレイン領域(2)と、上記トレンチの内側壁に沿って形成されたゲート絶縁膜(13)と、上記トレンチ内において、上記ゲート絶縁膜を挟んで上記チャンネル領域に対向するように配置されたゲート電極(26)と、上記トレンチ内において、上記ゲート電極より上記ドレイン領域側に形成され、上記トレンチの深さ方向に沿って配列された複数個の導電層(40a, 40b)と、各導電層の周囲を覆い、上記導電層と上記ゲート電極および上記ドレイン領域との間、ならびに、各導電層の間を電氣的に絶縁する絶縁層(15)とを含み、上記ゲート電極の一部が、上記ゲート絶縁膜と上記導電層および上記絶縁層との間であって、上記ドレイン領域と上記導電層との間を含む領域に入り込んでいることを特徴とする半導体装置(22)である。

10

【0013】

なお、括弧内の数字は、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

この発明によれば、ゲート電極が一定の大きさ以上の電位にされることにより、チャンネル領域を介して、ソース領域とドレイン領域との間に電流(ドレイン電流)を流すことができる。すなわち、この半導体装置はMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)として機能する。

20

【0014】

ゲート電極とドレイン領域との間には、絶縁膜、導電層(導電化された半導体層を含む。以下同じ。)、および絶縁膜が順に配列されている。したがって、ゲート電極からドレイン領域に至る部分は、複数のコンデンサが直列に接続されたものと等価である。たとえば、導電層が1つの場合は、ゲート電極とドレイン領域との間に2つのコンデンサが直列に接続されたものとみなすことができる。直列に接続された複数のコンデンサの合成容量は、各コンデンサの容量より小さいので、ゲート電極とドレイン領域との間の容量は低減されている。

【0015】

絶縁層は、複数の導電層の間にも形成されている。これにより、ゲート電極からドレイン領域に至る部分は、3つ以上のコンデンサが直列に接続されたものと等価であり、ゲート電極とドレイン領域との間の容量は、1個の導電層が設けられている場合と比べて低くなる。

30

トレンチの内側壁はほぼ平坦面とすることができ、この平坦面は、チャンネル領域における特定の面方位を有する面であってその面に沿って電流が流れるとき抵抗値が低くなるような面に沿うものとすることができる。トレンチの底が湾曲面をなしている場合、この湾曲面の全領域がドレイン領域に対向するようにし、チャンネル領域にはトレンチの平坦な面のみが対向するようにすることができる。

【0016】

これにより、ドレイン電流は、抵抗値の低くなる面方位を有する面のみに沿って流れることができるので、オン抵抗を低くすることができる。また、この湾曲面に沿って広い領域に渡ってゲート電極とドレイン領域とが対向している場合でも、これらの間の容量は小さいので、この半導体装置のスイッチングロス小さくできる。

40

半導体基板の表面にはエピタキシャル層が形成されていてもよく、この場合、チャンネル領域、ソース領域、およびドレイン領域はエピタキシャル層に形成されていてもよい。

【0017】

この半導体装置の半導体部分がシリコンからなる場合、絶縁層のうち導電層とドレイン領域との間に存在する部分やゲート絶縁膜は、たとえば、このトレンチの内壁を酸化させる酸化シリコンからなるものとすることができる。

導電層は、請求項2記載のように、不純物の導入により導電化されたポリシリコンからな

50

るものであってもよい。

不純物の導入により導電化されたポリシリコンの形成は、半導体装置の製造工程において普通に行われる。したがって、このようなポリシリコンからなる導電層を形成する際、特別な装置を用いる必要がない。導電化されたポリシリコンは、たとえば、CVD (Chemical Vapor Deposition)法によりポリシリコン膜を形成した後、このポリシリコン膜に不純物をイオン注入して得ることができる。

【0018】

この場合、絶縁膜のうち導電層とゲート電極との間に存在する部分は、導電層の一部を酸化させてなる酸化シリコンからなるものであってもよい。

請求項3記載の発明は、請求項1記載の半導体装置(20, 22)を製造するための方法であって、半導体基板(1)の表層部に上記第2導電型のエピタキシャル層(2)を形成する工程と、このエピタキシャル層に上記トレンチ(17)を形成する工程と、上記トレンチの底部に第1絶縁層(11)を形成する工程と、この第1絶縁層を形成する工程の後、上記トレンチ内で上記第1絶縁層の上に複数個の上記導電層(40a, 40b)を形成する工程と、各導電層を形成する工程の後、当該導電層の露出表面に、上記第1絶縁層とともに上記絶縁層を構成する第2絶縁層(14)を形成する工程と、上記トレンチの内側壁に沿って上記ゲート絶縁膜(13)を形成する工程と、上記トレンチ内に、上記絶縁層により上記導電層から電気的に絶縁された上記ゲート電極(26)を形成する工程と、上記エピタキシャル層に、上記ゲート絶縁膜を挟んで上記ゲート電極と対向する上記第1導電型の上記チャンネル領域(4)を形成する工程と、上記エピタキシャル層において上記トレンチの縁部に対応する領域に、上記第2導電型の上記ソース領域(25)を形成する工程とを含み、上記第1絶縁層を形成する工程が、上記トレンチの内壁を熱酸化させて犠牲酸化膜(11)を形成する工程と、上記導電層の側壁の一部が露出され、上記ドレイン領域と上記導電層との間の上記犠牲酸化膜が残るように、上記犠牲酸化膜を上記トレンチの底部に存在する部分を残して除去する工程とを含むことを特徴とする半導体装置の製造方法である。

【0019】

この発明に係る半導体装置の製造方法により、請求項1記載の半導体装置を製造でき、請求項1記載の半導体装置と同様の効果を奏することができる。

また、犠牲酸化膜の形成および除去により、犠牲酸化膜が除去された後のトレンチの内壁を平坦にすることができる。これにより、ドレイン電流がチャンネル領域中を抵抗値が低くなる面方位を有する特定の面に沿って流れるようにすることができ、オン抵抗の低減を図ることができる。

ドレイン領域は、たとえば、チャンネル領域およびソース領域を形成した後のエピタキシャル層の残部とすることができる。

チャンネル領域を形成する工程およびソース領域を形成する工程は、トレンチを形成する工程の前に実施されてもよく、トレンチを形成する工程の後に実施されてもよい。

【0020】

請求項4記載の発明は、上記第2絶縁層を形成する工程が、上記導電層の露出面を酸化させる工程を含むことを特徴とする請求項3記載の半導体装置の製造方法である。

【0021】

犠牲酸化膜の除去は、ゲート絶縁膜が形成される部分、すなわち、ゲート電極とチャンネル領域との対向部についてのみ行えばよく、それ以外の部分の犠牲酸化膜を残して絶縁層の一部とすることができる。これにより、工程を大幅に増やすことなく絶縁層を形成できる。絶縁層の他の部分は、導電層の露出表面を酸化させることにより形成できる。ゲート絶縁膜を熱酸化により形成する場合は、同時に、導電層の露出表面を酸化させることができる。

【0022】

請求項5記載の発明は、上記ゲート電極を形成する工程が、不純物の導入により導電化されたポリシリコン膜を形成する工程を含むことを特徴とする請求項3または4記載の半導

10

20

30

40

50

体装置の製造方法である。

この発明に係る半導体装置の製造方法により、請求項 2 記載の半導体装置を製造でき、請求項 2 記載の半導体装置と同様の効果を奏することができる。

【 0 0 2 3 】

【発明の実施の形態】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図 1 は、半導体装置 2 0 の構造を示す図解的な断面図である。半導体装置 2 0 は、高周波スイッチング用の MOS FET である。

シリコン基板 1 の表面には、N⁻エピタキシャル層 2 が形成されており、N⁻エピタキシャル層 2 の上には、拡散領域 3 0 が形成されている。拡散領域 3 0 を貫通して N⁻エピタキシャル層 2 の厚さ方向途中に至る複数のトレンチ 1 7 が、一定間隔ごとに形成されている。各トレンチ 1 7 は、図 1 の紙面に垂直な方向に互いにほぼ平行に延びている。トレンチ 1 7 の内側壁はほぼ平坦な面をなしており、トレンチ 1 7 の底はシリコン基板 1 側に突出した湾曲面をなしている。

10

【 0 0 2 4 】

トレンチ 1 7 の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極 2 6 および導電層 4 0 が配置されている。導電層 4 0 は、トレンチ 1 7 の深部 (N⁻エピタキシャル層 2 側) で、N⁻エピタキシャル層 2 および拡散領域 3 0 に対向する領域に配置されている。ゲート電極 2 6 は、トレンチ 1 7 内において導電層 4 0 より浅い部分に、導電層 4 0 と離隔されて配置されている。また、ゲート電極 2 6 は、トレンチ 1 7 の深部において拡散領域 3 0 と導電層 4 0 との間に入り込んでいる。

20

【 0 0 2 5 】

トレンチ 1 7 の内側壁に沿う領域には、ゲート酸化膜 1 3 が形成されている。ゲート電極 2 6 と拡散領域 3 0 とは、ゲート酸化膜 1 3 を挟んで対向している。導電層 4 0 の周囲は、酸化層 1 5 により覆われている。したがって、酸化層 1 5 は、導電層 4 0 とゲート電極 2 6 との間、および導電層 4 0 と N⁻エピタキシャル層 2 との間に存在している。これにより、導電層 4 0 とゲート電極 2 6 および N⁻エピタキシャル層 2 とは電氣的に絶縁されている。ゲート電極 2 6 と N⁻エピタキシャル層 2 との間は、ゲート酸化膜 1 3 および酸化層 1 5 により電氣的に絶縁されている。ゲート酸化膜 1 3 と酸化層 1 5 とは、一体の酸化膜 1 8 をなしている。

30

【 0 0 2 6 】

ゲート酸化膜 1 3 と拡散領域 3 0 との界面は、トレンチの形状を反映してほぼ平坦な平坦面 1 3 f となっている。平坦面 1 3 f は、チャンネル領域 4 における特定の面方位を有する面であって、その面に沿って電流が流れるとき抵抗値が低くなるような面にほぼ沿っている。特定の面方位とは、たとえば、(1 , 0 , 0) である。また、酸化層 1 5 と N⁻エピタキシャル層 2 との界面は、トレンチ 1 7 の形状を反映してシリコン基板 1 側に突出した湾曲面 1 5 c を有している。拡散領域 3 0 は、酸化膜 1 8 に対して平坦面 1 3 f でのみ接しており、湾曲面 1 5 c とは接していない。

【 0 0 2 7 】

拡散領域 3 0 の表層部には、N⁺ソース領域 2 5 が形成されており、拡散領域 3 0 の残部は P 型のチャンネル領域 4 となっている。N⁺ソース領域 2 5 はトレンチ 1 7 の周辺 (縁部) に形成されている。

40

ゲート電極 2 6 の上には、酸化シリコンからなる絶縁膜 2 8 が形成されている。絶縁膜 2 8 は、平面視においてトレンチ 1 7 の縁部 (N⁺ソース領域 2 5 の上) にまで及んでいる。隣接する 2 つの絶縁膜 2 8 の間は、コンタクトホール 3 1 となっている。拡散領域 3 0 および絶縁膜 2 8 の上には、アルミニウムなどの金属からなる電極膜 2 7 が設けられている。電極膜 2 7 は、コンタクトホール 3 1 内を埋めるように形成されており、コンタクトホール 3 1 内に露出した拡散領域 3 0 と接している。

【 0 0 2 8 】

以上の半導体装置 2 0 において、N⁺ソース領域 2 5 と N⁻エピタキシャル層 2 との間に適

50

当な電圧を印加し、ゲート電極 26 を一定の大きさ以上の電位とすることにより、N⁺ソース領域 25 と N⁻エピタキシャル層 2 との間にドレイン電流が流れる。すなわち、N⁻エピタキシャル層 2 は、ドレイン領域として機能する。

ドレイン電流は、チャンネル領域 4 中をゲート酸化膜 13 に沿って流れる。この際、ドレイン電流はゲート酸化膜 13 の平坦面 13f に沿って流れ、湾曲面 15c に沿って流れることはない。したがって、ドレイン電流はチャンネル領域 4 中を抵抗値が低い特定の面方位を有する面に沿って流れることができるので、オン抵抗は低い。このような半導体装置 20 のオン抵抗は、たとえば、5 mΩ ないし 7 mΩ またはそれ以下とすることができる。

【0029】

また、ゲート電極 26 と N⁻エピタキシャル層 2 との間には、酸化層 15、導電層 40、および酸化層 15 が順に配列されている。したがって、ゲート電極 26 から N⁻エピタキシャル層 2 に至る部分は、2 つのコンデンサが直列に接続されたものと等価である。直列に接続された 2 つのコンデンサの合成容量は、各コンデンサの容量より小さい。このため、ゲート電極 26 と N⁻エピタキシャル層 2 とが湾曲面 15c を介して広い面積で対向しているにもかかわらず、ゲート電極 26 と N⁻エピタキシャル層 2 との間の容量、すなわち、ドレイン - ゲート間の容量 C_{DG} は低減されている。したがって、このような半導体装置 20 のスイッチングロスが小さい。

【0030】

このような半導体装置 20 (MOSFET) を用いて、CPU (Central Processing Unit) を 1 MHz で駆動する場合、たとえば、CPU を 1.3 V で駆動するときの電源効率を 85% 程度とすることができる、CPU を 3.3 V または 5 V で駆動するときの電源効率を 90% 程度とすることができる。

図 2 および図 3 は、図 1 に示す半導体装置 20 の製造方法を説明するための図解的な断面図である。

【0031】

まず、シリコン基板 1 の表面に、N⁻エピタキシャル層 2 が形成される。続いて、反応性イオンエッチング (RIE) により、所定の深さを有するトレンチ 17 が形成される。トレンチ 17 の底は、シリコン基板 1 側に突出した湾曲面となる。この状態が、図 2 (a) に示されている。

次に、以上の工程を経た半導体基板 1 の露出表面、すなわち、トレンチ 17 の内壁および N⁻エピタキシャル層 2 の表面が熱酸化されて、犠牲酸化膜 11 が形成される。犠牲酸化膜 11 の厚さは、たとえば、1500 Å ないし 3000 Å 程度 (たとえば、2000 Å 程度) とされる。この状態が、図 2 (b) に示されている。

【0032】

その後、CVD (Chemical Vapor Deposition) 法により、以上の工程を経たシリコン基板 1 の上に、トレンチ 17 の内部を埋めるように、ポリシリコン膜 12 が形成される (図 2 (c) 参照)。続いて、ポリシリコン膜 12 に不純物が導入されて、ポリシリコン膜 12 は導電化される。さらに、ポリシリコン膜 12 は、トレンチ 17 底部 (シリコン基板 1 側の部分) に存在する部分を残してエッチバックされる (図 2 (d) 参照)。

【0033】

続いて、犠牲酸化膜 11 がエッチバックされる。この際、ポリシリコン膜 12 の側壁の一部が露出され、N⁻エピタキシャル層 2 とポリシリコン膜 12 との間の犠牲酸化膜 11 (トレンチ 17 の底部側の部分) は残るようにされる。

犠牲酸化膜 11 が除去された部分のトレンチ 17 の幅は、わずかに広がる。また、犠牲酸化膜 11 が除去された後のトレンチ 17 の内側壁はほぼ平坦な面になる。この状態が図 3 (e) に示されている。

【0034】

次に、以上の工程を経たシリコン基板 1 の露出表面が熱酸化される。これにより、トレンチ 17 の内側壁にゲート酸化膜 13 が形成され、ポリシリコン膜 12 の露出表面に酸化膜 14 が形成される。ゲート酸化膜 13 の厚さは、たとえば、200 Å ないし 600 Å とさ

10

20

30

40

50

れる。ポリシリコン膜 12 の残部は、導電層 40 となる。犠牲酸化膜 11 の残部と酸化膜 14 とは、導電層 40 の周囲を覆う酸化層 15 となり、酸化層 15 とゲート酸化膜 13 とは、一体の酸化膜 18 となる。

【0035】

ゲート酸化膜 13 と拡散領域 30 との界面は、トレンチ 17 の形状を反映して、ほぼ平坦な平坦面 13f となる。酸化層 15 とN⁻エピタキシャル層 2 との界面は、トレンチ 17 の形状を反映して、湾曲面 15c を有するようになる。この状態が図 3 (f) に示されている。

その後、CVD 法により、トレンチ 17 の内部を埋めるようにポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化される。そして、このポリシリコン膜のうちトレンチ 17 外の部分が除去される。ポリシリコン膜の残部は、ゲート電極 26 となる。

10

【0036】

次に、所定のパターンの開口を有するマスクにより、N⁻エピタキシャル層 2 にイオン注入されて、P 型のチャネル領域 4 が形成される。さらに、別のパターンの開口を有するマスクにより、チャネル領域 4 にイオン注入されてN⁺ソース領域 25 が形成される。チャネル領域 4 およびN⁺ソース領域 25 は、拡散領域 30 をなす。

拡散領域 30 の形成に際して、イオンの注入深さが制御されて、拡散領域 30 が、酸化膜 18 に対して、平坦面 13f でのみ接し、湾曲面 15c とは接しないようにされる。また、ゲート酸化膜 13 を挟んで、拡散領域 30 が全領域に渡ってゲート電極 26 と対向する

20

【0037】

そして、以上の工程を経たシリコン基板 1 の上に全面に、CVD 法により、酸化シリコンからなる絶縁膜 28 が形成される (図 3 (g) 参照)。そして、所定のパターンの開口を有するマスクを用いて、絶縁膜 28 にコンタクトホール 31 が形成される。

さらに、以上の工程を経たシリコン基板 1 の上に全面にアルミニウムなどからなる電極膜 27 が形成されて、図 1 に示す半導体装置 20 が得られる。

【0038】

以上の半導体装置 20 の製造方法において、犠牲酸化膜 11 が形成された後、この犠牲酸化膜 11 はすべて除去されるのではなく、ポリシリコン膜 12 とN⁻エピタキシャル層 2 との間に存在するものが残るようにされる。したがって、工程を大幅に増やすことなく酸化層 15 を形成できる。

30

さらに、犠牲酸化膜 11 を厚めに形成することにより、導電層 40 とN⁻エピタキシャル層 2 との間に存在する酸化層 15 の厚さを厚くすることができる。このことによっても、ゲート電極 26 とN⁻エピタキシャル層 2 との間の容量の低減を図ることができ、スイッチングロスを低減できる。

【0039】

図 4 は、半導体装置 21 の構造を示す図解的な断面図である。図 1 に示す半導体装置 20 の構成要素等に対応する構成要素等には、同じ参照符号を付して説明を省略する。

この半導体装置 21 は、図 1 に示す半導体装置 20 のゲート電極 26 および導電層 40 のそれぞれ対応して、ゲート電極 36 および導電層 37 が設けられている。半導体装置 20 では、ゲート電極 26 の一部が、N⁻エピタキシャル層 2 と導電層 40 との間に入り込んでいたが、この半導体装置 21 においては、ゲート電極 36 はN⁻エピタキシャル層 2 と導電層 37 との間に入り込んでいない。ゲート電極 36 と導電層 37 との間は、ほぼ平坦な酸化層 15 により区画されている。

40

【0040】

このような半導体装置 21 は、半導体装置 20 の製造方法における犠牲酸化膜 11 を除去する工程 (図 3 (f) 参照) で、N⁻エピタキシャル層 2 とポリシリコン膜 12 との間の犠牲酸化膜 11 が除去されないようにすることにより得ることができる。すなわち、ポリシリコン膜 12 のエッチバック面 (シリコン基板 1 側とは反対側の面) と犠牲酸化膜 11

50

のエッチバック面とがほぼ面一になったときに、犠牲酸化膜 1 1 のエッチバックを終了すればよい。

【 0 0 4 1 】

図 5 は、本発明の一実施形態に係る半導体装置 2 2 の構造を示す図解的な断面図である。図 1 に示す半導体装置 2 0 の構成要素等に対応する構成要素等には、同じ参照符号を付して説明を省略する。

図 1 に示す半導体装置 2 0 では、導電層 4 0 が 1 つのみ形成されていたが、この半導体装置 2 2 においては、2 つの導電層 4 0 a , 4 0 b が形成されている。導電層 4 0 a , 4 0 b は、トレンチ 1 7 の深さ方向に沿って配列されており、酸化層 1 5 は、導電層 4 0 a と導電層 4 0 b との間にも存在している。

10

【 0 0 4 2 】

したがって、ゲート電極 2 6 と N⁻エピタキシャル層 2 との間には、酸化層 1 5、導電層 4 0 a、酸化層 1 5、導電層 4 0 b、および酸化層 1 5 が順に配列されている。これにより、ゲート電極 2 6 から N⁻エピタキシャル層 2 に至る部分は、3 つのコンデンサが直列に接続されたものと等価になっており、ゲート電極 2 6 と N⁻エピタキシャル層 2 との間の容量のさらなる低減が図られている。したがって、半導体装置 2 2 は、半導体装置 2 0 , 2 1 に比してさらなるスイッチングロスの低減が図られている。

【 0 0 4 3 】

導電層 4 0 , 4 0 a , 4 0 b の代わりに、3 つ以上の導電層が設けられていてもよい。このような半導体装置 2 2 は、以下のようにして得ることができる。熱酸化によるゲート酸化膜 1 3 の形成 (図 3 (f) 参照) までが、半導体装置 2 0 の製造方法と同様にして実施される。続いて、トレンチ 1 7 内にポリシリコン膜 1 2 と同様のポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化された後、このポリシリコン膜がエッチバックされる。ポリシリコン膜の残部は、導電層 4 0 b となる。

20

【 0 0 4 4 】

次に、導電層 4 0 b の露出面が熱酸化された後、ポリシリコン膜 1 2 と同様のポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化された後、さらに、このポリシリコン膜のうちトレンチ 1 7 の外部のものがエッチバックされる。ポリシリコン膜の残部は、ゲート電極 2 6 となる。

ゲート電極 2 6 や導電層 4 0 , 4 0 a , 4 1 b は、タングステン (W) 等の金属からなるものであってもよい。

30

【 0 0 4 5 】

以上の実施形態では、チャンネル領域 4 や N⁺ソース領域 2 5 は、トレンチ 1 7 を形成する前に形成されているが、トレンチ 1 7 を形成した後に形成することとしてもよい。

以上の実施形態に係る半導体装置は、いずれも N チャンネルトランジスタの例であるが、半導体装置は P チャンネルトランジスタであってもよい。

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【 図面の簡単な説明 】

【 図 1 】 半導体装置の構造を示す図解的な断面図である。

【 図 2 】 図 1 に示す半導体装置の製造方法を説明するための図解的な断面図である。

40

【 図 3 】 図 1 に示す半導体装置の製造方法を説明するための図解的な断面図である。

【 図 4 】 半導体装置の構造を示す図解的な断面図である。

【 図 5 】 本発明の一実施形態に係る半導体装置の構造を示す図解的な断面図である。

【 図 6 】 従来のトレンチ構造を有する MOS F E T が形成された半導体装置の構造を示す図解的な断面図である。

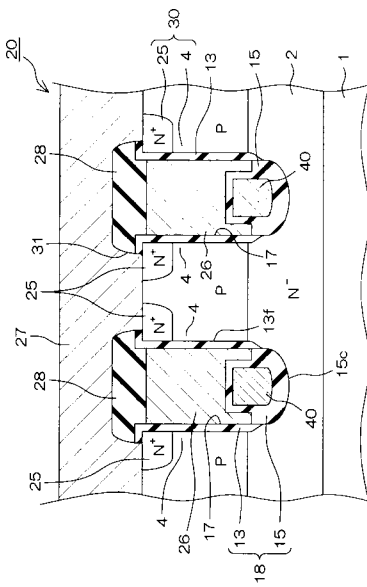
【 符号の説明 】

- 1 シリコン基板
- 2 N⁻エピタキシャル層
- 4 チャンネル領域
- 1 1 犠牲酸化膜

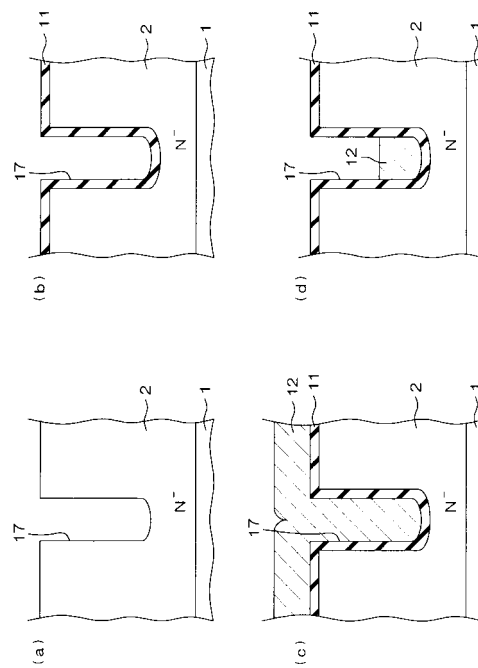
50

- 1 4 酸化膜
- 1 3 ゲート酸化膜
- 1 5 酸化層
- 1 7 トレンチ
- 2 0 , 2 1 , 2 2 半導体装置
- 2 5 N⁺ソース領域
- 2 6 , 3 6 ゲート電極
- 3 7 , 4 0 , 4 0 a , 4 0 b 導電層

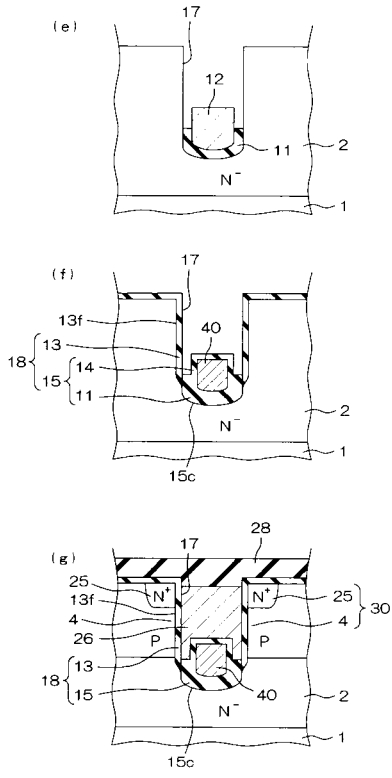
【図 1】



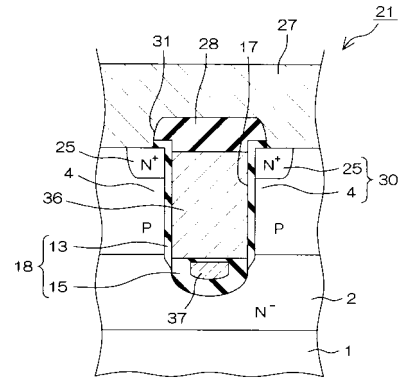
【図 2】



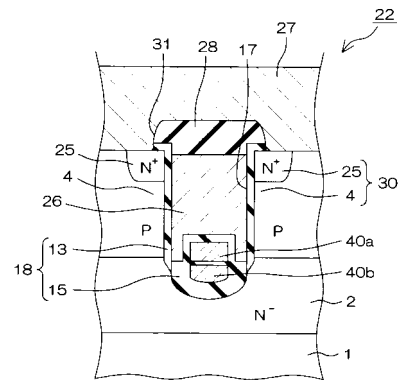
【図3】



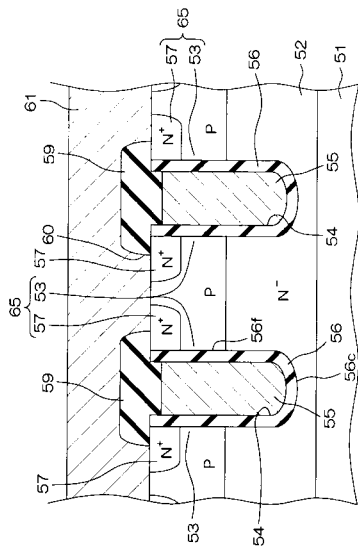
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開平04 - 229662 (JP, A)
特表2002 - 528916 (JP, A)
特開2002 - 026323 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 29/78

H01L 21/336