



(12)发明专利

(10)授权公告号 CN 105993007 B

(45)授权公告日 2019.06.25

(21)申请号 201480064263.7

R · D · 韦斯特费尔特

(22)申请日 2014.11.21

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号

代理人 袁逸

申请公布号 CN 105993007 A

(51)Int.Cl.

G06F 13/376(2006.01)

H04L 12/413(2006.01)

(43)申请公布日 2016.10.05

(56)对比文件

US 4359731 A, 1982.11.16,

US 4359731 A, 1982.11.16,

US 5555545 A, 1996.09.10,

US 5710910 A, 1998.01.20,

US 6092137 A, 2000.07.18,

CN 1573721 A, 2005.02.02,

US 2008/0183913 A1, 2008.07.31,

(30)优先权数据

审查员 颜佳

14/089,550 2013.11.25 US

(85)PCT国际申请进入国家阶段日

权利要求书4页 说明书13页 附图10页

2016.05.25

(86)PCT国际申请的申请数据

PCT/US2014/066814 2014.11.21

(87)PCT国际申请的公布数据

W02015/077562 EN 2015.05.28

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 G · A · 威利 O · J · 西尔斯

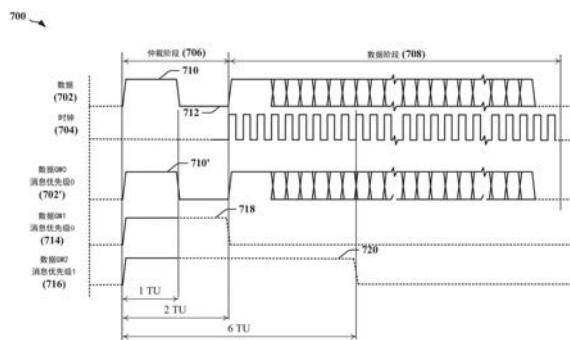
(54)发明名称

多点接口最短脉宽优先级解析

(57)摘要

CN 105993007 B

描述了促成数据传输(特别是电子装置内的两个设备之间的数据传输)的系统、方法和装置。每个设备能够通过将数据信号驱动到第一电压电平来争用对通信链路的控制。若数据信号或时钟信号在仲裁时间段流逝之前改变，则一个或多个设备向另一争用者退让对通信链路的控制。每个争用者的仲裁时间段是不同的，并且指示要传送的消息的优先级。越短的仲裁时间段指示越高的优先级。在通信链路的时钟和数据信号保持在空闲或其他预定义状态长达最小空闲时间之后，仲裁可以开始。该最小空闲时间对于不同节点来说可以是不同的，并且对于高优先级消息或节点来说可以较短。



1. 一种用于在装置中的节点之间通信的方法,包括:

通过将通信链路的数据信号驱动到第一电压电平来争用对所述通信链路的控制;

监视所述数据信号和时钟信号长达第一时间段;

若所述数据信号在所述第一时间段到期之前已经被驱动到第二电压电平,则退让对所述通信链路的控制;

若所述数据信号在所述第一时间段到期之前尚未被驱动到所述第二电压电平,则通过将所述数据信号驱动到所述第二电压电平来断言对所述通信链路的控制;以及

在断言对所述通信链路的控制之后,在所述通信链路上传送消息,

其中所述第一时间段具有对应于所述消息的优先级的历时。

2. 如权利要求1所述的方法,其特征在于,争用对所述通信链路的控制包括:

确定在将所述数据信号驱动到所述第一电压电平之前,所述通信链路的所述数据信号和所述时钟信号已经空闲长达第二时间段。

3. 如权利要求1所述的方法,其特征在于,所述第一时间段是基于所述消息的优先级或者与配置成在所述通信链路上传送所述消息的节点相关联的优先级来确定的,其中所述第一时间段对于较高优先级而言是较短的。

4. 如权利要求1所述的方法,其特征在于,为争用对所述通信链路的控制的两个或更多节点不同地定义所述第一时间段。

5. 如权利要求1所述的方法,其特征在于,所述第一时间段被计算为针对与所述通信链路相关联的定时活动所定义的传输定时单元的倍数,并且其中所述数据信号被驱动到所述第一电压电平长达小于一个传输定时单元。

6. 如权利要求5所述的方法,其特征在于,所述通信链路连接位于不同集成电路设备上的节点。

7. 如权利要求6所述的方法,其特征在于,位于所述不同集成电路设备上的所述节点以不同内部时钟速率操作,并且其中所述传输定时单元等于或大于所述内部时钟中的最慢内部时钟的时钟周期。

8. 如权利要求1所述的方法,其特征在于,所述第一时间段被计算为所述消息的优先级和配置成在所述通信链路上传送所述消息的节点的地址的加权和,并且其中所述第一时间段对于较高优先级消息或较高优先级节点而言是较短的。

9. 如权利要求1所述的方法,其特征在于,监视所述数据信号长达所述第一时间段包括使得配置成在所述通信链路上传送所述消息的节点进入高阻抗状态。

10. 如权利要求1所述的方法,其特征在于,对所述通信链路的控制包括对所述数据信号和所述时钟信号的控制。

11. 一种用于在节点之间通信的装备,包括:

用于通过将通信链路的数据信号驱动到第一电压电平来争用对所述通信链路的控制的装置;

用于监视所述数据信号和时钟信号长达第一时间段的装置;

用于若所述数据信号在所述第一时间段到期之前已经被驱动到第二电压电平,则退让对所述通信链路的控制的装置;

用于若所述数据信号在所述第一时间段到期之前尚未被驱动到所述第二电压电平,则

通过将所述数据信号驱动到所述第二电压电平来断言对所述通信链路的控制的装置；以及用于在断言对所述通信链路的控制之后，在所述通信链路上传送消息的装置，其中所述第一时间段具有对应于所述消息的优先级的历时。

12. 如权利要求11所述的装备，其特征在于，所述用于争用对所述通信链路的控制的装置被配置成确定在将所述数据信号驱动到所述第一电压电平之前，所述通信链路的所述数据信号和所述时钟信号已经空闲长达第二时间段。

13. 如权利要求11所述的装备，其特征在于，所述第一时间段是基于所述消息的优先级或者与配置成在所述通信链路上传送所述消息的节点相关联的优先级来确定的，其中所述第一时间段对于较高优先级而言是较短的。

14. 如权利要求11所述的装备，其特征在于，为争用对所述通信链路的控制的两个或更多节点不同地定义所述第一时间段。

15. 如权利要求11所述的装备，其特征在于，所述第一时间段被计算为针对与所述通信链路相关联的定时活动所定义的传输定时单元的倍数，并且其中所述数据信号被驱动到所述第一电压电平长达小于一个传输定时单元。

16. 如权利要求15所述的装备，其特征在于，所述通信链路连接位于不同集成电路设备上的节点。

17. 如权利要求16所述的装备，其特征在于，位于所述不同集成电路设备上的所述节点以不同内部时钟速率操作，并且其中所述传输定时单元等于或大于所述内部时钟中的最慢内部时钟的时钟周期。

18. 如权利要求11所述的装备，其特征在于，所述第一时间段被计算为所述消息的优先级和配置成在所述通信链路上传送所述消息的节点的地址的加权和，并且其中所述第一时间段对于较高优先级消息或较高优先级节点而言是较短的。

19. 如权利要求11所述的装备，其特征在于，所述用于监视所述数据信号长达所述第一时间段的装置被配置成使得配置成在所述通信链路上传送所述消息的节点进入高阻抗状态。

20. 如权利要求11所述的装备，其特征在于，对所述通信链路的控制包括对所述数据信号和所述时钟信号的控制。

21. 一种用于在节点之间通信的装置，包括：

处理电路，其被配置成：

通过将通信链路的数据信号驱动到第一电压电平来争用对所述通信链路的控制；

监视所述数据信号和时钟信号长达第一时间段；

若所述数据信号在所述第一时间段到期之前已经被驱动到第二电压电平，则退让对所述通信链路的控制；

若所述数据信号在所述第一时间段到期之前尚未被驱动到所述第二电压电平，则通过将所述数据信号驱动到所述第二电压电平来断言对所述通信链路的控制；以及

在断言对所述通信链路的控制之后，在所述通信链路上传送消息，

其中所述第一时间段具有对应于所述消息的优先级的历时。

22. 如权利要求21所述的装置，其特征在于，所述处理电路被配置成确定在将所述数据信号驱动到所述第一电压电平之前，所述通信链路的所述数据信号和所述时钟信号已经空

闲长达第二时间段。

23. 如权利要求21所述的装置,其特征在于,所述第一时间段是基于所述消息的优先级或者与配置成在所述通信链路上传送所述消息的节点相关联的优先级来确定的,其中所述第一时间段对于较高优先级而言是较短的。

24. 如权利要求21所述的装置,其特征在于,为争用对所述通信链路的控制的两个或更多节点不同地定义所述第一时间段。

25. 如权利要求21所述的装置,其特征在于,所述第一时间段被计算为针对与所述通信链路相关联的定时活动所定义的传输定时单元的倍数,并且其中所述数据信号被驱动到所述第一电压电平长达小于一个传输定时单元。

26. 如权利要求25所述的装置,其特征在于,所述通信链路连接位于不同集成电路设备上的节点。

27. 如权利要求26所述的装置,其特征在于,位于所述不同集成电路设备上的所述节点以不同内部时钟速率操作,并且其中所述传输定时单元等于或大于所述内部时钟中的最慢内部时钟的时钟周期。

28. 如权利要求21所述的装置,其特征在于,所述第一时间段被计算为所述消息的优先级和配置成在所述通信链路上传送所述消息的节点的地址的加权和,并且其中所述第一时间段对于较高优先级消息或较高优先级节点而言是较短的。

29. 如权利要求21所述的装置,其特征在于,所述处理电路被配置成使得配置成在所述通信链路上传送所述消息的节点进入高阻抗状态,同时监视所述数据信号长达所述第一时间段。

30. 如权利要求21所述的装置,其特征在于,对所述通信链路的控制包括对所述数据信号和所述时钟信号的控制。

31. 一种其上存储有指令的非瞬态机器可读存储介质,所述指令在由至少一个处理电路执行时使所述至少一个处理电路:

通过将通信链路的数据信号驱动到第一电压电平来争用对所述通信链路的控制;

监视所述数据信号和时钟信号长达第一时间段;

若所述数据信号在所述第一时间段到期之前已经被驱动到第二电压电平,则退让对所述通信链路的控制;

若所述数据信号在所述第一时间段到期之前尚未被驱动到所述第二电压电平,则通过将所述数据信号驱动到所述第二电压电平来断言对所述通信链路的控制;以及

在断言对所述通信链路的控制之后,在所述通信链路上传送消息,

其中所述第一时间段具有对应于所述消息的优先级的历时。

32. 如权利要求31所述的存储介质,其特征在于,所述指令使得所述至少一个处理电路:

确定在将所述数据信号驱动到所述第一电压电平之前,所述通信链路的所述数据信号和所述时钟信号已经空闲长达第二时间段。

33. 如权利要求31所述的存储介质,其特征在于,所述第一时间段是基于所述消息的优先级或者与配置成在所述通信链路上传送所述消息的节点相关联的优先级来确定的,其中所述第一时间段对于较高优先级而言是较短的。

34. 如权利要求31所述的存储介质,其特征在于,为争用对所述通信链路的控制的两个或更多节点不同地定义所述第一时间段。

35. 如权利要求31所述的存储介质,其特征在于,所述第一时间段被计算为针对与所述通信链路相关联的定时活动所定义的传输定时单元的倍数,并且其中所述数据信号被驱动到所述第一电压电平长达小于一个传输定时单元。

36. 如权利要求35所述的存储介质,其特征在于,所述通信链路连接位于不同集成电路设备上的节点。

37. 如权利要求36所述的存储介质,其特征在于,位于所述不同集成电路设备上的所述节点以不同内部时钟速率操作,并且其中所述传输定时单元等于或大于所述内部时钟中的最慢内部时钟的时钟周期。

38. 如权利要求31所述的存储介质,其特征在于,所述第一时间段被计算为所述消息的优先级和配置成在所述通信链路上传送所述消息的节点的地址的加权和,并且其中所述第一时间段对于较高优先级消息或较高优先级节点而言是较短的。

39. 如权利要求31所述的存储介质,其特征在于,所述指令使得所述至少一个处理电路:

使得配置成在所述通信链路上传送所述消息的节点进入高阻抗状态,同时监视所述数据信号长达所述第一时间段。

40. 如权利要求31所述的存储介质,其特征在于,对所述通信链路的控制包括对所述数据信号和所述时钟信号的控制。

## 多点接口最短脉宽优先级解析

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年11月25日向美国专利商标局提交的美国非临时专利申请No.14/089,550的优先权和权益,其全部内容通过援引纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及高速数据通信接口,尤其涉及连接多个设备的多点数据通信链路。

### 背景技术

[0006] 移动设备(诸如蜂窝电话)的制造商可从各种来源(包括不同制造商)获得移动设备的各组件。例如,蜂窝电话中的应用处理器可从第一制造商获得,而蜂窝电话的显示器可从第二制造商获得。可使用基于标准的接口或专有物理接口来互连应用处理器和显示器、显示器驱动器或其他设备。物理接口的一个示例是多点共存管理接口(MP-CxMi),其可以在设备或者设备的组件内使用。

[0007] 可以为全集成芯片和非集成设备采用与调制解调器或其他功能相关联的简单CxMi节点网络。使用标准接口允许开发共用软件来管理不同设备或与不同设备交互。CxMi接口可以使用简单互补金属氧化物半导体(CMOS)信号,并且以约50Mbps的数据率运行。然而,通常不存在总线主控,并且总线仲裁过程可能被延长,由此影响吞吐量。

[0008] 概述

[0009] 本文所公开的实施例提供了实现装置内的设备之间的物理接口上改进的传输速率的系统、方法和装置。该装置可包括具有可共处于电子装置中并通过一个或多个数据链路通信地耦合的多个集成电路(IC)设备的移动终端。

[0010] 在本公开的一方面,一种用于数据通信的方法包括以下步骤:通过将数据信号驱动到第一电压电平来争用对通信链路的控制,监视该数据信号和时钟信号长达第一时间段,若该数据信号或时钟信号的电压在第一时间段到期之际不处于第一电压电平则退让对该通信链路的控制,若该数据信号的电压在第一时间段到期之际处于第一电压电平则通过将该数据信号驱动到第二电压电平来断言对通信链路的控制,以及在断言对该通信链路的控制之后在该通信上传送消息。第一时间段的历时可对应于该消息的优先级。对该通信链路的控制可包括对该数据信号的控制和/或对该时钟信号的控制。

[0011] 在本公开的一方面,争用对通信链路的控制包括确定在将数据信号驱动到第一电压电平之前,该通信链路的数据信号和时钟信号已经空闲长达第二时间段。可以基于消息的优先级或者与配置成在通信链路上传送该消息的节点相关联的优先级来计算第二时间段。第二时间段对于较高优先级来说可以比较低优先级更短。

[0012] 在本公开的一方面,对于争用对通信链路的控制的两个或更多节点,第一时间段可以被不同地定义。第一时间段可以被计算为针对与通信链路相关联的定时活动所定义的传输定时单元的倍数。该数据信号可以被驱动到第一电压电平长达小于一个传输定时单

元。该通信链路可以连接位于不同集成电路设备上的节点。位于不同集成电路设备上的节点可以不同内部时钟速率来操作。该传输定时单元可以等于或大于最慢内部时钟的时钟周期。

[0013] 在本公开的一方面,第一时间段被计算为消息的优先级以及配置成在通信链路上传送该消息的节点的地址的加权和。第一时间段对于较高优先级消息来说可以比较低优先级消息更短。第一时间段对于较高优先级节点来说可以比较低优先级节点更短。

[0014] 在本公开的一方面,监视该数据信号长达第一时间段可包括使得配置成在该通信链路上传送该消息的节点进入高阻抗状态。

[0015] 在本公开的一方面,一种用于数据通信的装备包括:用于通过将数据信号驱动到第一电压电平来争用对通信链路的控制的装置,用于监视该数据信号和时钟信号长达第一时间段的装置,用于若该数据信号或时钟信号的电压在第一时间段到期之际不处于第一电压电平则退让对该通信链路的控制的装置,用于若该数据信号的电压在第一时间段到期之际处于第一电压电平则通过将该数据信号驱动到第二电压电平来断言对通信链路的控制的装置,以及用于在断言对该通信链路的控制之后在该通信上传送消息的装置。第一时间段的历时可对应于该消息的优先级。该用于争用对通信链路的控制的装置可以配置成确定在将该数据信号驱动到第一电压电平之前,该数据信号和该时钟信号已经空闲长达第二时间段。

[0016] 在本公开的一方面,一种用于数据通信的装置包括处理电路,其被配置成:通过将数据信号驱动到第一电压电平来争用对通信链路的控制,监视该数据信号和时钟信号长达第一时间段,若该数据信号或时钟信号的电压在第一时间段到期之际不处于第一电压电平则退让对该通信链路的控制,若该数据信号的电压在第一时间段到期之际处于第一电压电平则通过将该数据信号驱动到第二电压电平来断言对通信链路的控制,以及在断言对该通信链路的控制之后在该通信上传送消息。第一时间段的历时可对应于该消息的优先级。该处理器可以被配置成确定在该数据信号被驱动到第一电压电平之前,该通信链路的数据信号和时钟信号已经空闲长达第二时间段。

[0017] 在本公开的一方面,一种非瞬态机器可读存储介质上存储有指令,这些指令在由至少一个处理电路执行时使得该至少一个处理电路:通过将数据信号驱动到第一电压电平来争用对通信链路的控制,监视该数据信号和时钟信号长达第一时间段,若该数据信号或时钟信号的电压在第一时间段到期之际不处于第一电压电平则退让对该通信链路的控制,若该数据信号的电压在第一时间段到期之际处于第一电压电平则通过将该数据信号驱动到第二电压电平来断言对通信链路的控制,以及在断言对该通信链路的控制之后在该通信上传送消息。第一时间段的历时可对应于消息的优先级。

[0018] 附图简述

[0019] 图1描绘了在各IC设备之间采用数据链路的装置,该数据链路根据多个可用标准之一来选择性地操作。

[0020] 图2解说了采用内部和外部数据链路来连接功能组件的装置的系统架构的示例。

[0021] 图3解说了采用多个内部和外部MP-CxMi通信链路的装置的系统架构的示例。

[0022] 图4解说了具有将设备与内部MP-CxMi通信链路相连接的外部MP-CxMi通信链路的装置的简化示例。

- [0023] 图5解说了可以在多点MP-CxMi通信链路上传送的消息的示例格式。
- [0024] 图6是解说在MP-CxMi通信链路上传送的消息的传输的时序图。
- [0025] 图7是解说根据本文公开的某些方面的MP-CxMi总线仲裁的一个示例的时序图。
- [0026] 图8解说了根据本文公开的某些方面的保持器电路。
- [0027] 图9是根据本文公开的某些方面的用于在连接到MP-CxMi总线的节点之间通信的方法的流程图。
- [0028] 图10是解说连接到MP-CxMi总线的装置的硬件实现的简化示例的示图。
- [0029] 详细描述
- [0030] 现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或更多个方面的透彻理解。但是显然的是,没有这些具体细节也可实践此类方面。
- [0031] 如本申请中所使用的,术语“组件”、“模块”、“系统”及类似术语旨在包括计算机相关实体,诸如但并不限于硬件、固件、硬件与软件的组合、软件、或执行中的软件。例如,组件可以是但不限于,在处理器上运行的进程、处理器、对象、可执行件、执行的线程、程序和/或计算机。作为解说,在计算设备上运行的应用和该计算设备两者皆可以是组件。一个或多个组件可驻留在进程和/或执行的线程内,且组件可以本地化在一台计算机上和/或分布在两台或更多台计算机之间。此外,这些组件能从其上存储着各种数据结构的各种计算机可读介质来执行。这些组件可藉由本地和/或远程进程来通信,诸如根据具有一个或多个数据分组的信号来通信,这样的数据分组诸如是来自藉由该信号与本地系统、分布式系统中另一组件交互的、和/或跨诸如因特网之类的网络与其他系统交互的一个组件的数据。
- [0032] 此外,术语“或”旨在表示“包含性或”而非“排他性或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X采用A或B”旨在表示任何自然的可兼排列。即,短语“X采用A或B”得到以下任何实例的满足:X采用A;X采用B;或X采用A和B两者。另外,本申请和所附权利要求书中所用的冠词“一”和“某”一般应当被理解成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。
- [0033] 本发明的某些方面可适用于被部署在电子设备之间的通信链路,这些电子设备可包括装置(诸如电话、移动计算设备、电器、汽车电子设备、航空电子系统等)的子组件。
- [0034] 图1描绘了可采用IC设备之间的通信链路的装置100。在一个示例中,装置100可包括无线通信设备,该无线通信设备通过RF收发机与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。装置100可包括可操作地耦合至处理电路102的通信收发机106。处理电路102可包括一个或多个IC设备,诸如专用IC(ASIC)108。ASIC 108可包括一个或多个处理设备、逻辑电路等等。处理电路102可包括和/或耦合至处理器可读存储(诸如存储器112),该处理器可读存储可维护可由处理电路102执行的指令和数据。处理电路102可由操作系统以及应用编程接口(API)110层中的一者或者者来控制,该API 110层支持并允许执行驻留在存储介质(诸如无线设备的存储器设备112)中的软件模块。存储器设备112可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程ROM(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。处理电路102可包括或访问本地数据库114,该本地数据库114可维护用于配置和操作该装置100的操作参数和其它信息。本地数据库114可使用数据库模块、闪存、磁介质、EEPROM、光学介质、磁带、软盘或硬盘等中的一者或

多者来实现。处理电路102也可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126)、以及其他组件。

[0035] 装置100可包括彼此通信的多个处理电路102、收发机106、调制解调器和其他设备。每个处理电路102可以实现为多个IC设备,包括一个或多个ASIC108、处理器、定序器、状态机、微控制器和其他逻辑元件。多个不同元件、设备、电路、模块和功能可以适配成彼此互连,从而在装置100内传递、转移、路由、中继或以其它方式传达数据和控制信息。在一些实例中,不同元件、设备、电路、模块和功能以不同频率进行时钟定时和/或能够以不同数据率进行通信。相应地,互连各元件、设备、电路、模块和功能的数据通信链路必须通常可适配成提供对于可变数目的所连接的元件、设备、电路、模块和功能的访问。

[0036] 图2是解说可以作为无线通信设备来操作的装置200的简化示例的框图。装置200包括多个IC设备202、204、206和208,这些IC设备可以形成在个体管芯上和/或可在相同或不同芯片载体上提供或在相同或不同封装内提供。IC设备202、204、206和/或208中的两个或更多个设备可以通过通信链路210来交换数据和控制信息。通信链路210可被用于连接可定位成彼此紧邻或者物理上位于装置200的不同部分中的IC设备202、204、206和/或208中的两个或更多个设备。在一个示例中,通信链路210可被设在搭载IC设备202、204、206和208的芯片载体、基板或电路板上。

[0037] IC设备202、204、206和208可以各自包括功能组件,这些功能组件可配置成与同一IC设备202、204、206或208的其他组件通信,以及通过外部数据链路210来与其他IC设备202、204、206和/或208的组件通信。每个IC设备202、204、206或208内的组件可包括处理电路226、246、266和282、存储286、收发机、调制解调器、UART、设备驱动器等等(一般地被示为组件222a、222b、222c、242a、242b和262)。在一个示例中,通用处理设备208可作为ASIC来提供,该ASIC包括一个或多个处理电路282(诸如,数字信号处理器(DSP)、微处理器、微控制器、定序器逻辑、状态机等)和支持电路(包括存储设备286)。在另一示例中,通用处理设备208可以是使用动态随机存取存储器(DRAM)或其他存储设备286来提供大容量存储的存储器控制器或存储器子系统、以及一个或多个处理电路282。IC设备202、204、206和208的内部组件可以使用内部数据链路224、244、264和284来彼此通信,这些内部数据链路可包括根据本文公开的某些方面配置的并行或串行总线或通信链路。

[0038] IC设备202、204、206和/或208中的一者或多者可以具有网关电路或者组件220、240、260和280以提供内部数据链路224、244、264和/或284与外部数据链路210之间的接口。在一些实例中,网关220、240、260或280可提供总线转换能力,该能力可包括并-串转换、串-并转换、用于容适时钟速率差异的数据缓冲、逻辑电平转换、线驱动器等等。在一些示例中,网关220、240、260或280可提供地址转换和/或地址解析,包括在内部数据链路224、244、264和/或284和外部数据链路210具有相同架构时。在一个示例中,内部数据链路224、244、264和/或284以及外部数据链路210可包括MP-CxMi数据链路。

[0039] 图3是解说采用两个MP-CxMi数据链路310、312以用于共存管理和/或支持限制管理(LM)和其他功能的装置300的示例的框图。在一个示例中,无线通信设备可以提供第一MP-CxMi数据链路310以支持多个设备(电路302、304、306和308及其某些功能组件(本文中可互换地称为“CxMi节点”))之间的通信,以及提供第二MP-CxMi通信链路312,其专用于IC设备302、304、306和308所支持的LM功能。在一个示例中,专用LM MP-CxMi通信链路312可通

过专用网关318与第一IC设备302的对应内部LM MP-CxMi通信链路314a连接。内部LM MP-CxMi通信链路314可以通过网关320连接到其他CxMi节点，该网关320提供了对主外部MP-CxMi通信链路310的接入。其他CxMi节点可包括具有全球导航卫星系统(GNSS)和LM连接的接入点队列(APQ)302的一个或多个节点，具有GNSS的调制解调器304、双SIM双通设备的单芯片组合设备306、以及支持WLAN、蓝牙、FM和近场通信(NFC)调制解调器的组合设备308。

[0040] 装置300的各种元件、设备、电路、模块和功能可以使用MP-CxMi通信链路310、312、314a-314d、316a-316d来互连。一个外部MP-CxMi通信链路310可以将IC设备302、304、306和308互连，而内部MP-CxMi通信链路314a-314d和316a-316d延展了外部MP-CxMi通信链路310、312以分别将对应IC设备302、304、306和308内的元件、设备、电路、模块和功能互连。

[0041] CxMi节点的结果MP-CxMi网络可以配置成支持点对点(P2P)和多播通信。CxMi节点可以与调制解调器或其他功能相关联。每个IC设备302、304、306和308可以支持一个或多个内部CxMi节点，并且CxMi节点的数目可以基于IC设备302、304、306和308所处置的功能的数目。

[0042] IC设备302、304、306和308可以各自包括处理器或能够配置成管理一个或多个CxMi节点的操作的其他处理和/或计算电路或设备。在一些实例中，一个或多个CxMi节点可以受定序器或状态机控制。

[0043] MP-CxMi通信系统可以与全集成和非集成IC设备302、304、306和308联用，并且可以为装置300定义共用主机控制器接口(HCI)。相应地，可以使用较高层软件来控制装置300。可以使用共用接口软件而不管装置300中可部署的调制解调器/收发机的类型的组合。例如，装置300可包括GSM和/或LTE调制解调器、以及无线局域网(WLAN)收发机320b、蓝牙收发机320a，并且其他端点调制解调器或者收发机320c、320d可以被集成并且通过MP-CxMi通信链路310、312、314a-314d和/或316a-316d响应于共用HCl。

[0044] 在某些示例中，外部MP-CxMi通信链路310或312可以使用简单CMOS信号来操作，而不要求特殊物理层驱动器和其他设备。外部MP-CxMi通信链路310或312可配置成以50兆比特每秒(Mbps)或更快的数据率来运载数据。可以灵活地设计MP-CxMi通信链路310或312，并且数据率可以由传送方CxMi节点确定。延迟和拖延参数也可以被灵活地配置，并且在一个示例中，可以由配置寄存器所维护的参数进行配置。

[0045] 在一个操作模式中，传送方CxMi节点发起传送时钟。没有采用预定义总线主控，并且传送方CxMi节点可以在消息传输的历时期间控制或主控总线。在每个消息被传送之前执行争用解决，藉此仅有那些希望在总线上进行传送的CxMi节点在消息传输参加争用解决之时参与到争用解决中来。

[0046] 每个CxMi节点具有唯一性地址，该地址可以通过HCl寄存器来编程或配置。每个CxMi节点能够在P2P模式中将消息定向到一个其他节点，或者在点到多点(P2MP)模式中将消息多播到所有节点。P2MP传输可以使用多播地址来促成，并且可以定义许多不同的多播地址从而定义CxMi节点网络内的分网。在一个示例中，共存元件可以被指派一个分网、传感器到另一分网、以及热管理元件到另一分网等。各种分网可以通过外部MP-CxMi通信链路310或312的相同的两根导线来连接或耦合，并且在每个IC设备302、304、306或308内，在对应内部MP-CxMi通信链路314a-314d或316a-316d上连接或耦合。相应地，所有IC设备和分网之间的通信可以使用IC设备302、304、306和/或308之间的相同两根导线来实施。

[0047] 每个IC设备302、304、306或308可以具有处理器或其他处理和/或计算电路或设备,以及包括瞬态和/或非瞬态存储设备的存储介质,该瞬态和/或非瞬态存储设备可以适配成维护由IC设备302、304、306和/或308上的相应处理器,和/或IC设备302、304和306的其他组件使用的指令和数据。

[0048] 图4是示出采用MP-CxMi来连接多个IC设备402、404和406以及连接IC设备402、404、406内的功能元件或组件420、422a、422b、422c、440、442a、442b、460和462的简化装置400的框图。每个所解说的IC设备402、404、406包括提供各种转换服务的网关420、440、460,这些转换服务使得功能元件或组件420、422a、422b、422c、440、442a、442b、460和462能通过内部MP-CxMi数据链路426、446、466并通过外部MP-CxMi数据链路410来互连和通信。网关420、440、460可提供电平转换、缓冲和时钟速率转换服务。每个MP-CxMi数据链路410、426、446、466通常携带数据和时钟信号二者。每个内部组件422a、422b、422c、442a、442b和462可以分别通过接口(CxMi节点)424a、424b、424c、444a、444b和464来连接到相应内部CxMi数据链路426、446和466。

[0049] 网关420、440和/或460和节点424a、424b、424c、444a、444b和/或464可以受到一个或多个状态机或其他控制器或定序器控制。状态机能够高效地以低等待时间发送简单实时事件。状态机可以通信地耦合到与节点相关联的调制解调器或者耦合到配置成用于发送消息的通信处理器。

[0050] 现在参照图5-8来描述装置400的某些操作方面。

[0051] 图5解说了可以用在MP-CxMi通信链路410、426、446和/或466上的消息500的某些元素。消息可包括可以有效地通过MP-CxMi协议来隧穿的无线共存接口(WCI-2)消息512。WCI-2消息512可以通过多点MP-CxMi网络410、426、446和/或466来传送,并且该消息可以定址到特定节点424a、424b、424c、444a、444b和464,或者定址到分网上的节点群。消息能够包含跟随在小报头之后的至多255个字节。包括在报头中的是消息类型字段504,其可以被用来标识在MP-CxMi消息500中被隧穿的消息数据的较高层协议。在一个示例中,该协议能够支持至多32个不同消息类型,包括标准化和专有数据类型,其中每个数据类型都与不同消息类型值相关联。

[0052] 可以定义消息优先级,其在多个节点同时尝试发送消息时使得较高优先级实时消息被首先发送。消息优先级字段502可包括在每个消息500中发送的3位优先级值。在一个示例中,较低优先级值对应于较高优先级,从而“0”优先级值与最高可用优先级和/或最紧急优先级相关联,而优先级值“7”是最低和最不紧急优先级。系统设计者可以为每种消息类型选择恰适的优先级,以确保对应于实时事件的消息的高效递送。例如:类型-0WCI-2消息512可以被指派最高优先级,而类型-2WCI-2消息512可以被指派最低优先级。系统设计者可以使用少于由3位优先级字段502提供的8种可用优先级等级和/或可以利用优先级等级的小子集来降低外部Mp-CxMi总线410上的仲裁阶段的开销。

[0053] 每种消息类型的优先级能够用各种方式来设置。为了简化描述,将假设节点与接收要发送的消息数据并行地从节点接口电路的设备侧接收3位优先级字段502。

[0054] 根据本文公开的某些方面,当多个设备402、404和406连接到MP-CxMi总线410时,可以使用最短脉宽方法来仲裁对于外部MP-CxMi总线410的接入。当较高优先级消息由最短断言脉冲所标识时,希望同时进行传送的多个设备402、404和/或406的优先级可以被解析。

为较高优先级消息使用较短脉冲能够降低高优先级消息的开销。在一些实例中，消息优先级字段502的实际数字内容仅在内部CxMi总线426、446和/或466上传送而不在外部MP-CxMi总线410上传送。当消息要在外部总线410上传送时，消息优先级502可以在仲裁阶段中被转换成断言脉宽，因为该字段在消息500通过外部总线传递到接收方网关420、440和/或460之后就不再被需要。

[0055] 在一个示例中，地址设置成“3”的第一CxMi节点424a、424b、424c、444a、444b或464可以向地址设置成“5”的第二CxMi节点424a、424b、424c、444a、444b或464传送P2P消息。消息目的地地址字段506可以被设置成“5”，并且源地址字段508可以被设置成“3”。当CxMi节点424a、424b、424c、444a、444b或464发送消息500时，其路由通过网关420、440和/或460、外部MP-CxMi总线410和对应的内部MP-CxMi总线426、446和/或466，从而所有的接收方节点424a、424b、424c、444a、444b和/或464都能够看到消息500。

[0056] 根据本文公开的一个或多个方面的基于脉宽的争用解决方案能够解析外部MP-CxMi总线410上的优先级。争用对外部Mp-CxMi总线410的控制的每个节点(即，网关420、440和/或460)执行“等级设置和监视”规程以确定是否有较高优先级节点420、440或460取得了对总线410的控制。用于将MP-CxMi信号耦合到外部MP-CxMi总线410的I/O焊盘电路可包括具有高阻抗能力的标准CMOS I/O焊盘电路。当所有数据驱动器电路(包括争用节点420、440和/或460)处于高阻抗状态中时，保持器电路(参见图8)可以配置成将总线410的状态维持在数据高状态或数据低状态。外部MP-CxMi总线410的时钟信号可以使用下拉电流源来配置，该下拉电流源在没有设备正在驱动时钟时(包括在争用过程期间)将时钟保持在低状态。

[0057] 图6是解说MP-CxMi消息(诸如图5中解说的消息500)的传输的时序图600。消息500可以在数据阶段608期间在MP-CxMi通信链路410、426、446和/或466中的一者或者上传送。消息500可以使用由发射机提供的时钟604在一对连接器上作为数据602被传送。为了在数据阶段608中传送消息500，发射机尝试在仲裁阶段606期间获取对必需的MP-CxMi通信链路410、426、446和/或466的控制。根据本文公开的某些方面，对MP-CxMi通信链路410的控制在仲裁阶段606期间使用基于信号定时的协议来获得。

[0058] 仲裁阶段602能够为将由多个CxMi节点424a、424b、424c、444a、444b和/或464在MP-CxMi通信总线410上发送的消息500解析消息优先级，这多个CxMi节点使用确保最高优先级消息被首先传送的仲裁过程来争用对必需的MP-CxMi通信链路410、426、446和/或466的控制。可以基于从消息500的消息优先级字段502的内容或值以及指派给传送方网关420、440或460的网关地址的组合所生成的定时来解析优先级。在一个示例中，应用于数字网关地址和消息优先级变量的相对简单的算法可以生成确定消息500的优先级的所计算优先级值。

[0059] 最高的所计算优先级值可以确定哪个争用CxMi节点424a、424b、424c、444a、444b或464赢得了对于MP-CxMi通信链路410、426、446和/或466的仲裁。赢得对于MP-CxMi通信链路410、426、446和/或466的仲裁的CxMi节点424a、424b、424c、444a、444b或464能够控制对于MP-CxMi通信链路410和/或一个或多个内部MP-CxMi通信链路426、446和/或466的接入。节点源地址508可以被用于在两个或更多消息具有相同的所计算优先级值时打破平局。

[0060] CxMi消息500可以在数据阶段608期间传送。在图5中所解说的示例中，CxMi消息

500的字段包括甚短报头 (VSH) 字段622,其可以由CxMi网关420、440或460合成,以用于在外部MP-CxMi通信链路410上的数据压缩。VSH字段622通常被首先传送。在一个示例中,若VSH字段622具有从0到6的值,那么消息类型字段504、目的地节点地址字段506、源节点地址字段508和消息数据长度字段510不需要被传送,因为这些字段能够从HCl中的7组寄存器中的一组获得。然而,若VSH字段622具有值7,那么消息类型字段504在数据阶段608的下一字段624中传送,继之以包括目的地节点地址字段506、源节点地址字段508和消息数据长度字段510的字段626。消息类型字段504、目的地节点地址字段506、源节点地址字段508和消息数据长度字段510的消息报头字段的长度通常由HCl中的寄存器指定。

[0061] 当所传送的VSH字段622具有值7时,可选字段626包括消息类型字段504、目的地节点地址字段506、源节点地址字段508和消息数据长度字段510。

[0062] 该消息类型字段504标识了隧穿通过MP-CxMi接口的消息类型或者协议。

[0063] 目的地节点地址字段506指定了作为消息的预期接收者的CxMi节点424a、424b、424c、444a、444b和/或464的节点地址。地址还可以是使得多个CxMi节点424a、424b、424c、444a、444b和/或464能接收消息500的多播地址。

[0064] 源节点地址字段508包括消息源自的CxMi节点424a、424b、424c、444a、444b或464的节点地址。

[0065] 消息数据长度字段510包括随后的消息数据628的字节数目。消息数据包括消息500的有效载荷。

[0066] 在争用CxMi节点424a、424b、424c、444a、444b或464通过赢得在MP-CxMi消息500的每次传输之前的总线仲裁过程而获得对外部MP-CxMi总线410的控制之后,消息500在外部MP-CxMi总线410上发送。具有要传送的消息500的每个CxMi网关420、440和/或460可参与到总线仲裁中。没有CxMi消息500要发送的任何CxMi网关420、440和/或460可以忽略总线活动并且进入或保持在睡眠模式中。CxMi网关420、440和/或460可以监视总线活动以确定当前CxMi消息500的传输何时完成,特别是当监视到CxMi节点424a、424b、424c、444a、444b或464具有或是接收到要发送的消息500时。

[0067] 未赢得仲裁过程的争用CxMi节点424a、424b、424c、444a、444b和/或464可以进入睡眠模式。在睡眠模式中,CxMi节点424a、424b、424c、444a、444b和/或464能够接收消息。在逻辑上电时,接收机能够确定是否有消息定址到它,即使该逻辑在例如内部时钟被禁用以节省功率的情况下仅由CxMi接口时钟进行时钟定时。在一些实例中,CxMi节点424a、424b、424c、444a、444b和/或464可以配置成一旦接收到任何消息就退出睡眠模式。在一些实例中,CxMi节点424a、424b、424c、444a、444b和/或464可以配置成一旦接收到某些预定唤醒消息就退出睡眠模式。使得CxMi节点424a、424b、424c、444a、444b和/或464退出睡眠模式的消息可以携带CxMi节点424a、424b、424c、444a、444b和/或464能够在苏醒之后评估的附加数据。

[0068] 图7是解说三个CxMi网关420、440和460之间的总线仲裁过程700的一个示例的时序图。仲裁过程700可以在数据信号702和/或时钟信号704维持空闲达预定时间(通常测量为仲裁时钟循环的倍数)之后被发起。在所描绘的示例700中,空闲状态可以被定义为逻辑低电平。基于仲裁时钟循环的时间单元可以被称为传输单元(TU)。TU通常被选择成容适所连接的设备(诸如IC设备402、404和406(参见图4),其可以按不同时钟速度操作)的最慢时

钟速率。通常, TU是所连接设备的最慢时钟速率的整数倍, 并且该仲裁时钟定时使得争用CxMi网关420、440和460传送的脉冲宽度在仲裁期间为一致长度。

[0069] 在仲裁过程700之前数据信号702和时钟信号704保持为低(或者处于另一空闲状态)的时段可以是可变的。在一个示例中, 多个争用CxMi网关420、440和/或460可以配置成在观察到数据信号702和时钟信号704上的空闲状态长达不同时段之后发起仲裁过程700。CxMi网关420、440和/或460可以被指派不同优先级, 并且较高优先级CxMi网关420、440和/或460可以在较低优先级CxMi网关420、440和/或460之前发起仲裁过程700, 藉此抢先于较低优先级CxMi网关420、440和/或460。在另一示例中, CxMi网关420、440和/或460可以配置成在观察到数据信号702和时钟信号704上的空闲状态长达基于要传送的消息500的优先级所确定的时段之后发起仲裁过程700。以此方式, 具有较低优先级的消息500可以比具有较高优先级的消息500具有更长的监视时段。

[0070] 在图7中描绘的示例中, 每个争用CxMi网关420、440和460参与到仲裁过程700中。CxMi网关420、440和460可以在确定数据信号702和时钟信号704已保持空闲长达两个或多TU之后进入争用仲裁。当至少一个争用CxMi网关420、440和460将数据信号702驱动为高以争用对Mp-CxMi通信链路410的控制之时, 仲裁开始。争用CxMi网关420、440和460中的一些或全部可以同时和/或并发地将数据信号702驱动为高以断言它们各自对于对MP-CxMi通信链路410的控制的争用。每个参与CxMi网关402、404和406随后在将数据信号702驱动为低之前等待通过计算其对应消息500的优先级值而确定的时间段。若在该时间段之后, 数据信号702已经为低, 那么对应CxMi网关420、440和/或460将对MP-CxMi通信链路410的控制退让给CxMi消息500的较高优先级传送方。

[0071] CxMi网关402、404和406在将数据信号702驱动为低之前等待的时段可以使用计算仲裁脉冲710、718或720的宽度的算法来确定。在所描绘的示例700中, 该算法计算仲裁脉冲710、718或720的历时t如下:

$$[0072] t = \text{TU} * ((\text{消息_优先级} * N_{\text{网关}}) + (\text{网关_地址} + 1))$$

[0073] 其中N<sub>网关</sub>是连接到MP-CxMi通信链路410的CxMi网关420、440和460的数目。该算法中的加权强调消息优先级更甚于网关地址。然而, 网关地址可以作为具有相同消息优先级的消息500之间的决胜项。例如, 当来自不同CxMi网关420、440和/或460的两个消息500具有相同的消息优先级时, 发送自具有最低网关地址的CxMi网关420、440或460的消息500可以在仲裁过程700中占优势, 因为其生成了最短的仲裁脉冲710、718或720。

[0074] 所描绘的仲裁过程700涉及具有要传送的消息的三个CxMi网关420、440和460(N<sub>网关</sub>=3)之间的仲裁的示例, 其中:

[0075] • 第一网关420具有网关地址=0、具有消息优先级0的消息, 并且生成了具有历时 $t_1 = (0*3) + (0+1) = 1$ 个TU的断言脉冲;

[0076] • 第二网关440具有网关地址=1、具有消息优先级0的消息, 并且生成了具有历时 $t_2 = (0*3) + (1+1) = 2$ 个TU的断言脉冲; 以及

[0077] • 第三网关460具有网关地址=2、具有消息优先级1的消息, 并且生成了具有历时 $t_3 = (1*3) + (2+1) = 6$ 个TU的断言脉冲。

[0078] 在数据信号702和时钟信号704被下拉长达预定时段之后, 所描绘的仲裁过程700开始。在该“空闲”时段期间, 所有CxMi网关420、440和460通常处于高阻抗状态, 并且未定义

总线主控。当所有CxMi网关420、440和460进入高阻抗状态时,数据信号702和时钟信号704可以由相应保持器电路800(参见图8)维持。在一个示例中,三个CxMi网关420、440和460可以配置成保持在高阻抗状态中,并且观察到该数据信号处于空闲状态(例如,低电平)长达至少2个TU。在另一示例中,三个CxMi网关420、440和460可以配置成保持在高阻抗状态中,并且观察到该数据信号处于空闲状态(例如,低电平)长达不同或可变时段。CxMi网关420、440和460可以同时和/或并发地将数据信号702驱动为高以争用对MP-CxMi通信链路410的控制。第一CxMi网关420在1个TU时段流逝之后下拉数据信号702。第二和第三CxMi网关440和460检测到数据信号702已经被驱动为低,并且保持在高阻抗状态直到下一仲裁阶段706的开始。第二和第三CxMi网关440和460的数据波形714和716上的虚线指示了在没有较高优先级消息被确定为可用于传输的情况下将会生成的脉冲718和720的形式。第一CxMi网关420通常不驱动时钟信号,直到其完成总线获取,这可以在1个TU或更多的延迟之后发生。

[0079] 根据本文公开的某些方面,仲裁断言脉冲710由一个或多个CxMi网关420、440和/或460发起并且由具有最短的所计算仲裁断言脉冲710、718或720的CxMi网关420、440或460终止。在图7中所示的示例中,第一CxMi网关420生成具有最短仲裁断言脉冲710'的波形702',并且在进入数据阶段708之前将数据信号702驱动为低达1个TU 712。第一CxMi网关420随后发送CxMi消息500的VSH字段。在每个仲裁过程700中,仲裁阶段706的总流逝时间是可变的,并且其长度由与在仲裁过程中占优势的消息500相关联的消息优先级和网关地址支配。

[0080] 第二和第三CxMi网关440和460可能在第一CxMi网关420希望发送较高优先级消息的同时竞争发送较低优先级消息。在外部Mp-CxMi通信链路410上,第二CxMi网关440可以发起脉冲718,且第三CxMi网关460可以发起脉冲720第二和第三CxMi网关440和460可随后观察数据信号702,直到其响应脉冲718或720的时间段到期。然而,在该示例中,数据信号702首先被较高优先级的第一CxMi网关420驱动为低,使得第二CxMi网关440和第三CxMi网关460丧失将数据信号702从高电平切换到低电平的机会,并且排除第二CxMi网关440获得对总线410的控制。当在较低优先级的第二CxMi网关440和第三CxMi网关460尝试将数据信号702驱动为低之前观察到第一CxMi网关420已经将数据信号702驱动为低的情况下,第二CxMi网关440和第三CxMi网关460保持在高阻抗状态并且监视由第一CxMi网关720进行的传输,以及随后监视数据信号702和时钟信号704的空闲状态以确定下一争用过程何时能够开始。

[0081] 对于每个CxMi网关420、440和460,可以使用配置或编程成对内部时钟进行分频的时钟分频器来确定一个TU的历时。内部时钟和时钟分频器可以通过网关HCl中的网关配置寄存器来配置。TU通常被选择为具有能够由装置400中的所有CxMi网关420、440和/或460的最慢可用时钟生成的历时。在同步时钟的峰到峰变化产生足够精确的时段的情况下,并且若用于检测来自其他CxMi网关420、440和/或460的脉冲的采样窗口足够精确,则可使用分数分频器。

[0082] 根据本文公开的某些方面,争用CxMi网关420、440和/或460将数据信号702驱动为高并且在0.5TU内进入高阻抗状态。为了保持未驱动的数据信号702和/或未驱动的时钟信号704的状态,可以提供一个或多个保持器电路800(图8)。保持器电路800可以在内部被部署到IC设备402、404、406上,或者部署在外部以在所有CxMi网关420、440和460都进入高阻

抗模式时保持数据信号条件。在仲裁期间,保持器电路800将信号线812保持为高直到服务最高优先级事件的CxMi网关420、440或460将信号线812驱动为低,由此产生最短脉冲。在所解说的示例中,保持器电路800可包括将数据信号维持在其最后驱动状态的非反相门802及高阻抗反馈电阻器804。电阻器804具有足够高的电阻,其向信号线812增加了可忽略的负载,并且容易被活跃CxMi网关输出克服。

[0083] 在最短脉冲的时段的结束,与最短脉冲相关联的CxMi网关420、440或460退出高阻抗状态并且驱动信号线812。例如,赢得仲裁过程700的CxMi网关420、440或460将数据信号702驱动为低长达0.5TU并且在仲裁阶段706终止之后驱动时钟信号704。具有较低优先级消息要发送的争用CxMi网关420、440和/或460可以检测到数据信号704已被驱动为低,并且退出仲裁过程700。在仲裁过程700中不占优势的CxMi网关420、440和/或460通常将它们的数据输出维持在高阻抗状态直到获胜的消息被传送之后。通过仅在需要信号转变时驱动总线,具有最紧急消息的CxMi网关420、440或460可能在数据信号线702上驱动比由其他CxMi网关420、440和/或460驱动的脉冲更短的脉冲。

[0084] 图9是用于在连接到CxMi总线410的节点之间通信的方法的流程图900。该方法可以在耦合到通信链路(其可以是CxMi总线410)的IC设备402、404或406中执行。在步骤902,IC设备402、404或406可以通过将数据信号驱动到第一电压电平来争用对通信链路的控制。

[0085] 在步骤904,IC设备402、404或406可以监视数据信号和时钟信号长达第一时间段。第一时间段的历时对应于消息的优先级。可以为争用对通信链路的控制的两个或更多节点不同地定义第一时间段。第一时间段可以被计算为针对与通信链路相关联的定时活动所定义的传输定时单元的倍数。数据信号可以被驱动到第一电压电平长达小于一个传输定时单元。通信链路可以适配成连接位于不同IC设备上的节点。位于不同IC设备上的节点以不同内部时钟速率操作。传输定时单元可以等于或大于不同IC设备使用的最慢内部时钟的时钟周期。第一时间段可以被计算为消息的优先级以及配置成在通信链路上传送该消息的节点的地址的加权和。第一时间段对于较高优先级消息或较高优先级节点来说可以更短。

[0086] 在本公开的一方面,可以使得配置成在通信链路上传送消息的节点进入高阻抗状态,同时数据信号被监视长达第一时间段。

[0087] 在本公开的一方面,争用对通信链路的控制可包括确定在将数据信号驱动到第一电压电平之前,通信链路的数据信号和时钟信号已经空闲长达第二时间段。例如,有消息要传送的IC设备402、404和/或406中的一个或多个节点可以等待直到时钟和数据信号空闲、被驱动为低或被驱动为高等长达第二时间段的历时。第二时间段可以基于消息的优先级或者与配置成在通信链路上传送该消息的节点相关联的优先级来计算。第二时间段对于较高优先级节点和/或较高优先级消息来说可以更短。

[0088] 在步骤906,IC设备402、404或406可以确定数据信号或时钟信号的电压在第一时间段到期时是否保持在第一电压电平。若数据信号或时钟信号的电压在该时间段到期时并未保持在第一电压电平,则该方法前进到步骤914,并且IC设备402、404或406可以退让对通信链路的控制并且在步骤916等待下一仲裁阶段。退让对通信链路的控制可包括退让对与通信链路相关联的数据信号和时钟信号的控制。

[0089] 若在步骤906确定数据信号和时钟信号的电压在第一时间段到期时保持在第一电压电平,那么该方法前进到步骤908。在步骤910,IC设备402、404或406可以通过将数据信号

驱动到第二电压电平来断言对通信链路的控制。断言对通信链路的控制可包括控制与通信链路相关联的数据信号和时钟信号。

[0090] 在步骤912, IC设备402、404或406可以在断言对通信链路的控制之后在通信上传送消息。

[0091] 图10是解说连接到CxMi总线且采用处理电路1002的装置的硬件实现的简化示例的示图1000。在一个示例中,该装置可包括装备有组件、模块或电路(诸如CxMi网关420、440、460)的一个或多个IC设备402、404和/或406(参见图4),其可以被用于数据编码、格式化和/或传送数据。处理电路1002的一个或多个实例或变型可以被部署在装置400中和/或IC设备402、404和/或406中的一者或者两者中。处理电路1002可用由总线1020一般化地表示的总线架构来实现。取决于处理电路1002的具体应用和整体设计约束,总线1020可包括任何数目的互连总线和桥接器。总线1020将包括一个或多个处理器和/或硬件模块(由处理器1016、模块或电路1004、1006、1008和1010、可配置成驱动连接器或导线1014的线驱动器1012、以及计算机可读存储介质1018表示)的各种电路链接在一起。总线1020还可链接各种其它电路,诸如定时源、外围设备、稳压器和功率管理电路,这些电路在本领域中是众所周知的,且因此将不再进一步描述。

[0092] 处理器1016可包括微处理器、控制器、数字信号处理器、定序器、状态机等。处理器1016负责一般性处理,包括执行存储在计算机可读存储介质1016上的软件。该软件在由处理器1016执行时使处理电路1002执行上文针对任何特定装置描述的各种功能。计算机可读存储介质1018还可被用于存储由处理器1016在执行软件时操纵的数据。处理电路1002进一步包括模块1004、1006、1008和1010中的至少一个模块。特定模块1004、1006、1008和/或1010可以是在处理器1016中运行的软件模块、驻留/存储在计算机可读存储介质1018中的软件模块、耦合至处理器1016的一个或多个硬件模块、或其某种组合。

[0093] 在一种配置中,用于无线通信的装备1000包括:用于通过将数据信号驱动到第一电压电平来争用对通信链路的控制的装置1004、1006、1012,用于监视数据信号和时钟信号长达一时间段的装置1008、1012,用于若数据信号或时钟信号的电压在第一时间段到期时不处于第一电压电平则退让对通信链路的控制的装置1004、1006、1012,用于若数据信号的电压在该时间段到期时处于第一电压电平则通过将数据信号驱动到第二电压电平来断言对通信链路1014的控制的装置1004、1006、1012,以及用于在断言对通信链路的控制之后在通信上传送消息的装置1010、1008和1012。

[0094] 上述装置可以例如使用处理电路226、246、266和/或282(参见图2)、网关220、240、260、280(参见图2)、网关420、440、460(参见图4)和存储介质286(参见图2)的某些组合来实现。

[0095] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所给出的具体次序或层次。

[0096] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普遍原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声

明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于…的装置”来明确叙述的。

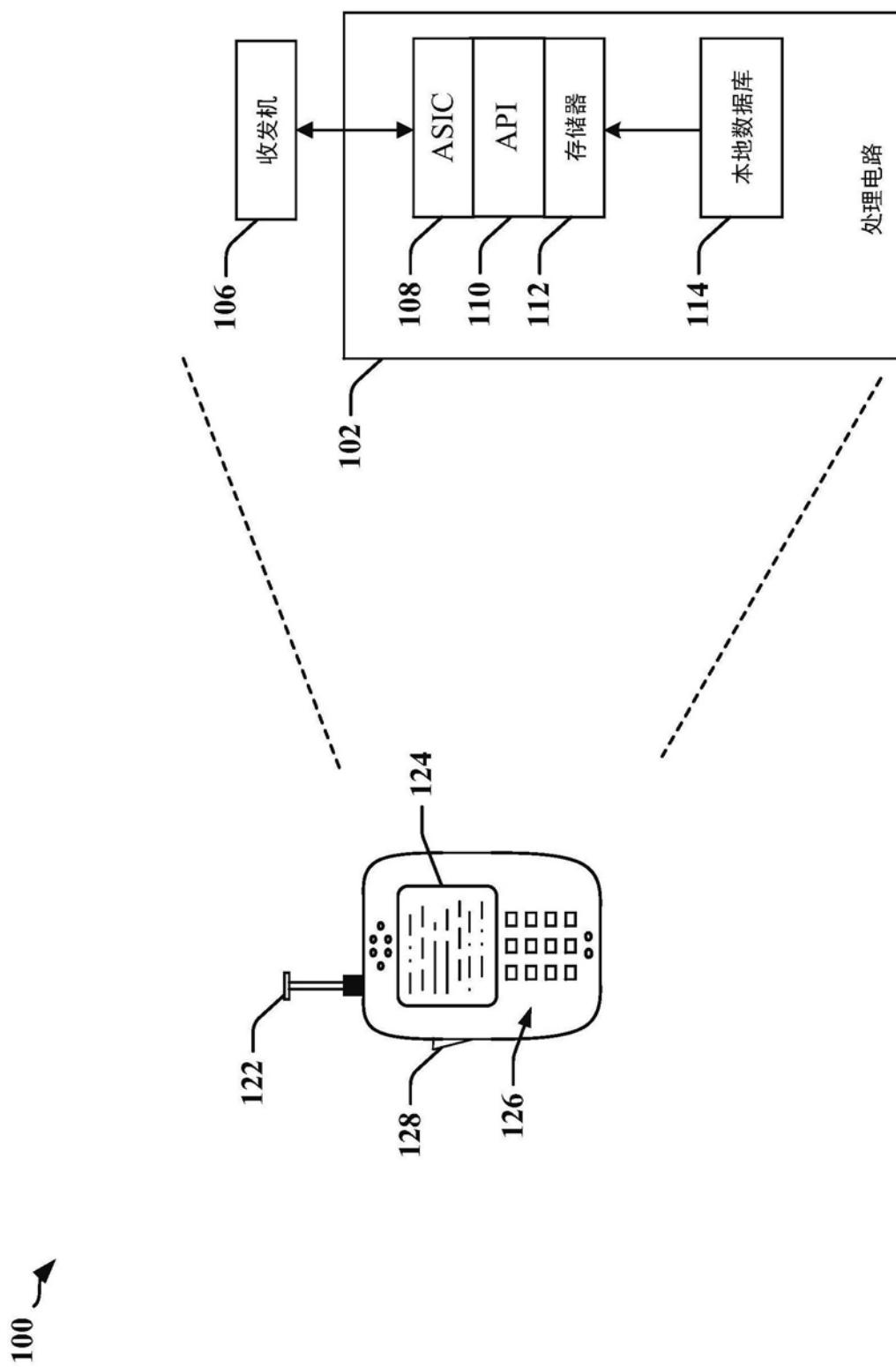


图1

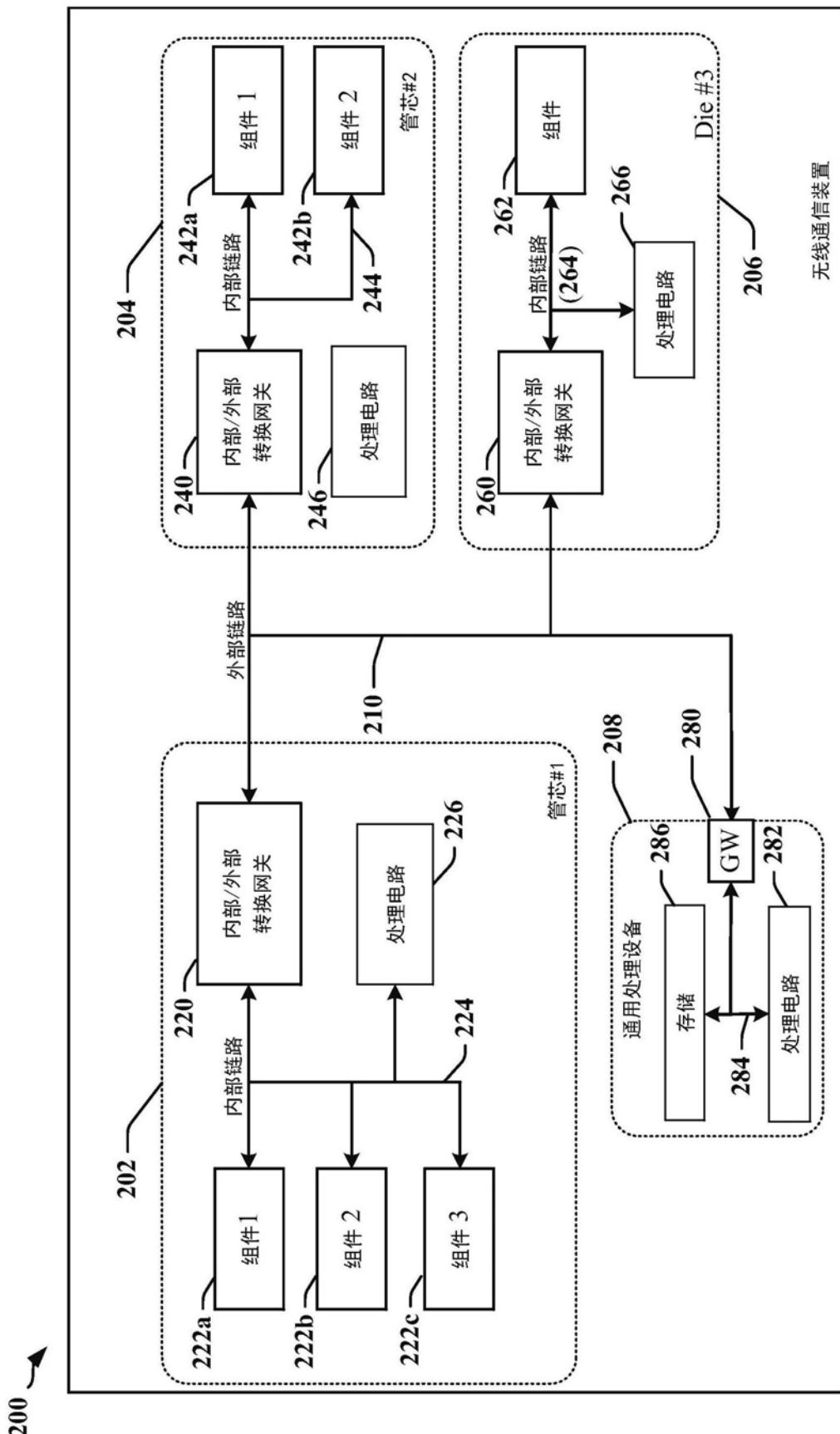


图2

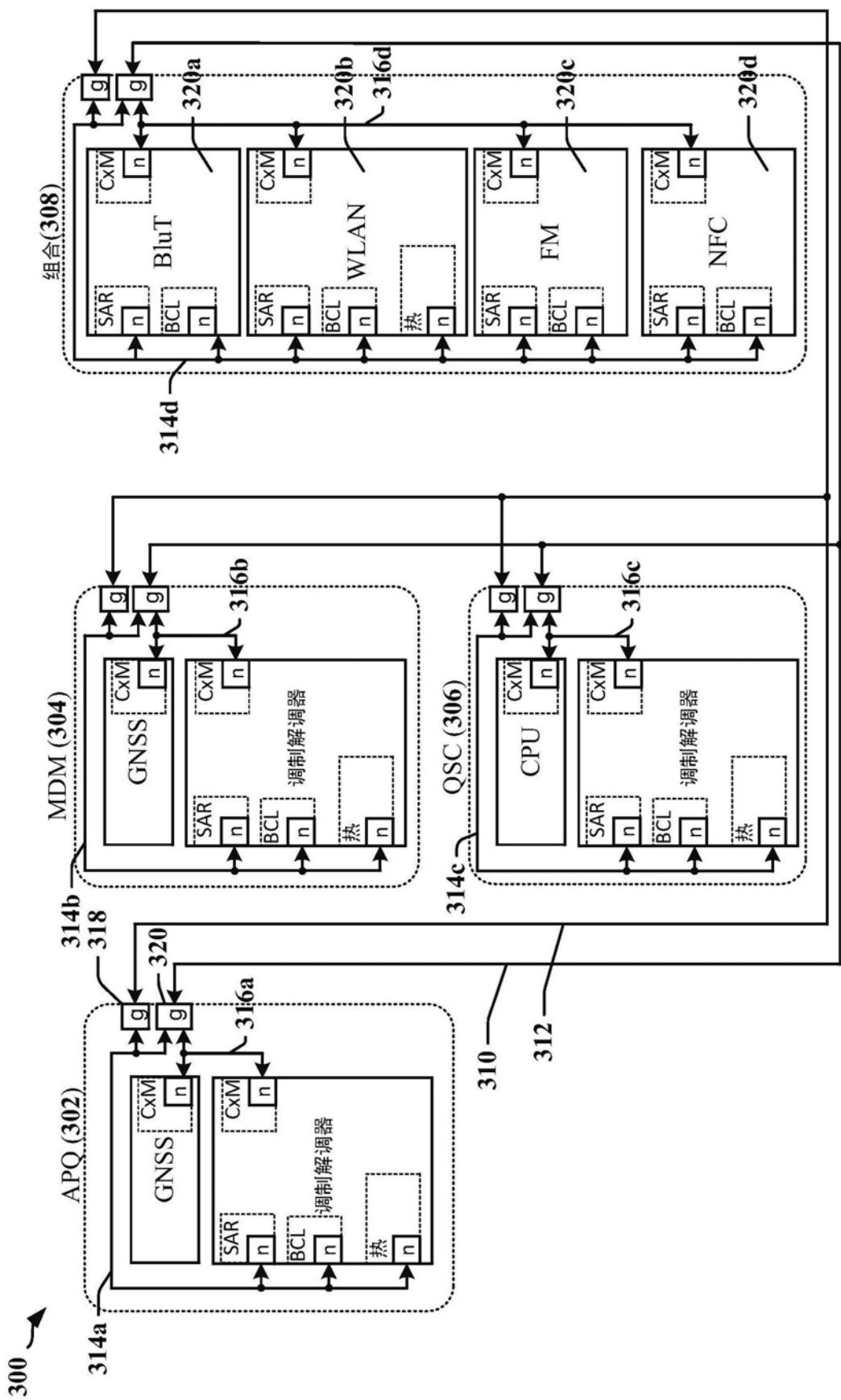


图3

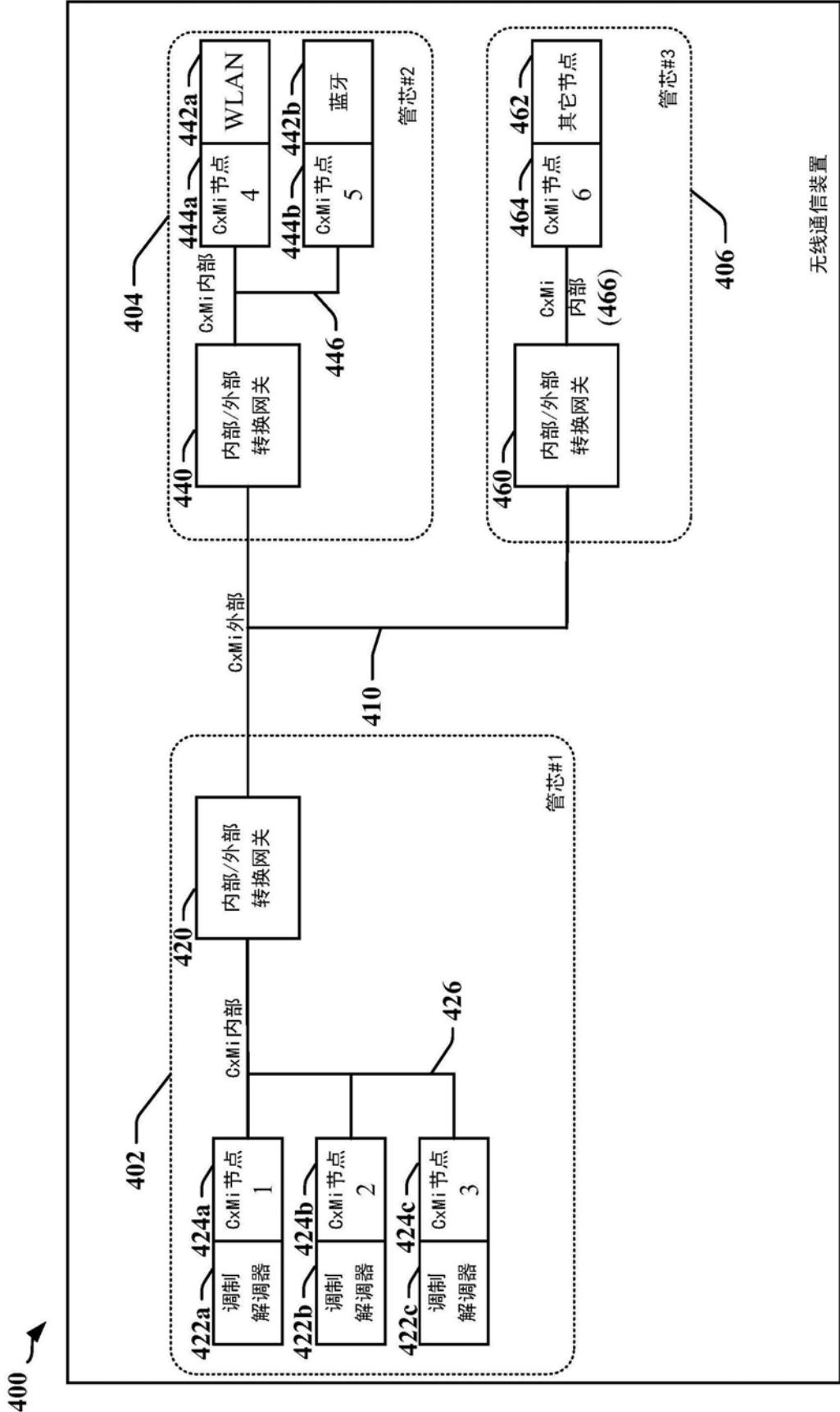


图4

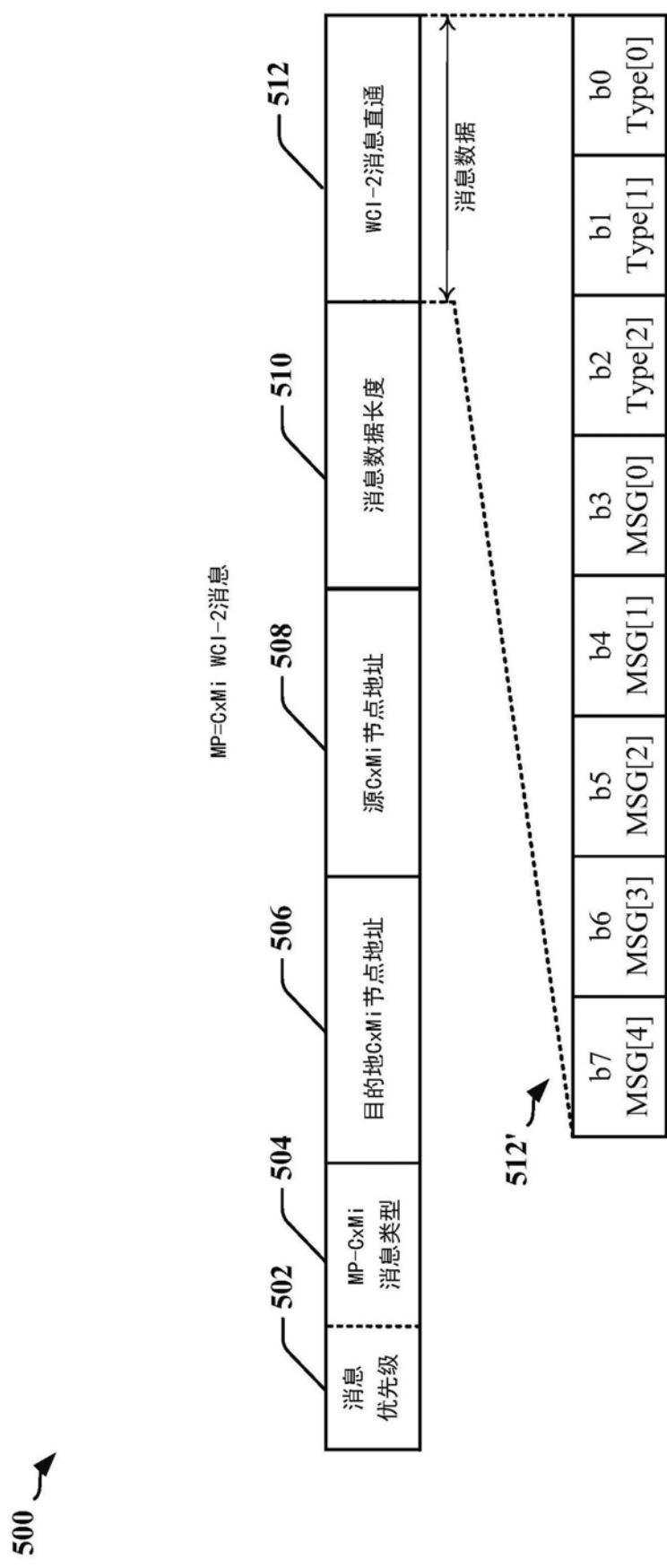


图5

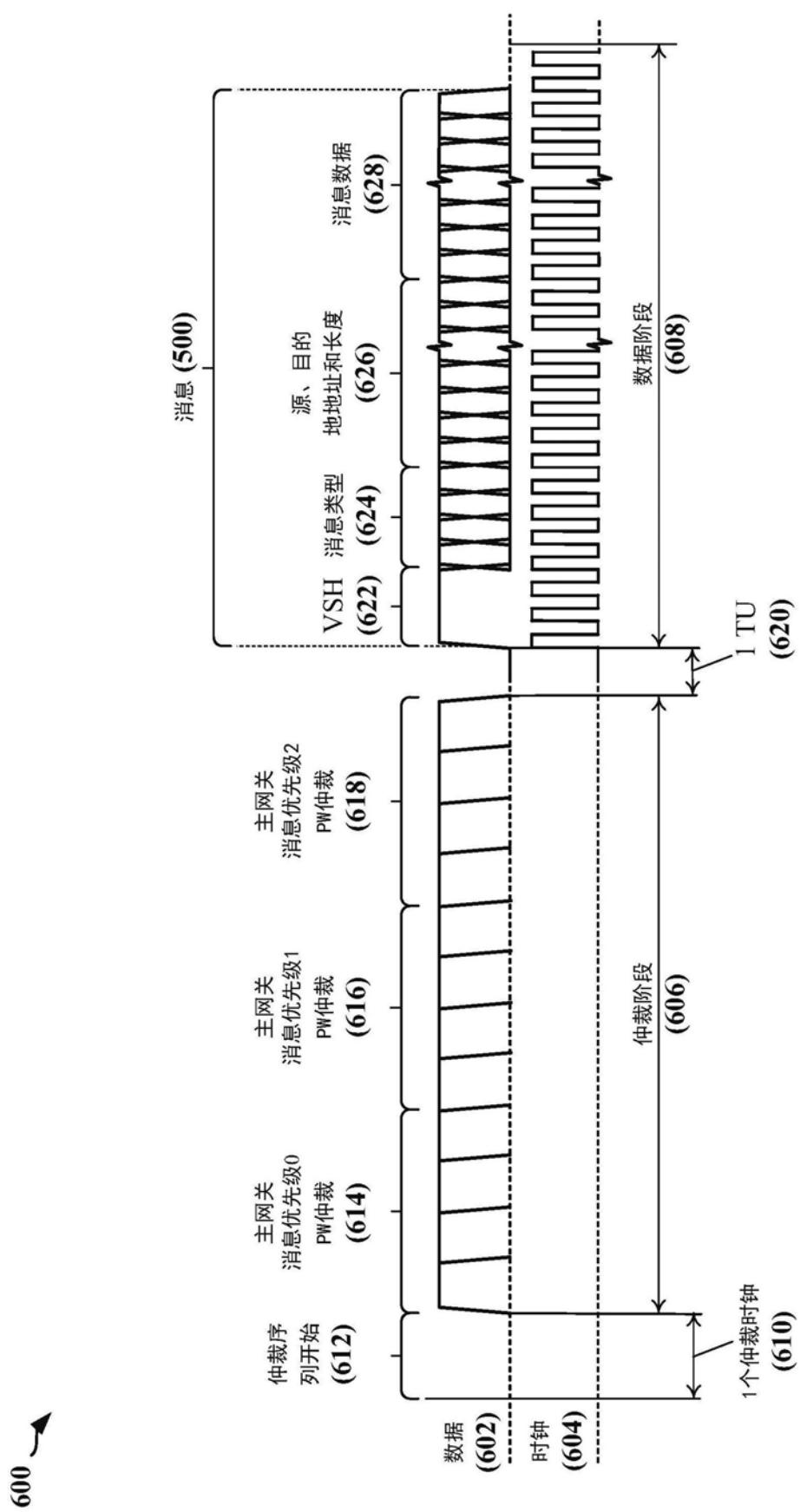


图6

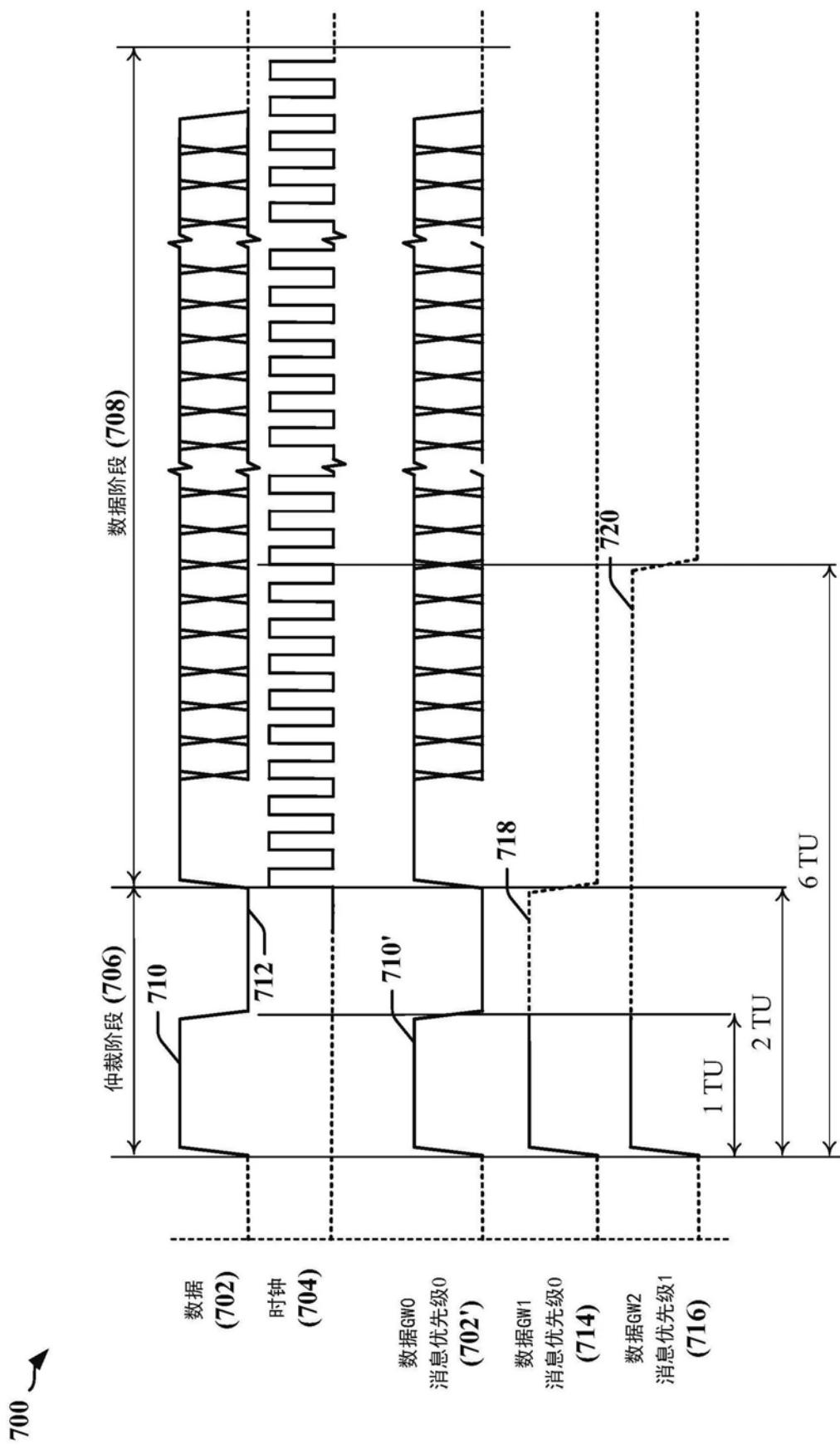


图7

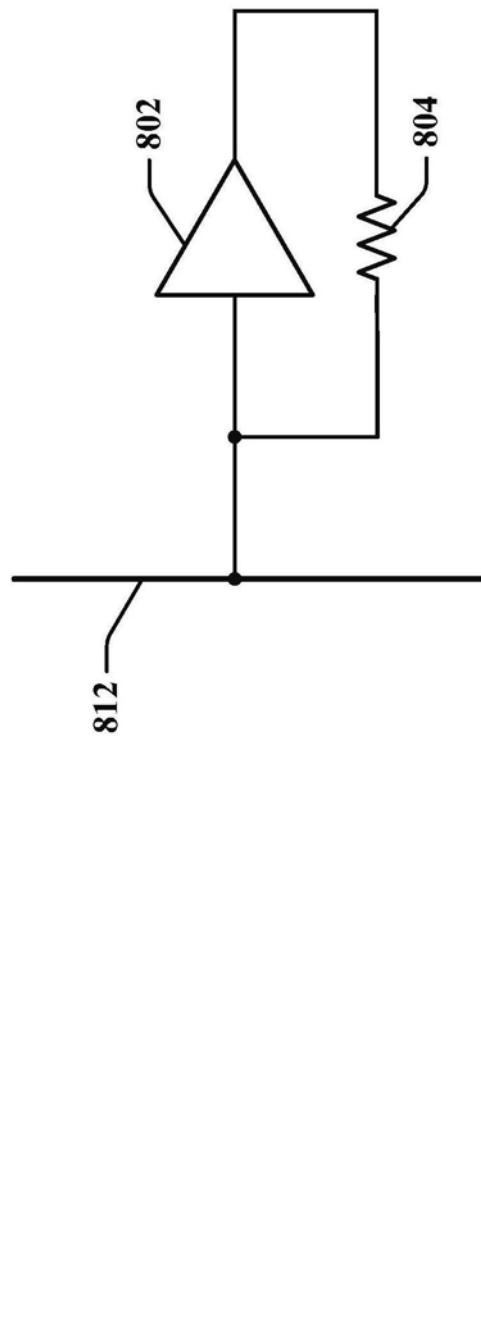


图8

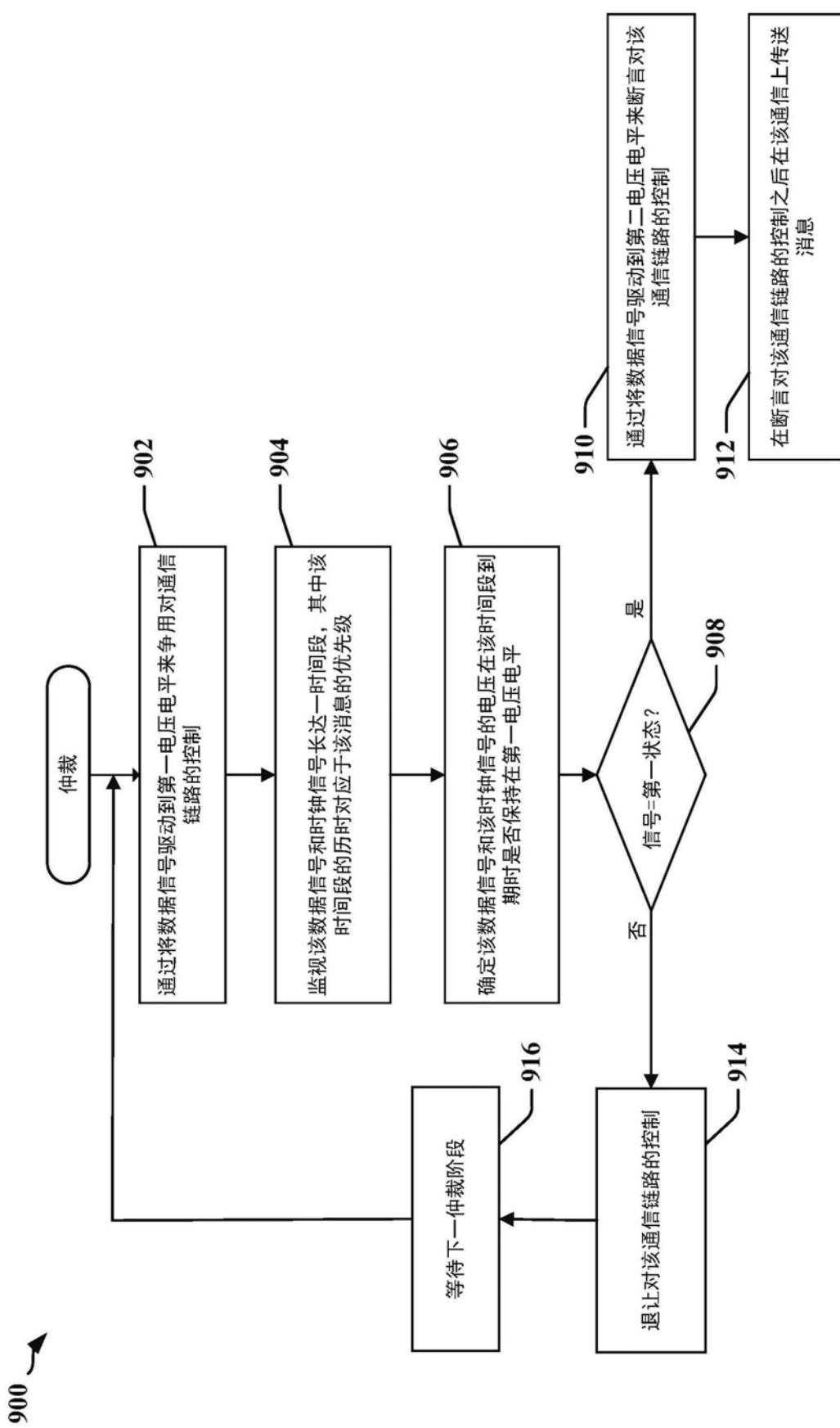


图9

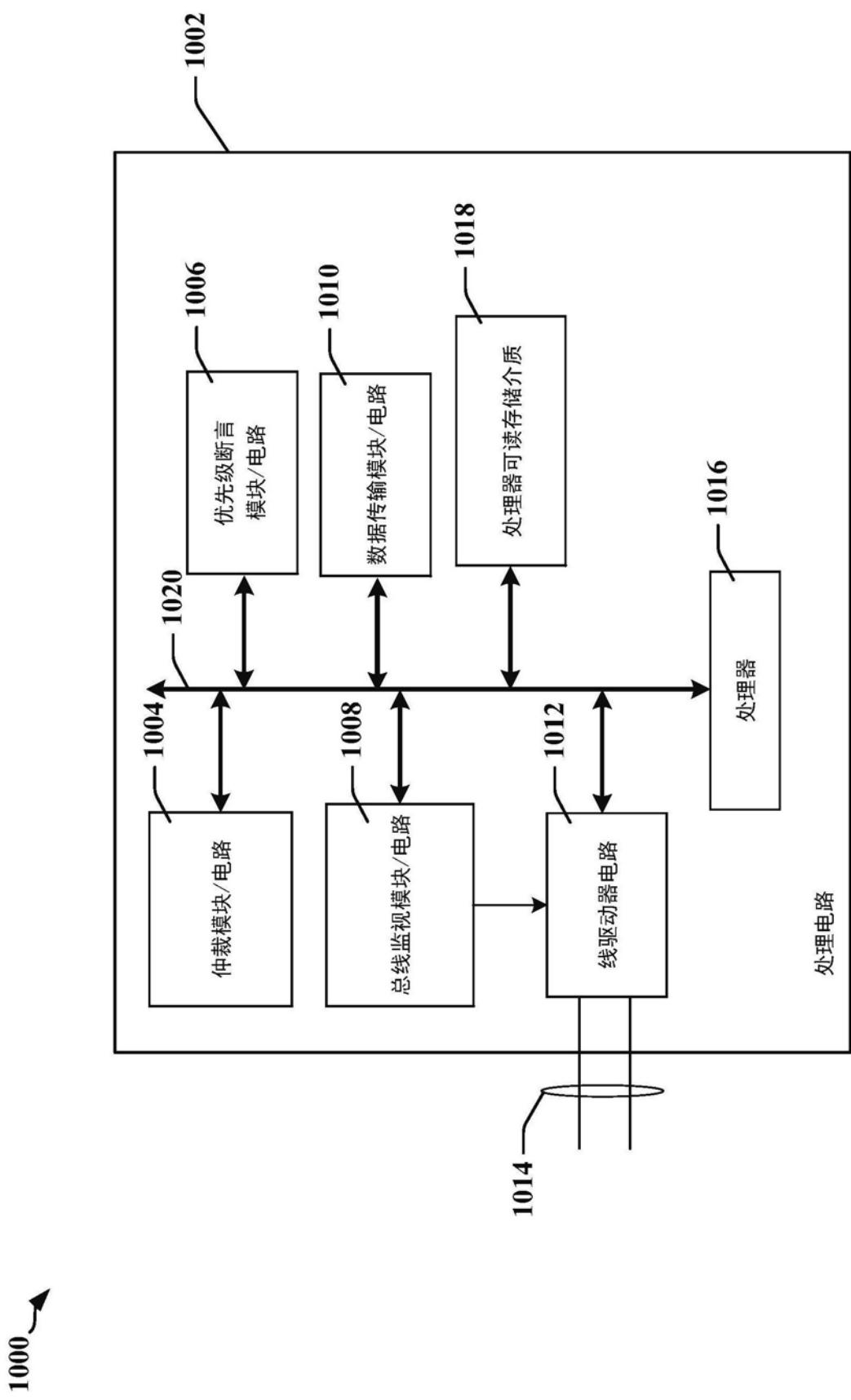


图10