

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4659826号
(P4659826)

(45) 発行日 平成23年3月30日 (2011. 3. 30)

(24) 登録日 平成23年1月7日 (2011. 1. 7)

(51) Int. Cl.	F I		
HO3F 3/24 (2006.01)	HO3F 3/24		
HO3F 3/217 (2006.01)	HO3F 3/217		
HO3G 3/30 (2006.01)	HO3G 3/30	B	
HO4B 1/04 (2006.01)	HO4B 1/04	N	
HO4B 1/44 (2006.01)	HO4B 1/04	R	
請求項の数 16 (全 27 頁) 最終頁に続く			

(21) 出願番号 特願2007-518298 (P2007-518298)
 (86) (22) 出願日 平成17年6月23日 (2005. 6. 23)
 (65) 公表番号 特表2008-504745 (P2008-504745A)
 (43) 公表日 平成20年2月14日 (2008. 2. 14)
 (86) 国際出願番号 PCT/US2005/022407
 (87) 国際公開番号 W02006/002347
 (87) 国際公開日 平成18年1月5日 (2006. 1. 5)
 審査請求日 平成20年6月17日 (2008. 6. 17)
 (31) 優先権主張番号 10/875, 405
 (32) 優先日 平成16年6月23日 (2004. 6. 23)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/158, 597
 (32) 優先日 平成17年6月22日 (2005. 6. 22)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 506417762
 ベレグリン セミコンダクター コーポレ
 ーション
 アメリカ合衆国 カリフォルニア州 92
 121 サン・ディエゴ キャロル・パー
 ク・ドライブ 9450
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 RFフロントエンド集積回路

(57) 【特許請求の範囲】

【請求項1】

モノリシック集積回路上のRFフロントエンド集積回路であって、
 a) 実質的に送信に適した周波数成分及び位相を有する送信信号を受信し、前記送信信号を増幅して、増幅送信信号を発生させるよう構成されるRF信号増幅器と、
 b) 前記増幅送信信号から取り出される入力信号へ結合される入力ノードを有し、前記入力信号を増幅して、電力増幅器出力特性インピーダンスを有する電力増幅送信信号を発生させるよう構成され、更に、前記電力増幅送信信号の振幅を制御可能なように抑制するよう構成されるレギュレータ回路を有するRF電力増幅器(PA)と、
 c) 直流成分を遮断し、前記電力増幅送信信号の特性インピーダンスを変更し、不要な周波数を受け入れないことによって前記電力増幅送信信号を調整して、アンテナ整合送信信号を発生させるよう構成されるマッチング、カップリング及びフィルタリング回路と、
 d) 前記アンテナ整合送信信号をアンテナ接続ノードへ制御可能なように結合するよう、又は前記アンテナ接続ノードを前記アンテナ整合送信信号から切り離し、代わりに前記アンテナ接続ノードを受信信号増幅経路へ結合するよう構成されるアンテナスイッチと、
 e) 前記アンテナスイッチを介して結合される前記送信信号の少なくとも振幅を反映する送信電力信号を発生させるよう構成される送信信号検知回路と、
 f) 前記アンテナスイッチにより結合される前記送信信号の振幅が所定の制限を超えることを実質的に防ぐように、前記レギュレータ回路に前記送信電力信号にตอบสนองして前記電力増幅送信信号を抑制させるよう構成される制御回路とを有する集積回路。

【請求項 2】

前記増幅送信信号へ結合される入力部と、前記 R F 電力増幅器の前記入力ノードへ結合される出力部とを有し、前記増幅送信信号の波形及びデューティサイクルを調整して、特に前記入力ノードに適したデューティサイクルを有する矩形波を発生させるよう構成される矩形波調整器を更に有する、請求項 1 記載の集積回路。

【請求項 3】

前記矩形波調整器は、前記矩形波調整器へ結合されるデューティサイクル制御信号の制御下で、前記 R F 電力増幅器の前記入力ノードへ結合される前記矩形波のデューティサイクルを調整するよう構成される制御部を有する、請求項 2 記載の集積回路。

【請求項 4】

前記 R F 電力増幅器は、出力駆動ノードと回路共通部との間に配置され、線形動作を回避して、最小インピーダンス又は最大インピーダンスでのみ実質的に動作するよう構成されるスイッチング回路と、前記出力駆動ノードと前記レギュレータ回路との間に結合される無線周波数チョーク (R F C) とを有する、請求項 1 記載の集積回路。

【請求項 5】

前記 R F 電力増幅器の前記スイッチング回路は、共通極性の複数の直列接続された F E T を有し、前記複数の直列接続された F E T は、それらの間でほぼ等しく前記スイッチング回路へ印加される最大電圧ストレスを分割するよう構成される、請求項 4 記載の集積回路。

【請求項 6】

前記複数の直列接続された F E T は、互いに略同時にオン及びオフを切り替えるよう構成される非常に多数の直列接続された F E T である、請求項 5 記載の集積回路。

【請求項 7】

前記 R F 電力増幅器は、全て略同時に導通する 1 又はそれ以上の F E T を有するスイッチング装置の唯 1 つのみを有し、前記出力駆動ノードと回路共通部との間に配置されるシャントフィルタを更に有し、

前記シャントフィルタは、著しく抵抗性を有するインピーダンスを介して動作周波数 f_0 の整数高調波である 1 又はそれ以上の高調波での前記電力増幅送信信号の信号成分を導き、一方、前記動作周波数 f_0 での信号成分を実質的に受け入れないよう構成される、請求項 4 記載の集積回路。

【請求項 8】

前記シャントフィルタは、周波数の関数であって、 $2 \times f_0$ 及び $3 \times f_0$ の周波数で前記電力増幅器出力特性インピーダンスにほぼ等しい極小値を有するインピーダンスを有する、請求項 7 記載の集積回路。

【請求項 9】

前記アンテナ整合送信信号は、少なくとも 900 MHz の動作周波数 f_0 を有し、当該 R F フロントエンド集積回路は、前記動作周波数 f_0 で前記アンテナ接続ノードへ少なくとも 1 W の電力を供給するよう構成される、請求項 1 記載の集積回路。

【請求項 10】

請求項 1 の前記項目 (b) に従うが、第 2 の動作周波数 f で入力信号を受け入れ、前記送信信号検知回路からの信号により制御されるレギュレータ回路を有する第 2 の R F 電力増幅器と、

請求項 1 の前記項目 (c) に従うが、第 2 のアンテナ整合送信信号を生成するよう構成される第 2 のマッチング、カップリング及びフィルタリング回路とを更に有し、

前記アンテナスイッチは、更に、前記第 2 のアンテナ整合送信信号へだけ、又は第 2 の受信信号増幅経路へだけ前記アンテナ接続ノードを制御可能なように結合するよう構成される、請求項 1 記載の集積回路。

【請求項 11】

出力駆動ノードで出力信号を生成するよう構成される R F 電力増幅器 (P A) であって、

10

20

30

40

50

- a) 動作周波数 f_0 で RF 入力信号を受信するよう構成される入力ノードと、
 b) 実質的に線形動作を回避するために、前記 RF 入力信号の制御下で、オンインピーダンスを介して回路共通部へ前記出力駆動ノードを結合するよう、又は前記回路共通部から前記出力駆動ノードを実質的に切り離すよう構成されるスイッチング回路と、
 c) 電源 VDD と前記出力駆動ノードとの間に結合され、前記スイッチング回路動作の制御下で前記動作周波数 f_0 において略正弦波である波形を有する電流を伝送するよう構成される RF チョーク (RFC) と、
 d) 前記出力駆動ノードと前記回路共通部との間に配置され、前記動作周波数 f_0 の整数高調波である周波数を有する出力駆動信号の成分に関して、前記 RF 電力増幅器の特性出力インピーダンス Z_0 の抵抗成分にほぼ等しい抵抗成分を有する終端インピーダンス Z_T を介して電流を導くよう構成されるシャントフィルタとを有する RF 電力増幅器。

10

【請求項 12】

前記シャントフィルタは、前記動作周波数 f_0 の整数高調波である周波数で極小インピーダンスを有する、請求項 11 記載の RF 電力増幅器。

【請求項 13】

前記シャントフィルタは、 $2 \times f_0$ 及び $3 \times f_0$ で極小インピーダンスを有する、請求項 12 記載の RF 電力増幅器。

【請求項 14】

前記シャントフィルタの前記極小インピーダンスは、前記出力駆動ノードで前記特性出力インピーダンス Z_0 にほぼ等しい、請求項 13 記載の RF 電力増幅器。

20

【請求項 15】

前記入力ノードへ結合され、前記 RF 入力信号から得られる信号を供給して、前記スイッチング回路を制御するよう構成される入力調整回路を更に有し、

前記得られる信号は、前記入力調整回路により制御されるデューティサイクルを有する略矩形である波形を有する、請求項 11 記載の RF 電力増幅器。

【請求項 16】

単一モノリシック集積回路チップ上に RF フロントエンド回路を作る方法であって、

a) 前記チップから離れたアンテナへ前記 RF フロントエンドを結合するための 1 つの単独アンテナ接続ノードを設け、

i) 送信信号振幅を反映する信号を発生させるよう構成される送信信号検知回路と、

ii) 前記チップ上に配置されるアンテナスイッチの共通接続と

へ前記アンテナ接続ノードを結合するステップと、

b) 受信送信信号を増幅するよう構成される送信信号増幅器へ入力信号ノードを結合するステップと、

c) 略線形な動作でなければ、出力駆動ノードを回路共通へ切り替えるように、又は略線形な動作であれば、前記増幅された受信送信信号から得られる制御下で、前記出力駆動ノードが動作周波数 f_0 で特性インピーダンス Z_{drive} を有するよう、スイッチングモードで動作するよう構成されるスイッチング回路を有する電力増幅器 (PA) をレイアウトするステップと、

d) RF チョーク (RFC) の第 1 の接続へ前記電力増幅器の前記出力駆動ノードを結合し、前記 RFC の第 2 の接続をレギュレータ回路を介して電源へ結合するステップと、

e) 前記アンテナ接続ノードへ切替え可能なように結合される送信信号が前記アンテナへの接続の予想インピーダンスに実質的に等しい特性インピーダンスを有するよう、マッチング、カップリング及びフィルタリング回路を介して前記アンテナスイッチの入力部へ前記電力増幅器の前記出力駆動ノードを結合するステップと、

f) 前記アンテナ接続ノードへ、該アンテナ接続ノードでの過電圧を反映する信号を発生させるよう構成される出力信号検知回路を結合するステップと、

g) 前記出力駆動ノードでの出力駆動信号の振幅が前記アンテナ接続ノードでの著しく過剰な電圧の存在を除外するよう制御されるよう、前記レギュレータ回路へ前記アンテナ接続ノードでの過電圧を反映する前記信号を結合するステップとを有する方法。

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、幅広くは集積電子回路に関し、更に具体的には、RF送受信機回路に関する。

【背景技術】

【0002】

無線通信装置、特に携帯型の装置は、持続的発展をし続けている。おそらくは、他の要素の何よりも、携帯電話の極度の大量性は、携帯型装置におけるRF送信回路の効率、速度、大きさ及び費用効果での改善の動機付けとなってきた。このような回路の効率を高めることは、必要とされるバッテリーの大きさが小さくなるとともに、バッテリー寿命が延びるので極めて望ましい。費用効果は、特にこのような製品が技術の変化に遅れないよう周期的な交換を必要とする場合に、消費者製品にとって、明らかに常に望ましい。携帯電話の機能における安定した発展は、軽くて小さい装置に対する消費者嗜好と結びついており、RF送信回路に必要とされる容量を小さくすることを重要視する。更に、送受信機は、最小電力レベルでの高い通信密度を容易にするために定められた厳しい放射限度を満足しなければならない。

【0003】

例えば携帯電話などのほとんどの無線通信ユニットは、少なくとも1つのRF送受信機を有する。例えば携帯電話などの通信装置は、本願での主な関心であるところの多様なRF（無線周波数）フロントエンド回路を有しうる。RFフロントエンド回路（又はサブ回路）は、通常、RF送信信号増幅器と、電力増幅器（PA）と、マッチング及びフィルタリング部と、アンテナスイッチとを有しており、更に、受信信号増幅器を有しても良い。完全な送受信機は、一般に、また、受信信号用の低雑音増幅器を有する。これらの回路の中で、PAサブ回路は、通常、このような送信機の最大の電力消費部であり、また、通常、最も多くの意図されない又は誤った放射の供給源である。バッテリー寿命を延ばし、厳しい誤放射規格を満足し、これらの高容量な消費財の費用を最低限とするために、このようなPAサブ回路には、誤放射及び製造費用を低減しながら速度及び効率を改善する必要がある。高い電力を扱うそれらの必要性に起因して、PA及びアンテナスイッチのサブ回路は、ほとんどの集積回路面積を占有する。集積回路の製造費用は、夫々の回路に必要とされるデバイス面積の量に極めて依存する。結果として、様々なRF送受信機サブ回路に必要な面積の実質的な低減は、概して、送受信機回路の製造費用の相応の低減をもたらす。

【0004】

PAトポロジーの範囲は、夫々が異なる利点を伴いながら発展してきた。例えば、A、B、C、D、E及びF級のPAは、当該術分野においてよく知られる。A～C級のPAにおける増幅デバイスは、それらの動作範囲の作動領域で動作するように設計されており、電圧がデバイス両端にある間は意図的に導通する。

【0005】

D、E及びF級のPAは、線形増幅器としてよりもむしろ、作動領域での動作を最小限とするスイッチとして増幅器デバイスを用いることによって、このような線形な動作により引き起こされた電力損失を低減しようとする。しかし、このような増幅器からのパルス状出力は、概して、通常必要とされるように、狭帯域正弦波出力を生成するために広範囲に及ぶフィルタ処理を必要とする。D～F級のPAの通常動作は、電圧がデバイス両端に存在している間は意図的に駆動素子デバイスを導通させない。一方、まさに切り替えられたデバイスは、有限なスイッチング期間中に電圧が存在している間流れている電流に起因して実際の電力を消費する。更に、同じ送信中心周波数で動作するアナログPAにおける駆動デバイスと比較して、D～F級のスイッチング回路における駆動デバイスは、しばしば、より一層高い周波数で動作しなければならない。より高い周波数の信号は、好ましくない周波数で著しいエネルギーを有し、このような好ましくない信号エネルギーは回路電

10

20

30

40

50

力を消費するのみならず、放射限度を満足するためにフィルタ処理をも必要とする。

【0006】

デバイスの集積は、一般的に、例えば動作周波数及び信頼度といった、結果として得られる製品の様々な特性を改善するために望ましく、また、回路によって占有される容量を低減するとともに、製造費用全体を下げるができる。電界効果トランジスタ(FET)は、集積回路において線形増幅及びスイッチングの両目的のために極めてよく知られる。しかし、集積回路(IC)FETは、ゲート-ソース、ゲート-ドレイン、及びドレイン-ソースのノード対を含むいずれかの2つのノードの間の電圧に耐える能力が制限される。このような耐圧限界は、特に、高電力スイッチング回路におけるICFETの実用性を損なうことがある。高電力スイッチング回路では、誘導電圧は、供給電圧をはるかに超えることがある。具体例として、RF電力増幅器の送信出力電力性能は、出力電圧の振幅に極めて依存する。既存のPA技術に伴う困難の1つは、多数の他の望ましく高速なデバイスが、比較的低い故障電圧を有するFETをもたらず傾向がある工程を用いて作られることである。この問題を解決して、他の好ましい集積デバイスの特性を残したまま、より広い電圧レンジを提供することが非常に望ましい。このような解決法は、例えばPA機能及びRFスイッチ機能などの、別々の工程を予め必要とした電力及び制御機能のモノリシック集積回路上での集積を可能にする。もともと別個であった集積回路の集積は、モノリシック集積において特有であるプロセス整合に起因して、歩留まり及び予測可能性を高めうる。

10

20

【特許文献1】米国特許番号第5,663,570号

【特許文献2】米国特許番号第6,804,502号

【特許文献3】米国特許公開番号第10/658,154号

【特許文献4】米国特許番号第7,248,120B2号明細書

【特許文献5】米国特許番号第7,088,971B2号明細書

【特許文献6】米国特許番号第6,449,465B1号明細書

【特許文献7】米国特許出願公開第2003/0224743A1号明細書

【特許文献8】米国特許番号第6,297,696B1号明細書

【特許文献9】米国特許出願公開第2004/0121745A1号明細書

【特許文献10】米国特許番号第5,375,256号明細書

【特許文献11】米国特許番号第6,380,802B1号明細書

【特許文献12】米国特許番号第6,239,657号明細書

【特許文献13】米国特許番号第6,308,047B1号明細書

【特許文献14】米国特許出願公開第2003/0032396A1号明細書

【特許文献15】米国特許番号第6,191,653B1号明細書

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

単一の集積回路上へのデュアルバンド送受信機の送受信機RF回路の全ての製造を容易にし、それによって上記問題を解決して、上記利点を得る方法及び回路が、本願で記載される。その利点の多くは、必ずしもデュアルバンド動作を有さない送受信機のフロントエンド部でさえ集積することにより達成される。1又はそれ以上の代替案は、多数のサブ回路(又は対応する方法)の夫々に関して記載され、完全に集積されたRFフロントエンド、即ち、集積RF送受信機は、送受信機の夫々の部位に関してこのような代替案の中のいずれかの互換性のあるものを用いることにより作られうる。更に、集積RF送受信機が実現されることを可能にするサブ回路(又は対応する方法)の幾つかは、また、しばしば他のRF送受信機サブ回路とは無関係に、他の状況で有用である。従って、本願で記載される機能の様々な小結合は、独立して有用な発明を構成する。これらの小結合の組み合わせられた様々な態様は、同時に、上記利点の全てを有する集積デュアルバンドRF送受信機を実現する。独立して有用なサブ回路の中でも特に注目に値すべきは、積層FET無線周波

40

50

数スイッチ及び特定のPA回路トポロジーである。最後に、あるRF送受信機の小部分の集積は、最終製品の安全性及び信頼性を妥協することなく、製造の際の能率性を可能にする。

【課題を解決するための手段】

【0008】

通信送受信機のRFフロントエンド部の全てを含む自己保護型モノリシック集積回路の製造を可能にする方法及び/又は回路の組み合わせが記載される。このような自己保護型RFフロントエンド回路は、具体的に、不適切な、欠落した、あるいは損傷を受けたアンテナによる過負荷からの効果的な内部保護を可能にする、電力増幅器(PA)からアンテナ接続部までの部分を有する。

10

【0009】

自己保護型モノリシック集積RFフロントエンド回路の幾つかの小結合は、独立した重要性を有する。1つのこのような小結合は、集積された積層FETスイッチである。この小結合の一実施例は、回路においてノード間の導通を制御するよう直列に結合されたドレイン-ソース間チャンネルを有するスタックで非常に多数のFETを有する回路である。制御信号は、第1のFETの導通を変化させるよう前記第1のFETへ結合され、残りのFETの導通は、前記第1のFETの導通にスレーブ化される。FETスタックの直列結合の両端における耐圧性能は、そのスタックの個々のFETのドレイン-ソース間耐圧性能の合計に実質的に等しくなりうる。前記第1のFET以外の夫々のFETのゲートは、共通電圧へ容量的に結合されうる。

20

【0010】

他の小結合は、集積*i*級PAと呼ばれうるRF電力増幅器(PA)である。この小結合の一実施例は、RFスイッチを制御する入力を有する。RFスイッチは、その出力をRFチョークを介して電源へ結合され、動作周波数 f_0 での特性駆動出力インピーダンスを伴って動作する。駆動出力は、駆動出力インピーダンスを期待されるアンテナインピーダンスに整合させる回路を有するカップリング回路を介して、期待されるアンテナインピーダンスを有するアンテナ接続へ結合され、また、動作周波数 f_0 の1又はそれ以上の高調波にある信号を散逸的に終端する。*i*級RF電力増幅器は、 f_0 の偶数高調波と f_0 の1ではない奇数高調波とを含む複数の周波数で、駆動出力と基準との間に極小インピーダンスを提供するよう構成されたシャントフィルタを更に有する。これらの最小インピーダンスは、特性駆動インピーダンスにほぼ等しくなりうる。

30

【0011】

自己保護型フロントエンド回路の一実施例は、出力制限制御器により制御される出力振幅レギュレータ回路を有するPAを含む集積回路である。この実施例は、アンテナ接続を、マッチング及びカップリング回路を介してPAへ、あるいは受信信号増幅器へ選択的に結合するアンテナスイッチを更に有する。この実施例は、また、前記アンテナ接続を流れる電流及び/または前記アンテナ接続での電圧を検知するよう構成されたアンテナ接続センサと、該アンテナ接続センサを前記出力制限制御器へ結合する回路とを有する。前記回路は、前記アンテナ接続で設計限度を超える電流または電圧の存在を防ぐよう前記出力振幅レギュレータ回路に影響を及ぼすよう構成される。

40

【0012】

関連する実施例は、不適切なアンテナインピーダンスに起因する高電圧定在波比率(VSWR)によって引き起こされた過度な出力値からの保護を伴うモノリシック構造で集積されたPAを作る方法である。この実施例は、送信信号を受信するよう集積回路チップ上にRF電力増幅器(PA)を作るステップと、前記PAに出力電力制限回路を設けるステップとを有する。それは、また、PA出力インピーダンスを有するPA出力信号を、前記集積回路へ接続された接続素子に求められる異なるインピーダンスへと調整して、調整された信号をアンテナへ結合するよう同じ集積回路上にカップリング、マッチング及びフィルタリング回路を作るステップを更に有する。この実施例は、前記PAと前記接続素子との間の前記集積回路上にアンテナスイッチを配置して、前記接続素子が前記PAからの調

50

整信号又は前記集積回路上に配置された受信増幅回路のいずれか一方へ制御可能なように結合されうるようにするステップを更に有する。この実施例は、前記接続素子へ送られる信号のパラメータを検知する検知回路と、過剰であると見なされる検知されたパラメータの値にตอบสนองして、PA出力信号の電力を低減するPA制御回路とを設けるステップを有する。

【0013】

更なる小結合の実施例は、RF信号を増幅する方法であり、出力駆動ノードと基準ノードとの間の導通を制御して、動作周波数 f_0 で特性インピーダンスを生じるよう複数のFETスタックを設けるステップを有する。この実施例は、前記出力駆動ノードと前記基準ノードとの間に、前記動作周波数 f_0 の高調波を散逸的に終端するよう構成されたシャントフィルタを配置するステップを更に有する。前記シャントフィルタは、 f_0 の偶数高調波及び1ではない奇数高調波で極小インピーダンスを有し、該極小インピーダンスは、前記FETスタックの特性インピーダンスにほぼ等しくなりうる。

10

【発明を実施するための最良の形態】

【0014】

本発明の実施例については、添付の図面を参照して更に容易に理解されるであろう。図面において、同じ参照番号及び符号は同じ要素を示す。

【0015】

[1. 電流増幅器の概説]

図1は、RF電力増幅器(PA)のブロック図である。表されたRF電力増幅器は、ドライバ素子ブロック200でデバイスのバイアスを変化させること、及び/又は他のブロックの細部を変更することにより、図1に表されたRF電力増幅器がA、B、C、E、F級のいずれかのクラスの増幅器、即ち、 i 級増幅器としてここで更に説明される増幅器で動作することを可能にする点で、極めて一般的である。図2~5は、夫々、図1で示されるブロックの1つを実施するための例となる回路を示す。

20

【0016】

入力102は、回路基準、即ち共通電位104に対してPAへ供給される。入力102は、一般的に、中心駆動周波数 f_0 で適切にバイアスをかけられた信号を有する。入力102にตอบสนองして、ドライバ素子ブロック200は、駆動出力ノード106と回路共通電位104との間の導通を制御する。ドライバ素子ブロック200は、 V_{DD} からRFチョーク(RFC)LS108を介する電流と連動して、特定のインピーダンス Z_{drive} を有する信号を供給する。 Z_{drive} は周波数と共に変化しうるが、他に指示がない限り、中心動作周波数 f_0 での駆動インピーダンスと呼ぶ。シャントフィルタ400は、駆動出力ノード106と回路共通電位104との間に結合されうる。多種多様なフィルタリング配置が用いられても良く、以下、それらのうちの幾つかについて説明する。

30

【0017】

アンテナ110は、(他に指示がない限り、中心周波数 f_0 で)一般的に50Ωである特性インピーダンス Z_{OUT} を有する。ブロック300は、通常、(Z_{drive} にある)駆動ノード106と Z_{OUT} にある出力部との間のマッチング及びカップリングを提供するために必要とされる。マッチング及びカップリングの後に、例えば L_{O116} 及び C_{O118} の組み合わせ等の出力フィルタ部が、通常、RFスイッチ S_{RF120} の前の信号経路に配置される。RFスイッチ S_{RF120} は、出力部をアンテナ110へ適切に結合する。PA回路は、半導体デバイス上に集積されるので、アンテナ110は、通常、PAを有するICの外部であり、アンテナ110は、しばしば、異なる基準電圧、例えば筐体接地112により動作する。筐体接地112は、回路共通電位104に対して零以外のインピーダンスを有する。従って、マッチング/カップリングブロック300は、フィルタ部116~118と同じく、筐体接地112を基準とする出力部を有する。

40

【0018】

電力制御は、随意的に提供されても良い。一例は、シャント電力制御ブロック500を用いる。シャント電力制御ブロック500は、筐体接地112と回路共通電位104との

50

間の電圧オフセットを供給して、アンテナ110により受信された信号の振幅を低減しうる。例えば図12の項目1400~1401のような直列レギュレータ回路は、高い確実性で、更に一般的に使用される。

【0019】

ここで説明されるようなモノリシック構造で集積されたRF電力増幅器、RFフロントエンド、及びRF送受信機は、少なくとも900MHz及び/又は2.4GHzの比較的高い周波数並びに中電力レベルで動作するよう作られても良い。これらの設計は、送受信機が整合されたアンテナへ適切に結合されている場合に、アンテナ接続へ導かれるRF出力電力の少なくとも0.5W、1W、又は1.5WRMSの送信電力最大値を有する送受信機に関して有用である。

10

【0020】

[2. 積層FETドライバ]

図2は、駆動出力ノード106と回路共通電位104との間の導通を制御するために、図1のRF電力増幅器内のドライバ素子ブロック200に使用されうる積層FET(スタックされたFET)回路の単純化された回路図である。スタックは、同じ極性の2又はそれ以上のFETを有する。即ち、1つのスタック内の全てのFETはNチャンネルFETであり、又は全てのFETはPチャンネルFETであり、即ち、1つのスタック内の少なくとも全てのFETは互いに実質的に同じように動作する。

【0021】

図2のFETスタック200は、集積回路の2つのノード間の導通を制御するよう構成される。端子Vdrive_{REF}202は、2つのノードのうちの1つ(例えば、図1の回路共通電位104)へ接続され、一方、端子Vdrive224は、他のノード(例えば、図1のVdrive106)へ接続される。図2に表されるようなNチャンネルFET(N-FET)に関して、Vdrive_{REF}202は、2つのノードのうちのより陰性であるノードへ、例えば、図1の回路共通電位104へ接続されうる。端子Vdrive_{REF}202は、スタック200の第1のFETM₁204へ結合されている。

20

【0022】

FETスタック200は、端子Vdrive_{REF}202に対して、入力端子206を介して単入力FETM₁204のゲートへ結合されている入力信号により制御される。M₁204のドレインは、第2のFETM₂208のソースへ結合されている。M₂208のゲートは、バイアスレジスタRB₂212を介してバイアス電圧VB₂210を供給され、CG₂214を介してVdrive_{REF}202にデカップリングされている。ある実施例では、何れか1つのデバイスの故障限界を超えることを回避するように印加電圧を分割して、例えばPA又は4重化混合器等の回路で増大する電圧を扱うように導通制御回路として働くよう適切に構成される場合には、これら2つのFETで十分である。

30

【0023】

しかし、他の実施例では、同じ極性の1又はそれ以上のFETが、M₁204及びM₂208に直列に接続される。このような更なるFETは、N番目のFETであるM_N216により図2中に表されている。スタックの夫々の更なるFETに関して、M_N216のソースは、スタックの前のFETのドレインへ、即ち、FETM_{N-1}のドレイン(図示せず。N=3ならば、M_{N-1}はM₂208である。)へ結合されている。スタックの最後のFETであるM_N216のドレインは、出力端子Vdrive204へ結合されている。バイアス電圧VB_N218は夫々の更なるFETに結合されている。バイアス電圧VB_N218は、RB_N220のようなバイアスインピーダンスを介してFETのゲートへ、及び、FETが単入力FET(ここでは、M₁204)による導通にスレーブさせるような電圧へゲートを結合するためにキャパシタCG_N222へ結合されている。明らかのように、上記スレーブ化は、夫々の更なるFETのゲートをVdrive_{REF}202へ結合することにより実行される。

40

【0024】

直列に少なくとも9個のFETを有するFETスタックが製造又はシミュレーションさ

50

れており、より一層多くの直列なFETから成るスタックが確実に可能である。留意すべきは、物理的な回路カップリングは、一般的に、有限なキャパシタンス、インダクタンス、及び抵抗を有することである。多数の目的のために、FETスタック200のFETが最低限のインピーダンスで直列にドレインをソースへ結合されることが望ましい。しかし、インピーダンスは、このようなカップリングへ意図的に加えられても良い。例えば、より詳しく駆動インピーダンスを制御すること、及び、FET自体の内部よりむしろ特定の抵抗性直列カップリング素子で熱を消散させることが望ましい。また、駆動回路の導通を調整するようにFETスタック200のFET間にインピーダンスを加えることも望ましい。

【0025】

[2-A.FETスタックバイアス]

ある実施例で、FETスタックのFETは、全て、例えば、故障電圧 $V_{GS(br)}$ 、 $V_{DS(br)}$ 、及び $V_{DG(br)}$ 等の実質的に同様の耐圧容量を有しても良い。ある集積回路製造工程に関して、これらの値は、全てのFETで同様である。更に、ある集積回路製造工程に関して、故障電圧 $V_{GS(br)}$ 、 $V_{DS(br)}$ 、及び $V_{DG(br)}$ は、互いにほぼ等しくても良い。適切なバイアスは、これらの故障電圧のいずれも回路の通常動作中に超えられないことを有効に確実にしうる。ある実施例では、適切なバイアスにより、 $V_{drive_{REF}202}$ と $V_{drive204}$ との間の電圧偏位は、スタックの夫々の構成要素であるFETに関して V_{DS} 故障電圧の合計に近づくことを可能にされても良い。

【0026】

後述されるようなFETスタックのFETに対するバイアス及びカップリングは、 $V_{drive224}$ から $V_{drive_{REF}202}$ へと印加される総電圧がスタックの個々のFETの最大許容電圧 V_{DS} の合計にほぼ等しい場合でさえ、電圧がスタックの如何なるFETに関しても如何なる最大許容ノード間電圧をも超えることを防ぎうる。特に断りのない限り、FETのいずれか2つのノード間の最大許容電圧(即ち、 V_{GS} 、 V_{DS} 、及び V_{DG})は、一般的に、夫々のFETの様々なノード及び全てのノードに関して、実質的に等しいと仮定される。これは、例となる半導体製造工程と一致する。しかし、当業者は、これらの最大許容電圧が等しくない状況を包含するよう、以下で挙げられた原理を容易に拡張しうる。また、NチャネルFETスタックに関して以下で挙げられた計算は、極性及び符号を適切に反転させることによりPチャネルFETに適用されうる。

【0027】

M_1 のゲート駆動のインピーダンスは、普通のトランジスタ駆動原理に従って選択されても良い。この実施例では、 $V_{DS(max)}$ は、スタックの全てのFETに関して同じである。従って、 M_1 の V_{DS} は、 $(V_{drive} - V_{drive_{REF}}) / N$ に近似しうる。夫々のFET M_x に関して、 X の値が $2 \sim N$ である場合に、夫々のバイアス抵抗 R_{B_x} の実効値は、ゲートカップリングの時定数 τ_{GX} を制御するよう選択される。 τ_{GX} は、おおよそ、ゲートカップリングキャパシタ C_{GX} と寄生ゲートキャパシタンス C_{GP_x} とを足した実効容量の合計に、バイアス電圧に対する直列インピーダンスを掛け合わせたものである。このような直列インピーダンスは、通常、抵抗性であり、 $R_{B_x(equiv)}$ で示される。 τ_{GX} が、中心駆動周波数の周期 $1/f_0$ とよりもずっと長く、望ましくは $5 \sim 20$ の時間長さであることが望ましい。従って、良好な設計センター目標は：

$$R_{B_x(equiv)}(C_{GX} + C_{GP_x}) = 10 / f_0 \quad (\text{式1})$$

である。

【0028】

$V_{drive_{REF}}$ に対して、且つ V_{drive} の最大期待値である V_{peak} に関して、1つの適切なバイアス電圧値は、単純に V_{peak} の $1/2$ の比例部分：

$$V_{B_x} = X(V_{peak}) / 2N \quad (\text{式2})$$

である。従って、 $N=4$ である場合には、 $V_{B_2} = V_{peak} / 4$ 、 $V_{B_3} = 3(V_{peak} / 4)$

10

20

30

40

50

a k) / 8、及び $V_{B_4} = V_{peak} / 2$ が得られる。

【0029】

[2-B.FETスタックゲート信号結合]

図2及び7で、夫々のゲートノード (V_{G_X}) は、キャパシタ C_{G_X} を介して基準電圧 $V_{drive_{REF}}$ へ結合されている。夫々のゲートノードは、また、バイアス抵抗を介して直流バイアス電圧へ結合されている。この構成で、FETスタックの夫々の FET_{M_X} の実効駆動電圧 $V_{G_{S_X}}$ は、ソースからゲートノードへの、及びゲートノードから交流接地へのインピーダンスとともに、そのソースの電圧偏位 V_{S_X} に依存する。これらのインピーダンスは、ゲート-ソース間容量とカップリングキャパシタ C_{G_X} とによって決定づけられる。 C_{G_X} の適切な値は、以下で決定される。

10

【0030】

実施例で、夫々のFETの夫々のノード対の間の最大電圧は同じである。従って、 FET_{M_2} のソースの電圧偏位は、 M_1 の最大電圧 V_{D_S} を超えるべきではない。そのようなものとして、 C_{G_2} の値は、 M_2 のゲートの交流接地を実行して、最大共通ゲート駆動信号を M_2 へ供給するために、制限されず、望ましく大きい。 $V_{G_S(max)}$ は、ゲートの(直流)電圧がソース電圧偏位の範囲内に保持される場合に、 M_2 に関しては超えられない。しかし、(上記仮定と反対に)最大電圧 $V_{D_{S_1}}$ が最大電圧 $V_{G_{S_2}}$ を超えるならば、 C_{G_2} は、 X が2から N であるところの C_{G_X} に関して以下で記述された方法と同様の方法で制限される必要がある。

【0031】

20

$V_{drive_{REF}}$ に対する夫々の FET_{M_X} のソースの電圧偏位 V_{S_X} は、 $M_{(X-1)}$ のドレイン電圧偏位 $V_{D_{(X-1)}}$ に等しくなりうる。この電圧は、様々なFETの間で等しく分割されるとすると、 $X(V_{peak} - V_{min}) / N$ である。 $V_{min} = 0$ では、これは、単純に $X(V_{peak}) / N$ であり、更に $V_{S_X} = (X-1)(V_{peak}) / N$ である。

【0032】

FETの寄生ゲート-ソース容量 C_{G_S} は、 $V_{G_S} = V_{G_S(on)}$ である場合に、酸化物キャパシタンス C_{O_X} まで増大する。特定の FET_{M_X} の C_{O_X} は、 $C_{O_{X_X}}$ で示される。 C_{G_X} は基準電圧 $V_{drive_{REF}}$ へ結合されているから、正味の $V_{G_{S_X}}$ は、 C_{G_X} と $C_{O_{X_X}}$ との間で容量的に分けられうる。従って、ゲート-ソース間偏位は、
 $V_{G_{S_X}} = (V_{S_X}) / (1 + C_{O_{X_X}} / C_{G_{S_X}})$ である。 V_{G_S} の最大値と V_{D_S} の最大値とが等しいとすると、 $V_{G_{S_X}} = V_{peak} / N$ と制限することが望まれる。従って、 $V_{G_{S_X}}$ 及び V_{S_X} に代わって、 $V_{peak} / N [(X-1)(V_{peak}) / N] / [1 + C_{O_{X_X}} / C_{G_{S_X}}]$ となる。適切な演算により：

30

$$C_{G_X} \geq C_{O_{X_X}} / (X-2) \quad (\text{式3})$$

が得られる。 $X=2$ では、期待されるように C_{G_X} 無限大となる。また、期待されるように、 C_{G_X} の過度な値は、過度なゲート-ソース間電圧偏位 ($V_{G_{S_X}}$) を引き起こす傾向を有する。式3の不等式は、デバイスのノード間の過電圧を防ぎうる。しかし、 C_{G_X} は、望ましくは、故障電圧を超えない範囲で最大許容駆動レベルを供給するように可能な限り大きくあるべきである。従って、式3の不等式は、近似等式として扱われても良い。

40

【0033】

上記の結果は、スタックの異なるFET間で違うように電圧を分割することが望まれる場合、又は最大ゲート-ソース間電圧が最大ドレイン-ソース間電圧とは異なる場合には適用され得ない。しかし、当業者は、適切に変形された仮定により、上記に対応する計算によってこのような様々な環境でも C_{G_X} の好ましい値を難なく決定することができるであろう。キャパシタ C_{G_X} は、対応する FET_{M_X} のバイアス電圧を超える電圧を保持すべきであるから、金属-絶縁-金属(MIM)キャパシタが適している。更に、(寄生)酸化物キャパシタとMIMキャパシタの両方のキャパシタンスは、幾何学の一次関数である。従って、例えばリソグラフ変数のような、ある製造変数は、どちらの種類のキャパシ

50

タンスでも同様の効果を有し、このような変数に夫々影響されないこのようなキャパシタンスの比率を残しうる。

【 0 0 3 4 】

図3は、例となるマッチング、カップリング及びフィルタリングブロック300を示す。このブロック300は、図1で示されるように、駆動出力ノード106とアンテナ110との間に配置されうる。マッチング機能は、当業者に周知である方法で、通常は50であるアンテナの特性インピーダンス Z_{0UT} を駆動出力ノード106の特性インピーダンスへ変換する（両インピーダンスとも動作周波数 f_0 でのインピーダンスである。）。カップリングキャパシタ C_C 302は、駆動出力ノード106から直流を遮断し、キャパシタ302のいずれかが一方の側から筐体接地112又は回路共通部104に対するインピーダンスよりも少ない、望ましくはずっと少ない f_0 でのインピーダンスを有するよう選択されうる。マッチング回路300は、インダクタ L_A 304及びキャパシタ C_A を有するAフィルタ素子を有する。Aフィルタ素子は、集積回路の一部として製造されても良い。マッチング回路300は、また、（図1のアンテナ110の基準である）筐体接地112に対してインダクタ L_B 308及びキャパシタ C_B 310を有するBフィルタ素子を有する。カップリングキャパシタ C_C 302、並びにインダクタ L_B 308及びキャパシタ C_B 310は、PAとともに集積回路上に製造されても良いが、これらのデバイスの幾つかは、通常、集積回路の外部である。

10

【 0 0 3 5 】

[3 . シャントフィルタ]

図4は、図1で表されるような i 級PAで用いられうるシャントフィルタ400を表す。シャントフィルタ400のノード402は、図1の駆動出力ノード106へ接続され、反対のノード404は、図1の回路共通電位104へ接続されうる。シャントフィルタ400は、1又はそれ以上の特定の周波数の夫々で極小インピーダンスを供給しうる。最小インピーダンスは、（例えば、駆動素子200及びRFチョーク L_S 108によって生成される）駆動回路インピーダンスと整合されうる。シャントフィルタ素子は、駆動素子200を有する集積回路の一部として製造されても良く、シャントフィルタ400の素子を流れる電流のループ領域を低減する。

20

【 0 0 3 6 】

図1のシャントフィルタ400は、例えば f_0 で $1/4$ 波長等の適切な長さに亘って実質的に分布したリアクタンス素子から製造された伝送線路フィルタであっても良い。このような伝送ラインは、例えば図6で表され、以下で更に詳細に説明されるフィルタ600等の f_0 で最大インピーダンスを有する共振回路を介して回路共通部へ結合されても良い。シャントフィルタ400のこのような構成は、 f_0 の夫々の偶数高調波での極小インピーダンス最小値（約0）と、 f_0 の夫々の奇数高調波での極大インピーダンスとを供給する。更に簡潔に述べると、このような構成は、通常、全ての奇数高調波を反射し、全ての偶数高調波を短絡して、F級PAのような動作を実行すると考えられても良い。

30

【 0 0 3 7 】

しかし、 i 級PAでの使用のための図4で表されたシャントフィルタ400は、一般に、このような伝送線路フィルタとは異なる。第1に、シャントフィルタ400は、分割されるよりもむしろ、ひとまとめにされた素子を用いる。結果として、極小インピーダンスは、共振周波数（例えば f_0 ）の全ての奇数高調波又は全ての偶数高調波でよりもむしろ、選択された周波数で生じうる。第2に、フィルタは、極小インピーダンスの零以外の値を意図的に生じさせるよう直列抵抗素子を用いても良い。例えば、対応する周波数（又は、代替的に f_0 ）での駆動回路のインピーダンスを整合させるように極小インピーダンスの最小値を制御することが有効でありうる。図4に表された回路と、従来 of 伝送線路フィルタとの間のこのような相異の結果として、電流ループを流れる電流の大きさは減少しうる。更に、駆動素子の電力消費は、選択された最小インピーダンスに対応する周波数で減少しうる。

40

【 0 0 3 8 】

50

図4で、第1のシャントフィルタ素子は、 L_{SF1406} と、 R_{SF1408} と、 C_{SF1410} とを有する。これらの構成要素は、特定の周波数で極小インピーダンスを生じさせ、このとき、インピーダンスは、より高い及びより低いいずれの周波数でも増大する。スイッチ S_{1412} は、更なるキャパシタ C_{SF3414} とともに、第1のフィルタ素子の最小インピーダンスの周波数を調整するための随意的な回路を表す。明らかなように、第1のフィルタ素子の直列キャパシタの実効値は、 S_{1412} が閉じられて、 C_{SF3414} が C_{SF1410} と並列配置される場合に増大する。

【0039】

当然、このような周波数調整は、多種多様な方法で実行されうる。例えば、 S_{1412} は、電子的に周波数を切り替えるFETであっても良い。更に、又は代替的に、 C_{SF1410} 及び随意的な C_{SF3414} は、(バラクタでの直流電圧のための適切な制御回路の対応する追加部分を有する)バラクタであっても良い。更に、キャパシタ C_{SF3414} は、スイッチ S_{1412} がキャパシタ C_{1414} をバイパスするよう構成されうる場合に、 C_{SF1410} に対して、並列接続ではなく、直列接続で配置されても良い。また更に、同様の技術は、キャパシタンスよりもむしろ、インダクタンスを変更するために用いられても良い。例えば、スイッチ S_{1412} は、第1のシャントフィルタ素子の実効インダクタンスを変更するように、第2の誘導性素子を選択的にバイパスしても良い。

【0040】

第2のシャントフィルタは、インダクタ L_{SF2416} と、抵抗素子 R_{SF2418} と、キャパシタ C_{SF2420} とを有する。シャントフィルタ400の第2のフィルタ素子(又は、実際には、いずれかの更なるフィルタ素子)の共振周波数は、第1のフィルタ素子に対して上述されたのと同様の技術によって変更されうる。実質的に抵抗性であり、且つ/あるいは零以外である最小インピーダンスを有することが有利であり得る。一実施例で、第1及び第2のフィルタ素子は、動作周波数 f_0 の二次高調波及び三次高調波の夫々で、極小インピーダンスを供給するよう設計されている。この極小インピーダンスは、駆動回路インピーダンスにほぼ等しい。2つのフィルタ素子のみが表されているが、更なる高調波が、望ましくは、更なるフィルタ素子(図示せず。)により扱われうる。

【0041】

図11は、マッチング及びカップリング回路300並びにシャントフィルタ400に関する代替回路の回路図である。図11の Z_{drive} 及び Z_{out} は、図1で示されたように接続されている。 C_c302 は、図3と実質的に同じであり、アンテナ出力部からのPAの直流分離を提供する。シャントフィルタは、主として C_{SF980} 及び L_{SF982} から成る並列共振回路を有し、 C_{SF980} 及び L_{SF982} は、ともに、 f_0 で共振するタンク回路として機能する。 f_0 の全ての整数高調波周波数は、 $R_{drive984}$ を介して結合されている。 $R_{drive984}$ は、望ましくは、PAスイッチング回路の特性駆動インピーダンスにほぼ等しいように選択される。それによって、 f_0 の全ての高調波は、駆動インピーダンスで終端される。ある実施例で、例えば f_0 近辺で夫々共振する2個の並列なタンク回路のような、代替のフィルタ処理が $R_{drive984}$ の上流に直列に配置されても良い。二重タンク回路は、実質的に同一の周波数で共振して、 f_0 でのインピーダンスを増大させ、一方 f_0 での電力損失を低減させるよう、又は僅かに異なる周波数で共振して、回路が製造公差を緩和するほど高いインピーダンスを有するところの周波数の範囲を広くするよう構成されうる。シャントフィルタの後に、マッチング及びフィルタリング回路990が、2つの相違点を除いて、図3で表された回路と同じように配置されうる。第1の相違点は、カップリングキャパシタ C_c302 が削除されている点であり、第2の相違点は、 C_A306 がカップリングキャパシタ C_c302 のアンテナ側にあつて、回路共通電位104ではなく接地112へ結合されている点である。2つの共通電位は、ある集積回路レイアウトで効果的に同じにされても良い。

【0042】

[4.電力増幅器の出力電力制御]

図5は、図1の1つの可能なシャント電力制御回路500の素子を表す。電力制御入力

10

20

30

40

50

部502は、筐体接地112に対してバイアスを生じうる。(例えば、ボンドワイヤのインダクタンスを反映しうる)誘導性インピーダンス $L_{g1}504$ は、筐体接地112と、電力制御FETM_{PC}506のソースとの間に表されている。接続部508は、図1の回路共通電位104へ結合されても良い。インダクタンス $L_{g2}510$ は、通常、電力制御回路のバイパスキャパシタ $C_{PC}512$ に直列に存在する。直流電圧 V_{DD} が筐体接地112に対するとすると、 $C_{PC}512$ の両端に発生した十分に直流である電圧は、回路共通電位104に対して実効供給電圧を減らしうる。

【0043】

他の技術は、また、特にF級構成で動作する場合に、図1に示された回路の出力電力を制御するために使用されても良い(矩形波入力制御)。このような他の技術は、図5に関して上述されたシャント電力制御に加えて、又はそれに代わって、使用されても良い。

10

【0044】

第1の例として、同じく図2を参照すると、FETM₂208...M_N216のバイアス電圧は調整されても良い。効率は下がるが、電力出力は更に急速に減少しうる。上述されたように、バイアスは、通常、 $V_{Bx} = X(V_{peak}) / 2N$ であるように設定されうる。しかし、 V_{B2} が計算値を相当に下回るまで減少する場合には、(高調波終端を有するi級動作での)出力電圧 V_{drive} はまた下降する。従って、例えば、回路は、M₂208のゲートでの実効平均電圧が制御可能なように減少しうる点を除いて、図7に示されるように構成されても良い。これは、RB₁708の値を可変とすることによって(例えば、並列FETを用いて)実現されうる。代替的に、RB₁708の値は減少し、RB₁708は、基準202よりもむしろ、可変な電圧源へ結合されうる。バイアス電圧が減少することにより、駆動出力でも相応の減少が生ずる。以下で更に詳細に記述されるように、図7の自己調整バイアス供給回路は、RB_Nでのバイアスが、M₂のゲートでの電圧を変化させることによって引き起こされる $V_{drive}(peak)$ の減少に徐々に追従することを可能にする。

20

【0045】

PA出力電力は、また、駆動信号の振幅を変化させることにより制御されても良い。駆動素子の導通インピーダンスは、より低い振幅の矩形波により駆動される場合に、より高くなり、より小さな実効駆動電圧をもたらす。この技術の効率は、通常、変化するバイアス電圧の効率に相当する。

30

【0046】

図12及び14に関して後述されるように、直列レギュレータ回路は、単独で、あるいは1又はそれ以上の他の電力制御技術とともに、PAの出力電力を制御するために使用されても良い。

【0047】

[5.代替の電力増幅器の実施例]

図6は、多目的なPAアーキテクチャを形成するよう図1のシャントフィルタ400と同様の方法で用いられうるフィルタ回路600の単純化された回路図である。図1の駆動出力ノード106は、1/4波長伝送線路602と、カップリング $C_{C1}612$ とを介して出力フィルタ部へ結合されても良い。出力フィルタ部は、動作周波数 f_0 で共振する $L_{OF1}610$ 及び $C_{OF1}608$ の並列結合を有しうる。シャントフィルタ400の幾つかの実施例とは異なり、図6の出力フィルタ部は、通常、PA集積回路の一部ではなく、従って、回路共通部よりもむしろ筐体接地112を基準とする。接地112に対するこのバイパスフィルタのインピーダンスは、周波数が f_0 から逸脱するにつれて急速に低下し、従って、動作周波数の高調波は、伝送線路602の出力フィルタ端部へ効果的に短絡される。従って、適切に調整された1/4波長伝送線路の定在波は、 Z_{drive} ノードで見られるように、夫々の奇数高調波では高いインピーダンスを、夫々の偶数高調波では低いインピーダンスを供給する。 Z_{OUT} ノード604は、図1に示されるように、更なる出力フィルタ部116~118と、RFスイッチ120と、アンテナ110とへ結合されても良い。マッチング回路(図示せず。)が、また、必要とされても良く、これは、カッ

40

50

プリングキャパシタ $C_C 302$ が削除される以外は図3で表される回路と同様である。このような更なるフィルタリング及びマッチング回路、又はそれに結合された伝送線路は、動作周波数 f_0 での抵抗インピーダンス $R_{OUT\ eq\ uiv\ 606}$ としてフィルタ回路 600 に理想的に現れる。

【0048】

上述されたように変形されると、図1の回路は、A級、B級、C級、E級又はF級のRF電力増幅器として動作しうる。A級動作では、入力信号 102 は正弦波であり、図2の $M_1 202$ を流れる電流を零にさせない。B級動作では、入力信号 102 は正弦波であるが、 $M_1 202$ はその周期の50%しか導通しない(導通角180度)。C級動作では、180度よりも少ない導通角を有し、これによりB級動作と比べてある程度の効率改善が
10
もたらされる。いずれの場合にも、FET M_2 から M_N は M_1 にスレーブし、図2のFETスタックは、実質的に単一デバイスとして機能する。図1の回路は、また、F級に関する構造において i 級PAとして動作しても良いが、動作周波数の高調波に対して散逸的な終端を有する。

【0049】

図1の回路は、上述されたように構成されており、更にF級のRF電力増幅器として動作しても良い。F級動作では、入力信号は、望ましくは、回路 200 を正確に50%のデューティサイクルで導通させるデューティサイクルを有する矩形波である。F級動作より得られる出力電圧は、一般に、導通デューティサイクルが50%から外れる場合に大幅に増大する。残念ながら、従来の製造部品のばらつきは、デューティサイクルを5
20
0%から逸脱させる傾向を有しており、結果として、回路は、駆動素子の全耐圧容量を安全且つ確実に利用することができない。

【0050】

[6. 代替のバイアス及びスレーブ]

ここで記述されるようなFETスタックの実施例は、そのソースへ結合された基準電圧に対してそのゲートへ結合された駆動信号を受信する単入力FETを有しうる。スタックの残りのFETは、それらが単入力FETでの導通の制御下で導通するように、単入力FETへスレーブされうる。FETスタックの他のFETが単入力FETにスレーブされる
30
ところの方法は、FETに適切にバイアスをつけるために用いられる方法と協働する。従って、スレーブ化及びバイアスは、同時に扱われる。

【0051】

一般に図1に従うRF電力増幅器では、(回路共通電位 104 に対する)駆動出力ノードのピーク電圧は、しばしば、利用可能な供給電圧 V_{DD} の2倍を超えうる。そのようなものとして、図2のドライバ素子に必要とされるバイアス電圧は、容易には利用可能ではない。この欠点は、例えば、電荷ポンプへの償還により改善されうる。最小限の雑音発生の観点から望ましい電荷ポンプについては、周知且つ同時継続の米国特許出願 $10/658,154$ 「低雑音電荷ポンプ方法及び装置 (Low-Noise Charge Pump Method and Apparatus)」で記載されている。この文献は、本願にその全体を参照することにより援用される。そこで詳細に記載されるように、低電流電圧源は、如何なる所望の電圧でも容易に発生させられる。このような電圧源は、必要
40
に応じ、図2のバイアス電圧入力 $VB_2 210$ から $VB_N 218$ のいずれかへ供給されうる。

【0052】

図7は、FETスタックのFETにバイアスをつけるために使用されうる自己調整バイアス供給源を表す。図2と同じく、単一入力 206 は、単入力FET $M_1 204$ のゲートへ結合されている。FET $M_1 204$ のソースは、 $V_{dREF} 202$ へ結合されており、一方、そのドレインは、 $M_2 208 \dots M_N 216$ を含むスタックの夫々の次のFETに直列に結合されている。スタックの最後のFET $M_N 216$ のドレインは、 $V_{drive} 224$ へ結合されている。 $V_{drive} 224$ を反映するバイアス電圧を供給するよう、ダイオード(又は等価なもの) $DB 702$ は、バイアス供給キャパシタ $C_B 704$ をV
50

b i a s 7 0 6 へと充電する。V b i a s は、V d_{R E F} 2 0 2 に対する V d r i v e 2 2 4 のピーク値である V p e a k までほぼ充電しうる。C_B 7 0 4 に関連する時定数が十分に長いならば、V b i a s は、実質的にこの値のままである。時定数は、R B₁ 7 0 8 , R B₂ 7 1 0 , . . . , R B_N 7 1 2 を含む N 個の抵抗を有する抵抗分圧器の、V d_{R E F} 2 0 2 への抵抗を掛け合わされた C_B 7 0 4 のキャパシタンスの積である。この分圧器の総抵抗は、R_{B s u m} で表される。

【 0 0 5 3 】

上記の式 1、2 及び 3 に関して、“X” はスタック内の特定の F E T の部分を表し、N はこのようなスタック内の F E T の総数を表す。全ての F E T がほぼ同一であるとすると、以下：

$$R B_1 = R B_2 = \dots = R B_{(N-1)} \quad (\text{式 4})$$

が得られ、従って：

$$R B_N = (N-1) R B_1 \quad (\text{式 5})$$

となる。

【 0 0 5 4 】

式 1 ~ 5 を考慮して、スタックの最後の F E T (X = N) に関して：

$$(C_{G_X} + C_{O_{X_X}}) = C_{O_X} (N-1) / (N-2) \quad (\text{式 6})$$

$$R B_{X(equiv)} = R B_1 (N-1) / 2 \quad (\text{式 7})$$

$$R B_1 = 20(N-2) / [C_{O_X} ((N-1)^2 f_o)] \quad (\text{式 8})$$

が得られる。従って、N = 3 に関して、R B₁ = 5 / C_{O_X} / f_o となり、R B₁ は、(C_{O_X} 及び f_o の所定の値に関して) N が大きくなるにつれて単調に減少する。

【 0 0 5 5 】

上述された抵抗分圧器の総抵抗 R_{B s u m} は、より低い (N - 1) の抵抗が R B₁ であって、最端部 (即ち、N 番目) の抵抗がより低い抵抗の和である場合に、単純に 2 (N - 1) R B₁ である。V b i a s 7 0 6 でのリップルは、時定数 C_B (R_{B s u m}) が 1 0 / f_o 以下であるならば、容認できるほどに低くなりうる。その基準を式 8 と結び付けると：

$$C_B = C_{O_X} (N-1) / (N-2) / 4 \quad (\text{式 9})$$

が得られる。従って、N = 3 に関して、C_B = C_{O_X} / 2 となる。N が大きくなるにつれて、同じリップル電圧を実現するために必要とされる (C_{O_X} に対する) C_B の値は小さくなる。

【 0 0 5 6 】

大きなリップル電圧は必ずしも問題ではなく、C_B は、高速な自己調整応答が必要とされる場合に、望ましく、更に一層小さな値を取り得る。実際には、R B_{X(equiv)} とともに夫々のゲートバイパスキャパシタ C_{G_X} により達成されるフィルタリングを考慮すると、平均値は、V b i a s の主な考慮すべき事項である。しかし、V b i a s の平均値が、C_B での十分なリップルの存在を含め、如何なる理由でも V p e a k を極めて下回って低下することが許容されるならば、当業者には明らかであるように、抵抗分圧器が然るべく調整されるべきである。

【 0 0 5 7 】

図 8 は、F E T M₃ 及びその上の F E T (X = 3) にバイアス及びカップリングを供給するための代替案を表す。基準 8 0 2 は、単入力 F E T M₁ 8 0 4 のソースへ結合されており、M₁ 8 0 4 のゲートは、入力信号 8 0 6 へ結合されている。M₁ 8 0 4 のドレインは、第 2 の F E T M₂ 8 0 8 のソースへ結合されている。バイアス電圧は、バイアス入力部 8 1 0 へ印加されている。バイアス入力部 8 1 0 は、バイアス抵抗 R B 8 1 2 を介して M₂ 8 0 8 のゲートへ、及び比較的大きなキャパシタンス C G₂ 8 1 4 へ結合されている。M₂ 8 0 8 のドレインは、スタックの第 3 の F E T M₃ 8 1 6 のソースへ結合されている。M₃ 8 1 6 のドレインは、存在するならば、更なる F E T 段へ結合されうる。しかし、最終段の F E T M₃ 8 1 6 のドレインは、図 8 で示されるように、出力ノード V d r i v e 8 1 8 へ結合されている。

10

20

30

40

50

【 0 0 5 8 】

F E T M₃ 8 1 6 のゲートは、ツェナーダイオード D Z 8 2 2 を介して前段の F E T M₂ 8 0 8 のゲートへ結合されている。D Z 8 2 2 は、M₃ の V D S のほぼ所望の最大値で導通閾値を有しても良い（ツェナーダイオードと同じように動作する回路が D Z 8 2 2 の代わりに用いられても良い。）。下付き文字 “ Y ” によって示される更なる F E T 段が加えられても良い。このような更なる段に関して、対応する更なるツェナーダイオードは、D Z 8 2 2 と同じ方法で使用されうる。即ち、更なるツェナーダイオードは、そのアノードを更なる F E T M_Y のゲートへ、且つそのカソードを M_(Y - 1) のゲートへ結合される。

【 0 0 5 9 】

[6 - A . 代替の積層 F E T スイッチ構成及び拡張]

図 1 ~ 8 に関して先に説明された F E T スタックは、N チャンネル F E T (N - F E T) を用いる。P チャンネル F E T (P - F E T) スタックは、夫々の電圧と、スタックに結合された有極部品の極性を反転させることにより、同様に製造されうる。P - F E T スタックの基準電圧は、一般的に、第 1 の単入力 F E T M_{P 1} のソースへ結合されうる。このような逆回路は、上述された N - F E T スタック回路と実質的に同じ原理に従って動作する。例えば、V d r i v e 8 1 8 は、全ての F E T が P チャンネルであって、且つツェナー D Z 8 2 2 接続が反転される（アノードとカソードとが交換される）ならば、図 8 の基準 8 0 2 に対して負となりうる。

【 0 0 6 0 】

図 9 は、N チャンネル F E T M_{N 1} 9 0 2、M_{N 2} 9 0 4 及び M_{N 3} 9 0 6 を有する N チャンネル F E T スタック、並びに P チャンネル F E T M_{P 1} 9 0 8、M_{P 2} 9 1 0 及び M_{P 3} 9 1 2 を有する P チャンネル F E T スタックの両方を用いる、例となる回路である。D 級動作では、入力矩形波は、N - F E T スタックへ入力部 9 1 6 において共通電位 9 1 4 に対して供給され、且つキャパシタ C_{G P 1} 9 1 8 を介して M_{P 1} 9 0 8 のゲートで P - F E T スタックの入力へ結合されている。バイアス電圧は、例えば P - F E T スタックの基準 V_{DD} 9 3 0 を下回る V_{GS (on)} の 2 分の 1 に設定されており、バイアス抵抗 R_{B P 1} を介して M_{P 1} 9 0 8 に供給されうる。代替的に、キャパシタ C_{G P 1} 9 1 8 及びバイアス抵抗 R_{B P 1} 9 2 0 は削除され、入力部 9 1 6 及び M_{P 1} 9 0 8 のゲートは、夫々、代わりに、非オーバーラップクロック発生器（図示せず。）によって駆動されても良い。

【 0 0 6 1 】

N - F E T の M_{N 2} 9 0 4 及び M_{N 3} 9 0 6 の制御は、（ N = 3 の場合に ）図 2 に関して説明された制御と実質的に同じである。M_{N 2} 9 0 4 のゲートは、比較的大きな値を有するキャパシタ C_{G N 2} 9 2 2 を介して共通電位へ結合（即ち、デカップリング）されており、バイアス抵抗 R_{B N 2} 9 2 4 を介して約（ V_{DD} / 3 ）の電圧にバイアスされうる。M_{N 3} 9 0 6 のゲートは、図 2 に関して説明されたように計算された値を有するキャパシタ C_{G N 3} 9 2 6 を介して共通電位とデカップリングされており、バイアス抵抗 R_{B N 3} 9 2 8 を介して（ V_{DD} / 2 ）の電圧にバイアスされうる。

【 0 0 6 2 】

P - F E T スタックは、N - F E T スタックと同様に制御される。バイアス電圧の極性は反転され、この場合には V_{DD} 9 3 0 である P - F E T スタックの基準電圧を基準とする。P - F E T のゲートを容量的にデカップリングするために、P - F E T の基準電圧が V_{DD} 9 3 0 であるという事項は、V_{DD} が、通常は、N - F E T の基準である回路共通電位 9 1 4 に密に結合されるので、僅かにしか相違を生じないと見込まれる。従って、キャパシタ 9 3 2 及び 9 3 6 のデカップリングは、代替的に、回路共通電位 9 1 4 へ接続されても良い。しかし、示されるように、M_{P 2} 9 1 0 のゲートは、比較的大きなキャパシタ C_{G P 2} 9 3 2 を介して V_{DD} へデカップリングされており、バイアス抵抗 R_{B P 2} 9 3 2 を介して約 2 V_{DD} / 3 へバイアスされている。M_{P 3} 9 1 2 のゲートは、キャパシタ C_{G P 3} 9 3 6 を介して V_{DD} へデカップリングされている。C_{G P 3} 9 3 6 の値は、X = 3 及び N = 3 の場合に図 2 に関して説明されたように計算されうる。M_{P 3} 9 1 2 の

10

20

30

40

50

ゲートは、バイアス抵抗 R_{BP3938} を介して約 $V_{DD} / 2$ へバイアスされている。

【 0063 】

出力電圧 $V_{drive940}$ は、導通しているのが $N-FET$ スタックか $P-FET$ スタックかどうかに従って、共通電位と V_{DD} との間で駆動されうる。出力電圧 $V_{drive940}$ は、図 10 を参照して更に詳細に以下で説明されるように、シャントフィルタ 950 によってシャントフィルタをかけられ、マッチング及びカップリング回路 960 によって処理されうる。マッチング及びカップリング回路 960 から、信号は、通常、伝送線路、1 又はそれ以上の更なるフィルタ部、及び RF スイッチ (図示せず。) を介して、アンテナ 942 へ送られうる。

【 0064 】

図 9 のシャントフィルタ 950 は、図 4 又は図 6 に示されたものに同様であっても良い。図 9 のマッチング及びカップリング回路 960 は、例えば、図 3 に示されたものと同様であっても良い。しかし、図 10 は、図 9 の回路のブロック 950 及び 960 の両方に用いられ得るフィルタリングを表わす。キャパシタ C_S952 は、シャントフィルタ 950 として働きうる。図 10 の残りの構成要素は、図 9 のマッチング及びカップリング回路 960 として機能しうる。インダクタ L_C954 は、物理的なカップリング接続を有しうる。カップリングキャパシタ C_C962 は、直流を遮断する働きをする。 L_A964 、 C_A966 、 L_B968 及び C_B970 は、出力インピーダンス Z_{OUT} に整合するために構成されうる。出力インピーダンス Z_{OUT} は、通常、50 である。

【 0065 】

[7 . モノリシック構造で集積された中電力デュアルバンド RF 送信機]

RF 送受信機は、例えば図 12 に表わされたデュアルバンド RF 送受信機のように、通常、図 12 の項目 1226 又は 1256 のような受信信号増幅器を有する。このような受信信号増幅器は、通常、低雑音増幅器 (LNA) であり、アンテナから受信された信号を調整するために用いられる。 RF フロントエンドは、 LNA を必ずしも含まない RF 送受信機回路と考えられることがある。

【 0066 】

ほとんどの RF 送受信機で、ディスクリート集積回路 (IC) は、完全な RF フロントエンド部を作るためにモジュールと一体化されるべきである。通常は、少なくともアンテナスイッチは、 PA とは異なる別々の IC 上に作られ、しばしば、多数の更なるディスクリート IC が、 RF フロントエンドモジュールを作るために外部配線を介して接続されなければならない。夫々のこのようなディスクリート IC は、それに含まれるディスクリート IC が異なるロットから提供される場合、又は同じタスクを実行する他の IC とは違うふうに設計され、作られた場合でさえ、適切にそのモジュール機能を確実にする特定の性能要件によって決定されるべきである。このような性能要件は、種々様々なものを組み合わせて作った柔軟性及び信頼性を達成するためにこのように作成されており、これらのデバイスと一体化されるディスクリート IC のための費用を相当に必要とする。

【 0067 】

多重 IC 送受信機モジュールにおける PA は、通常、要求に応じて十分な電力の信号を生成する。アンテナスイッチユニットは、期待されるアンテナインピーダンス (例えば、50) に整合された送信信号、又は受信信号入力のいずれか一方へアンテナ (より正確には、アンテナ接続部) を結合する。しかし、アンテナ接続部又はアンテナへのダメージは、アンテナ接続線路からアンテナ接続点へ反射されたインピーダンスを、その期待値から大幅に変化させうる。このような場合に、大きな電圧定在波 (VSW) は、その反射インピーダンスと、送信信号が整合される期待値との間で結果として得られる不整合によって引き起こされうる。通常動作中に期待されるよりもずっと大きい電圧偏位が、このような不整合により誘引された VSW の結果として発生しうる。アンテナスイッチの耐圧要求は、通常、このような不整合状態の下でのダメージを回避するよう、通常のピーク動作電圧よりもずっと高く設定される。

【 0068 】

10

20

30

40

50

例えばアンテナスイッチのような電力切替え回路におけるスイッチングデバイス（例えばFET）によって占有されるIC面積は、それらが耐えることができる電圧の2乗で増大しうる。従って、所要の耐圧を半分にすると、スイッチデバイス面積は1/4まで低減される。更に、これらのデバイスは、アンテナ切替え回路によって使用されるIC面積の大半を占めるから、IC面積（ひいては製造費用）の非常に大幅な節約が、それらの所要の耐圧を下げることににより実現されうる。このような低減は、ディスクリートICが送受信機全体を作るために結合されるべき場合には現実的ではない。しかし、PAから、アンテナスイッチを介して、更にアンテナ接続部まで全てのデバイスを含む単一ICは、高い不整合により誘引されたVSWに対して保護するよう、信頼性のある内部カップリング及び密なデバイス整合を活用しうる。集積に関するこれらの利点に起因して、デバイス面積の大幅な節約が、同等に機能する送受信機を作るようディスクリートICを一体化することに比べて、達成可能である。

10

【0069】

図12は、このような集積保護の利益を享受するよう構成されたデュアルバンド送受信機の主要なRF部の簡単なブロック図である。第1の動作周波数 F_{01} での低レベル信号は、同じICチップ上にある（しかし、必ずしもその必要はない。）供給源から入力ノード1202へ結合される。信号は、増幅器1204により示されるような、如何なる適切な増幅器によっても増幅される。増幅器1204により生成された信号は、パルス調整回路1500が矩形性を改善するよう、更に、望ましくは、最終的に電力増幅器（PA）1206に結合される波形のデューティサイクルを調整するよう設けられる場合には、好ましい矩形形状から著しく外れても良い。

20

【0070】

パルス調整回路1500の出力は、PA1206への入力である。PA1206は、電源114から、直列レギュレータ1400及びRFチョーク（RFC） L_5 108を有する電源調整素子を介して電力を引き込んで、PA出力信号を発生させる。PA出力信号は、入力信号、PA回路素子、及び電源調整素子から生ずる特性インピーダンスを有しており、一般的に、アンテナノード1214で期待されるインピーダンスとは異なる。カップリング、マッチング及びフィルタリング回路は、例えばブロック1210によって表されるように、必要とされても良い。このような回路は、直流を遮断しながら、PA出力信号をアンテナスイッチへ結合し、更に、所望のアンテナノードインピーダンス（例えば50）へとPA出力インピーダンスを変換しうる。それは、また、PA出力信号をアンテナスイッチ1700のA入力部へ結合する前に、PA出力信号から、例えば F_{01} の高調波などの不要な信号成分をフィルタ処理しうる。別々の接地が設計優先の問題として保持される場合には、カップリング、マッチング及びフィルタリングブロック1210の出力は、接地基準112を基準としても良い。接地基準112は、回路内の他の場所で使用される回路共通基準104とは区別されても良い。アンテナスイッチ1700は、ICチップから分離されうるアンテナへ、例えば伝送線路によって、結合されるアンテナノード1214へ信号を選択的に結合する。

30

【0071】

PA（及び全ての介在する回路）と同じICチップ上でのアンテナスイッチのアンテナ接続の有効性は、アンテナスイッチ回路によって、PAによって、又はカップリング、マッチング若しくはフィルタリング素子によって耐えられるべき最大の電氣的ストレスを確実に制限する機会を提供する。出力センサ1600は、電氣的ストレスを検知して、電氣的ストレスが過度である場合にPAにその出力を下げさせる信号を供給するよう、アンテナノード1214へ結合されても良い。この目的のために、出力センサ1600の出力部1220は、PA制御ブロック1300の入力部Bへ結合されている。PA制御ブロック1300へのA入力部1224は、PA出力信号の包絡線振幅を調整するよう振幅制御信号を受信しても良い。この入力部は、また、PAからの出力を制限する、あるいは終端するために使用されても良い。A及びBの両入力部は、PA制御ブロック1300から直列レギュレータブロック1400へ結合された出力Dに影響を及ぼしうる。PA制御ブロッ

40

50

ク 1 3 0 0 への C 入力部 1 2 2 2 は、ブロック 1 3 0 0 からの E 出力を制御する情報又は信号を供給しても良い。E 出力部は、P A 1 2 0 6 へ入力される矩形波のデューティサイクルを制御するようパルス調整回路 1 5 0 0 へ結合されても良い。デューティサイクル制御は、例えば、P A 出力信号の電力レベルを下げるよう他の手段を設けても良い。入力部 1 2 0 2 からの信号経路は、 f_{01} を含む動作周波数の第 1 の帯域に関して調整されても良い。

【 0 0 7 2 】

アンテナスイッチ 1 7 0 0 は、入力部 A での第 1 の帯域送信信号からアンテナノード 1 2 1 4 を選択的に切り離し、第 1 の受信帯域に関してアンテナから受信前置増幅器 1 2 2 6 へと受信された信号を伝送するように代わりに出力部 B へアンテナノード 1 2 1 4 を結合する。望ましくは、受信前置増幅器 1 2 2 6 (及び 1 2 5 6) は、低雑音増幅器 (L N A) である。L N A は、ここで説明されるような集積されたフロントエンドに必ずしも含まれないが、それらは、通常、完全な送受信機回路に含まれる。受信前置増幅器 1 2 2 6 からの出力は、存在するならば、同じ I C チップ上又はその外部の更なる第 1 の受信帯域回路へ伝送されても良い。アンテナスイッチ 1 7 0 0 は、同様に、アンテナノード 1 2 1 4 を第 2 の受信帯域前置増幅器 1 2 5 6 へ選択的に結合して、アンテナから第 2 の受信帯域出力ノード 1 2 5 8 への信号を増幅する。その出力は、I C チップ上又はその外部の更なる第 2 の受信帯域回路へ伝送されても良い。

【 0 0 7 3 】

同様に、第 1 の送信帯域回路に関して先に説明されたように、第 2 の動作周波数帯域内の第 2 の動作周波数 f_{02} にある送信信号は、入力部 1 2 3 2 へ供給されて、増幅器 1 2 3 4 により増幅されても良い。増幅器 1 2 3 4 から出力される信号のデューティサイクル及び波形は、P A 制御ブロック 1 3 0 1 の制御下にあるパルス調整回路 1 5 0 1 によって調整されて、第 2 の帯域 P A 1 2 0 7 への入力として送られる。第 2 の帯域 P A 1 2 0 7 は、R F チョーク 1 0 9 を介して、P A 制御ブロック 1 3 0 1 の制御下にある直列レギュレータ 1 4 0 1 によって制限されるように、 V_{DD114} から供給される電力を用いて第 2 の帯域 P A 出力信号を発生させる。第 2 の帯域 P A 出力は、特性インピーダンスを有しており、ブロック 1 2 1 1 を介してアンテナスイッチ 1 7 0 0 の D 入力部へ結合される。ブロック 1 2 1 1 は、信号を結合し、P A 出力とアンテナノードインピーダンスとを整合させ、出力信号をフィルタ処理する。アンテナスイッチ 1 7 0 0 は、アンテナノード 1 2 1 4 へ D 入力部を結合するよう制御される。信号は、アンテナノード 1 2 1 4 からアンテナ 1 2 1 6 へ伝送される。出力センサ 1 6 0 0 の出力部 1 2 2 0 は、また、第 2 の帯域 P A 制御ブロック 1 3 0 1 への B 入力部へ結合されても良い。これによって、過度の出力電圧は、第 2 の帯域 P A 出力信号を安全なレベルまで低減させられる。第 2 の帯域 P A 制御ブロック 1 3 0 1 は、また、C 入力部 1 2 5 2 でのデューティサイクル制御信号はもちろん、A 入力部 1 2 5 4 での包絡線制御信号を受け取っても良い。

【 0 0 7 4 】

示されないが、望ましくは、制御回路は、関連する P A が作動する場合にのみ有効とされる。例えば 1 3 0 0 又は 1 3 0 1 等の P A 制御ブロックの例となる回路は図 1 3 に示される。例えば 1 4 0 0 又は 1 4 0 1 等の直列レギュレータの例となる回路は図 1 4 に示される。例えば 1 5 0 0 又は 1 5 0 1 等のパルス調整回路の例となる回路は図 1 5 に示される。P A 1 2 0 6 又は 1 2 0 7 は、図 1 のブロック 4 0 0 などのシャントフィルタ、又は図 1 1 の適切な素子とともに、図 1 のドライバ素子ブロック 2 0 0 に関して説明されたように作られても良い。カップリング、マッチング及びフィルタリング回路 1 2 1 0 及び 1 2 1 1 は、図 3 又は図 1 0 に関して先で説明されたように、あるいは同様のカップリング、マッチング及びフィルタリング効果を得られる如何なる他の方法で作られても良い。留意すべきは、図 1 1 に示されるような回路が用いられるべき場合には、カップリングキャパシタ 3 0 2 はシャントフィルタの前に配置され、マッチング及びフィルタリングはブロック 9 9 0 と同じく、その後設けられることである。

【 0 0 7 5 】

図13は、PA制御ブロック1300の回路例を表す。イネーブル入力部A1302は、入力部1302がほぼ接地電位である場合に、出力部D1306が電流を引き込まないように、FET1304へ直接的に結合されても良い。出力部D1306への導通は、出力部1306が電流を導かない場合に、電流がPAへ供給されずに、図14に関して以下で説明されるように出力電力を零まで低下させるように、図14に示されるような直列レギュレータを介してPA出力電力を制御しうる。FET1308は、抵抗1310及び1312によってバイアスされる。抵抗1310及び1312は等しい値を有し、例えば30~50といった公称値は工学上の便宜のために選択される。この構成は、低電圧FETを保護して、FET1304、1308及び1314の全ての V_{GD} 、 V_{GS} 及び V_{DS} が著しく $V_{DD}/2$ を超えないことを確実にする。

10

【0076】

電力検知入力部B1316は、抵抗1318へ結合されうる。抵抗1318は、約30~50であって、演算増幅器1322の利得1を確立するよう抵抗1320に十分に等しい。電力設定入力部C1324は、一実施例において、0Vから $2 * V_{th}$ (FETの閾値電圧)までに設定される。なお、 V_{th} は、0.4~0.7Vであって、通常は約0.5Vであり、回路内で一貫している。演算増幅器1322の非反転入力は、ダイオード接続FET1328及び1330とともに抵抗1326(例えば30~50)を用いて、この電圧範囲を超えることを防止され、このようにして、選択されうる最大電力を制限する。当業者は、選択可能な出力電力を不変な回路設計最大値とするように、回路値及び回路設計を変更することができる。具体的には、ダイオード接続FET1328及び1330の一方又は両方は、例えば電力設定及び出力電圧制限の精度を向上させるよう、バンドギャップ基準を含む回路により置換されても良い。多数の他の技術、同様の効果を達成するために用いられても良い。電力検知入力B1316が電力設定入力電圧により定められた値を超える場合に、FET1314は、導通を中断して、出力部D1306への導通を妨げる。

20

【0077】

PA制御ブロック1300は、また、図12のパルス調整回路1500によって実行されるデューティサイクル調整を制御するよう出力部E1512を設ける。基準電圧は、製造工程パラメータなどの要素に従って調整可能であって、入力部1332に供給される。この電圧は、等分抵抗1336及び1338の制御下で演算増幅器1334によって2倍にされる。当然、他の実施例では、図13に示されるような回路の利得は、異なることが考えられ、例えば、1336及び1338などの、このような利得を設定する抵抗は、然るべく値が異なる。幾らかデューティサイクルを低減することにより、PA出力電力は対応して低下し、それを零まで低減することにより、PA出力は全体的に抑制されうる。抵抗1336及び抵抗1338により従来の方法でその利得を制御されうる増幅器1334の入力部1338へ供給される基準電圧は、ブロック1500の出力デューティサイクルを制御するよう、出力部Eで電圧を発生させる働きをする。

30

【0078】

図14は、PAへ供給される実効電圧を制限して、ひいてはPA出力振幅を制限するための例となる直列レギュレータ回路1400を表す。入力部1306へ供給される電圧は、 V_{DD} と比較して、PチャンネルFET1402を制御し、更に、いずれか2つのノード間の過電圧からFET1402を保護するよう、抵抗1406及び1404を介して分割されている。PチャンネルFET1408は、FET1402と1408との間でほぼ同様に、 V_{DD} と出力部1414との間で発生した最大電圧を分割するように、抵抗1410及び1412によってバイアスをかけられている。出力部1414は、RFチョークを介してPAへ電力を供給する。FET1402及び1408は、例えば、-0.4Vから-0.7Vの間の V_{GS} 閾値電圧を有する。抵抗1404、1406、1410及び1412は、全て実質的に等しく、例えば30~50であるよう工学上の便宜のために選択された大きさを有しても良い。これらの例となる値及び相対的値は、工学上の便宜のために変更されても良い。

40

50

【 0 0 7 9 】

図 1 5 は、例となる信号調整回路 1 5 0 0 の回路図である。入力信号は、入力ノード 1 5 0 2 で供給されて、ダイオード接続 F E T 1 5 0 4 を介してインバータ 1 5 0 6 の入力部へ結合されう。F E T 1 5 0 4 の V_{DS} 閾値を加えた入力信号電圧がインバータ 1 5 0 6 の閾値よりも低い場合には、インバータ 1 5 0 8 の出力は低電位 (low) となる。しかし、入力信号の電圧がこの値を上回る場合には、F E T 1 5 0 4 は導通を中断する。その後、入力部 1 5 0 2 の電圧が極めて高い (例えば V_{DD}) 場合でさえ、入力部からの電流は、入力電圧 1 5 1 2 の制御下で P チャネル F E T 1 5 1 0 によって制限される。F E T 1 5 1 0 を流れるこのような電流は、インバータ 1 5 0 6 への入力とそのスイッチング閾値を上回るまで、(約 $0.25 \sim 0.5$ pF の金属 - 絶縁 - 金属、即ち MIM キャパシタでありうる) キャパシタ 1 5 1 4 を充電すべきである。その時点で、インバータ 1 5 0 6 及び 1 5 0 8 がキャパシタ 1 5 1 4 を介する正のフィードバックにより急速に状態を変化させて、出力ノード 1 5 1 6 で矩形端を生じさせる。立ち上がり及び立ち下がり時間は、主にインバータ 1 5 0 6 及び 1 5 0 8 による遅延により制限される。入力部 1 5 0 2 での信号が、おおよそ、約 50% デューティサイクルの矩形波である場合には、制御入力部 1 5 1 2 での電圧は、出力デューティサイクルが 50% から、零に達するほど任意により低い値へと低減される。入力信号は、出力デューティサイクルの幅がより広いことが望まれる場合に、50% を超えるデューティサイクルを有するよう構成されても良い。

10

【 0 0 8 0 】

図 1 6 は、検知ノード 1 6 0 2 でピーク電圧を検知するための例となる回路 1 6 0 0 の回路図である。検知ノード 1 6 0 2 は、例えば、図 1 2 のアンテナノード 1 2 1 4 へ直接的に接続されても良い。入力分割器は、比較的高い電圧を検知するために、示されるように使用されう。例えば $1k$ といった比較的低い抵抗値を有する 4 つのほぼ等しい抵抗 1 6 0 4、1 6 0 6、1 6 0 8 及び 1 6 1 0 が使用されても良い。ダイオード接続 F E T 1 6 1 2 は、この電圧が高い場合に導通して、約 $24k$ の抵抗 1 6 1 4 を介して約 $1pF$ のキャパシタ 1 6 1 6 へ電流を供給する。抵抗 1 6 1 4 及びキャパシタ 1 6 1 6 によって決定される時定数が、(PA 出力信号の所定のレベルに関して) 出力電圧を上昇させる如何なる事象の存続期間よりもずっと小さい限りは、多数の他の値が用いられても良い。例えば、アンテナインピーダンスを設計値から大幅に変化させて、高電圧定在波を発生させるアンテナの機械的事象は、発生するのに少なくとも数ミリ秒を要する。例となる回路 1 6 0 0 の約 $24ns$ の時定数は、このような事象存続期間を十分に下回る。しかし、それらの要素に起因するコーナー周波数は、回路発振を回避するために、一般的に、第 1 及び第 2 の帯域動作周波数 f_{o1} 及び f_{o2} の両方を十分に下回るべきである。事象存続期間が $1/f_o$ に近づく場合に、他の共通の回路設計配慮は、過電圧を防ぐほど十分に応答が速いことを確実にしながら発振を回避するよう、更に複雑な回路を必要としう。

20

30

【 0 0 8 1 】

図 1 7 は、アンテナスイッチの例となる回路 1 7 0 0 の単純化された図である。このような RF スwitch の設計及び製造に関する更なる詳細は、2004 年 10 月 12 日に出願され、「無線周波数信号を切り替えるスイッチ回路及び方法 (Switch Circuit and Method of Switching Radio Frequency Signals)」と題された米国特許番号 6,804,502 号で知られる。制御信号を供給する回路は、図示されない。更に、制御電圧は、望ましくは、 V_{DD} に近い高電位 (high) 又は $-V_{DD}$ に近い低電位 (low) のいずれか一方であるべきである。 $-V_{DD}$ 制御電圧を発生させるよう、負電圧発生器が有用であり、望ましくは、例えば、2003 年 9 月 8 日に出願され、「低雑音電荷ポンプの方法及び装置 (Low Noise Charge Pump Method and Apparatus)」と題された米国特許公開番号 10/658,154 号に記載されるような低雑音回路が用いられる。このような低雑音電荷ポンプは、アンテナからの意図されない放射を回避するために重要である。

40

50

【 0 0 8 2 】

ポートノード1780は、スイッチ1700の共通接続部である。図12において、スイッチ1700の共通接続部は、アンテナノード1214へ結合されている。共通接続部は、一般的に、1度に1つのRFポート(ポートA1710、ポートB1730、ポートC1750、又はポートD1770)のみへ結合される。夫々のRFポートは、対応する“+”制御ノードと、対応する“-”制御ノードとを有する。ポートA、B、C及びDに関して、“+”制御ノードは、夫々、ノード1708、1728、1748及び1768であり、一方、“-”制御ノードは、夫々、ノード1718、1738、1758及び1778である。

【 0 0 8 3 】

共通接続部へRFポートを結合するよう、“高”電圧($\sim V_{DD}$)はポートの対応する“+”制御ノードへ印加され、一方、“低”電圧($\sim -V_{DD}$)はポートの対応する“-”制御ノードへ印加される。その間に、“低”電圧は、他のRFポートに対応する夫々の“+”制御ノードへ印加され、“高”電圧は、他のRFポートに対応する夫々の“-”制御ノードへ印加される。それによって、選択されたRFポートは、共通接続部へ結合され、一方、全ての他のRFポートは、接地へ結合されうる。従って、共通接続部1780へRFポートA1710を結合するよう、“高”電圧は制御ノード1708、1738、1758及び1778へ印加され、一方、“低”電圧は全ての他の制御ノード(1718、1728、1748及び1768)へ印加される。

【 0 0 8 4 】

全ての抵抗は、通常、同じ値を有する。ある実施例では、その値はおよそ30~50である。抵抗は、FET(例えばM1_A1701)の寄生ゲート容量の時定数が、その対応するゲート抵抗(例えば1704)の値とともに、 f_0 が制御されるRF信号の最小周波数である場合に、 $1/f_0$ よりもずっと大きくなるように選択される。表される構成は、FETスタック(例えば、FETM1_A1701、M1_B1702及びM1_C1703から成るスタック、FETM2_A1704、M2_B1705及びM2_C1706から成るスタックなど)の両端に現れる電圧を均一に分割する働きをして、圧縮効果を低減する。スイッチング機能を提供するFETスタック(例えば、FET1701、1702及び1703)は、説明のために示された3よりも多い又は少ないデバイスをも有しても良い。少なくとも9個のデバイスから成るスタックが、うまく作られている。電圧ストレス分布一様性に起因して、幅広い信号電圧及び製造工程パラメータが適合されうる。

【 0 0 8 5 】

[集積回路の製造及び設計]

集積回路製造の詳細は、上記で示されていない。約2.4GHzで1Wより過度に出力電力を有するものも含め、幾つかの好ましい実施例で、集積回路は、1997年9月2日に公報が発行され、「サファイヤチップ上の単一極薄シリコンにおける高周波無線通信システム(High-Frequency Wireless Communication System on a Single Ultrathin Silicon On Sapphire Chip)」と題された米国特許番号5,663,570号に記載されるようなサファイヤ処理における極薄シリコンに従って作られても良い。他のセミコンダクタ・オン・インシュレータ(SIO)技術は、少なくとも幾つかの周波数帯域及び電力レベルに関して、上述されたデュアルバンド送受信機集積回路を作るために使用されても良い。

【 0 0 8 6 】

上記の好ましい集積回路製造技術は、むしろ低い最大値 V_{DS} を有するFETを容易に作る。従って、様々な技術は、一貫性のある工程を維持しながらより高い電圧の制御を実現するよう、FETをスタックすることについて説明される。他の製造技術又はより低い電圧及びインピーダンスを用いると、カスコード又は多重積層FETに対する必要性は回避可能となりうる。

【 0 0 8 7 】

10

20

30

40

50

[結び]

上記は、集積回路における一对のノード間の導通を制御するよう積層トランジスタを用いる方法及び装置の実施例及び新規な特徴について説明する。当業者には明らかであるように、表される方法及び装置の形状及び詳細に対する様々な削除、置換及び変更は、本発明の適用範囲から逸脱することなく行われる。多数の代替の実施例が考えられるが、全ての実施例を明示的に列挙することは実際的ではない。このようにして、先に挙げられ、且つ/あるいは示された装置又は方法の代替案の夫々の実際的な組み合わせは、主たる装置又は方法の明確な代替実施例を構成する。このような装置又は方法の代替案の均等に係る夫々の組み合わせは、また、主たる装置又は方法の明確な代替実施例を構成する。従って、本発明の適用範囲は、添付の特許請求の範囲によってのみ決定されるべきであり、このような制限が添付の特許請求の範囲で挙げられる又は意図的に関係する限りにおいて、先に示された特徴によって制限されるべきではない。

10

【 0 0 8 8 】

明らかのように、集積に係る同様の利点が、他の機能ブロックを有する回路のものとなりうる。例えば、混合器は、このような装置に組み込まれても良く、送信信号処理の更なる部分の集積を可能となる。位相ロックループは、RFフロントエンド又は送受信機と同じモノリシックIC上で送信信号を発生させるよう能力を更に高めうる。更なる形式のフィルタは、受信及び送信の処理のいずれか一方又は両方に対して有用となりうる。

【 0 0 8 9 】

様々な請求要素の均等の意味及び範囲内で生ずる全ての変形は、対応する請求項の適用範囲内に包含される。夫々の請求項は、このようなシステム又は方法が従来技術の実施例でない場合に、このような請求項の文言としか非現実的には異なる如何なるシステム又は方法をも包含する。この目的のために、夫々の請求項で記載される夫々の要素は、可能な限り幅広く解釈されるべきであり、更に、従来技術を包含せず可能な程度にこのような要素と等価な如何なるものをも包含すると理解されるべきである。

20

【 0 0 9 0 】

本願は、2004年6月23日に出願され、「積層トランジスタに係る方法及び装置 (Stacked Transistor Method and Apparatus) 」と題された、同時継続中であって、通例譲渡された米国特許出願番号10/875,405に対する優先権の主張を伴うものであり、以下の公知の米国特許文献、即ち、1997年9月2日に公報が発行され、「サファイヤチップ上の単一極薄シリコンにおける高周波無線通信システム (High-Frequency Wireless Communication System on a Single Ultrathin Silicon On Sapphire Chip) 」と題された米国特許番号5,663,570号と、2004年10月12日に出願され、「無線周波数信号を切り替えるスイッチ回路及び方法 (Switch Circuit and Method of Switching Radio Frequency Signals) 」と題された米国特許番号6,804,502号と、2003年9月8日に出願され、「低雑音電荷ポンプの方法及び装置 (Low Noise Charge Pump Method and Apparatus) 」と題された同時継続中の米国特許公開番号10/658,154号とに関連しており、これら4つの米国特許文献の夫々の内容は、参照することによりその全体を本願に援用される。

30

40

【 図面の簡単な説明 】

【 0 0 9 1 】

【 図 1 】 ある形式のRF電力増幅器 (PA) 回路を表すブロック図である。

【 図 2 】 図 1 に示されたPAとともに利用可能な積層FET制御回路の一般化された回路図である。

【 図 3 】 図 1 に示されたPAで利用可能なインピーダンスマッチング及びカップリング帯域通過フィルタの単純化された回路図である。

【 図 4 】 図 1 に示されたPAで利用可能なシャントフィルタの単純化された回路図である

50

。【図5】図1に示されたPAで利用可能なシャント電力制御回路の簡単化された回路図である。

【図6】図1に示されたPAのF級動作に係る出力フィルタの簡単化された回路図である。

。【図7】積層FET増幅回路の代替のバイアス特性を表す回路図である。

【図8】FETスタックのFETにバイアスをかける代替方法を表す簡単化された回路図である。

【図9】相補形積層FET駆動素子を用いるD級PAの簡単化された回路図である。

【図10】図9に表されたD級PAの例となる出力フィルタリングの回路図である。

10

【図11】図1に示されたPAで利用可能な高調波終端シャントフィルタの簡単化された回路図である。

【図12】集積デュアルバンドRF送受信機の簡単化された回路図である。

【図13】図12の送受信機において出力電力レベルを指示するための例となるPA出力監督装置の回路図である。

【図14】図12の送受信機用の例となる直列出力レギュレータの回路図である。

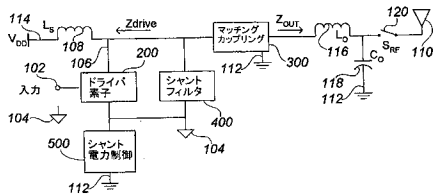
【図15】図12の送受信機用の例となるパルス幅制御器の回路図である。

【図16】図12の送受信機用の例となる出力電圧検出器の回路図である。

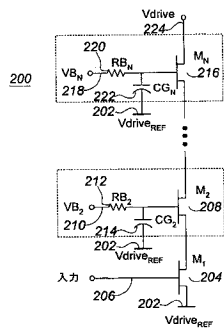
【図17】図12の送受信機用の例となるデュアルバンドアンテナスイッチの回路図である。

20

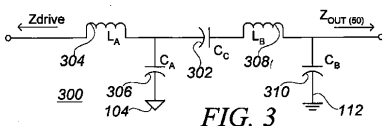
【図1】



【図2】

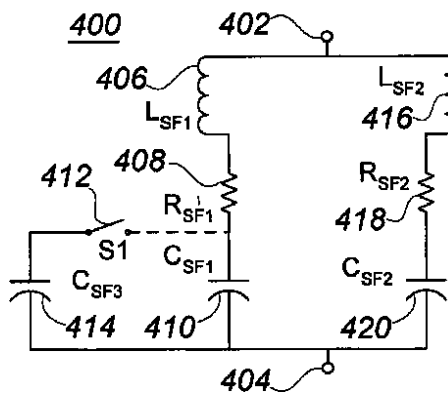


【図3】

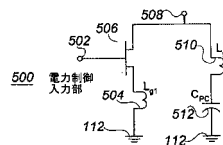


【図4】

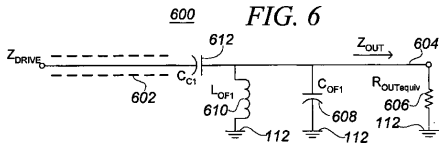
FIG. 4



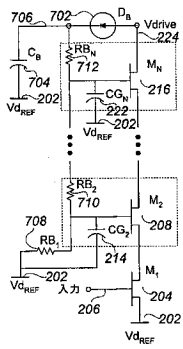
【図5】



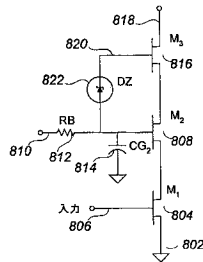
【図6】



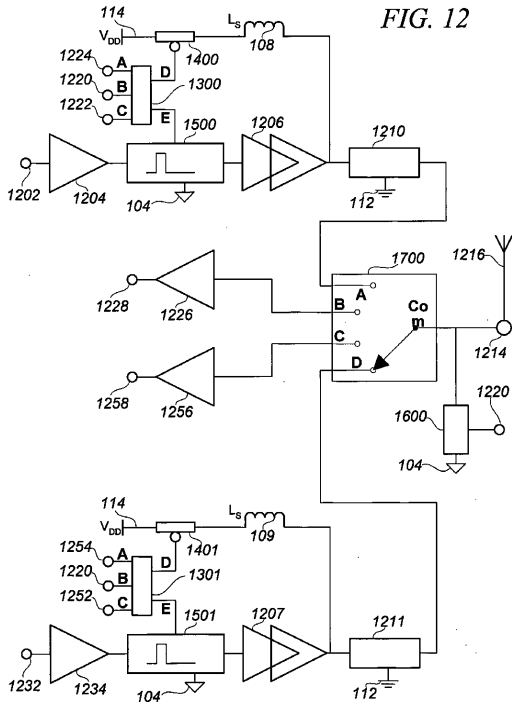
【図7】



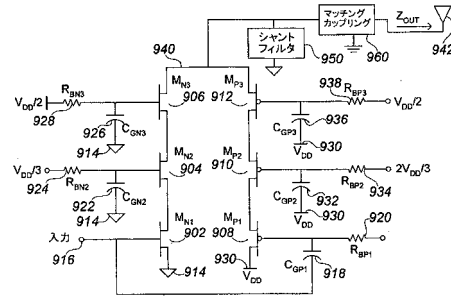
【図8】



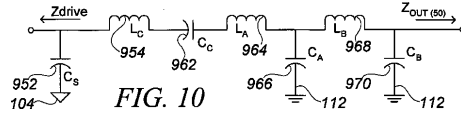
【図12】



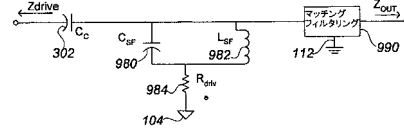
【図9】



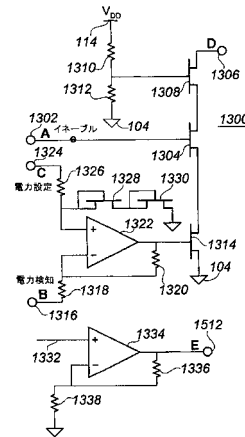
【図10】



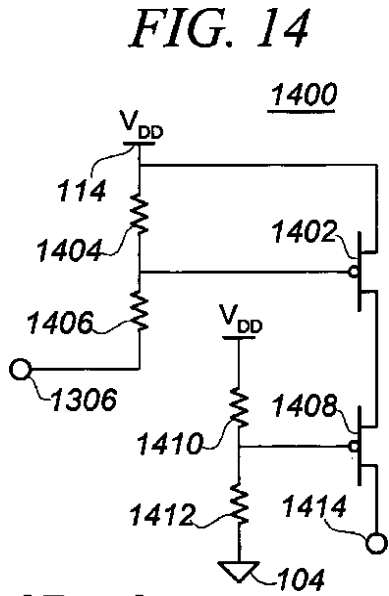
【図11】



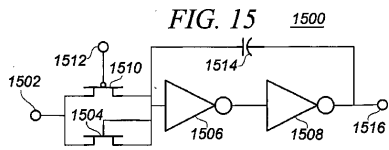
【図13】



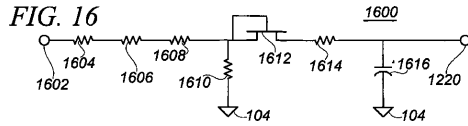
【 図 1 4 】



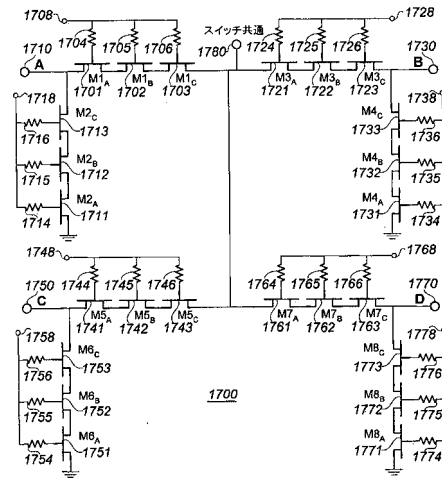
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl. F I
H 0 4 B 1/44

(72)発明者 バーグナー, マーク, エル
アメリカ合衆国 カリフォルニア州 9 2 1 0 7 サン・ディエゴ ブライトン 4 6 0 4

(72)発明者 ケーブル, ジェイムズ, エス
アメリカ合衆国 カリフォルニア州 9 2 0 1 4 デル・マー ノース・レーン 4 4 2 2

審査官 甲斐 哲雄

(56)参考文献 特開平01-254014(JP, A)
特表2004-515937(JP, A)
特開平04-183008(JP, A)
特開平08-148949(JP, A)
特開2003-198248(JP, A)
特開2003-060451(JP, A)
特開平02-291704(JP, A)
特開2000-269831(JP, A)
特開2003-087069(JP, A)
特開平09-069731(JP, A)
特開平08-079035(JP, A)
米国特許出願公開第2003/0002452(US, A1)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/72
H03G 1/00-3/34
H04B 1/04
H04B 1/38-1/58