

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl. ⁷
H03K 17/76(11) 공개번호 특2003 - 0031423
(43) 공개일자 2003년04월21일(21) 출원번호 10 - 2002 - 0062230
(22) 출원일자 2002년10월12일

(30) 우선권주장 09/976,744 2001년10월13일 미국(US)

(71) 출원인 휴렛 - 팩커드 컴퍼니(델라웨어주법인)
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000(72) 발명자 호간조쉬엔
미국캘리포니아주94022로스알토스킹스우드웨이620(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 멀티 플렉서

요약

멀티플렉서(10)는 복수의 스테이지(110)를 포함한다. 각 스테이지(110)는 데이터 출력단(Qn)에 결합되는 저장 장치(114)와, 데이터 입력단(Dn)과 전원 입력단(Pn) 사이에 결합되는 제 1 다이오드(116)와, 전원 입력단(Pn)과 데이터 출력단(Qn) 사이에 결합되는 제 2 다이오드(118)를 포함한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 멀티플렉서를 도시하는 도면,

도 2는 멀티플렉서용 래치를 도시하는 도면,

도 3은 멀티플렉서의 타이밍도,

도 4는 본 발명에 따른 서브 - 어레이 및 멀티플렉서를 포함하는 다이오드 - 기반 메모리 장치를 도시하는 도면,
도 5는 서브 - 어레이를 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

10 : 멀티플렉서 12 : 출력 라인

14 : 래치 16 : 게이트

112 : 풀 - 업 저항 116 : 제 1 다이오드

120 : 제 3 다이오드 220 : 데이터 멀티플렉서

222 : 신호 조절 회로 228 : 어드레스 멀티플렉서

230 : 신호 발생기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 멀티플렉서에 관한 것으로 일회 프로그램가능(OTP) 고체 상태 메모리에 관한 것이다.

PDA, 휴대용 컴퓨터, 디지털 카메라 및 디지털 음악 재생기와 같은 휴대용 장치는 데이터, 디지털 이미지 및 MP3 파일을 저장하기 위한 메모리를 포함한다. 이러한 휴대 장치에는 여러 유형의 메모리가 이용가능하다. 통상적인 유형의 메모리에는 플래쉬 메모리, 소형 하드 드라이브, 소형 콤팩트 디스크 및 자기 테이프가 있다. 그러나, 각각의 이러한 메모리 유형은 큰 물리적 크기, 낮은 저장 용량, 상대적으로 높은 비용, 약한 강도(poor robustness), 느린 액세스 시간 및 높은 전력 소모와 같은 하나 이상의 제약을 가진다.

고체 상태 다이오드 - 기반 OTP 메모리는 2001년 6월 5일 미국에 출원된 본 출원인의 미국 출원 번호 제 09/875,356 호에 개시되어 있다. 종래의 메모리에 비교해 볼 때, 다이오드 - 기반 메모리는 높은 쇼크 허용 범위, 낮은 전력 소모, 빠른 액세스 시간, 적절한 전송율 및 뛰어난 저장 용량을 갖는다. 다이오드 - 기반 메모리는 휴대용 장치의 표준 휴대용 인터페이스(예로, PCMCIA, CF)에 적합하다.

고체 상태 다이오드 - 기반 OTP 메모리 장치는 다수의 데이터 및 어드레스 라인을 포함할 수 있다. 멀티플렉서는 장치로의 데이터 및 어드레스 라인 수를 감소시키는 데 사용될 수 있다.

멀티플렉서는 TTL과 같은 트랜지스터 로직에 기반을 둘 수 있다. 그러나, 다이오드 - 기반 OTP의 트랜지스터에 필요한 층을 제조하면 장치의 비용 및 복잡도가 증가한다.

다이오드 - 기반 OTP 메모리 장치의 멀티플렉서에 트랜지스터의 사용을 피하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명의 일 관점에 따르면, 멀티플렉서는 복수의 스테이지를 포함한다. 각 스테이지는 데이터 출력단에 결합된 저장 장치와, 데이터 입력단과 전원 입력단 사이에 결합되는 제 1 다이오드와, 전원 입력단과 데이터 출력단 사이에 결합되는 제 2 다이오드를 포함한다.

본 발명의 또 다른 특징 및 장점은 본 발명의 원리를 예를 들어 도시한 도면을 참조하여 후속하는 상세한 설명을 읽음으로써 분명해질 것이다.

발명의 구성 및 작용

도 1을 참조하면, 멀티플렉서(10)는 M개의 다이오드-기반 래치(14)를 포함하며, 여기서 $M > 1$ 이다. 래치(14)의 입력단(D_1 에서부터 D_M 까지)은 각 래치(14)가 동일한 N-비트 워드(DATA)를 수신하도록 병렬로 연결된다. 각 래치(14)는 N-비트 폭의 출력 라인(12)을 가지며, 여기서 $N > 1$ 이다. 멀티플렉서(10)는 N-비트 워드(DATA)를 수신하고 이 N-비트 워드(DATA)를 M개의 출력 라인(12) 중 임의의 한 라인에 전송한다.

클록 신호($CLK_1, CLK_2, \dots, CLK_M$)는 래치(14)의 클록 입력단에 공급된다. 예를 들어, 클록 신호(CLK_1)는 제 1 래치(14)에 공급된다. 클록 신호(CLK_1)가 하이(high)일 경우, 제 1 래치(14)는 데이터 워드(DATA)를 저장한다. 클록 신호(CLK_1)가 로우(low)일 경우, 저장된 데이터는 제 1 래치(14)의 출력 라인(12) 상에서 이용가능하게 된다.

기준 클록(CLK) 및 인에이블 신호($EN_1, EN_2, \dots, EN_M$)는 신호 발생기(도 1에는 도시되어 있지 않음)에 의해 생성된다. 각 인에이블 신호($EN_1, EN_2, \dots, EN_M$)는 하나의 래치(14)에 대응한다. 멀티플렉서(10)는 기준 클록(CLK)과 인에이블 신호($EN_1, EN_2, \dots, EN_M$)로부터 클록 신호($CLK_1, CLK_2, \dots, CLK_M$)를 생성하는 게이트(16)를 더 포함한다. 예를 들어, 기준 클록(CLK) 및 제 1 인에이블 신호(EN_1)가 하이일 경우, 제 1 래치(14)는 데이터 워드(DATA)를 저장한다. 게이트(16)는 ECL 기술 또는 트랜지스터를 사용하지 않는 또 다른 기술에 기반을 둘 수 있다.

멀티플렉서(10)는 래치(14)에 저장된 데이터를 클리어(clear)하는 라인(18)도 포함한다. 클리어 데이터 신호(CLEAR)는 신호 발생기에 의해 생성되어 클리어 데이터 라인(18)에 공급된다.

도 1에 도시된 멀티플렉서는 입력 라인에 약 M:1 감축(reduction)을 제공한다. 그러므로, $M=32$ 개의 래치를 갖는 멀티플렉서는 입력 라인에 거의 32:1 감축을 제공한다.

도 2는 다이오드-기반 래치(14)를 보다 상세히 도시한다. 래치(14)는 N개의 스테이지(110)를 포함하되, 각 스테이지(110)는 데이터 입력단(D_n), 전원 입력단(P_n) 및 데이터 출력단(Q_n)을 갖으며, 여기서 $0 \leq n \leq (N-1)$ 이다. 제 1 스테이지(110)의 데이터 입력단(D_0)은 데이터 워드(DATA)의 제 1 비트를 수신하고, 제 2 스테이지의 데이터 입력단(D_1)은 데이터 워드(DATA)의 제 2 비트를 수신하며, 제 N 스테이지의 입력단(D_{N-1})은 데이터 워드(DATA)의 제 N 비트를 수신한다. N 스테이지(110)의 N개의 데이터 출력단은 N-비트 데이터 라인(12)에 연결된다. 각 스테이지(110)마다, 풀-업 저항(pull-up resistor)(12)이 전원 입력단(P_n)과 전압원(+V) 사이에 연결된다.

각 스테이지(110)는 데이터 출력단(Q_n)에 결합된 전하 저장 장치(114)(예로, 캐패시터)와, 데이터 입력단(D_n)과 전원 입력단(P_n) 사이에 결합되는 제 1 다이오드(116)와, 전원 입력단(P_n)과 데이터 출력단(Q_n) 사이에 결합된 제 2 다이오드(118)를 포함한다. 제 1 다이오드(116)의 캐소드는 데이터 입력단(D_n)에 연결되고, 제 1 다이오드(116)의 애노드는 전원 입력단(P_n)에 연결된다. 제 2 다이오드(118)의 캐소드는 데이터 출력단(Q_n)에 연결되고, 제 2 다이오드(118)의 애노드는 전원 입력단(P_n)에 연결된다.

각 스테이지(110)는 클록 입력단(C_n) 및 클록 입력단(C_n)과 전원 입력단(P_n) 사이에 연결되는 제 3 다이오드(120)를 더 포함한다. 스테이지(110)의 클록 입력단(C_0 내지 C_{N-1})은 함께 결합되어 동일한 클록 신호(예로, CLK_1)를 수신한다.

각 스테이지(110)는 또한 클리어 데이터 입력단(CDn) 및 클리어 데이터 입력단(CDn)과 데이터 출력단(Qn) 사이에 연결되는 제 4 다이오드(122)를 포함한다. 스테이지(110)의 클리어 데이터 입력단(CD₀ 내지 CD_{N-1})은 함께 결합되어 동일한 클리어 데이터 신호(CLEAR)를 수신한다.

나아가, 도 3을 참조하여 제 2 스테이지(110)의 동작을 다음의 예를 들어 설명할 것이다. 초기 조건은 다음과 같다. 클럭 신호는 디-어서트(de-assert)되고 클리어 신호가 어서트(assert)된다. 전류가 전원으로부터 제 3 다이오드(120)를 통해 흐르면, 제 3 다이오드(120) 및 제 4 다이오드(122)가 순방향 바이어스되어, 캐패시터(114)가 제 4 다이오드(122)를 통해 방전된다.

동작 시작점에서, 클럭 신호(CLK₁)가 어서트되고 클리어 데이터 신호(CLEAR)는 디-어서트된다. 제 3 다이오드(120) 및 제 4 다이오드(122)는 역방향 바이어스된다. 데이터 워드 비트(D1)가 하이일 경우, 제 1 다이오드(116)는 역방향 바이어스되고 제 2 다이오드(118)는 순방향 바이어스된다. 전류는 풀-업 저항(112) 및 제 2 다이오드(118)를 통해 흘러, 캐패시터(114)를 충전시킨다. 캐패시터 전압(V_{CAP})은 상승한다.

데이터는 클럭 신호(CLK₁)의 하강 에지(trailing edge)에서 판독된다. 높은 캐패시터 전압(V_{CAP})이 데이터 출력단(Q1)에서 판독된다. 이러한 고전압은 하이 데이터 상태에 대응한다.

데이터가 판독된 후에, 클리어 데이터 신호(CLEAR)는 재-어서트된다. 결과적으로, 제 3 다이오드(120) 및 제 4 다이오드(122)가 순방향 바이어스되어, 전류가 전원으로부터 제 3 다이오드(120)를 통해 흐르고, 캐패시터(114)는 제 4 다이오드를 통해 방전된다. 캐패시터 전압(V_{CAP})은 떨어진다.

다음의 클럭 사이클 시작점에서, 클럭 신호(CLK₁)가 어서트되고 클리어 데이터 신호(CLEAR)는 디-어서트된다. 제 3 다이오드(120) 및 제 4 다이오드(122)는 역방향 바이어스된다. 데이터 워드 비트(D₁)가 로우일 경우, 제 1 다이오드(116)는 순방향으로 바이어스된다. 전류는 제 1 다이오드(116)를 통해 흐르고, 캐패시터(114)는 충전되지 않는다. 그러므로, 캐패시터 전압(V_{cap})은 상승하지 않는다.

데이터는 클럭 신호(CLK₁)의 하강 에지에서 판독된다. 데이터 출력단(Q1)에서의 낮은 캐패시터 전압(V_{cap})은 로우 데이터 상태에 대응한다.

도 4는 다이오드-기반 OTP 메모리 장치(210)를 도시한다. 하나 이상의 메모리 레벨(212)이 실리콘 기판(214) 상에 적층된다. 각 레벨(212)은 M개의 서브-어레이(216)를 포함한다. 각 서브-어레이(216)는 이하에서 상세히 설명된다. 데이터는 데이터 라인(218) 상에서 서브-어레이(216)로부터 판독된다. 데이터 라인(218)은 데이터 멀티플렉서(220)(도 1에 도시된 멀티플렉서(10)와 동일한 구성을 가짐)에 공급된다. 데이터 멀티플렉서(220)의 출력은 기판(214) 상의 신호 조절 회로(signal conditioning circuit)(222)에 공급된다.

어드레스는 행 및 열 드라이버(224)에 의해 디코딩되고, 디코딩된 어드레스는 어드레스 멀티플렉서(228)(도 1에 도시된 멀티플렉서와 동일한 구성을 가짐)에 의해 적절한 어드레스 라인(226)으로 다중화된다. 행 및 열 드라이버(224)도 기판(214) 상에 존재한다.

인에이블 신호(EN₁, EN₂, ..., EN_M), 기준 클럭(CLK) 및 클리어 데이터 신호(CLEAR)는 기판(214) 상의 신호 발생기(230)에 의해 발생된다. 이러한 타이밍 신호는 어드레스를 디코딩함으로써 발생된다.

이제 도 5를 참조하면, 서브-어레이(216)는 OTP 메모리 소자(312)의 교차점 저항성 어레이(310), 메모리 소자(312)의 행을 따라 연장되는 워드 라인(314), 메모리 소자(312)의 열을 따라 연장되는 비트 라인(316)을 포함한다. 메모리 소자(312)의 각 행에는 하나의 워드 라인(314)이 존재할 수 있고 메모리 소자(312)의 각 열에는 하나의 비트 라인(316)이 존재할 수 있다. 각 메모리 소자(312)는 워드 라인(314) 및 비트 라인(316)의 교차점에 위치한다.

OTP 행 디코더(318)는 어드레스 멀티플렉서(228)에 의해 행 어드레스 라인(226)에 공급되는 어드레스를 디코딩함으로써 워드 라인(314)을 선택한다. 행 디코더(318)는 복수의 OTP 어드레스 소자(320)를 포함한다. 행 디코더(318)의 각 어드레스 소자(320)는 워드 라인(314) 및 행 어드레스 라인(226)의 교차점에 존재한다.

OTP 열 디코더(322)는 어드레스 멀티플렉서(228)에 의해 열 어드레스 라인(226)에 공급되는 어드레스를 디코딩함으로써 열 라인(316)을 선택한다. 열 디코더(322)는 복수의 OTP 어드레스 소자(320)를 포함한다. 열 디코더(322)의 각 어드레스 소자(320)는 비트 라인(316) 및 열 어드레스 라인(226)의 교차점에 존재한다.

메모리 소자(312) 및 어드레스 소자(320) 모두는 다이오드를 포함한다.

데이터는 어드레스를 행/열 드라이버(224) 및 신호 발생기(230)에 제공함으로써 장치(20)에 기록될 수 있다. 신호 발생기(230)는 어드레스를 디코딩하고 어드레스 멀티플렉서(228)가 서브 - 어레이를 선택하도록 한다. 행/열 드라이버(224)는 어드레스를 디코딩하고 디코딩된 어드레스를 어드레스 멀티플렉서(228) 및 선택된 서브 - 어레이에 전달한다. 선택된 서브 어레이의 어드레스 로직은 디코딩된 어드레스를 (어드레스 라인(226)을 통해) 수신하여 워드 라인(314) 및 비트 라인(316)을 선택한다. 기록 전류는 선택된 워드 라인(314) 및 비트 라인(316)을 통해 흐르고, 따라서 선택된 워드 라인(314) 및 비트 라인(316)의 교차점의 메모리 소자(312)를 통해 흐른다. 기록 전류의 크기는 선택된 메모리 소자(312)의 저항 상태를 변경하기에 충분하다.

메모리 소자(312)의 저항 상태는 어드레스를 행/열 드라이버(224)에 제공함으로써 감지될 수 있다. 어드레스 멀티플렉서(228)는 디코딩된 어드레스를 선택된 서브 - 어레이에 전송한다. 디코딩된 어드레스에 따라, 워드 라인(314) 및 비트 라인(316)이 선택된다. 감지 전류는 선택된 워드 라인(314) 및 비트 라인(316)을 통해 흐르고, 따라서 선택된 워드 라인(314) 및 비트 라인(316)의 교차점의 메모리 소자(312)를 통해 흐른다. 감지 전류의 크기는 선택된 메모리 소자(312)의 저항 상태를 나타낸다. 감지 전류는 디지털 값으로 변환되고, 데이터 멀티플렉서는 디지털 값을 기판(214) 상의 신호 조절 회로(222)에 전송한다. 서브 - 어레이로부터의 모든 데이터가 효율적으로 결합되나, 선택된 어드레스에 대응하는 메모리 비트만이 인에이블된다.

본 발명은 위에서 설명되고 도시된 특정 실시예로 제한되지 않는다. 대신, 본 발명은 다음의 청구항에 따라 해석된다.

발명의 효과

본 발명에 따르면, 복수의 스테이지를 포함하되, 각 스테이지가 데이터 출력단에 결합된 저장 장치와, 데이터 입력단과 전원 입력단 사이에 결합되는 제 1 다이오드와 전원 입력단과 데이터 출력단 사이에 결합되는 제 2 다이오드를 포함하는 멀티플렉서를 제공함으로써, 트랜지스터의 사용을 배제한 저비용의 간단한 다이오드 - 기반 OTP 메모리 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

M개의 래치(14)를 포함하되,

각 래치(14)는 N 스테이지를 갖고, 정수 $M > 1$ 이고 정수 $N > 1$ 이며,

각 스테이지는 데이터 입력단(D_n), 전원 입력단(P_n), 데이터 출력단(Q_n)을 구비하고,

각 스테이지(110)는 데이터 출력단(Qn)에 결합된 전하 저장 장치(114)와, 데이터 입력단(Dn)과 전원 입력단(Pn) 사이에 결합된 제 1 다이오드(116)와, 전원 입력단(Pn) 및 데이터 출력단(Qn) 사이에 결합된 제 2 다이오드(118)를 포함하는

멀티플렉서(10).

청구항 2.

제 1 항에 있어서,

상기 각 래치(14)는 자신의 N개의 스테이지(110)의 데이터 입력단(Dn)으로 이루어지는 N - 비트 폭 입력단을 가지며,

상기 각 래치(14)는 자신의 N개의 스테이지(110)의 데이터 출력단(Qn)으로 이루어지는 N - 비트 폭 출력 라인(12)을 갖는

멀티플렉서(10).

청구항 3.

제 1 항에 있어서,

한 번에 적어도 하나의 래치를 인에이블하는 로직(16)을 더 포함하는

멀티플렉서(10).

청구항 4.

제 1 항에 있어서,

상기 각 스테이지(110)가 클록 입력단(Cn) 및 클록 입력단(Cn)과 전원 입력단(Pn) 사이에 연결된 제 3 다이오드(120)를 더 포함하되, 상기 스테이지들(110)의 상기 클록 입력단들(Cn)이 함께 결합되는

멀티플렉서(10).

청구항 5.

제 1 항에 있어서,

상기 스테이지가 클리어 데이터 입력단(CDn) 및 클리어 데이터 입력단(CDn)과 데이터 출력단(Qn) 사이에 연결된 제 4 다이오드(122)를 더 포함하되, 상기 스테이지들(110)의 상기 클리어 데이터 입력단들(CDn)이 함께 결합되는

멀티플렉서(10).

청구항 6.

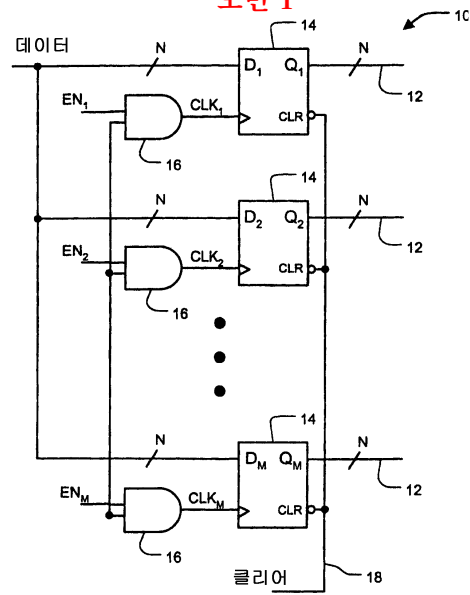
제 1 항에 있어서,

입력단 데이터는 제 1 다이오드(116)가 순방향 바이어스되는지 또는 역방향 바이어스되는지를 판단하며, 상기 제 1 다이오드(116)가 순방향 바이어스가 걸리는 경우 상기 래치(14)는 제 1 로직 상태로 설정되고, 상기 제 1 다이오드(116)가 역바이어스되는 경우 상기 래치(14)는 제 2 로직 상태로 설정되는

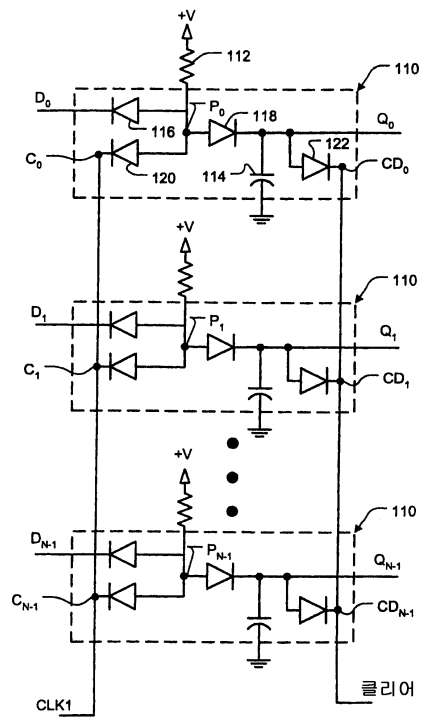
멀티플렉서(10).

도면

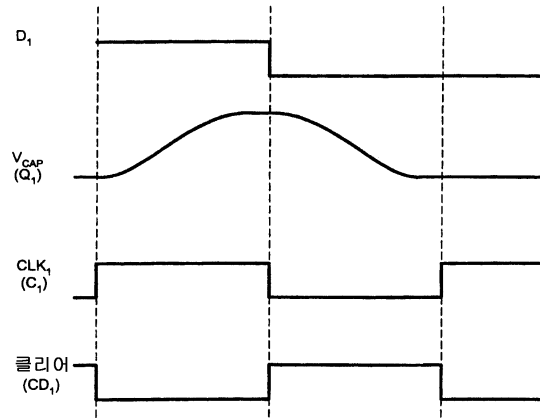
도면 1



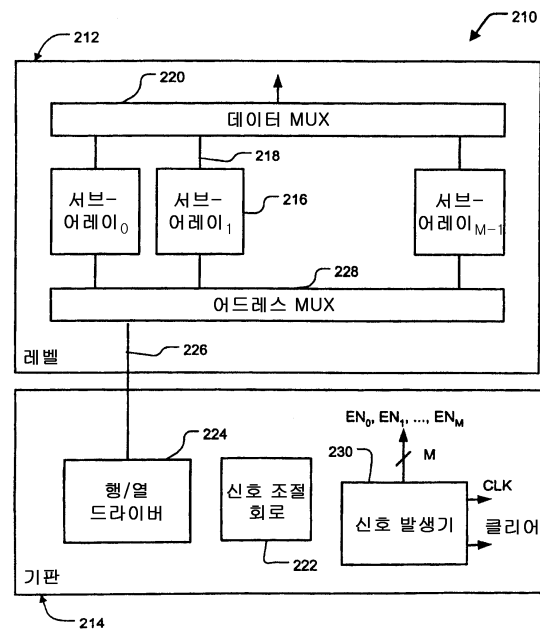
도면 2



도면 3



도면 4



도면 5

