

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3645748号
(P3645748)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月10日(2005.2.10)

(51) Int. Cl.⁷

F I

GO 1 R 31/28

GO 1 R 31/28

V

GO 1 R 31/02

GO 1 R 31/02

請求項の数 3 (全 14 頁)

<p>(21) 出願番号 特願平11-179338 (22) 出願日 平成11年6月25日(1999.6.25) (65) 公開番号 特開2001-4706(P2001-4706A) (43) 公開日 平成13年1月12日(2001.1.12) 審査請求日 平成14年2月15日(2002.2.15)</p> <p>前置審査</p>	<p>(73) 特許権者 303013763 日本電気エンジニアリング株式会社 東京都港区芝浦三丁目18番21号</p> <p>(74) 代理人 100109313 弁理士 机 昌彦</p> <p>(74) 代理人 100085268 弁理士 河合 信明</p> <p>(74) 代理人 100111637 弁理士 谷澤 靖久</p> <p>(72) 発明者 米山 一郎 東京都港区芝浦三丁目18番21号 日本電気エンジニアリング 株式会社内</p> <p>審査官 下中 義之</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 半田不良検査装置

(57) 【特許請求の範囲】

【請求項1】

複数の入力端子及び信号処理部を有する集積回路が回路基板等に正しく半田付けされているか検査する半田不良検査装置において、

前記集積回路は、前記入力端子からの前記信号処理回路に入力される本来外部より供給される複数の入力信号を受け、前記半田不良を検出する検査部と、該検査部の検査モード選択やタイミング制御を行う検査制御信号を出力する検査制御部とを有し、

前記検査部は、検査制御信号により検査モードが選択されると、前記複数の各入力信号と、前記複数の各入力信号に対してプルアップ又はプルダウン処理を施して得られる信号レベルとに基づいて半田不良を検出することを特徴とする半田不良検査装置。

10

【請求項2】

前記検査部は、前記入力端子毎の検査結果を保持するフリップフロップを備え、前記検査制御部からの制御信号により1つの出力端子から順次検査結果を出力することを特徴とする請求項1に記載の半田不良検査装置。

【請求項3】

前記検査制御部の制御信号は、制御端子を介して前記検査モードを外部より変更可能にすることを特徴とする請求項1に記載の半田不良検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、半田付不良検査装置、特に電子デバイスや部品の半田付実装後に半田接続箇所を目視検査が困難な場合、例えばICパッケージの信号入力端子の半田付不良の検査装置に関する。

【0002】

【従来の技術】

最近の電子機器や電子応用機器のエレクトロニクス部分にはIC（半導体集積回路）を多用し、斯るデバイスを回路基板に半田付実装するのが一般的である。

【0003】

斯るエレクトロニクス部分又は回路の半田不良検査方法は、一般にパンダリ（境界）スキャンやX線検査等の量産時に行われる専用の検査装置を用いる。近年、ICデバイス等は実装密度を上げる為にBGA（ボールグリッドアレイ）等の実装が採用されている。BGAでは半田接続箇所がパッケージ底面側であるので、外部から見ることができず目視検査は困難である。しかし、斯るBGA接続された電子デバイス等であっても半田不良検査可能な半田不良検査方法の開発が要求されている。

【0004】

この要求に応える為に、例えば特開平9-26463号公報の「テスト回路を内蔵した集積回路」が提案されている。信号端子が回路基板上の浮遊容量を持つ配線に正常に接続されているときと、接続されていないときとの容量差を充電電流を供給することで測定する。これを論理信号のパルス幅の差に変換して出力することにより半田付欠陥を検知する。

【0005】

また、特開平7-159493号公報の「半導体デバイスの検査方法」には、先ず被検査ピンに入力されるテストデータを記憶素子に入力し、次に記憶素子をシフトレジスタとして構成してテストデータをテスト用ピンに出力させることにより、半田付の良否を特定することを開示している。

【0006】

更に、特開平4-337646号公報の「集積回路」には、1組の入力ピンと出力ピンをスルー状態にした上で、入力ピン側配線に所定の信号を印加して、出力ピン側配線に現れる信号を観測することにより半田付の良否を検査する技術を開示している。

【0007】

更にまた、特開平3-78670号公報の「検査機能付集積回路」には、検査モードになると検査パターン発生器からの検査パターンを、入出力ピンを問わず全ての被検査ピンに出力することにより半田付状態を確認する技術を開示している。

【0008】

最後に、特開平2-99877号公報の「集積回路部品及びその接続検査方法」には、接合検査モード時に各信号端子同士がトランジスタを介して電氣的に接続され、基板上で各信号端子毎に引出された配線パターンにプロービングヘッドを圧接し、導通を測定して半田による接合状態を検査する技術を開示している。

【0009】

【発明が解決しようとする課題】

しかし、上述した第1、第3及び第4の従来技術では、被検査端子に他のデバイスの出力端子が接続されていると、自らのテストデータ出力信号と競合する為に他のデバイスを搭載前する前か、他のデバイスを電氣的に切離した状態でなければ検査が行えないという問題がある。

【0010】

また、上述した第2及び第3の従来技術では、被検査端子に他のデバイスの出力端子が接続されていると、外部からのテストデータ入力信号と競合を起す為に、他のデバイス搭載前又は他のデバイスを電氣的に切離した状態でなければ検査が行えないという問題がある。

【0011】

更に、上述した第3の従来技術では、出力ピンに入力した信号と違うパターンの信号が現

10

20

30

40

50

れたとしても、入力ピンと出力ピンがスルー状態となっている為に、半田付不良の場所が入力側か出力側か、又は入出力両側かの判別ができないという問題がある。

【0012】

更にまた、上述した第5の従来技術では、外部で導通しているピン同士に対しては、内部を通して導通した場合と区別がつかない為に、検査不可能であるという問題がある。また、被検査端子に接続されている他のデバイスのピン全てを電氣的に短絡してしまう為に、他のデバイスを破壊してしまう可能性がある。

【0013】

最後に、上述した第4の従来技術では、同時に複数本の端子を同じパターンのテスト信号で検査する為に、端子同士の短絡が検出できないという問題がある。

10

【0014】

本発明の第1の目的は、被検査端子に他のデバイスの出力端子が接続されていても、自らのテストデータ出力信号と競合を起こさず、他のデバイスを搭載した後も他のデバイスを電氣的に切離することなく検査実行可能な半田不良検査装置を提供することである。

【0015】

本発明の他の目的は、被検査端子に他のデバイスの出力端子が接続されていても外部からのテストデータ入力信号と競合することなく検査できる半田不良検査装置を提供することである。

【0016】

本発明のその他の目的は、検査の結果、不良が発見された場合に、半田不良の場所が入力側か、出力側か又は両方かの判別が可能である半田不良検査装置を提供することである。

20

【0017】

本発明の付加的な目的は、外部で導通しているピン同士に対しても不良箇所が検査できる半田不良検査装置を提供することである。

【0018】

本発明の別の目的は、被検査端子に接続されている他のデバイスを破壊することのない半田不良検査装置を提供することである。

【0019】

また、本発明の他の目的は、同時に複数本の端子をテストしても、端子同士の短絡が検出可能である半田不良検査装置を提供することである。

30

【0020】

【課題を解決するための手段】

前述の課題を解決するため、本発明による半田不良検査装置は、次のような特徴的な構成を採用している。

【0021】

(1) 複数の入力端子及び信号処理部を有する集積回路が回路基板等に正しく半田付けされているか検査する半田不良検査装置において、

前記集積回路は、前記入力端子からの前記信号処理回路に入力される本来外部より供給される複数の入力信号を受け、前記半田不良を検出する検査部と、該検査部の検査モード選択やタイミング制御を行う検査制御信号を出力する検査制御部とを有し、

40

前記検査部は、検査制御信号により検査モードが選択されると、前記複数の各入力信号と、前記複数の各入力信号に対してプルアップまたはプルダウン処理を施して得られる信号レベルとに基づいて半田不良を検出することを特徴とする半田不良検査装置。

【0022】

(2) 前記検査部は、前記入力端子毎の検査結果を保持するフリップフロップを備え、前記検査制御部からの制御信号により1つの出力端子から順次検査結果を出力する上記(1)の半田不良検査装置。

【0023】

(3) 前記検査制御部の制御信号は、制御端子を介して前記検査モードを外部より変更

50

可能にする上記(1)の半田不良検査装置。

【0027】

【発明の実施の形態】

以下、本発明による半田不良検査装置の好適実施形態例を添付図を参照して詳細に説明する。

【0028】

図1は、本発明による半田不良検査装置の第1実施形態例を示す。検査対象の集積回路(以下ICという)1、検査対象入力端子5、6、検査制御用入力端子であるTEH7、TEL8、検査結果出力端子SDOUT9及び基準信号出力端子SCOUT10より構成される。

10

【0029】

IC1内には、このIC1の本来の機能を実行する為の信号処理部2のみならず、入力端子5、6の信号レベルを検査する為の検査部3及び検査制御部4を有する。入力端子5、6と信号処理部2間にはレシーバ11、12が設けられる。また、TEH端子7及びTEL端子8と検査制御部4間には、それぞれレシーバ13、14が設けられている。検査部3には、入力端子5、6が直接接続されると共に検査制御部4の出力が入力され、更にその出力はドライバ15、16を介して、それぞれSDOUT端子9及びSCOUT端子10に出力される。

【0030】

検査部3の検査結果は、SDOUT端子9及びSCOUT端子10を介して観測可能に構成されている。TEH端子7及びTEL端子8は、検査制御部4に接続され、検査モードの変更や検査の開始を示すトリガをIC1の外部から入力する為に使用される。検査制御部4で生成される信号は、検査部3に供給され、検査部3のモード選択やタイミング制御に使用される。

20

【0031】

次に、図2は、図1中の検査部3の詳細回路構成図である。この検査部3は、フリップフロップ(以下F/Fという)25、35、セクタ36及びANDゲート37を主要構成要素として有する。F/F25のDin入力端子には、図1の入力端子5がレシーバ(バッファ)11を介して接続される。この入力端子5には、それぞれスイッチングトランジスタ21、22の一端が接続され、他端はそれぞれプルアップ抵抗20及びプルダウン抵抗23を介してVccと接地に接続される。同様に、F/F35のDin入力端子には、レシーバ12を介して入力端子6が接続される。この入力端子6には、スイッチングトランジスタ31、32、プルアップ抵抗30及びプルダウン抵抗33が接続される。

30

【0032】

レシーバ12の後段にはセクタ36が接続され、F/F35のDin入力端子には、入力端子6の入力信号又はF/F25のDoutが入力されるようにする。両F/F25、35のCLK(クロック)端子には、CLK信号28が入力される。F/F35のDout出力端子からSDOUT9が出力される。また、ANDゲート37の入力端子には、CLK信号28とSFTE信号47が入力され、出力端子からSCOUT信号10が出力される。また、セクタ36には選択信号(SFTE)47が入力される。

40

【0033】

スイッチングトランジスタ21、22、31、32の制御端子には、それぞれTSTH信号48、TSTL信号49が入力され、オン/オフ状態に制御される。スイッチングトランジスタ21、31は、それぞれ入力端子5、6が開放(オープン)状態のときオンとなり、信号レベルをH(ハイ)に維持する。他方、スイッチングトランジスタ22、32は、オンとなるとプルダウン抵抗23、33を介してプルダウンして、対応する入力端子5、6をL(ロー)レベルに維持する。プルアップ/プルダウン抵抗20、23、30、33は約50Kである。

【0034】

次に、図2の動作を説明する。F/F25、35は、CLK信号28に同期してDin入力

50

端子の状態を保持するD形F/Fであり、図2中には2個のF/Fのみを示すが、入力端子数に対応するF/Fを使用するものとする。そこでセクタ36は、制御信号SFTE47に基づき、自己の入力端子の入力信号又は前段のF/FのDout出力端子の信号を選択してDin入力端子に入力する。ここで、セクタ36はF/F25~35で保持されているデータを最終段のF/F35のDout出力端子からSDOUT出力9としてシリアルデータとして出力される為にF/F25~35をシフトレジスタとして機能させる働きをする。

【0035】

半田不良検査対象となる入力端子5、6が3本以上存在する場合には、セクタ36は2段目以降最終段のF/F35までのDin入力端子に1対1で接続する。

10

【0036】

ANDゲート37は、CLK信号28をセクタ切替制御用SFTE信号47でマスクすることにより、SDOUT出力9を外部から観測する際の基準(トリガ)信号となるSCOUT出力10を生成する為の回路である。CLK信号28は、検査部3及び検査制御部4の同期をとる為のクロック信号である。

【0037】

次に、図3を参照して、図1中の検査制御部4の詳細回路構成を説明する。この回路4は、検査制御用入力端子TEH7、TEL8にそれぞれ接続されたプルアップ抵抗41、40、XORゲート42、片側に反転入力のついたORゲート43、片側に反転入力のついたANDゲート44、カウンタ45及びNOTゲート(インバータ)46を有する。XORゲート42の出力は、ANDゲート44の非反転入力端子に入力される。ANDゲート44の出力は、クロック(CLK)信号28と共にカウンタ45に入力される。カウンタ45は、SFTE信号47を出力すると共に、この出力をANDゲート44の反転入力端子に入力する。ORゲート43は、TSTH信号48を出力すると共にNOTゲート46で反転してTSTL信号49を出力する。

20

【0038】

次に、図4に、本発明による半田不良検査方法の例、即ち図1に示すIC1を用いて入力端子の半田不良を検出する方法を説明する。図4中、IC61は、図1のIC1に相当する機能を有するICであり、ピン#1~#3の3本の入力端子を有するものとする。ピン#3が上述したIC1の入力端子5に対応し、1段目のF/Fに接続されている。ピン#2は、図4で追加された入力端子であり、2段目のF/Fに接続されている。ピン#1は、上述のIC1の入力端子に相当し、最終段F/Fに接続されている。このIC61の前段に外部回路62を配置し、IC61のSDOUT及びSCOUT出力端子66、67にロジックアナライザ63等の測定器を接続する。

30

【0039】

外部回路62は、IC61の各端子#1~#3及びCLK端子に必要とする信号を供給する。また、IC61のTEH及びTEL入力にもそれぞれ観測端子64、65を設け、更に接地(GND)端子69を設ける。IC61のTEL入力端子65は接続ケーブル68により接地され、観測端子66、67はそれぞれ接続ケーブル(又はプローブ)70、71によりロジックアナライザ63に接続した状態を図4に示す。

40

【0040】

次に、図1乃至図4の回路動作を説明する。先ず図1のIC1において、入力端子5、6から供給される信号は、通常状態では、レシーバ11、12を介して信号処理部2に送られて、IC1の本来の信号処理動作を行う。回路基板等に半田付実装されて半田不良検査時には、入力端子5、6の信号状態がレシーバ11、12を介さず直接検査部3へ入力される。検査部3では、送られて来た検査信号にプルアップ又はプルダウンのいずれかの処理を施して、その時の状態をSDOUT信号9を介して外部に出力する。

【0041】

もし、外部より入力端子5、6にHレベルが入力されている場合には、半田不良により正常に信号が送られていなければ検査部3でプルダウン処理を施すことにより該当する信号

50

はLレベルとしてSDOUT出力9を出力する。同様に、外部から入力端子5、6にLレベルが供給されている場合に半田不良により正常に信号を伝えられていないと、検査部3でプルアップ処理をすることにより、該当する信号は、HレベルとしてSDOUT出力9を出力する。入力端子5、6へ入力する検査信号をプルアップ状態又はプルダウン状態のいずれかで検査するかは検査制御部4により判断される。

【0042】

次に、図2を参照して検査部3の動作を説明する。図5にスイッチングトランジスタ(以下単にスイッチという)21、22、31、32の動作状態を示す。スイッチ21、22、31、32は、TSTH信号48又はTSTL信号49がHレベルのとき導通状態となり、入力端子5又は6は、プルアップ抵抗20、30によりVccにプルアップ状態とされるか、プルダウン抵抗21、31により接地レベルにプルダウンされる。これにより、レシーバ11、12の入力端子をプルアップ又はプルダウンする。但し、プルアップ又はプルダウン抵抗20、23、30、33により、入力端子5、6が正常に半田付されている場合には、斯るプルアップ又はプルダウンが入力端子5、6への入力信号レベルに影響することはない。

10

【0043】

しかし、入力端子5又は6にLレベルが入力される場合、半田付不良があると、スイッチ21、31をオン(導通)とし、プルアップすると、レシーバ11、12にはHレベルが入力されるので、半田不良が検出可能である。逆に、入力端子5、6にHレベルを入力する場合には、スイッチ22、32をオンとしてプルダウンすると、入力端子5、6が半田不良の場合にはレシーバ11、12にはLレベルが入力されるので半田不良が検出できる。

20

【0044】

尚、スイッチ21、22、31、32の制御信号TSTH48、TSTL49は、同時にHレベルとなることはなく、プルアップとプルダウンとが競合することがないように、後述する検査制御部4により制御される。

【0045】

次に、図2の検査部3で使用するF/F25、35の動作を図6に示す。レシーバ11、12の入力端子に入力された信号レベルは、クロック(CLK)信号28の立上がりでF/F25、35に保持される。これら入力端子5、6の状態は、次のCLK信号28の立上がりまでの間F/F25に保持される。また、F/F25、35に保持された状態は、Dout出力端子より出力される。図7はセクタ36の動作を示す。セクタ36は、制御信号SFTE47がLレベルのとき、レシーバ12の出力をF/F35のDin入力端子に入力する。他方、制御信号SFTE47がHレベルのとき、F/F25のDout出力がF/F35のDin入力端子に入力される。この制御信号SFTE47は、後述する検査制御部4の制御により、通常動作時にはLレベルになっている。

30

【0046】

従って、最終段のF/F35の状態、即ち入力端子6の検査結果がF/F35のDout出力端子からSDOUT信号9として出力され、図4のロジックアナライザ63等で観測可能である。ここで、前段のF/F25の状態、即ち入力端子5の検査結果を外部より観測する為には、後述する検査制御部4により制御信号SFTE47をHレベルとする。そこで、SFTE47がHレベルの間、セクタ36の出力には、前段のF/F25のDout出力状態が現れる。これにより、次のCLK信号28の立上がりでF/F25の状態はF/F35に保持され、SDOUT出力9として出力される。このセクタ36の動作により入力端子5の検査結果が外部から観測可能である。

40

【0047】

また、シリアルデータであるSDOUT出力9のビット位置を示す為、ANDゲート37によりセクタ36の制御信号SFTE47とCLK信号28の論理積を求め、SFTE47がHレベルの間CLK信号28をSCOUT出力10として出力する。これらSDOUT出力9とSCOUT出力10の観測により、何段目のF/Fのデータが出力されているかが判断可能である。

50

【 0 0 4 8 】

次に、図3の検査制御部4の動作を説明する。外部よりTEH入力7及びTEL入力8に何も信号が与えられない場合、プルアップ抵抗40、41によりVccにプルアップされ、両信号状態をHレベルに保つ。この状態では、ORゲート43の出力はHレベルとなるので、TSTH信号48はHレベル、TSTL信号49はLレベルとなる。従って、入力端子5、6のスイッチ21、31がオン、スイッチ22、32がオフとなり、入力端子5、6はプルアップされる。この状態で、図1のIC1は、信号処理部2を使用する本来の動作を行う。

【 0 0 4 9 】

次に、図3の検査制御部4のカウンタ45の動作状態を図8に示す。外部からTEH入力7にHレベル、TEL入力8にLレベルが与えられると（TEH入力7がLレベル、TEL入力8がHレベルの場合も同じ）、XORゲート42の出力はHレベルとなる。このとき、通常動作時には、SFTE47はLレベルであるので、ANDゲート44の出力はHレベルとなる。その結果、カウンタ45のCE入力がHレベルとなり、0であったカウント値は、CLK信号28の立上がりで1となる。同時に、カウンタ45のカウント値が0出ないことを示すNOT0出力であるSFTE47がHレベルとなる。カウンタ45は、カウント値が0でないとき、CE入力の状態に無関係にCLK信号28の立上がり毎にカウントアップを続ける。そして、予め設定された最大カウント値Nに到達すると、次のCLK信号28の立上がりでカウント値を0に戻し、NOT0出力（SFTE47）の状態をLレベルにする。上述した最大カウント値Nには、検査対象となる入力端子数に設定しておく。従って、図2の例では、カウント値は0、1、2の3通りの状態を持つことになる。

【 0 0 5 0 】

図3の検査制御部4で生成された制御信号SFTE47は、上述の検査部3のSDOUT出力9のシフトアウト動作を行う。また、SCOUT出力10に2つの基準クロックパルスと1つのL、即ちインターバル状態を送出する。また、検出をプルアップ状態を行うことを示す（即ちスイッチ21、31をオン）TSTH48は、ORゲート43により生成され、検査をプルダウン状態で行うことを示す（即ちスイッチ22、32をオン）TSTL49はNOTゲート46より得る。これから明らかな如く、TSTH48とTSTL49とは相補状態であり、いずれか一方がHレベルのとき他方はLレベルである。

【 0 0 5 1 】

外部よりTEH入力7をLレベル、TEL入力8にHレベルとすると、ORゲート43の出力、即ちTSTH48はHレベル、NOTゲート46の出力であるTSTL49はLレベルとなる。この状態は、入力端子5、6をプルアップ状態で検査し、外部からこれら入力端子5、6にLレベルが入力されている入力端子の半田不良検査をする為に行われる。

【 0 0 5 2 】

逆に、TEH入力7にHレベル、TEL入力8にLレベルを与えるとORゲート43の出力、即ちTSTH48はLレベル、TSTL49はHレベルとなるので、プルダウン状態での半田不良検査を行う。これは、外部から入力端子5、6にHレベルが供給されている場合の半田不良検査をする為に行われる。この動作をまとめて図9に示す。

【 0 0 5 3 】

次に、図4の接続図に基づき、本発明による半田不良検査装置を図10のタイミングチャートを参照して説明する。図10中、(a)はフェーズ、(b)はCLK信号、(c)～(e)はピン#1～#3、(f)はTEH、(g)はTEL、(h)はピン番号、(i)はSCOUT信号、(j)はSDOUT信号、(k)はカウンタのカウント値、(l)はSFTE、(m)はTSTH及び(n)はTSTLである。

【 0 0 5 4 】

リセット中等ある時点においてピン#1～#3にそれぞれH、L、Hが供給されることが判っている。Hレベルが供給されるピン#1と#3に対してプルダウン検査を実施することを想定している。図10(a)のフェーズb中に電源投入が生じ、検査が開始されたと

する。

【0055】

IC61のTEL入力端子65は、GND端子69に接地することによりLレベルが供給されている。また、TEH入力端子64には何も接続されていないので、IC61内部のプルアップによりHレベルとされている。従って、IC61内のTSTH信号48がL、TSTL信号49がHレベルとなり、ピン#1～#3の入力端子にプルダウン検査が行われる。IC61の入力端子数は3本であるので、カウンタ45の最大カウント値Nは3に設定される。TEH入力がH、TEL入力がLになるとカウントアップが開始され、カウント値(図10の(k)参照)が1～3の間SFT E(図10の(l)参照)がHとなる。図10中(a)のフェーズc～e、g～i、k～m等がそれに相当する。この例では、TEL入力端子65がGND端子69に接続されている限りカウントアップ動作が継続される。

10

【0056】

SDOUT出力端子66には、フェーズCでCLK信号28が立上った時点でピン#1～#3の状態がSCOUT出力端子67のクロックパルスに同期して順次出力される。この時点でのピン#1～#3には、順番にH、L、Hが供給されている。従って、SDOUT出力の1つ目のパルスの時点、即ちフェーズCでのSDOUT出力はHレベルとなってピン#1の状態を出力する。それ以降は、2つ目のパルス時点、即ちフェーズdではLレベルとなってピン#2の状態を出力する。また、3つ目のパルス時点、即ちフェーズeではHレベルとなってピン#3の状態を出力する。カウント値が0となった時点ではSCOUT出力端子67のパルスがマスクされ、検査と検査の区切りを示す。図10中(h)のピン中にインターバルIとして示す。フェーズf、j、n等がそれに相当する。

20

【0057】

図10の例では、IC61のピン#1及び#3は、内部でプルダウンを行っているにも拘わらずSDOUT出力の該当部分にはHレベルが出力されている。これは、外部から供給されているHレベルがIC61内に正しく伝達されており、ピン#1、#3には半田不良がないことを意味する。

【0058】

次に、図11のタイミングチャートを参照して、図4の構成においてピン#1に半田不良があった場合の動作を説明する。図11中(a)～(j)は、図10中の(a)～(j)と同じである。上述のとおり、SDOUT出力端子66には、フェーズcでCLK信号28の立上がり時点におけるピン#1～#3の状態がSCOUT出力端子67のクロックパルスに同期して順番に出力される。この時点でのピン#1～#3には、順番にH、L、Hレベルが供給されている。従って、本来ならSCOUT出力の1つ目のパルスの時点で、即ちフェーズcでSDOUT出力端子66にはHレベルが出力される筈である。しかしピン#1が半田不良である為に外部からHレベルがIC61内に正しく伝達されずIC61内のプルダウンの為にフェーズcで図11(j)に示す如くLレベルとなる。

30

【0059】

そこで、SDOUT出力端子66の信号をロジックアナライザ63等で観測することで、IC61のピン#1では、外部よりHレベルが供給されているにも拘わらず内部プルダウンによりLレベルとされていることが判明する。従って、IC61のピン#1には、外部信号が正しく供給されず半田不良であることが判断できる。

40

【0060】

尚、上述の例にあってはTEL端子65をGND端子69に接続してプルダウン検査を行ったが、TEH端子64を接続ケーブル68によりGND端子69に接続して、プルアップ検査を行ってもよい。この場合には、外部よりLレベルが供給されているピン#2に対して半田不良が検査できる。更にまた、上述した例にあっては、検査制御回路4のTEH端子7及びTEL端子8にはプルアップ抵抗41、40を介してVccに常時プルアップされているが、ORゲート43及びNOTゲート46に適切な変更を加えることにより、内部プルダウン又は内部抵抗処理なしとすることも可能であること当業者には自明である

50

う。

【0061】

次に図12乃至図14を参照して、本発明による半田不良検査方法の第2実施形態例を説明する。図12は、この半田不良検査方法を実施する為の接続図を示す。図4の場合と同様に、IC81、外部回路82及びロジックアナライザ(測定器)83を使用する。IC81はピン#1~#3、TEH端子84、TEL端子85、CLK端子、SDOUT端子86及びSCOUT端子87を有する。この例では、入力端子に供給される信号がH又はLに一定していない場合の検査方法である。この場合には、IC81のピン#1及び#2を接続ケーブル88、89によりそれぞれTEH端子84、TEL端子85に接続している。また、ロジックアナライザ83には、接続ケーブル(又はプローブ)90~94を使用してそれぞれIC81のピン#1~#3、SDOUT端子86及びSCOUT端子87に接続されている。

10

【0062】

図13は、図12の動作を説明するタイミングチャートであり、図13の(a)~(n)は、上述した図10の(a)~(n)と対応する。この例では、IC81のピン#1~#3に供給される信号がH又はLに一定しない為に検査をプルアップ検査又はプルダウン検査のいずれかに固定した場合には、有効な検査結果が得られない可能性がある。即ち、プルアップ検査では、被検査入力端子にHが供給されている時点のデータしか得られず、プルダウン検査に変更した途端に被検査入力端子にLレベルが供給されている時点のデータしか得られないという場合である。何度か繰り返すうちに有効なデータが得られる可能性はあるが、この構成によると確実に有効なデータを得ることが可能である。

20

【0063】

図12の構成によると、IC81のピン#1及び#2の状態をそれぞれTEH入力端子84及びTEL入力端子85を介して検査部3に供給することにより、検査タイミング、即ちSFTE信号を生成している。ピン#1及び#2の状態が異なるレベルになったとき、SFTE信号がHレベルとなりSDOUT出力端子86から検査データが出力される。図13中(a)のフェーズc~e、g~h、m~oがそれに該当する。また、TEH入力端子84の状態(図13(f)参照)がLレベルのときはプルアップ検査が行われ、Hレベルのときはプルダウン検査が行われる。従って、TEH入力端子84に接続した入力端子(図12の場合ピン#1)に対する有効な検査結果を確実に得ることができる。図13では、フェーズc及びgでTSTH信号(図13の(m)参照)がHレベルになっており、プルアップ検査が実施されている。フェーズmではTSTH信号がLレベルになっており、プルダウン検査が行われる。図13のSDOUT出力(j)には、IC81のピン#1~#3が正常に接続されている場合の波形が示される。

30

【0064】

次に、図14は、図12の接続構成において、IC81のピン#1に半田不良がある場合のタイミングチャートを示す。図14中(a)~(j)は、図11中の(a)~(j)に対応する。SDOUT出力(j)をみると、フェーズc、gで本来外部より供給されたLレベルが出力されるべきところ、内部プルアップのHが出力されている。また、フェーズmでは、本来外部から供給されたHレベルが出力されるべきところ、内部プルダウンのLが出力されている。この観測結果に基づき、IC81のピン#1が半田不良であることが判断できる。また、この半田不良検査方法によると、2つのピン(#1、#2)の状態が異なった時点を検査タイミングとしているので、隣接ピン同士の入力端子を用いれば、半田不良が隣接ピン間の半田ブリッジを生じている場合も判断できる。

40

【0065】

以上、本発明による半田不良検査方法の好適実施形態例を詳述した。しかし、本発明は斯かる特定例のみに限定されるべきではなく、種々の変形変更が可能であることが当業者には容易に理解できよう。

【0066】

【発明の効果】

50

上述の説明から理解される如く、本発明の半田不良検査装置によると以下の如き種々の顕著な効果が得られる。

【0067】

先ず、テストデータに本来外部より供給される信号を用いるという基本構成に基づき、被検査端子に他のデバイスの出力端子が接続されていても自らのテストデータ出力信号と競合を生じることなく、他のデバイスを搭載した後でも、また他のデバイスを電気的な切離すことなく検査が可能である。

【0068】

また、出力端子には従来の検査装置を適用し、本発明による検査装置を入力端子専用とし、検査の結果不良が見つかった場合、半田不良が入力側か出力側か又は両方かの判別が可能な半田不良検査装置が得られる。

10

【0069】

更に、本発明の半田不良検査装置によると、IC内部で入力端子をプルアップ又はプルダウン処理し、外部で導通しているピン同士に対しても不良箇所が検査可能である。

【0070】

更にまた、被検査端子に接続されている他のデバイスを破滅することがない。

【0071】

また、2個の端子に供給される信号レベルが異なった時点を検査開始のトリガとし、同時に複数の端子をテストしても端子同士の短絡が検出可能である。

【図面の簡単な説明】

20

【図1】 本発明による半田不良検査装置を適用するICのブロック図である。

【図2】 図1中の検査部の詳細構成図である。

【図3】 図1中の検査制御部の詳細構成図である。

【図4】 図1のICを用いる本発明による半田不良検査装置の第1実施形態例の構成図である。

【図5】 スイッチングトランジスタの動作状態を示す図である。

【図6】 図2における検査部で使用するフリップフロップの動作を表す図である。

【図7】 図2におけるセレクタの動作を表す図である。

【図8】 図3における検査制御部のカウンタの動作状態を示す図である。

【図9】 検査制御部の動作を示す図である。

30

【図10】 図4における正常半田付時の動作タイミングチャートである。

【図11】 図4における半田不良時の動作タイミングチャートである。

【図12】 本発明による半田不良検査装置の第2実施形態例の構成図である。

【図13】 図12における正常半田付時の動作タイミングチャートである。

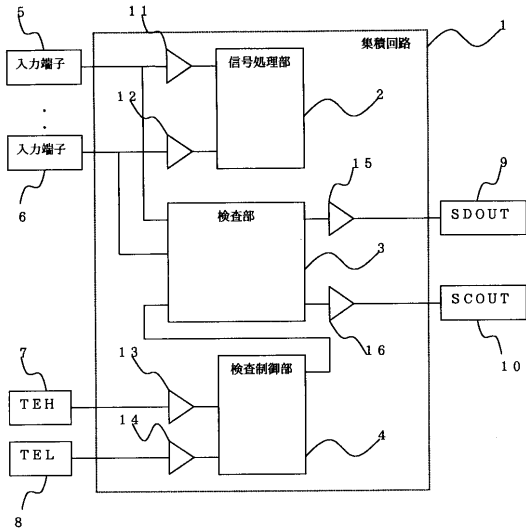
【図14】 図12における半田不良時の動作タイミングチャートである。

【符号の説明】

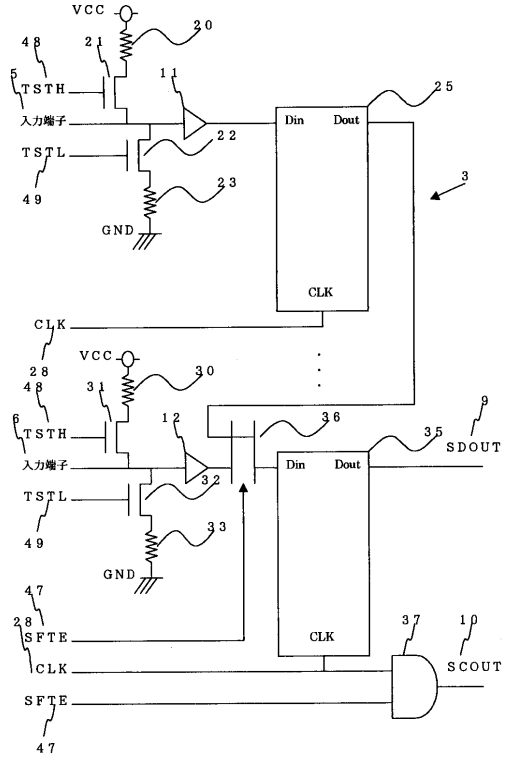
- | | |
|-------------------------|----------------|
| 1、61、81 | 集積回路（IC） |
| 2 | 信号処理部 |
| 3 | 検査部 |
| 4 | 検査制御部 |
| 5、6 | 入力端子 |
| 7、8 | 制御端子 |
| 9 | 出力端子 |
| 20、21、22、23、30、31、32、33 | プルアップ/プルダウン手段 |
| 25、35 | フリップフロップ（F/F） |
| 36 | セレクタ |
| 63、83 | 測定器（ロジックアナライザ） |

40

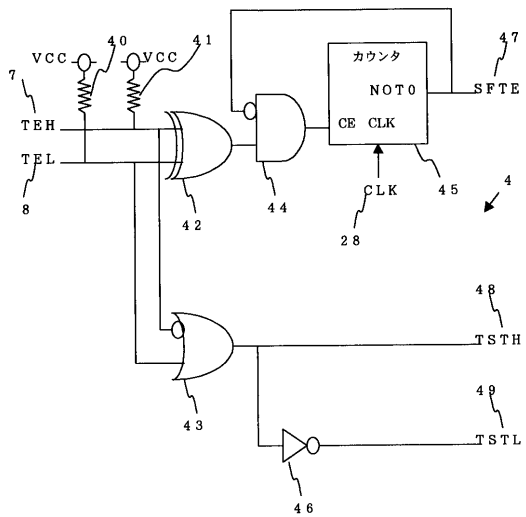
【図1】



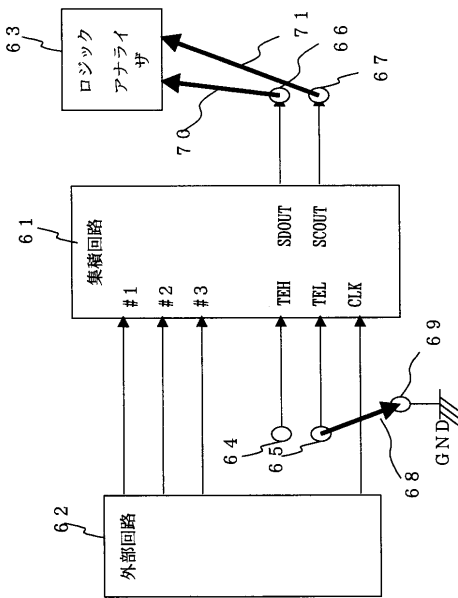
【図2】



【図3】



【図4】



【図5】

TSTH又はTSTL	状態
Low	絶縁 (オフ)
High	導通 (オン)

【 図 6 】

Din	CLK	Dout
Low	↑	Low
High	↑	High
Don't Care	↑以外	現在の内容を保持

【 図 7 】

SFTE	出力
Low	レシーバ34の出力(入力端子6)
High	フリップフロップ36のDout

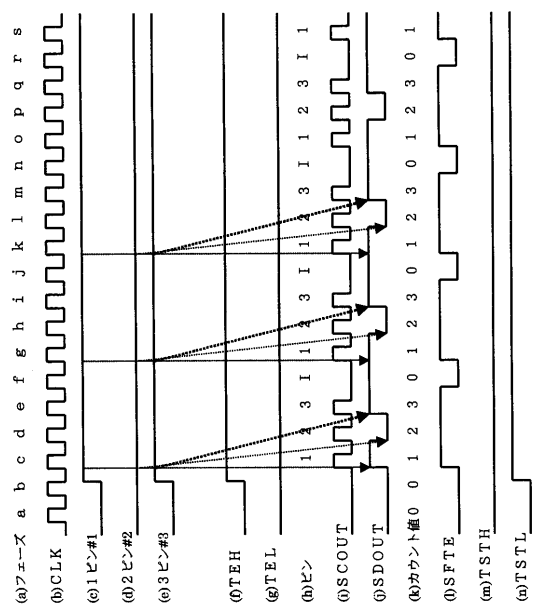
【 図 8 】

CE	現在のカウンタ	CLK	カウンタ	NOT0
Low	0	↑	+0	Low
High	0	↑	+1	High
Don't Care	1~N-1	↑	+1	High
Don't Care	N	↑	+1	Low

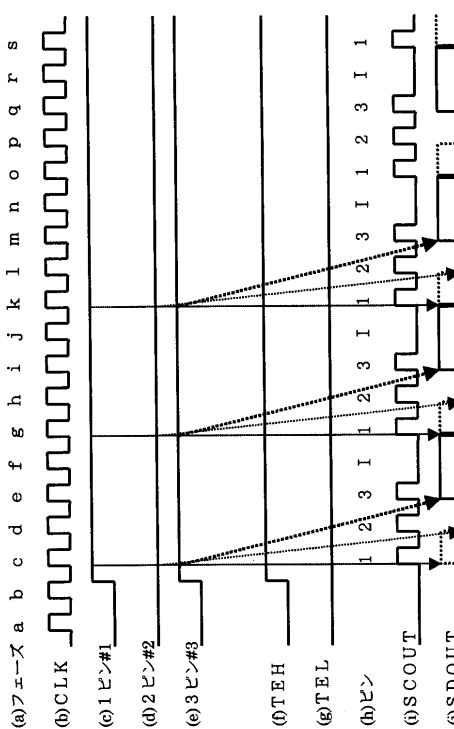
【 図 9 】

TEL	TEH	SFTE (同期)	TSTH (非同期)	TSTL (非同期)	動作モード
Low	Low	Low	High	Low	通常動作
Low	High	High	High	Low	PullUp検査
High	Low	High	Low	High	PullDown検査
High	High	Low	High	Low	通常動作

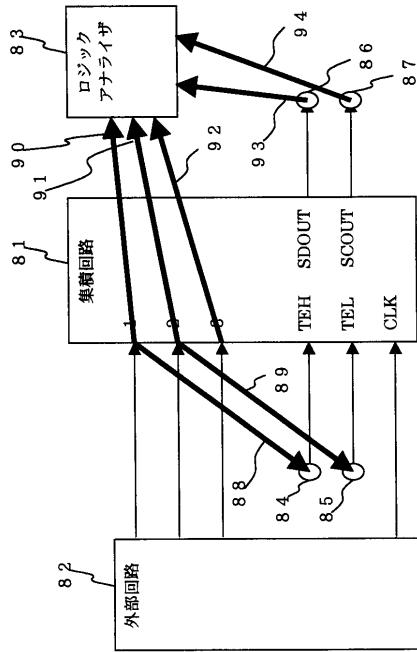
【 図 10 】



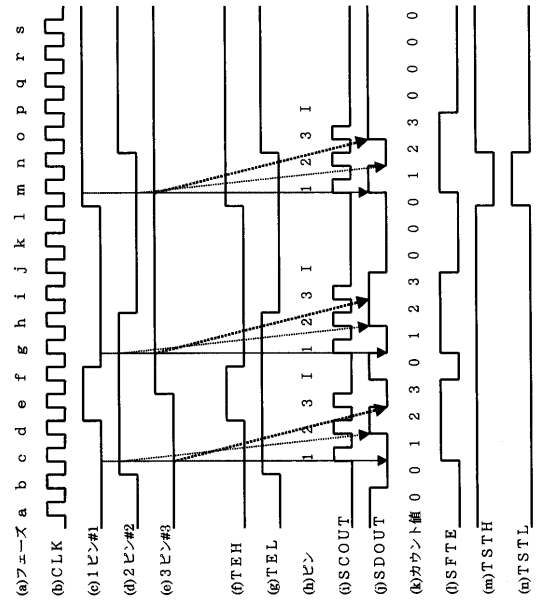
【 図 11 】



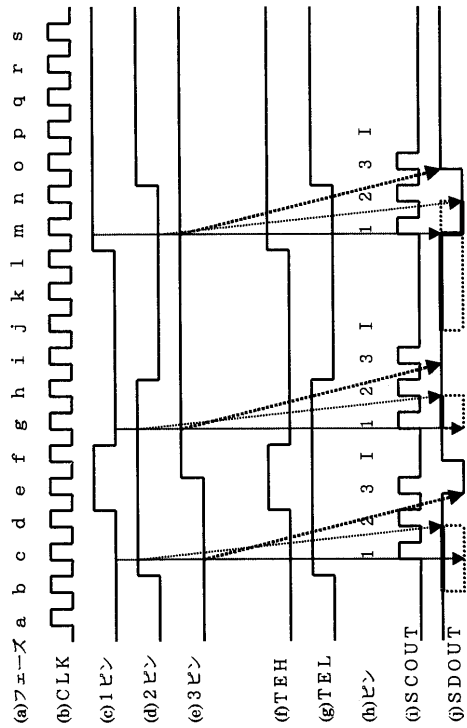
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (56)参考文献 特開平07 - 159493 (JP, A)
特開平11 - 064465 (JP, A)
特開平08 - 023074 (JP, A)
特開平11 - 002658 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G01R 31/28
G01R 31/02