

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 23 日 (23.11.2017)



(10) 国际公布号
WO 2017/197678 A1

- (51) 国际专利分类号:
H01L 21/84 (2006.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2016/085468
- (22) 国际申请日: 2016 年 6 月 12 日 (12.06.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610340811.5 2016年5月20日 (20.05.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐 洪 远 (XU, Hongyuan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL

PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种阵列基板及其制备方法

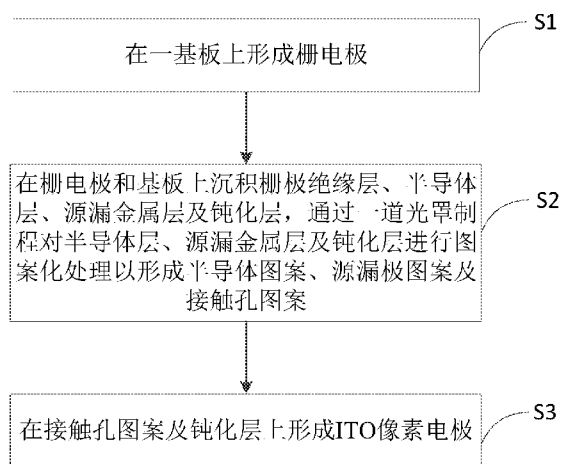


图 1

- S1 Forming a gate electrode on a substrate
- S2 Depositing a gate insulation layer, a semiconductor layer, a source and drain metal layer and a passivation layer on the gate electrode and the substrate, and performing patterning processing on the semiconductor layer, the source and drain metal layer and the passivation layer by means of a photomask process, so as to form a semiconductor pattern, a source and drain pattern and a contact hole pattern
- S3 Forming an ITO pixel electrode on the contact hole pattern and the passivation layer

(57) Abstract: An array substrate and a preparation method therefor. The preparation method comprises: step S1, forming a gate electrode (1021) on a substrate (101); step S2, depositing a gate insulation layer (103), a semiconductor layer (104), a source and drain metal layer (105) and a passivation layer (107) on the gate electrode (1021) and the substrate (101), and performing patterning processing on the semiconductor layer (104), the source and drain metal layer (105) and the passivation layer (107) by means of a photomask process, so as to form a semiconductor pattern (1041), a source and drain pattern (1051) and a contact hole pattern (108); and step S3, forming an ITO pixel electrode (110) on the contact hole pattern (108) and the passivation layer (107). By means of this method, a photomask process is used to form a semiconductor pattern (1041), a source and drain pattern (1051) and a contact hole pattern (108), so that the process of an array substrate is reduced to three-photomask, thereby lowering the process costs, reducing the operation time and improving the production efficiency.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种阵列基板及其制备方法。所述制备方法包括：步骤S1，在一基板（101）上形成栅电极（1021）；步骤S2，在栅电极（1021）和基板（101）上沉积栅极绝缘层（103）、半导体层（104）、源漏金属层（105）及钝化层（107），通过一道光罩制程对半导体层（104）、源漏金属层（105）及钝化层（107）进行图案化处理以形成半导体图案（1041）、源漏极图案（1051）及接触孔图案（108）；步骤S3，在接触孔图案（108）及钝化层（107）上形成ITO像素电极（110）。通过这种方式，利用一道光罩制程形成半导体图案（1041）、源漏极图案（1051）及接触孔图案（108），使得阵列基板的制程缩减到三道光罩，从而降低制程成本、减小作业时间，提高生产效率。

发明名称：一种阵列基板及其制备方法

[1] 【技术领域】

[2] 本发明涉及显示技术领域，尤其涉及一种阵列基板及其制备方法。

[3] 【背景技术】

[4] 液晶显示面板（Liquid crystal displays, LCDs）是一种被广泛应用的平板显示器，主要是通过液晶开关调制背光源光场强度来实现画面显示。LCDs的制程中包含阵列基板的制程，传统阵列基板的制程一般采用五道光罩技术或四道光罩技术，五道光罩技术是将栅电极、半导体层、源漏极、钝化层及透明电极层分别通过一道光罩进行制备；四道光罩技术是将半导体层和源漏极用一道半色调光罩或多灰阶光罩同时形成。

[5] 在阵列基板的制程中，采用的光罩次数越多，制程成本越高，相应的作业时间也越长，生产效率越低。

[6] 【发明内容】

[7] 本发明的目的在于提供一种阵列基板及其制备方法，旨在解决阵列基板中光罩次数过多而导致制程成本高、作业时间长、生产效率低的问题。

[8] 为实现上述目的，本发明提供一种阵列基板的制备方法，该方法包括：

[9] 在一基板上形成栅金属层；

[10] 利用第一道光罩制程对栅金属层进行图案化处理以形成栅电极；

[11] 在栅电极和基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过第二道光罩制程对半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案；

[12] 在钝化层上沉积ITO导电层；

[13] 利用第三道光罩制程对ITO导电层进行图案化处理以形成ITO像素电极。

[14] 为实现上述目的，本发明提供一种阵列基板的制备方法，该方法包括：

[15] 在一基板上形成栅电极；

[16] 在栅电极和基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过一

道光罩制程对半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案；

[17] 在接触孔图案及钝化层上形成ITO像素电极。

[18] 其中，在栅电极和基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过一道光罩制程对半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案包括：

[19] 在栅电极和基板上依次沉积栅极绝缘层、半导体层及源漏金属层，并覆盖第一光阻；

[20] 利用一光罩对半导体层、源漏金属层、第一光阻进行图案化处理以形成半导体图案、源漏极图案及剩余的第二光阻，剩余的第二光阻位于源漏金属层之上；

[21] 在基板上沉积钝化层，钝化层覆盖栅极绝缘层、半导体图案、源漏极图案及第二光阻；

[22] 清除第二光阻及第二光阻上的钝化层以形成接触孔图案。

[23] 其中，利用一光罩对半导体层、源漏金属层、第一光阻进行图案化处理以形成半导体图案、源漏极图案及剩余的第二光阻包括：

[24] 利用一光罩对第一光阻进行曝光，暴露出基板两端的源漏金属层，且使第一光阻形成三种不同的厚度，其中三种不同的厚度分别为第一光阻对应半导体图案的第一区域光阻的厚度、第一光阻对应源漏极图案的第二区域光阻的厚度及第一光阻对应第二光阻的第三区域光阻的厚度；

[25] 利用干刻和湿刻清除暴露的源漏金属层及对应的半导体层；

[26] 对第一光阻进行灰化处理以清除对应半导体图案的第一区域光阻；

[27] 利用干刻和湿刻清除对应半导体图案上的源漏金属层以形成半导体图案；

[28] 对第二区域光阻及第三区域光阻进行灰化处理以形成源漏极图案，第三区域光阻剩余第二光阻。

[29] 其中，光罩为多灰阶光罩，多灰阶光罩具有四种不同的透光率。

[30] 其中，多灰阶光罩对应第一区域光阻的第一部分的透光性小于多灰阶光罩对应第二区域光阻的第二部分的透光性，多灰阶光罩对应第二区域光阻的第二部分的透光性小于多灰阶光罩对应第三区域光阻的第三部分的透光性，多灰阶光罩

除去第一部分、第二部分及第三部分的其余部分为不透膜。

[31] 其中，清除第二光阻及第二光阻上的钝化层以形成接触孔图案之前包括：

[32] 利用激光照射第二光阻。

[33] 其中，清除第二光阻及第二光阻上的钝化层以形成接触孔图案包括：

[34] 利用拔起微影制程对第二光阻及第二光阻上的钝化层进行清除，形成接触孔图案。

[35] 其中，在栅电极和基板上依次沉积栅极绝缘层、半导体层及源漏金属层包括：

[36] 利用化学气相沉积技术在栅电极和基板上依次沉积栅极绝缘层及半导体层；

[37] 利用物理气相沉淀技术在半导体层上沉积源漏金属层。

[38] 其中，利用化学气相沉积技术在栅电极和基板上沉积半导体层包括：

[39] 利用化学气相沉积技术在栅电极和基板上沉积非晶硅层；

[40] 对非晶硅层进行掺杂形成掺杂非晶硅层。

[41] 其中，掺杂非晶硅层为N+掺杂非晶硅层。

[42] 其中，在接触孔图案及钝化层上形成ITO像素电极包括：

[43] 在钝化层上沉积ITO导电层；

[44] 利用第三道光罩制程对ITO导电层进行图案化处理以形成ITO像素电极。

[45] 其中，在钝化层上沉积ITO导电层包括：

[46] 利用物理气相沉积法在钝化层上沉积ITO导电层。

[47] 其中，第三道光罩制程为黄光制程，包括显影、湿刻及干刻。

[48] 其中，在一基板上形成栅电极包括：

[49] 在基板上形成栅金属层；

[50] 利用第一道光罩制程对栅金属层进行图案化处理以形成栅电极。

[51] 其中，栅金属层的材料为金、银、铜或铁。

[52] 其中，第一道光罩制程为黄光制程，包括显影、湿刻及干刻。

[53] 为实现上述目的，本发明提供一种阵列基板，包括：

[54] 基板及在基板上形成的栅电极；

[55] 形成于栅电极和基板上的栅极绝缘层、半导体层、源漏金属层、钝化层，及通过一道光罩制程形成的半导体图案、源漏极图案、接触孔图案；

- [56] 形成于接触孔图案与钝化层上的ITO像素电极。
- [57] 其中，栅电极形成于利用第一道光罩制程对基板上的栅金属层进行图案化处理的过程中。
- [58] 其中，ITO像素电极形成于利用第三道光罩制程对接触孔图案与钝化层上的ITO导电层进行图案化处理的过程中。
- [59] 本发明的有益效果是：区别于现有技术的情况，本发明通过在一基板上形成栅电极；在栅电极和基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过一道光罩制程对半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案；在接触孔图案及钝化层上形成ITO像素电极。通过这种方式，本发明利用一道光罩制程形成半导体图案、源漏极图案及接触孔图案，使得阵列基板的制程缩减到三道光罩，从而降低制程成本、减小作业时间，提高生产效率。

[60] **【附图说明】**

- [61] 图1是本发明阵列基板的制备方法第一实施方式的流程示意图；
- [62] 图2是图1中步骤S1的具体流程示意图；
- [63] 图3a-图3b是图2各步骤中阵列基板的截面示意图；
- [64] 图4是图1中步骤S2的具体流程示意图；
- [65] 图5a-图5d是图4各步骤中阵列基板的截面示意图；
- [66] 图6是图1中步骤S3的具体流程示意图；
- [67] 图7a-图7b是图6各步骤中阵列基板的截面示意图；
- [68] 图8是本发明阵列基板的制备方法第二实施方式的流程示意图；
- [69] 图9a-图9j是图8各步骤中阵列基板的截面示意图；
- [70] 图10是本发明阵列基板第一实施方式的截面示意图。

[71] **【具体实施方式】**

- [72] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明所提供的一种阵列基板及其制备方法做进一步详细描述。

- [73] 如图1所示，是本发明阵列基板的制备方法第一实施方式的流程图，该阵列基板的制备方法具体包括如下步骤：

[74] S1: 在一基板101上形成栅电极1021;

[75] 具体地, 基板101可以是PEN(Polyethylene naphthalene, 聚萘二甲酸乙二醇酯)或PET(Polyethylene terephthalate, 聚对苯二甲酸乙二醇酯)或PI(Polyimide, 聚酰亚胺)或玻璃制成的。

[76] 如图2所示, 该步骤可具体包括:

[77] S101: 通过溅镀等方式在该基板101的上表面形成一栅金属层102, 该栅金属层102的材料包含但不限于金、银、铜或铁等材料, 请参阅图3a;

[78] S102: 利用第一道光罩制程对栅金属层102进行图案化处理以形成栅电极1021。

[79] 可以采用黄光制程(如显影、湿刻、干刻等)通过第一光罩对栅金属层102进行图形化处理, 此时, 处理后的栅金属层102可以作为栅电极1021。该栅电极1021是底栅电极1021, 可以位于基板101上表面的中部, 请参阅图3b。

[80] 底栅电极1021的俯视图的图案包括但不限于: 直线图案、曲线图案、多边形图案、圆形图案、椭圆形图案或星形图案等图案, 可以理解, 具体的图案形状可根据实际使用来确定, 本发明的实施方案在此不作具体限定。

[81] S2: 在栅电极1021和基板101上沉积栅极绝缘层103、半导体层104、源漏金属层105及钝化层107, 通过一道光罩制程对半导体层104、源漏金属层105及钝化层107进行图案化处理以形成半导体图案1041、源漏极图案1051及接触孔图案108;

[82] 具体地, 如图4所示, 该步骤可包括:

[83] S103: 在栅电极1021和基板101上依次沉积栅极绝缘层103、半导体层104及源漏金属层105, 并覆盖第一光阻106;

[84] 请查阅图5a, 可选利用化学气相沉积法在栅电极1021和基板101上首先沉积栅极绝缘层103, 栅极绝缘层103包覆栅电极1021, 栅极绝缘层103远离栅电极1021的上表面可选为一平整面;

[85] 然后在栅极绝缘层103上沉积半导体层104, 可选在栅极绝缘层103上首先沉积第一层的非晶硅(a-Si)半导体材料(图中未示出), 在非晶硅层上沉积高掺杂的硅的层, 例如N⁺层, 形成非晶硅半导体层104;

- [86] 再通过物理气相沉积法等方式在非晶硅半导体层104上形成源漏金属层105，源漏金属层105包括但不限于：铝、铜、钴、钛等金属；
- [87] 在源漏金属层105上覆盖第一光阻106，光阻是一种光敏性物质，经曝光、显影后留下的部分对底层起保护作用，然后进行蚀刻脱膜并最终可获得需要的图案。
- [88] S104：利用一光罩对半导体层104、源漏金属层105、第一光阻106进行图案化处理以形成半导体图案1041、源漏极图案1051及剩余的第三光阻1061，剩余的第三光阻1061位于源漏金属层105之上；
- [89] 在传统制程中，形成半导体图案1041、源漏极图案1051、接触孔图案108中需要用到三道光罩，而在步骤S104中，请参阅图5b，利用一道光罩即可形成半导体图案1041、源漏极图案1051，而第一光阻106曝光显影后剩余的第三光阻1061可为后续形成接触孔图案108做准备，大大缩减了制程流程，降低制程成本。
- [90] 这里光罩可选多灰阶光罩，多灰阶光罩具有3中以上不同的透光率，对光阻进行曝光显影后可以形成不同的光阻厚度，为半导体层104、源漏金属层105及第一光阻106的图案化处理做准备。
- [91] 其中，半导体图案1041包括沟道1043、掺杂区1042及存储电容部分（图中未示出），源漏极图案1051包括源极1052、漏极1053和数据线（图中未示出），第三光阻1061位于源漏极图案1051的漏极1053上。
- [92] S105：在基板101上沉积钝化层107，钝化层107覆盖栅极绝缘层103、半导体图案1041、源漏极图案1051及第三光阻1061；
- [93] 请参阅图5c，利用化学气相沉积法在基板101上沉积钝化层107，钝化层107覆盖两端暴露的栅极绝缘层103、源漏极图案1051、半导体图案1041中的沟道1043、及第三光阻1061。
- [94] S106：清除第三光阻1061及第三光阻1061上的钝化层107以形成接触孔图案108。
- [95] 利用拔起微影（lift-off）制程对第三光阻1061及第三光阻1061上的钝化层107进行清除，lift-off制程是通过突起的光阻图形使钝化层107在需要形成接触孔图案108的位置上有突起，再用去光阻的方式将第三光阻1061部分拔起，也就是清除

，同时第二光阻1061上的钝化层107也被清除，第二光阻1061所在的位置上形成凹陷，也就形成需要的接触孔图案108，请参阅图5d。

[96] 利用lift-off制程形成接触孔图案108的过程中，为了提高效率，可在第二光阻1061被清除前，利用激光照射第二光阻1061，从而使得第二光阻1061更容易被清除。

[97] 另外，在利用lift-off制程形成接触孔图案108时，即使形成的接触孔图案108出现不整齐的现象，也不会影响阵列基板的显示效果，这主要是由于接触孔图案108主要起到连接源漏极与像素电极的作用，并不对显示效果造成影响；而且利用这种方式形成的所有接触孔图案108的尺寸接近，也就不存在去光阻时均匀性差的问题。

[98] S3：在接触孔图案108及钝化层107上形成ITO像素电极110。

[99] 具体地，如图6所示，该步骤可包括：

[100] S107：在钝化层107上沉积ITO导电层109；

[101] 利用物理气相沉积法在钝化层107上沉积ITO导电层109，如图7a所示。

[102] S108：利用第三道光罩制程对ITO导电层109进行图案化处理以形成ITO像素电极110。

[103] 第三道光罩制程可选采用黄光制程，包括显影、湿刻、干刻等工艺，通过第三光罩对ITO导电层109进行图案化处理，处理后的ITO导电层109可以作为像素电极110使用，如图7b所示。

[104] 在对ITO导电层109进行图案化处理时，需要使得处理后的图案边缘整齐，并且ITO像素电极110控制在一定的宽度，从而使得组合后的显示面板的亮度均匀，不会产生各种痕迹，本实施方式中，第三道光罩制程采用传统的黄光制程，可使形成的ITO像素电极110获得与传统的五道光罩或四道光罩技术中相同的显示效果，不存在现有技术中利用lift-off制程制作ITO像素电极时出现的图案边缘不整齐、线宽不易控制及显示不均的问题。

[105] 可以看出，本发明阵列基板101第一实施方式，通过在一基板101上形成栅电极1021；在栅电极1021和基板101上沉积栅极绝缘层103、半导体层104、源漏金属层105及钝化层107，通过一道光罩制程对半导体层104、源漏金属层105及钝化

层107进行图案化处理以形成半导体图案1041、源漏极图案1051及接触孔图案108；在接触孔图案108及钝化层107上形成ITO像素电极110。通过这种方式，本发明利用一道光罩制程形成半导体图案1041、源漏极图案1051及接触孔图案108，使得阵列基板的制程缩减到三道光罩，从而降低制程成本、减小作业时间，提高生产效率。

[106] 如图8所示，是本发明阵列基板的制备方法第二实施方式，图9a-图9j是本实施方式中各步骤的截面示意图，请参阅图8和图9，该阵列基板的制备方法具体包括如下步骤：

[107] S201：在一基板201上形成栅电极202；

[108] 具体地，基板201可以是PEN(Polyethylene naphthalene，聚萘二甲酸乙二醇酯)或PET(Polyethylene terephthalate，聚对苯二甲酸乙二醇酯)或PI(Polyimide，聚酰亚胺)制成的。

[109] 通过溅镀等方式在该基板201的上表面形成一栅金属层(图中为示出)，栅金属层的材料包含但不限于金、银、铜或铁等材料；利用第一道光罩制程对栅金属层进行图案化处理以形成栅电极202，如图9a所示。

[110] S202：在栅电极202和基板201上依次沉积栅极绝缘层203、半导体层204及源漏金属层205，并覆盖第一光阻206；

[111] 请查阅图9b，可选利用化学气相沉积法在栅电极202和基板201上首先沉积栅极绝缘层203，栅极绝缘层203包覆栅电极202，栅极绝缘层203远离栅电极202的上表面可选为一平整面；

[112] 然后在栅极绝缘层203上沉积半导体层204，可选在栅极绝缘层203上首先沉积第一层的非晶硅(a-Si)半导体材料(图中为示出)，然后在非晶硅层上沉积高掺杂的硅的层，例如N⁺层，形成非晶硅半导体层204；

[113] 再通过物理气相沉积法等方式在非晶硅半导体层204上形成源漏金属层205，源漏金属层205包括但不限于：铝、铜、钴、钛等金属；

[114] 在源漏金属层205上覆盖第一光阻206，光阻是一种光敏性物质，经曝光、显影后留下的部分对底层起保护作用，然后进行蚀刻脱膜并最终可获得需要的图案。

- [115] S203: 利用一光罩30对第一光阻206进行曝光, 暴露出基板201两端的源漏金属层205, 且使第一光阻206形成三种不同的厚度, 其中三种不同的厚度分别为第一光阻206对应半导体图案2041的第一区域光阻2061的厚度、第一光阻206对应源漏极图案2051的第二区域光阻2062的厚度及第一光阻206对应第二光阻2064的第三区域光阻2063的厚度;
- [116] 请参阅图9c, 光罩30选用多灰阶光罩30, 多灰阶光罩30具有四种不同的透光率, 多灰阶光罩30的两端为不透膜31, 对第一光阻206进行曝光后使得不透膜31对应的区域被清除, 多灰阶光罩31的中间区域包含三种不同透光率的材料32/33/34, 使第一光阻206曝光后形成三种不同的厚度, 其中第一区域光阻2061的厚度最小、第三区域光阻2063的厚度最大, 第二区域光阻2062的厚度位于这两者之间。
- [117] 为了便于说明问题, 以具体数字进行举例, 并不表示任何限定。比如, 令第一区域光阻2061的厚度为 $0.5\mu\text{m}$, 第二区域光阻2062的厚度为 $1\mu\text{m}$, 第三区域光阻2063的厚度为 $2.5\mu\text{m}$ 。
- [118] S204: 利用干刻和湿刻清除暴露的源漏金属层205及对应的半导体层204;
- [119] 请参阅图9d, 利用一次湿刻清除两端的暴露的源漏金属层205, 再利用一次干刻清除两端源漏金属层205下方的半导体层204, 使得位于两端的栅极绝缘层203暴露。
- [120] S205: 对第一光阻206进行灰化处理以清除对应半导体图案2041的第一区域光阻2061;
- [121] 请参阅图9e, 利用氧烧光阻对具有三种不同膜厚的第一光阻206进行灰化处理, 清除对第一区域光阻2061, 清除的厚度为 $0.5\mu\text{m}$, 因此清除后第二区域光阻2062的剩余厚度为 $0.5\mu\text{m}$, 第三区域光阻2063的剩余厚度为 $2\mu\text{m}$ 。
- [122] S206: 利用干刻和湿刻清除对应半导体图案2041上的源漏金属层205以形成半导体图案2041;
- [123] 请参阅图9f, 利用一次干刻和一次湿刻清除掉位于原第一区域光阻2061下方的源漏金属层205, 同时清除掉位于源漏极金属层下方的高掺杂的硅的层, 暴露出沟道2043和掺杂区2042, 形成半导体图案2041, 半导体图案2041包括沟道2043

、掺杂区2042及存储电容部分（图中未示出）。

[124] S207: 对第二区域光阻2062及第三区域光阻2063进行灰化处理以形成源漏极图案2051, 第三区域光阻2063剩余第二光阻2064;

[125] 请参阅图9g, 利用氧烧光阻对第二区域光阻2062及第三区域光阻2063进行灰化处理, 形成源漏极图案2051, 源漏极图案2051包括源极2052、漏极2053和数据线（图中未示出）。

[126] 清除的第二区域光阻2062的厚度为 $0.5\mu\text{m}$, 因此第三区域光阻2063的剩余厚度为 $1.5\mu\text{m}$, 剩余的第三区域光阻2063称为第二光阻2064, 第二光阻2064位于源漏极图案2051的漏极2053上。

[127] S208: 在基板201上沉积钝化层207, 钝化层207覆盖栅极绝缘层203、半导体图案2041、源漏极图案2051及第二光阻2064;

[128] 请参阅图9h, 利用化学气相沉积法在基板201上沉积钝化层207, 钝化层207覆盖两端暴露的栅极绝缘层203、源漏极图案2051、半导体图案2041中的沟道2043、及第二光阻2064。

[129] S209: 清除第二光阻2064及第二光阻2064上的钝化层207以形成接触孔图案208;

[130] 请参阅图9i, 利用拔起微影（lift-off）制程对第二光阻2064及第二光阻2064上的钝化层207进行清除, lift-off制程是通过突起的光阻图形使钝化层207在需要形成接触孔图案208的位置上有突起, 再用去光阻的方式将第二光阻2064部分拔起, 也就是清除, 同时第二光阻2064上的钝化层207也被清除, 第二光阻2064所在的位置上形成凹陷, 也就形成需要的接触孔图案208。

[131] 利用lift-off制程形成接触孔图案208的过程中, 为了提高效率, 可在第二光阻2064被清除前, 利用激光照射第二光阻2064, 从而使得第二光阻2064更容易被清除。

[132] 另外, 在利用lift-off制程形成接触孔图案208时, 即使形成的接触孔图案208出现不整齐的现象, 也不会影响阵列基板的显示效果, 这主要是由于接触孔图案208主要起到连接源漏极与像素电极的作用, 并不对显示效果造成影响; 而且利用这种方式形成的所有接触孔图案208的尺寸接近, 也就不存在光阻去除时均匀

性差的问题。

[133] S210: 在接触孔图案208及钝化层207上形成ITO像素电极209。

[134] 请参阅图9j, 可选利用物理气相沉积法在钝化层207上沉积ITO导电层(图中未示出),

利用第三道光罩制程对ITO导电层进行图案化处理以形成ITO像素电极209。

[135] 第三道光罩制程可选采用黄光制程, 包括显影、湿刻、干刻等工艺, 通过第三光罩对ITO导电层进行图案化处理, 处理后的ITO导电层可以作为ITO像素电极209使用。

[136] 可以看出, 本实施方式中, 通过第一道光罩制程在一基板201上形成栅电极202, 通过第二光罩制程对半导体层204、栅源金属层及钝化层207进行图案化处理以形成半导体图案2041、栅源极2052图案及接触孔图案208, 通过第三道光罩制程形成ITO像素电极209, 最终完成阵列基板的制备。通过这种方式, 阵列基板的制程缩减到三道光罩, 从而降低制程成本、减小作业时间, 提高生产效率。

[137] 如图10所示, 本发明阵列基板第一实施方式, 包括:

[138] 基板401及在基板上形成的栅电极402;

[139] 形成于栅电极402和基板401上的栅极绝缘层403、半导体层404、源漏金属层405、钝化层406, 及通过一道光罩制程形成的半导体图案404、源漏极图案405、接触孔图案407;

[140] 形成于接触孔图案407与钝化层406上的ITO像素电极408。

[141] 本发明阵列基板第二实施方式, 提供一显示面板, 包括上述任一实施方式中的阵列基板。

[142] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围。

权利要求书

[权利要求 1]

一种阵列基板的制备方法，其中，所述方法包括：

在一基板上形成栅金属层；

利用第一道光罩制程对所述栅金属层进行图案化处理以形成所述栅电极；

在所述栅电极和所述基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过第二道光罩制程对所述半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案；

在所述钝化层上沉积ITO导电层；

利用第三道光罩制程对所述ITO导电层进行图案化处理以形成所述ITO像素电极。

[权利要求 2]

一种阵列基板的制备方法，其中，所述方法包括：

在一基板上形成栅电极；

在所述栅电极和所述基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过一道光罩制程对所述半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案；

在所述接触孔图案及所述钝化层上形成ITO像素电极。

[权利要求 3]

根据权利要求2所述的方法，其中，所述在所述栅电极和所述基板上沉积栅极绝缘层、半导体层、源漏金属层及钝化层，通过一道光罩制程对所述半导体层、源漏金属层及钝化层进行图案化处理以形成半导体图案、源漏极图案及接触孔图案包括：

在所述栅电极和所述基板上依次沉积所述栅极绝缘层、所述半导体层及所述源漏金属层，并覆盖第一光阻；

利用一光罩对所述半导体层、所述源漏金属层、所述第一光阻进行图案化处理以形成所述半导体图案、所述源漏极图案及剩余的所述第二光阻，所述第二光阻位于所述源漏金属层之上；

在所述基板上沉积钝化层，所述钝化层覆盖所述栅极绝缘层、所述半导体图案、所述源漏极图案及所述第二光阻；
清除所述第二光阻及所述第二光阻上的钝化层以形成所述接触孔图案。

[权利要求 4]

根据权利要求3所述的方法，其中，所述利用一光罩对所述半导体层、所述源漏金属层、所述第一光阻进行图案化处理以形成所述半导体图案、所述源漏极图案及剩余的所述第二光阻包括：

利用一光罩对所述第一光阻进行曝光，暴露出所述基板两端的所述源漏金属层，且使所述第一光阻形成三种不同的厚度，其中所述三种不同的厚度分别为所述第一光阻对应所述半导体图案的第一区域光阻的厚度、所述第一光阻对应所述源漏极图案的第二区域光阻的厚度及所述第一光阻对应所述第二光阻的第三区域光阻的厚度；

利用干刻和湿刻清除暴露的源漏金属层及对应的所述半导体层；
对所述第一光阻进行灰化处理以清除对应所述半导体图案的第一区域光阻；

利用干刻和湿刻清除对应所述半导体图案上的所述源漏金属层以形成所述半导体图案；

对所述第二区域光阻及所述第三区域光阻进行灰化处理以形成所述源漏极图案，所述第三区域光阻剩余所述第二光阻。

[权利要求 5]

根据权利要求4所述的方法，其中，
所述光罩为多灰阶光罩，所述多灰阶光罩具有四种不同的透光率。

[权利要求 6]

根据权利要求5所述的方法，其中，
所述多灰阶光罩对应所述第一区域光阻的第一部分的透光性小于所述多灰阶光罩对应所述第二区域光阻的第二部分的透光性，所述多灰阶光罩对应所述第二区域光阻的第二部分的透光性小于所述多灰阶光罩对应所述第三区域光阻的第三部分的透光性，所述

多灰阶光罩除去所述第一部分、所述第二部分及所述第三部分的其余部分为不透膜。

[权利要求 7] 根据权利要求3所述的方法，其中，所述清除所述第二光阻及所述第二光阻上的钝化层以形成所述接触孔图案之前包括：
利用激光照射所述第二光阻。

[权利要求 8] 根据权利要求3所述的方法，其中，所述清除所述第二光阻及所述第二光阻上的钝化层以形成所述接触孔图案包括：
利用拔起微影制程对所述第二光阻及所述第二光阻上的钝化层进行清除，形成所述接触孔图案。

[权利要求 9] 根据权利要求3所述的方法，其中，所述在所述栅电极和所述基板上依次沉积所述栅极绝缘层、所述半导体层及所述源漏金属层包括：
利用化学气相沉积技术在所述栅电极和所述基板上依次沉积所述栅极绝缘层及所述半导体层；
利用物理气相沉淀技术在所述半导体层上沉积所述源漏金属层。

[权利要求 10] 根据权利要求9所述的方法，其中，所述利用化学气相沉积技术在所述栅电极和所述基板上沉积所述半导体层包括：
利用化学气相沉积技术在所述栅电极和所述基板上沉积非晶硅层；
对所述非晶硅层进行掺杂形成掺杂非晶硅层。

[权利要求 11] 根据权利要求10所述的方法，其中，
所述掺杂非晶硅层为N+掺杂非晶硅层

[权利要求 12] 根据权利要求2所述的方法，其中，所述在所述接触孔图案及所述钝化层上形成ITO像素电极包括：
在所述钝化层上沉积ITO导电层；
利用第三道光罩制程对所述ITO导电层进行图案化处理以形成所述ITO像素电极。

[权利要求 13] 根据权利要求12所述的方法，其中，所述在所述钝化层上沉积ITO

导电层包括：

利用物理气相沉积法在所述钝化层上沉积ITO导电层。

[权利要求 14]

根据权利要求12所述的方法，其中，

所述第三道光罩制程为黄光制程，包括显影、湿刻及干刻。

[权利要求 15]

根据权利要求2所述的方法，其中，所述在一基板上形成栅电极包括：

在所述基板上形成栅金属层；

利用第一道光罩制程对所述栅金属层进行图案化处理以形成所述栅电极。

[权利要求 16]

根据权利要求15所述的方法，其中，

所述栅金属层的材料为金、银、铜或铁。

[权利要求 17]

根据权利要求15所述的方法，其中，

所述第一道光罩制程为黄光制程，包括显影、湿刻及干刻。

[权利要求 18]

一种阵列基板，其中，包括：

基板及在基板上形成的栅电极；

形成于所述栅电极和所述基板上的栅极绝缘层、半导体层、源漏金属层、钝化层，及通过一道光罩制程形成的半导体图案、源漏极图案、接触孔图案；

形成于所述接触孔图案与所述钝化层上的ITO像素电极。

[权利要求 19]

根据权利要求18所述的阵列基板，其中，

所述栅电极形成于利用第一道光罩制程对所述基板上的栅金属层进行图案化处理的过程中。

[权利要求 20]

根据权利要求18所述的阵列基板，其中，

所述ITO像素电极形成于利用第三道光罩制程对所述接触孔图案与所述钝化层上的ITO导电层进行图案化处理的过程中。

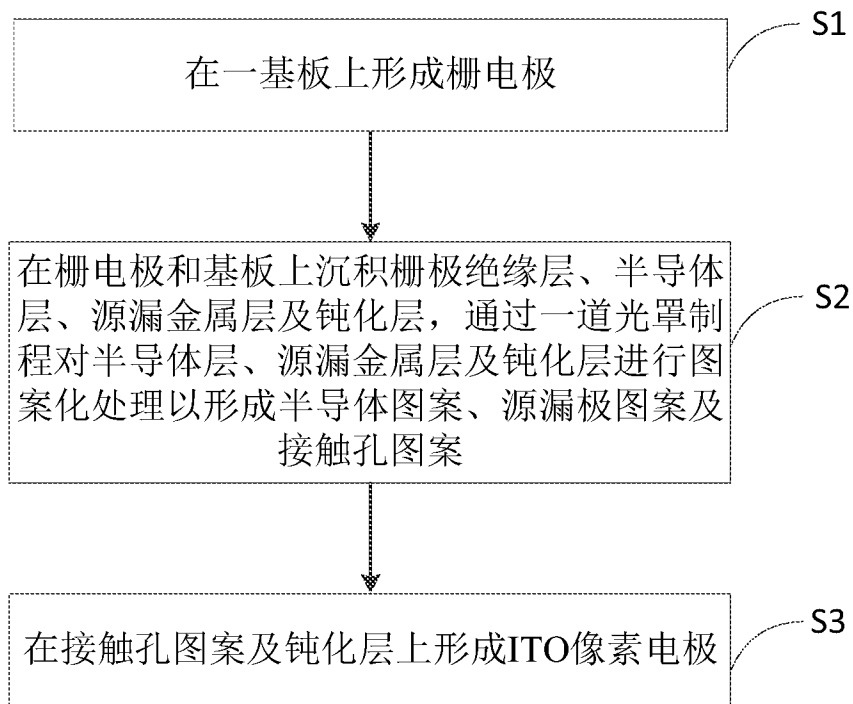


图 1

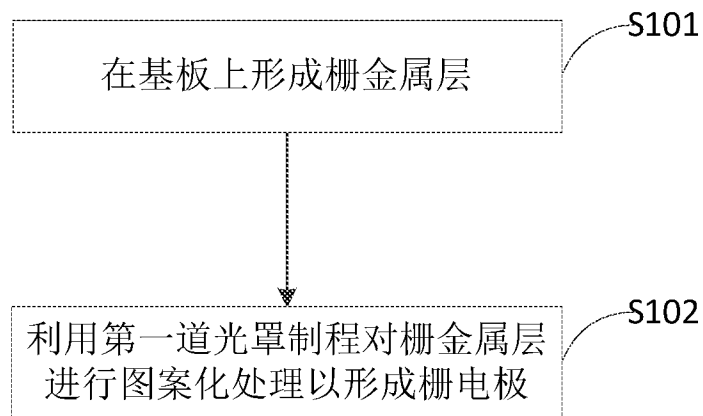


图 2

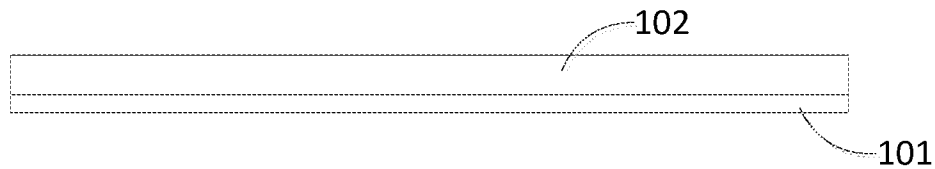


图 3a

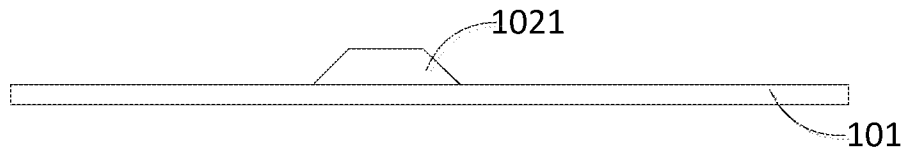


图 3b

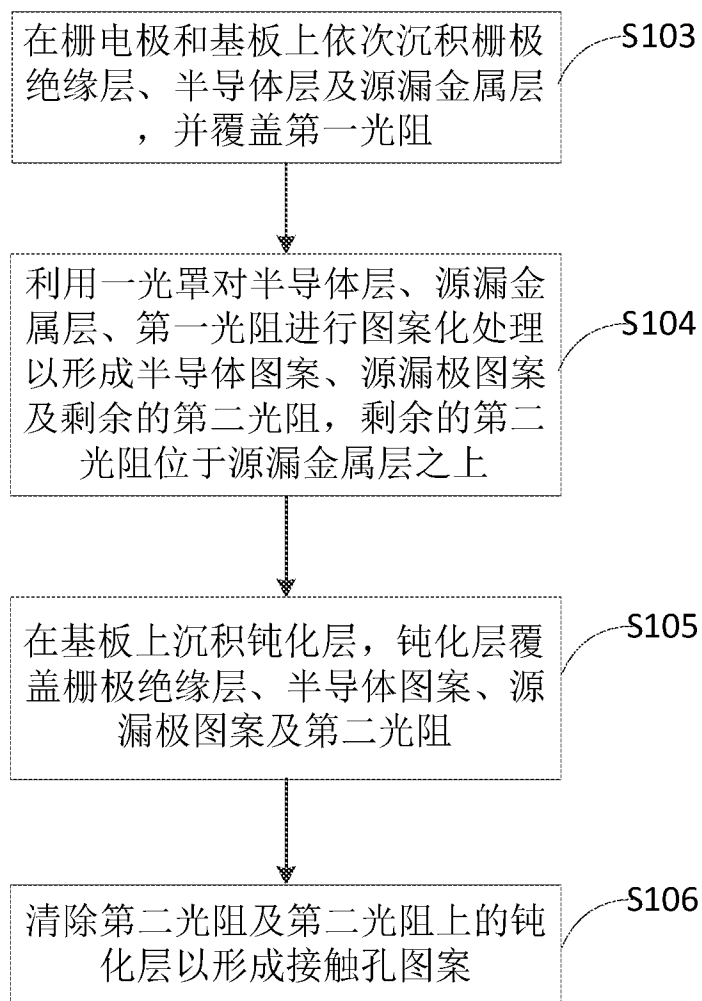


图 4

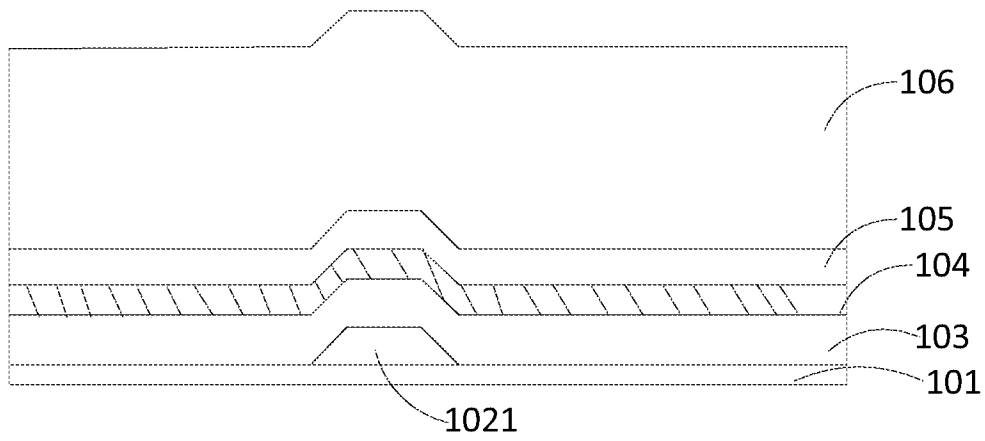


图 5a

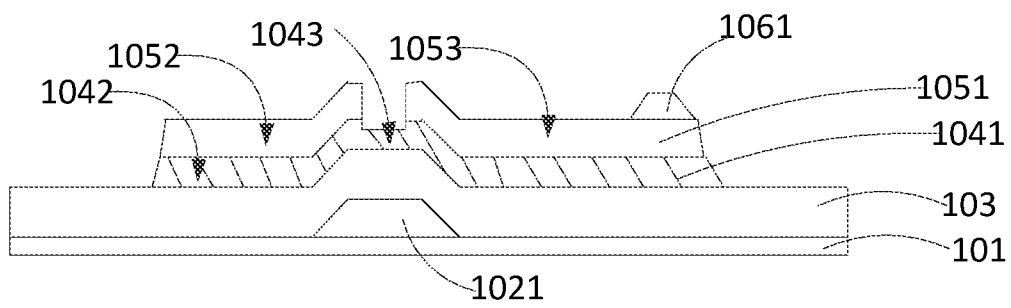


图 5b

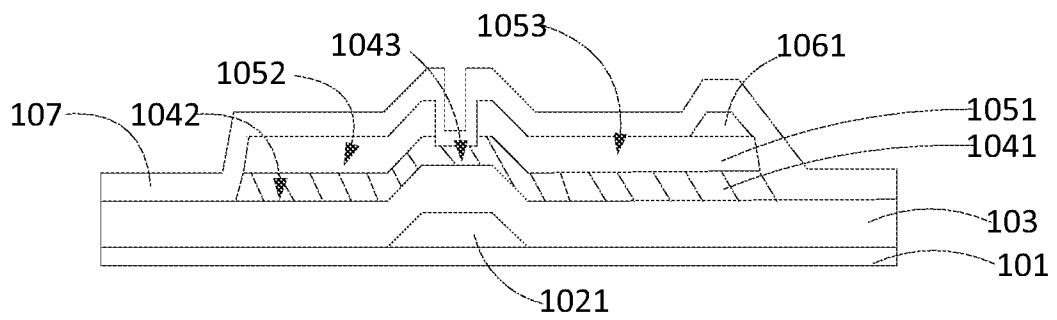


图 5c

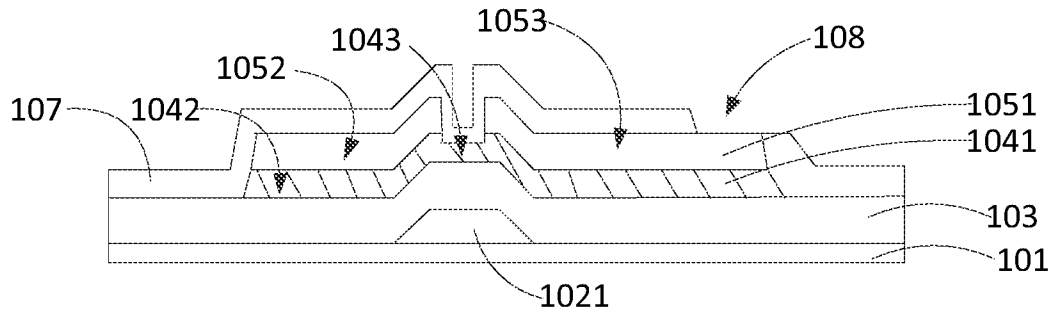


图 5d

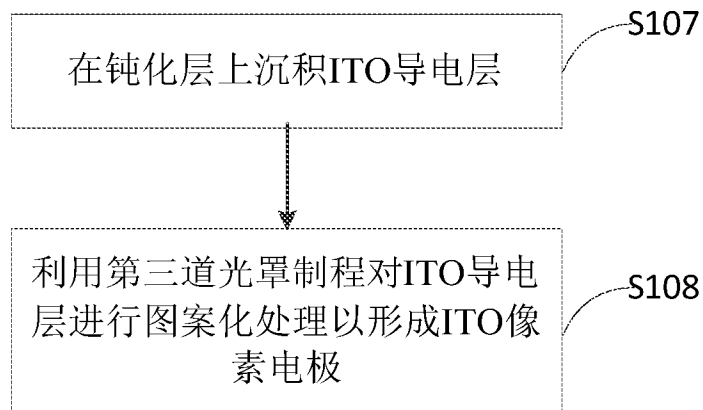


图 6

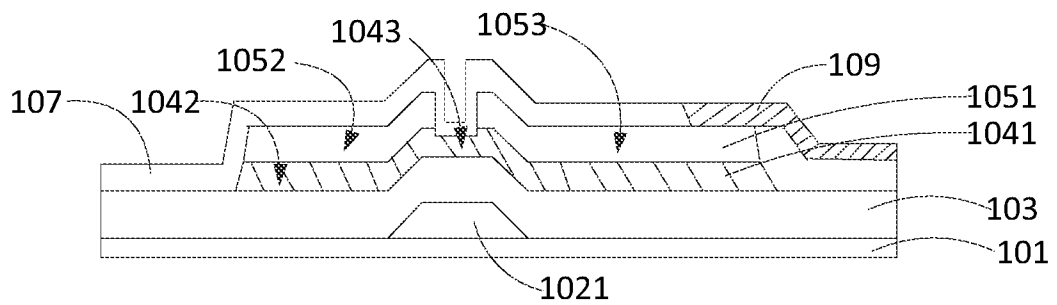


图 7a

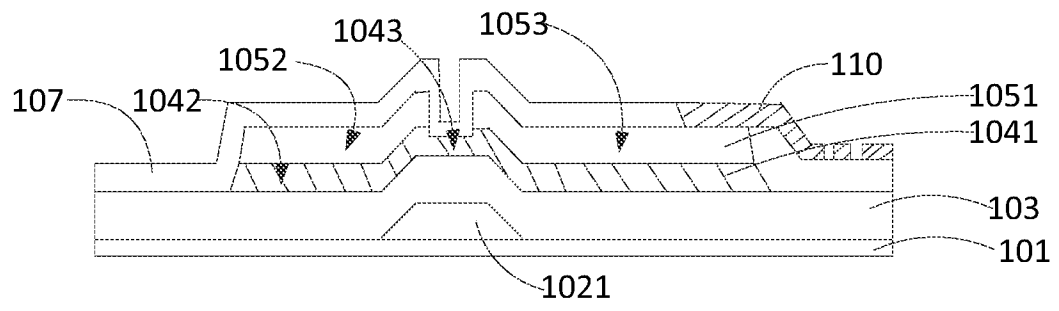


图 7b

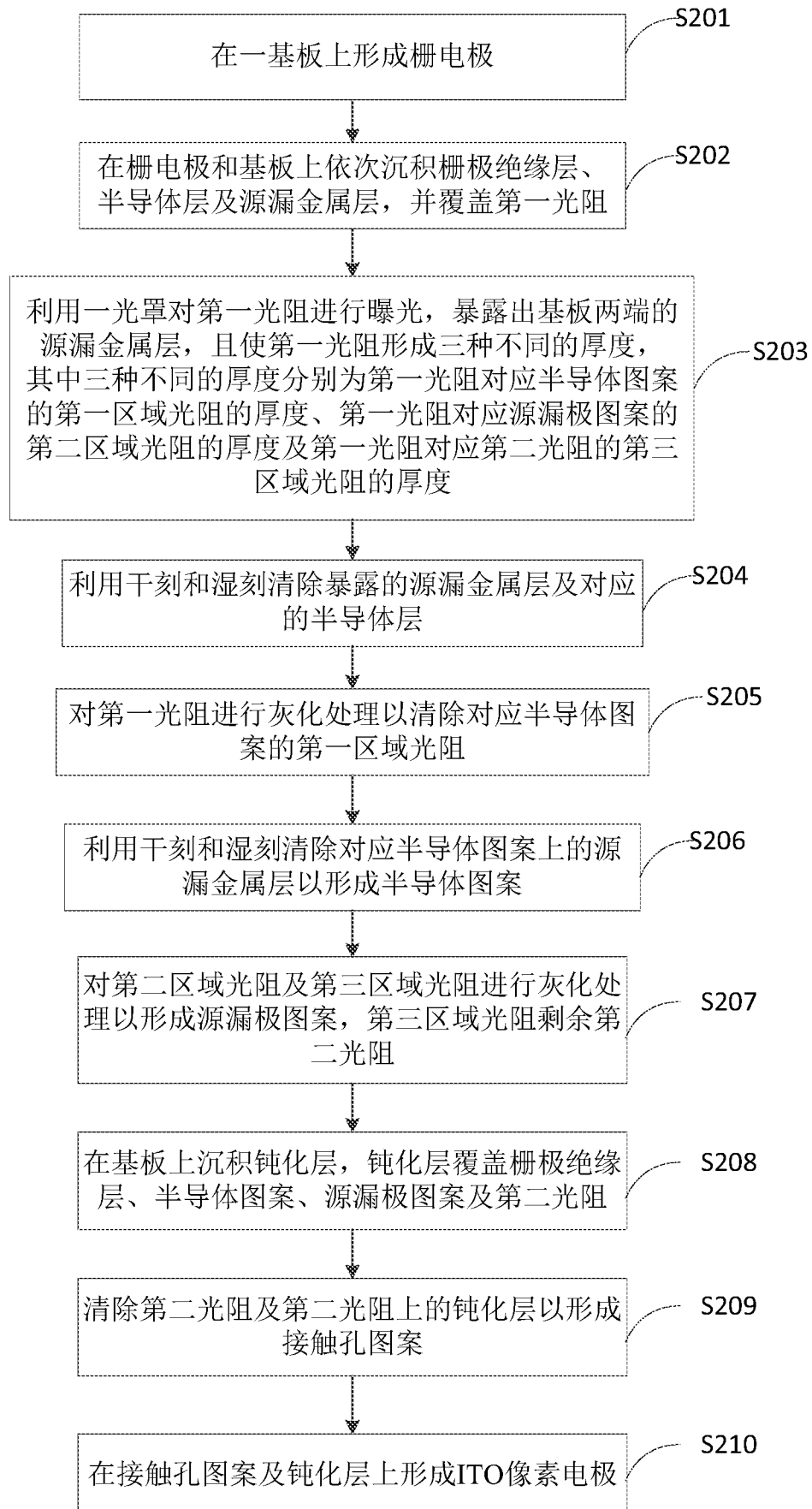


图 8

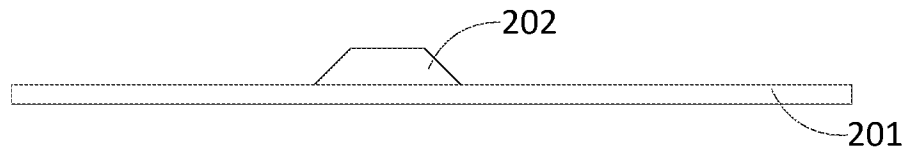


图 9a

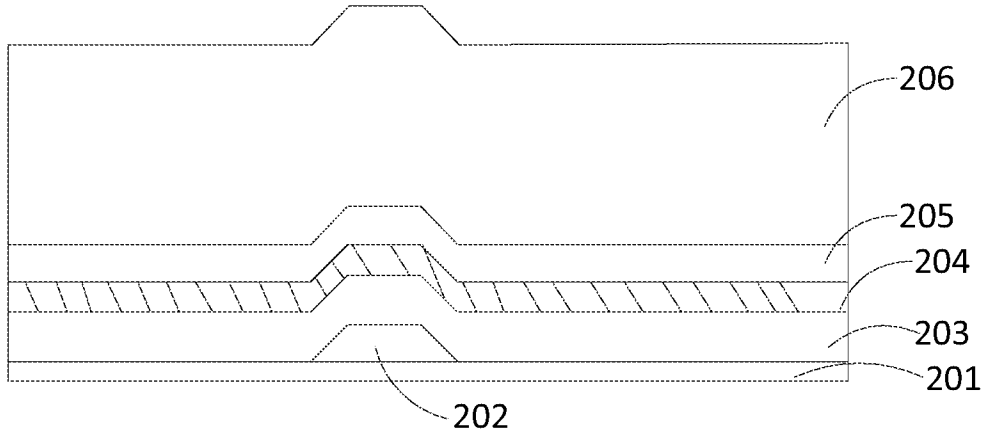


图 9b

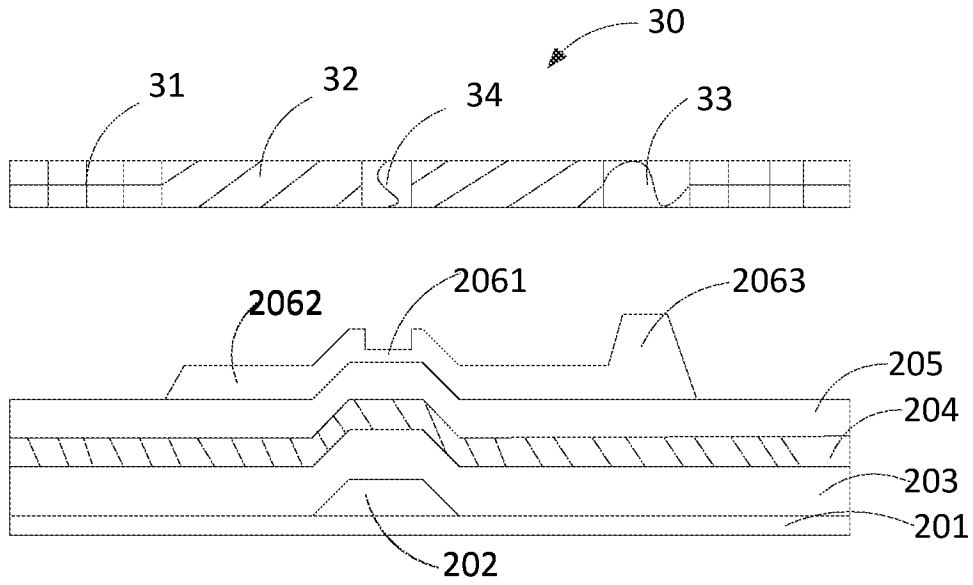


图 9c

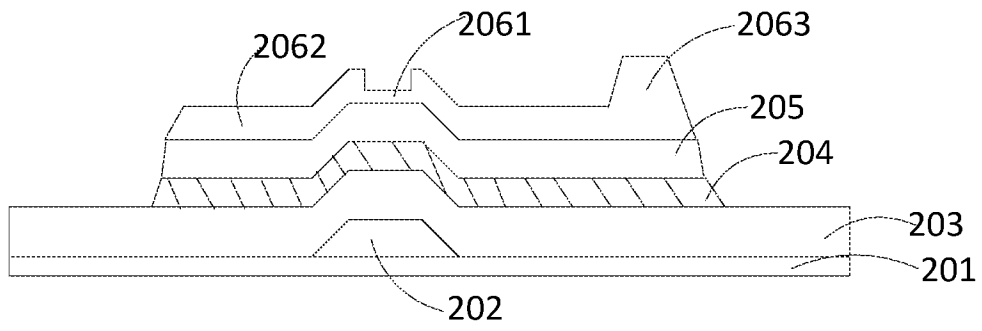


图 9d

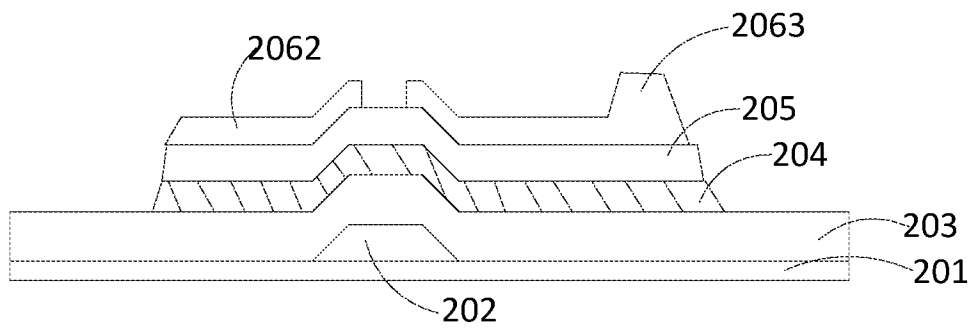


图 9e

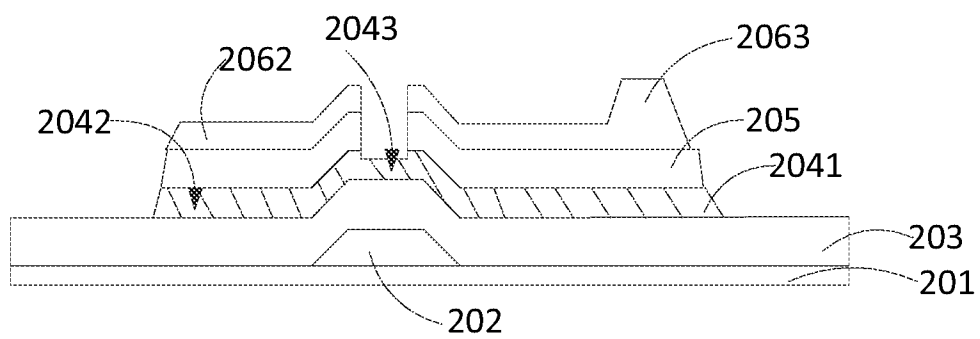


图 9f

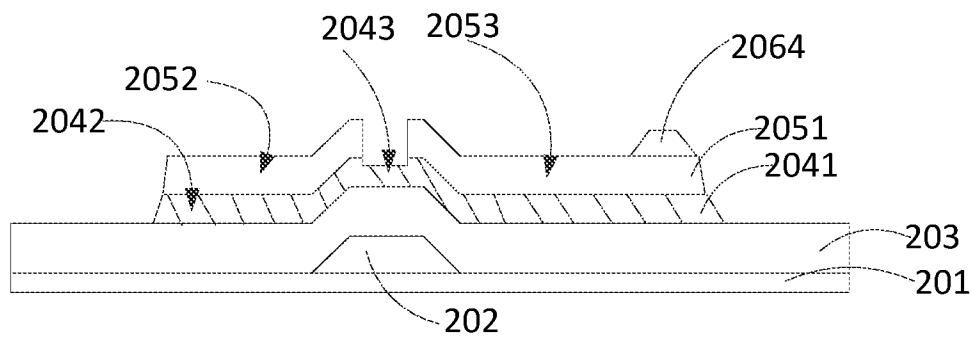


图 9g

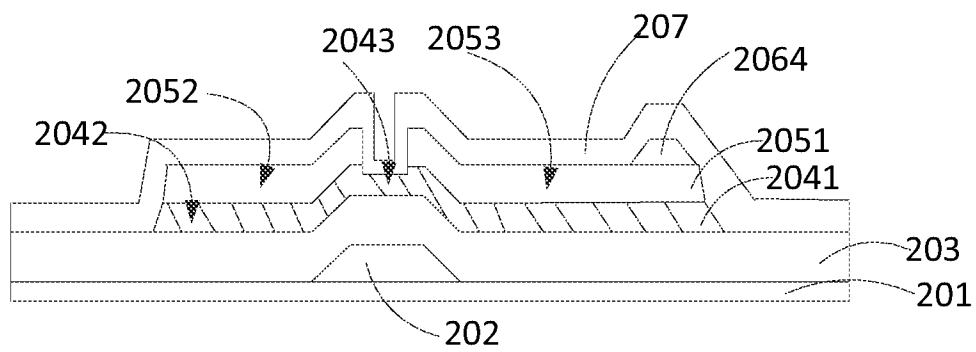


图 9h

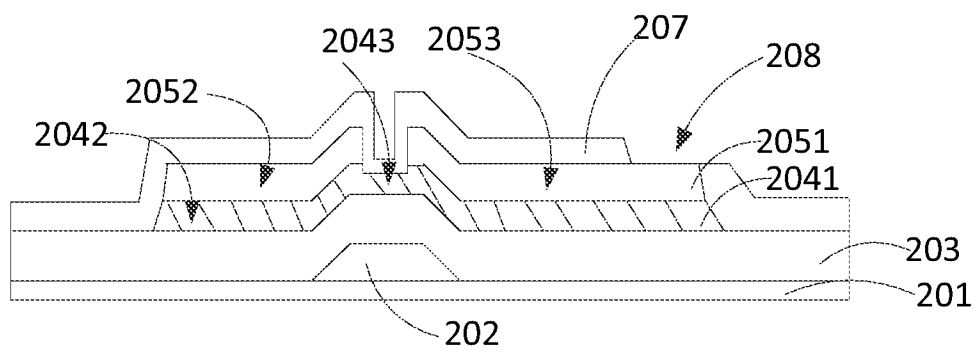


图 9i

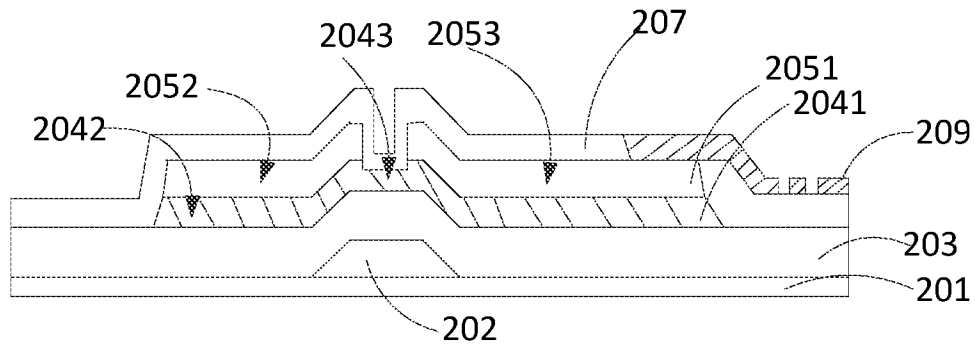


图 9j

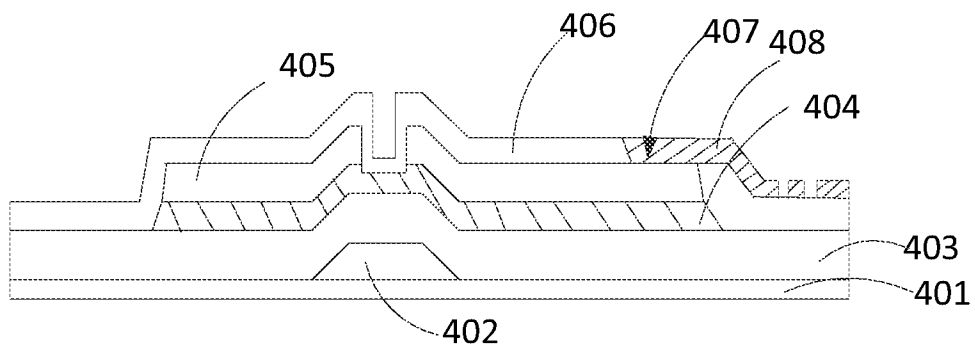


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/085468

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: array substrate, save, photomask, light resistance, lithography, pull up, separation, 3, THREE, ARRAY, SUBSTRATE, MASK, PHOTORESIST, LIFT-OFF, REDUCE, DECREASE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101315909 A (AU OPTRONICS CORP.), 03 December 2008 (03.12.2008), description, page 1, paragraph 2, description, page 5, last paragraph to page 8, paragraph 1, and figures 3A-3I	1-20
Y	CN 102456619 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 May 2012 (16.05.2012), description, paragraphs [0086]-[0103], and figures 9A-13D	1-20
Y	CN 101453163 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 10 June 2009 (10.06.2009), description, page 6, paragraph 4 to page 8, paragraph 3, and figures 2a-6b	1-20
Y	CN 101577255 A (SVA OPTRONICS CO., LTD.), 11 November 2009 (11.11.2009), description, page 4, paragraph 4 to page 5, paragraph 7, and figures 6-8	1-20
A	CN 101533191 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 September 2009 (16.09.2009), the whole document	1-20
A	US 2010197083 A1 (AU OPTRONICS CORP.), 05 August 2010 (05.08.2010), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 January 2017 (04.01.2017)	Date of mailing of the international search report 26 January 2017 (26.01.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Yunli Telephone No.: (86-10) 61648434

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/085468

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101315909 A	03 December 2008	CN 100557787 C	04 November 2009
CN 102456619 A	16 May 2012	US 2012119232 A1	17 May 2012
		CN 102456619 B	15 January 2014
		US 8703510 B2	22 April 2014
CN 101453163 A	10 June 2009	None	
CN 101577255 A	11 November 2009	None	
CN 101533191 A	16 September 2009	CN 101533191 B	29 February 2012
US 2010197083 A1	05 August 2010	US 2008227252 A1	18 September 2008
		US 7732264 B2	08 June 2010
		US 7968389 B2	28 June 2011
		TW 1328861 B	11 August 2010
		TW 200837840 A	16 September 2008

A. 主题的分类 H01L 21/84(2006.01)i; H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC: 阵列基板, 基板, 节省, 减少, 缩减, 光罩, 掩膜, 光阻, 光刻胶, 微影, 拔起, 举离, 浮离, 三, 3, THREE, ARRAY, SUBSTRATE, MASK, PHOTORESIST, LIFT-OFF, REDUCE, DECREASE																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 101315909 A (友达光电股份有限公司) 2008年 12月 3日 (2008 - 12 - 03) 说明书第1页2段, 说明书第5页倒数第1段至第8页第1段、图3A-3I</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 102456619 A (京东方科技集团股份有限公司) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0086]-[0103]段、图9A-13D</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 101453163 A (北京京东方光电科技有限公司) 2009年 6月 10日 (2009 - 06 - 10) 说明书第6页第4段至第8页第3段、图2a-6b</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 101577255 A (上海广电光电子有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第4页第4段至第5页第7段、图6-8</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 101533191 A (北京京东方光电科技有限公司) 2009年 9月 16日 (2009 - 09 - 16) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2010197083 A1 (AU OPTRONICS CORP.) 2010年 8月 5日 (2010 - 08 - 05) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 101315909 A (友达光电股份有限公司) 2008年 12月 3日 (2008 - 12 - 03) 说明书第1页2段, 说明书第5页倒数第1段至第8页第1段、图3A-3I	1-20	Y	CN 102456619 A (京东方科技集团股份有限公司) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0086]-[0103]段、图9A-13D	1-20	Y	CN 101453163 A (北京京东方光电科技有限公司) 2009年 6月 10日 (2009 - 06 - 10) 说明书第6页第4段至第8页第3段、图2a-6b	1-20	Y	CN 101577255 A (上海广电光电子有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第4页第4段至第5页第7段、图6-8	1-20	A	CN 101533191 A (北京京东方光电科技有限公司) 2009年 9月 16日 (2009 - 09 - 16) 全文	1-20	A	US 2010197083 A1 (AU OPTRONICS CORP.) 2010年 8月 5日 (2010 - 08 - 05) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 101315909 A (友达光电股份有限公司) 2008年 12月 3日 (2008 - 12 - 03) 说明书第1页2段, 说明书第5页倒数第1段至第8页第1段、图3A-3I	1-20																					
Y	CN 102456619 A (京东方科技集团股份有限公司) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0086]-[0103]段、图9A-13D	1-20																					
Y	CN 101453163 A (北京京东方光电科技有限公司) 2009年 6月 10日 (2009 - 06 - 10) 说明书第6页第4段至第8页第3段、图2a-6b	1-20																					
Y	CN 101577255 A (上海广电光电子有限公司) 2009年 11月 11日 (2009 - 11 - 11) 说明书第4页第4段至第5页第7段、图6-8	1-20																					
A	CN 101533191 A (北京京东方光电科技有限公司) 2009年 9月 16日 (2009 - 09 - 16) 全文	1-20																					
A	US 2010197083 A1 (AU OPTRONICS CORP.) 2010年 8月 5日 (2010 - 08 - 05) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 1月 4日		国际检索报告邮寄日期 2017年 1月 26日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘云丽 电话号码 (86-10)61648434																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/085468

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101315909	A	2008年 12月 3日	CN	100557787	C	2009年 11月 4日
CN	102456619	A	2012年 5月 16日	US	2012119232	A1	2012年 5月 17日
				CN	102456619	B	2014年 1月 15日
				US	8703510	B2	2014年 4月 22日
CN	101453163	A	2009年 6月 10日	无			
CN	101577255	A	2009年 11月 11日	无			
CN	101533191	A	2009年 9月 16日	CN	101533191	B	2012年 2月 29日
US	2010197083	A1	2010年 8月 5日	US	2008227252	A1	2008年 9月 18日
				US	7732264	B2	2010年 6月 8日
				US	7968389	B2	2011年 6月 28日
				TW	I328861	B	2010年 8月 11日
				TW	200837840	A	2008年 9月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)