

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年8月12日(12.08.2010)

(10) 国際公開番号
WO 2010/089832 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006680
- (22) 国際出願日: 2009年12月8日(08.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-025300 2009年2月5日(05.02.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 信越半導体株式会社(Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 三谷清(MITANI, Kiyoshi) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 大槻剛(OHTSUKI, Tsuyoshi) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 高橋亨(TAKAHASHI, Toru) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP).

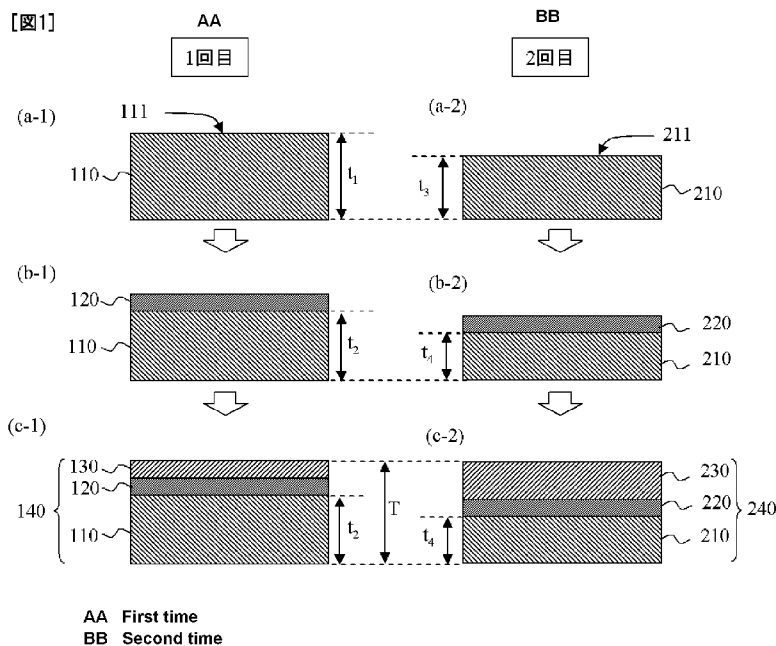
部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 曲偉峰(QU, Wei Feig) [CN/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP).

- (74) 代理人: 好宮幹夫(YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野7丁目6番11号第一下谷ビル8F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SEMICONDUCTOR WAFER HAVING MULTILAYERED FILM, METHOD FOR PRODUCING THE SAME, AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 多層膜付き半導体ウェーハ及びその製造方法並びに半導体デバイスの製造方法



(57) Abstract: Provided is a method for producing a semiconductor wafer having a multilayered film, in which, when a semiconductor device is produced by the steps of forming a porous layer on the surface of a semiconductor wafer by converting the surface portion to a porous layer, producing a semiconductor wafer having a multilayered film by forming a semiconductor film on the porous layer, forming elements on the semiconductor film, and peeling the porous layer, the peeled semiconductor wafer is flattened and the flattened semiconductor wafer is reused. The method for producing a semiconductor wafer having a multilayered film further comprises a step for adjusting thickness such that the thickness of the entire semiconductor wafer having a multilayered film, produced using the reused semiconductor wafer, is within a predetermined range. As a result, when a semiconductor wafer having a multilayered film for producing a semiconductor device is produced using the method wherein a porous layer is formed on a semiconductor wafer for peeling, a semiconductor wafer

having a multilayered film wherein the thickness of the entire wafer is within a predetermined range is provided at low cost, regardless of the number of times the semiconductor wafer for peeling is reused.

(57) 要約:

[続葉有]

WO 2010/089832 A1



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, 添付公開書類:

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

— 国際調査報告 (条約第 21 条(3))

本発明は、表面部を多孔質層に変化させることにより半導体ウェーハの表面に多孔質層を形成、多孔質層上に半導体膜を形成して多層膜付き半導体ウェーハを製造、半導体膜上に素子を作製、及び、多孔質層で剥離して半導体デバイスを製造、の各工程により半導体デバイスを製造する際に、剥離後の半導体ウェーハを平坦化し、平坦化を行った半導体ウェーハを再利用して多層膜付き半導体ウェーハを製造する方法であって、再利用する半導体ウェーハを用いて製造された多層膜付き半導体ウェーハの全体の厚さが所定の規格内に入るように厚さ調整を行う工程を含む多層膜付き半導体ウェーハの製造方法である。これにより、剥離用半導体ウェーハに多孔質層を形成する方法を採用して半導体デバイス作製用の多層膜付き半導体ウェーハを製造する際、剥離用半導体ウェーハの再利用回数にかかわらず、規格内の全体厚さを有する多層膜付き半導体ウェーハが低コストで提供される。

明 細 書

発明の名称：

多層膜付き半導体ウェーハ及びその製造方法並びに半導体デバイスの製造方法

技術分野

[0001] 本発明は、半導体ウェーハ上に多孔質層と半導体膜とを有する多層膜付き半導体ウェーハ及びその製造方法、並びに、そのような多層膜付き半導体ウェーハを用いて半導体デバイスを製造する方法に関する。

背景技術

[0002] ICカードなどに使用される薄膜半導体デバイスを製造する方法として、特許文献1に記載されているように、半導体ウェーハ表面に多孔質層を形成し、その多孔質層の表面に素子形成領域となる半導体膜を形成したウェーハを作製し、その半導体膜上に素子を形成した後に多孔質層で剥離して薄膜半導体デバイスを形成する方法がある。

[0003] この方法によれば、剥離により薄膜化を行うために、素子を形成した後の半導体ウェーハの裏面側（デバイスを作製する側とは反対側）を従来のように研削・研磨等で除去する必要がなく、その結果、材料ロスが少なく、削り屑などの廃棄物も低減できるため、環境面でのメリットが得られる。さらに、剥離後の半導体ウェーハを再利用することにより、使用する製品ウェーハの枚数を減らすことができるため、製造コストを削減できるというメリットが大いに期待されている。

[0004] しかし、この半導体ウェーハを再利用するに当たっては、多孔質層で剥離（分離）するので、剥離面（分離面）には微小な割れ欠けが生じており、このため、このような剥離面を有する多孔質層を全て除去し、あらためて多孔質層を形成する必要がある。したがって、ウェーハの厚みは、ウェーハを再生する毎に少なくとも多孔質層の厚み分が薄くなるという問題があった。

[0005] このように、再利用する半導体ウェーハがウェーハを再生する毎に薄くなると、半導体デバイスを作製するウェーハの全体厚も薄くなるため、再利用する回数が増加すると、デバイス作製の際のウェーハ全体厚の規格値から外れ、デバイス製造工程に投入することができなくなる。そのため、ウェーハの再利用回数が制限されるという問題があった。

先行技術文献

特許文献

[0006] 特許文献1：特開平9－312349号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明は、前記問題点を解決するためになされたものであって、剥離用半導体ウェーハに多孔質層を形成する方法を採用して半導体デバイス作製の多層膜付き半導体ウェーハを製造する際、剥離用半導体ウェーハの再利用回数にかかわらず、規格内の全体厚さを有する多層膜付き半導体ウェーハを提供することを目的とする。

課題を解決するための手段

[0008] 上記目的達成のため、本発明は、少なくとも、半導体ウェーハの表面部を多孔質層に変化させることにより半導体ウェーハの表面に多孔質層を形成する工程と、該多孔質層の表面上に半導体膜を形成して多層膜付き半導体ウェーハを製造する工程と、前記半導体膜上に素子を作製する工程と、該素子を作製した半導体膜を前記多孔質層で剥離して半導体デバイスを製造する工程とにより、半導体デバイスを製造する際に、前記素子が作製された半導体膜を剥離した後の半導体ウェーハの前記剥離に用いた多孔質層側の表面を平坦化する工程を行い、該平坦化を行った半導体ウェーハを、前記多孔質層を形成するための半導体ウェーハとして再利用し、前記多孔質層の形成工程と、前記半導体膜の形成工程とを行って多層膜付き半導体ウェーハを製造する方

法であって、前記再利用する半導体ウェーハを用いて製造された前記多層膜付き半導体ウェーハの全体の厚さが、所定の規格内に入るように厚さ調整を行う工程を含むことを特徴とする多層膜付き半導体ウェーハの製造方法を提供する。

[0009] このような工程を有し、剥離用半導体ウェーハを再利用する多層膜付き半導体ウェーハの製造方法であれば、剥離用半導体ウェーハの再利用回数にかかわらず、規格内の全体厚さを有する多層膜付き半導体ウェーハを提供することができる。

[0010] この場合、前記厚さ調整を、前記再利用する半導体ウェーハの表面に多孔質層を形成した後に、該多孔質層の表面上に形成する半導体膜の厚さを調整することにより行うことができる。

このように、再利用する半導体ウェーハの表面に多孔質層を形成した後に、該多孔質層の表面上に形成する半導体膜の厚さを調整することにより、規格内の全体厚さを有する多層膜付き半導体ウェーハを提供することができる。

[0011] さらにこの場合、前記多孔質層の表面上に形成する半導体膜の前記多孔質層側にエッチング除去用領域を設けることが好ましい。

なお、ここで言うエッチング除去用領域とは、作製する半導体デバイスの厚さを調整するため、剥離後にエッチングによって除去するための取り代となる層のことである。また、半導体デバイスの厚さとは、半導体デバイスの電氣的活性層と、その活性層を機械的強度で支える支持層とを合わせた厚さのことである。半導体膜全体を均一の層で形成してそのうちの所定厚さをエッチング除去用の領域とすることもできるが、エッチング除去用領域としては、エッチング除去せずに残す層に比べてエッチング速度が速い層を形成することが好ましい。

このように、多孔質層の表面上に形成する半導体膜の多孔質層側にエッチング除去用領域を設ければ、より速く正確にエッチング除去を行うことができる。

[0012] また、前記厚さ調整を、前記素子が作製された半導体膜を剥離した後に、前記再利用する半導体ウェーハの表面上に付加膜を形成することにより行うことができる。

この場合、前記付加膜を、前記再利用する半導体ウェーハの多孔質層を形成する表面上に形成することができる。また、前記付加膜を、前記再利用する半導体ウェーハの多孔質層を形成する表面とは反対側の表面上に形成することもできる。

[0013] このように、素子が作製された半導体膜を剥離した後に、前記再利用する半導体ウェーハの表面上に付加膜を形成することによっても、多層膜付き半導体ウェーハの厚さ調整を行うことができ、規格内の全体厚さを有する多層膜付き半導体ウェーハを提供することができる。また、この付加膜は、再利用する半導体ウェーハの多孔質層を形成する表面上、及びその反対側の表面上のいずれにも形成することができる。

[0014] さらに、付加膜を再利用する半導体ウェーハの多孔質層を形成する表面とは反対側の表面上に形成する場合、前記付加膜として、多結晶膜を形成することができる。

このように、裏面の付加膜として多結晶膜を形成すれば、安価である上に、その後の素子形成工程等の熱処理時に金属不純物等の汚染物のゲッタリング層として機能する効果を得ることができる。

[0015] また、本発明は、上記のいずれかの多層膜付き半導体ウェーハの製造方法により製造された多層膜付き半導体ウェーハの半導体膜上に素子を作製する工程と、該素子を作製した半導体膜を前記多孔質層で剥離して半導体デバイスを製造する工程とを有することを特徴とする半導体デバイスの製造方法を提供する。

このような半導体デバイスの製造方法であれば、規格内の全体厚さを有する多層膜付き半導体ウェーハを使用できるので、再利用回数の制限なく半導体デバイスを製造することができる。

[0016] また、本発明は、半導体ウェーハと、該半導体ウェーハの表面に形成され

た多孔質層と、該多孔質層の表面上に形成された半導体膜とを有する、半導体デバイス製造用の多層膜付き半導体ウェーハであって、前記半導体膜は、前記多孔質層側にエッチング除去用領域を有することを特徴とする多層膜付き半導体ウェーハを提供する。

このようなエッチング除去用領域を有する多層膜付き半導体ウェーハであれば、低コストで提供できる規格内の全体厚さを有する多層膜付き半導体ウェーハとすることができる。

[0017] この場合、半導体ウェーハの直径が450mm以上の場合に極めて有効である。

このように、半導体ウェーハの直径が450mm以上のような大直径のウェーハであり、自重によるウェーハのたわみが問題となり、ウェーハの厚みを比較的厚くする必要がある場合であっても、ウェーハのたわみに対応できる充分厚い厚さでウェーハを設計しても剥離用の半導体ウェーハを何度も再利用することができ、低コストとすることができる。

発明の効果

[0018] 本発明の多層膜付き半導体ウェーハの製造方法に従えば、剥離用半導体ウェーハに多孔質層を形成する方法を採用して半導体デバイス作製用の多層膜付き半導体ウェーハを製造する際、剥離用ウェーハの再利用回数にかかわらず、規格内の全体厚さを有する多層膜付き半導体ウェーハを提供することができる。

また、本発明の半導体デバイスの製造方法に従えば、規格内の全体厚さを有する多層膜付き半導体ウェーハを使用できるので、再利用回数の制限なく、半導体デバイスを製造することができる。

また、本発明に係る多層膜付き半導体ウェーハであれば、低コストで提供できる規格内の全体厚さを有する多層膜付き半導体ウェーハとすることができる。

図面の簡単な説明

[0019] [図1]本発明の多層膜付き半導体ウェーハの製造方法の一例を示すフローチャート図である。

[図2]本発明に係る多層膜付き半導体ウェーハの製造方法における、半導体膜の厚さを調整する方法の一例を示すフローチャート図である。

[図3]本発明に係る多層膜付き半導体ウェーハの製造方法における、半導体膜の厚さを調整する方法の別の一例を示すフローチャート図である。

[図4]本発明の多層膜付き半導体ウェーハの製造方法の別の一例を示すフローチャート図である。

[図5]本発明の多層膜付き半導体ウェーハの製造方法及び半導体デバイスの製造方法を適用することができる、半導体ウェーハの再利用のプロセスの一例を示すフローチャート図である。

[図6]本発明の多層膜付き半導体ウェーハの製造方法のさらに別の一例を示すフローチャート図である。

発明を実施するための形態

[0020] 以下、本発明を詳細に説明するが、本発明はこれらに限定されるものではない。

前述のように、半導体ウェーハ表面に多孔質層を形成する方法を採用した場合、再利用回数が増えるたびにウェーハ厚さが薄くなってしまいう問題があった。

[0021] すなわち、剥離を行うために形成される多孔質層は、少なくとも数 μm 程度の厚さが必要であり、それに加えて、剥離後の半導体ウェーハ表面に残る多孔質層の除去と、ウェーハ表面を平坦化する処理を行うため数 μm 程度の研磨が必要とされる。つまり、一回の再生処理で初期半導体ウェーハの厚さが少なくとも10 μm 程度薄くなってしまいう。

[0022] その一方で、デバイス製造メーカーがデバイスを製造するためにウェーハ材料に要求するウェーハ厚の規格（公差）は、一般的には±15 μm 程度であり、製造するデバイスの種類によって規格が緩やかな場合であっても±25 μm 程度である。従って、ウェーハの全体厚から許容される剥離用半導体

ウェーハの再利用回数は、許容公差を最大限利用しても $\pm 15 \mu\text{m}$ の場合は2～3回以下、 $\pm 25 \mu\text{m}$ の場合は3～4回程度以下に限定されてしまうことになる。

[0023] 本発明者らがコスト試算を行うと、例えば p^+ 型のシリコン単結晶ウェーハを使用して多孔質層を形成する方法を採用した場合、再利用回数としては、少なくとも3回、好ましくは5回以上に設定しないと十分なコストメリットが得られないことが判明した。

[0024] 本発明者らは、これらの知見に基づいてさらに検討を行い、剥離用半導体ウェーハに多孔質層を形成する方法を採用して半導体デバイス作製の多層膜付き半導体ウェーハを製造する際には、再利用する半導体ウェーハを用いて製造された多層膜付き半導体ウェーハの全体の厚さが所定の規格内に入るように厚さ調整を行えば、剥離用ウェーハの再利用回数にかかわらず、規格内の全体厚さを有する多層膜付き半導体ウェーハを得ることができることに想到した。そして、そのような多層膜付き半導体ウェーハであれば、再利用回数にかかわらずデバイス製造工程に投入することができるため、多層膜付き半導体ウェーハの製造コストや、それを用いて製造されるデバイスの製造コストの低減効果が得られることに想到し、本発明を完成させた。

[0025] 以下、本発明について図面を参照しながらさらに詳細に説明するが、本発明はこれらに限定されるものではない。特に、以下では繰り返して使用する剥離用半導体ウェーハとして、好適に用いることができる p 型シリコン単結晶ウェーハを用いた場合について述べるが、本発明はこれに限定されず、その他の半導体ウェーハに適用することもできる。

[0026] 図5に、本発明が適用することができる、半導体ウェーハの再利用のプロセスの一例を示すフローチャートを示す。

まず、再利用する前の1回目の製造プロセスとして、図5(a)に示すように、半導体ウェーハ110を準備する(工程a-1)。

半導体ウェーハ110としては、ウェーハ表面部を多孔質層に変化させることにより多孔質層を形成することができるものであれば特に限定されない

が、上記のように p 型のシリコン単結晶ウェーハを好適に用いることができる。また、ウェーハ直径も特に限定されず、特に直径 450 mm 以上のウェーハであっても本発明を適用することができる。

この準備する半導体ウェーハ 110 の厚さ t_1 も特に限定されず、通常の規格のウェーハを用いることができる。

[0027] 次に、図 5 (b) に示すように、半導体ウェーハ 110 の表面部を多孔質層に変化させることにより半導体ウェーハ 110 の表面 111 に多孔質層 120 を形成する (工程 b-1)。

この多孔質層 120 の形成は、例えば陽極化成法によって行うことができ、その形成条件 (多孔質層 120 の多孔度、厚さ等) は後述する剥離の際に都合が良いように適宜選択することができる。例えば、多孔質層 120 の形成を複数段階にわけて行い、多孔質層 120 を多層構造とすることもできる。多孔質層 120 の厚さは $1 \sim 10 \mu\text{m}$ とできるがこれに限定されない。

[0028] この時点での半導体ウェーハ 110 の厚さ t_2 は工程 a-1 で準備された半導体ウェーハ 110 の厚さ t_1 から、多孔質層 120 への変化に供された分だけ減少する。

[0029] また、図 5 には記載していないが、後述する半導体膜 130 の形成工程の前に、多孔質層 120 の表面に存在する孔を塞ぐような前処理を行っても良い (成長前処理-1)。

このような前処理を行うと、半導体膜 130 の形成をエピタキシャル成長により行う場合などにおいて、半導体膜 130 での欠陥の発生を抑えることができるので好ましい。

[0030] 次に、図 5 (c) に示すように、多孔質層 120 の表面上に半導体膜 130 を形成して多層膜付き半導体ウェーハ 140 を製造する (工程 c-1)。

この半導体膜 130 は、製造しようとする半導体デバイスに適した様々な性質 (厚さ、導電型、抵抗率等) のものを形成することができる。

また、この半導体膜 130 は、例えば、エピタキシャル成長によって形成することができる。このエピタキシャル成長条件は適宜選択することができる。

る。

この時点で製造した多層膜付き半導体ウェーハ 140 の全体の厚さを T とする。

[0031] 次に、図 5 (d) に示すように、半導体膜 130 上に素子 150 を作製する (工程 d-1)。

素子 150 としては様々な種類のものを作製することができ、特に限定されない。例えば、Multi-Chip-Package (MCP) 用として開発が進んでいる DRAM、NAND Flash、CCD/CIS 等の撮像素子のうち裏面照射型デバイス、またこれら撮像素子とメモリーの組み合わせや MPU とメモリーの組み合わせなど 3 次元化するデバイス等のような、チップの薄膜化が特に必要なものに本発明は好適である。

[0032] 次に、図 5 (e) に示すように、素子 150 を作製した半導体膜 130 を多孔質層 120 で剥離して半導体デバイス 160 を製造する (工程 e-1)。

ここでの剥離は多孔質層 120 で剥離できる方法を採用することができる。例えば、多孔質層 120 に水流のジェットを当てる方法や機械的に剥離する方法を採用することができる。

また、このとき、素子 150 側はワックス等を介して仮貼り付け用基板 (石英基板など) に貼り付けて保護することが好ましい。また、ワックスの代わりに紫外線 (UV) 硬化レジストを用い、石英基板を仮貼り付け後、石英基板側より紫外線を照射し、レジスト硬化を行って保護することなどもできる。また、硬化後のレジストが水溶性の場合には水流ジェット以外の機械剥離を行うなど適切な方法を採用することができる。

[0033] なお、剥離後の素子 150 及び半導体膜 130 側には、半導体膜 130 の裏面 (素子 150 が形成された側とは反対側) に多孔質層の残膜 120 b が残るが、これはエッチングにより選択的に除去することができる。エッチング液としては HF/HNO₃/CH₃COOH の混合水溶液等を用いることができる。

前記したような素子 150 の石英基板などの保護手段は、この多孔質層の残膜 120 b のエッチング除去した後に除去することが好ましい。

- [0034] もう一方の、剥離後の半導体ウェーハ 110 については、図 5 (f) に示すように、剥離に用いた多孔質層 120 (多孔質層の残膜 120 a) 側の表面を平坦化する (工程 f-1)。

まず残膜として表面にある多孔質層 120 a を、エッチング等により除去する。その後、半導体ウェーハ 110 の多孔質層 120 (多孔質層の残膜 120 a) のあった側の表面を再研磨する。

このとき、裏面 (多孔質層のあった側とは反対側の表面) も研磨することが好ましい。また、両面研磨機を用いて両面を同時に研磨してもよい。

なお、多孔質層の残膜 120 a を単独で除去するのではなく、半導体ウェーハ 110 の表面の研磨と同一の工程で研磨して除去することもできる。

- [0035] このようにして剥離後の半導体ウェーハ 110 の平坦化を行って半導体ウェーハ 210 とし、これを再利用する半導体ウェーハとして用いる。

この時点で、再利用する半導体ウェーハ 210 の厚さ t_3 は、多孔質層形成後の厚さ t_2 から、再利用のための平坦化の分が減少している。

- [0036] このようにして再利用する半導体ウェーハ 210 を再び多孔質層を形成するための半導体ウェーハとして図 5 (a) に相当するプロセスに投入し (工程 a-2)、多孔質層の形成 (工程 b-2) と、半導体膜の形成 (工程 c-2) とを再度行って再度多層膜付き半導体ウェーハを製造する。このとき、本発明では、再利用する半導体ウェーハ 210 を用いて製造された多層膜付き半導体ウェーハの全体の厚さが、所定の規格内に入るように厚さ調整を行う工程を含む。

- [0037] この多層膜付き半導体ウェーハの厚さ調整の具体的な態様の一例として、第一の態様を図 1 に示す。

図 1 (a-1)、(b-1)、及び (c-1) は、それぞれ、図 5 の (a)、(b)、(c) にそれぞれ相当し、1 回目のサイクル (再利用する前の 1 回目の製造プロセス) を示す。一方、図 1 (a-2)、(b-2)、及び

(c-2)は2回目のサイクル(再利用する半導体ウェーハを用いた1回目の製造プロセス)を示す。

- [0038] 前述の工程 f-1 で平坦化処理を行った半導体ウェーハ 210 を、図 1 (a-2) に示すように、再度多孔質層を形成するための半導体ウェーハとして利用する(工程 a-2)。

この時点での再利用する半導体ウェーハ 210 の厚さは、再利用のための平坦化の分が減少しており、上記のように t_3 になっている。すなわち、工程 a-1 で最初に準備した半導体ウェーハ 110 と比べて、ウェーハの厚さが $t_1 - t_3$ だけ減少している。

- [0039] 次に、図 1 (b-2) に示すように、平坦化を行った半導体ウェーハ 210 の表面 211 を多孔質層に変化させ、多孔質層 220 を形成する(工程 b-2)。

この多孔質層 220 の形成は、工程 b-1 の多孔質層 120 の形成の場合と同様の方法を用いて行うことができる。この時点での半導体ウェーハ 210 の厚さ t_4 は工程 a-2 で再利用のため準備された半導体ウェーハ 210 の厚さ t_3 から、多孔質層 220 への変化に供された分だけ減少する。

また多孔質層 220 を形成した後、前記した1回目の半導体層の成長前に行う成長前処理-1と同様の成長前処理工程を行うことができる(成長前処理-2)。

- [0040] 次に、図 1 (c-2) に示すように、多孔質層 220 の表面上に半導体膜 230 を形成して多層膜付き半導体ウェーハ 240 を製造する(工程 c-2)。この半導体膜 230 の形成は、工程 c-1 の半導体膜 130 の形成の場合と同様の方法を用いて行うことができる。そして、このとき、多孔質層 220 の表面上に形成する半導体膜 230 の厚さを調整することにより行うことにより、多層膜付き半導体ウェーハ 240 の全体の厚さが、所定の規格内に入るように行う厚さ調整を行うことができる。

- [0041] 工程 a-2 の時点での剥離後の再利用する半導体ウェーハ 210 の全体の厚さは、工程 a-1 で最初に準備した半導体ウェーハ 110 と比べて、ウェ

ーハの厚さが $t_1 - t_3$ だけ（具体的には、前述のように例えば少なくとも 10 数 μm 程度）減少しているので、半導体膜 230 を形成する際に半導体ウェーハの減少分を補償するように厚く形成することによって、製造された多層膜付き半導体ウェーハの厚さの変動、すなわち、1 回目のサイクルで製造する多層膜付き半導体ウェーハ 140 と 2 回目のサイクルで製造する多層膜付き半導体ウェーハ 240 の厚さの変動を少なくすることができる。

尚、この厚さの変動の許容範囲（許容公差）は、作製するデバイスによっても異なるが、厚さ調整を行わずに再生処理を繰り返すと、いずれその許容範囲を超える事になる。

[0042] 半導体膜 230 の厚さを調整する方法の一例を図 2 に示す。

図 2（c-2）は図 1（c-2）に相当し、多孔質層 220 の表面上に $t_1 - t_3$ だけ厚く半導体膜 230 を形成して製造した多層膜付き半導体ウェーハ 240 を示している（工程 c-2）。

[0043] この多層膜付き半導体ウェーハ 240 に対し、図 2（d-2）に示すように、工程 d-1（図 5（d））と同様の方法により、半導体膜 230 上に素子 250 を作製する（工程 d-2）。

[0044] 次に、図 2（e-2）に示すように、工程 e-1（図 5（e））と同様の方法により、素子 250 を作製した半導体膜 230 を多孔質層 220 で剥離して半導体デバイス 260 を製造する（工程 e-2）。

[0045] ところで、工程 c-2 で形成すべき半導体膜 230 の厚さは、作製する素子の種類によって決まるものであるため、前記のように、1 回目のサイクルの半導体層 130 に比べて半導体層 230 の厚さを $t_1 - t_3$ だけ（例えば 10 数 μm 程度）厚く形成するとデバイス製造上不都合が生ずる懸念があるが、本発明が対象とする半導体デバイスの場合、半導体膜に素子を形成した後に剥離を行うので、その剥離後に、必要に応じて半導体膜 230 の剥離面側を、多孔質層の残膜 220 b とともにエッチング除去して膜厚を調整することができる（図 2（g-2）に示す半導体デバイス 260'）。

[0046] 剥離後の半導体ウェーハ 210 については、図 2（f-2）に示すように

、剥離に用いた多孔質層 220（多孔質層の残膜 220a）側の表面を、工程 f-1（図 5（f））の場合と同様に平坦化を行って（工程 f-2）半導体ウェーハ 310 とし、これを再利用する半導体ウェーハ 310 として用いる。

以上のようなサイクルを繰り返すことにより、3 回目以降のサイクルも行うことができ、剥離後の半導体ウェーハを再利用し、多層膜付き半導体ウェーハ及び半導体デバイスを製造することができる。

[0047] なお、半導体膜の形成は主にエピタキシャル成長等の手法により行われるが、上記のように、多層膜付き半導体ウェーハの厚さの変動を少なくするために半導体膜を厚く形成すると、エピタキシャル成長のコスト増加が懸念される。しかしながら、本発明が主に対象としている半導体デバイスの厚さは、活性層を機械的強度で支える支持層を含め、例えば 20～100 μm 程度の半導体膜であって、その半導体膜を堆積する際のエピタキシャル成長速度は数 $\mu\text{m}/\text{分}$ あるいはそれ以上で行われるため、10 数 μm ～数 10 μm 分の厚さを余計に堆積したとしても、エピタキシャル成長時の反応時間を数分程度延長するだけであるため、エピタキシャル成長工程のコスト増加分はあまり大きくなりずに済む。

[0048] 次に、2 回目のサイクルにおける半導体膜 230 の厚さを調整する方法の別の一例を説明する。

図 3 に半導体膜 230 の厚さを調整する方法の別の一例を示す。図 3 の（c-3）～（g-3）はそれぞれ図 2 の（c-2）～（g-2）に対応する。

[0049] 図 3（c-3）に示したように、多孔質層 220 の表面上に形成する半導体膜 230 の、多孔質層 220 側にエッチング除去用領域 230a を設けることにより行う。

なお、ここで言うエッチング除去用領域 230a とは、作製する半導体デバイスの厚さを調整するため、剥離後にエッチングによって除去するための取り代となる層のことである。半導体膜全体を均一の層で形成してそのうち

の所定厚さをエッチング除去用の領域とすることもできるが、エッチング除去用領域 230a としては、エッチング除去せずに残す層に比べてエッチング速度が速い層を形成することが好ましい。

このように、多孔質層の表面上に形成する半導体膜の多孔質層側にエッチング除去用領域を設ければ、より速く正確にエッチング除去を行って、半導体デバイス 260' を得ることができる。

例えば、エッチング除去用領域 230a として p⁺層（抵抗率 0.01 Ω cm 程度）を形成し、エッチング除去せずに残す層として p⁻層（低濃度ドーパ層、抵抗率 10 Ω cm 程度）を形成すれば、不純物濃度が高いほどエッチング速度が速くなるような選択エッチング液、例えば 1-3-8 エッチング液（HF（フッ化水素）：HNO₃（硝酸）：CH₃COOH（酢酸）＝1：3：8 の混酸）（特開平 8-139297 号公報参照）を用いて p⁺層を選択的にエッチング除去することができる。

[0050] 上記したような、半導体膜 230 の多孔質層 220 側にエッチング除去用領域 230a を有する多層膜付き半導体ウェーハ 240 であれば、規格内の全体厚さを有する多層膜付き半導体ウェーハを、低コストで提供することができる。

[0051] 次に、本発明の多層膜付き半導体ウェーハの製造方法の別の一例として、第二の態様を、図 4 を参照して説明する。

この態様では、2 回目のサイクルで再利用する半導体ウェーハ 210（図 4（a-4）参照）の多孔質層 220 を形成する表面 211 とは反対側の表面上に付加膜 270 を形成することにより、多層膜付き半導体ウェーハ 240 の全体の厚さが、所定の規格内に入るように厚さ調整を行う。付加膜 270 の厚さは、 $t_1 - t_3$ とすることができる。

[0052] この裏面の付加膜 270 の材質としては、再利用する半導体ウェーハ 210 と同じとしたり、ドーパント濃度を変えたりするなどしてもよく、また、多結晶膜とすることもできる。裏面の付加膜 270 として多結晶膜を形成すれば、安価に形成することができるし、その後の素子形成工程等の熱処理時

に金属不純物等の汚染物のゲッタリング層として機能する効果を得ることができるので好ましい。

[0053] その後、図4（b-4）、（c-4）に示すように、多孔質層220を形成し（工程b-4）、半導体膜230を形成する（工程c-4）ことで、厚さTの多孔質膜付き半導体ウェーハ240を得ることができる。

[0054] また、3回目以降のサイクルでも同様に、再利用する半導体ウェーハの多孔質層を形成する表面とは反対側の表面上に付加膜を形成することにより、多層膜付き半導体ウェーハ240の全体の厚さが、所定の規格内に入るように厚さ調整を行うことができる。

[0055] なお、上記では半導体ウェーハの再利用のたびに（1回のサイクルごとに）ウェーハ裏面に付加膜を形成する厚さ調整を行う場合を示したが、再利用を数回繰り返した後の厚さ減少分を一括して調整するようにしてもよい。このようにすれば、コスト低減効果が得られやすくなり好ましい。

[0056] 次に、本発明の多層膜付き半導体ウェーハの製造方法のさらに別の一例として、第三の態様を、図6を参照して説明する。

この態様では、2回目のサイクルで再利用する半導体ウェーハ210（図6（a-5）参照）の、多孔質層220を形成する側の表面211'上に付加膜270'を形成することにより、多層膜付き半導体ウェーハ240の全体の厚さが、所定の規格内に入るように厚さ調整を行う。付加膜270'の厚さは、例えば $t_1 - t_3$ とすることができる。

[0057] なお、この態様では、付加膜270'は多孔質層に変化させられる材質であることが必要であり、再利用する半導体ウェーハ210と一体となって半導体ウェーハを構成する。この場合、付加膜270'の導電型や抵抗率等は必ずしも再利用する半導体ウェーハ210と同じとする必要はなく、適宜調節することができる。

[0058] 次に、図6（b-5）に示すように、再利用する半導体ウェーハ210と一体となって半導体ウェーハを構成する、付加膜270'の表面部（すなわち、半導体ウェーハの表面部）を多孔質層に変化させることにより付加膜2

70'の表面271に多孔質層220を形成する（工程b-5）。

なお、図6（b-5）では付加膜270'の一部が残る場合を示しているが、これに限定されず、例えば、再利用した半導体ウェーハ210の一部まで多孔質層に変化させてもよい。

[0059] その後、図6（c-5）に示すように、多孔質層220の表面上に半導体膜230を形成することで、厚さTの多孔質膜付き半導体ウェーハ240を得ることができる（工程c-5）。

[0060] また、3回目以降のサイクルでも同様に、再利用する半導体ウェーハの多孔質層を形成する側の表面上に付加膜を形成することにより、多層膜付き半導体ウェーハ240の全体の厚さが、所定の規格内に入るように厚さ調整を行うことができる。

[0061] なお、このように付加膜の形成を再利用する半導体ウェーハの多孔質層を形成する表面上に行う場合についても、上記のように半導体ウェーハの再利用のたびに（1回のサイクルごとに）付加膜を形成して厚さ調整を行ってもよいが、再利用を数回繰り返した後の厚さ減少分を一括して調整するようにしてもよい。このように再利用を数回繰り返した後の厚さ減少分を一括して調整するようにすれば、コスト低減効果が得られやすくなり好ましい。

[0062] また、本発明では、直径300mmのシリコン単結晶ウェーハの次世代のウェーハとして開発されている直径450mmのウェーハ、あるいはそれ以上の大直径の半導体ウェーハを好適に使用することができる。

このような大直径の半導体ウェーハでは、自重によるウェーハのたわみが問題となり、例えば、直径450mmの半導体ウェーハでは、たわみを十分に抑制するためにはウェーハ厚さを1.5～2mm程度かそれ以上とする必要があるとの試算がされている。そして、このような厚さが必要な大直径半導体ウェーハでは、従来の1回のデバイス作製で使いきってしまう使用方法であると、原料コストが更に高くなるという問題が生じる。

しかしながら、本発明の半導体ウェーハを再利用する方法であれば、上記のような、ウェーハのたわみの抑制等のためにウェーハ厚さが従来よりも大

幅に厚い規格が求められる場合であっても、該規格に対応できる厚さで剥離用半導体ウェーハを何度も再利用することができ、低コストとすることができる。

実施例

[0063] 以下、本発明の実施例を挙げて本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0064] (実施例)

図1、3、5に示す本発明の多層膜付き半導体ウェーハの製造方法及び半導体デバイスの製造方法に従って多層膜付き半導体ウェーハ及び半導体デバイスを製造した。

図5を参照して説明する。

[0065] まず、図5(a)及び図1(a-1)に示すように、半導体ウェーハ110として、p型、主面の結晶方位が(100)面、直径300mm、両面研磨、厚さ $t_1 = 745 \mu\text{m}$ 、抵抗率が $0.01 \sim 0.02 \Omega \cdot \text{cm}$ のシリコン単結晶ウェーハを準備した(工程a-1)。

[0066] 次に、図5(b)及び図1(b-1)に示すように、半導体ウェーハ110の一方の主表面部を2段階の陽極化成によって多孔質層に変化させることにより、半導体ウェーハ110の一方の表面111に、多孔質層120を形成した(工程b-1)。

[0067] 1段階目の陽極化成の条件は以下の通りである。

溶液：49%HF： H_2O ：99% $\text{C}_2\text{H}_5\text{OH}$ ＝1：1：1

電流：7mA/cm²、

時間：5分

温度：室温

この結果、膜厚：5 μm 、多孔度：18%の多孔質層が形成された。

[0068] 2段階目の陽極化成の条件は以下の通りである。

溶液：49%HF： H_2O ：99% $\text{C}_2\text{H}_5\text{OH}$ ＝1：1：1

電流：30 mA/cm²、

時間：1.5分

温度：室温

この結果、膜厚：4 μm、多孔度：50%の多孔質層が形成された。

[0069] すなわち、多孔質層120の全体の厚さは9 μmである。従って、この時点での半導体ウェーハ110の厚さ t_2 は736 μm程度ということになる。

[0070] 次に、エピタキシャル成長（半導体膜130の形成）前の前処理として、多孔質層120表面の孔を塞いで、多孔質層120の上に成長するエピタキシャル層（半導体膜130）での欠陥発生を抑えることを目的として、以下のような処理を行った（成長前処理-1）。

まず、多孔質層120の孔の側壁酸化を、酸素雰囲気下、400℃、1時間で行った。次いで、多孔質層120の表面（表面及び深さ1 μm程度領域）の酸化膜をフッ酸（HF水溶液）でエッチングした。次いで、水素雰囲気下、950℃でプリベークを行った。その後、希薄なSiガスを含んだ水素ガスベークを行った。

[0071] 次に、図5（c）及び図1（c-1）に示すように、多孔質層120の表面上に半導体膜130を以下のようにエピタキシャル成長により形成した（工程c-1）。

エピタキシャル成長条件は、雰囲気ガスをSiHCl₃（トリクロロシラン）/H₂、温度を1150℃、ドーパントをボロン、成長速度を3 μm/分とした。

エピタキシャル成長後の半導体膜130の厚さは30 μm、半導体膜130の導電型はp型であり、抵抗率は10 Ωcmとなるようにした。また、エピタキシャル成長後のウェーハ（多層膜付き半導体ウェーハ140）の全体の厚さTは775 μmであった。

[0072] 次に、図5（d）に示すように、半導体膜130上に素子150としてダミーのCCDデバイスを作製した（工程d-1）。

[0073] 次に、図5（e）に示すように、以下のようにして多孔質層120で剥離

を行い、素子 150 を作製した半導体膜 130 と半導体ウェーハ 110 とを分離した（工程 e-1）。

具体的には、素子 150 の表面をワックスでカバーした後、仮貼り付け用石英基板に貼りつけた。その後、多孔質層 120 に水流ジェットを当てて剥離した。

剥離した素子 150 及び半導体膜 130 側は、ワックスを除去することにより仮貼り付けした石英基板を取り除いた。また、裏面（素子 150 が形成された側とは反対側）の多孔質層の残膜 120b を、エッチング液として $\text{HF}/\text{HNO}_3/\text{CH}_3\text{COOH}$ の混合水溶液を使用してエッチング除去して半導体デバイス 160 とした。

[0074] 剥離後の半導体ウェーハ 110 に対しては、まず残膜として表面にある多孔質層 120a を、エッチング液として $\text{HF}/\text{HNO}_3/\text{CH}_3\text{COOH}$ を使用してエッチング除去した。その後、半導体ウェーハ 110 の多孔質層のあった側の表面を再研磨した（工程 f-1）。また、裏面（多孔質層のあった側とは反対側の表面）も研磨した。このようにして、再利用のための処理を行い、再利用する半導体ウェーハ（再生ウェーハ）210 とした。なお、裏面を含めた総和の再生取り代は $5\mu\text{m}$ であった。

[0075] この平坦化処理を行った再利用する半導体ウェーハ 210 の厚さ t_3 は $731\mu\text{m}$ であった。すなわち、元の半導体ウェーハ 110 に対して $14\mu\text{m}$ 減少した。それぞれの厚さの内訳は以下の通りである。

$775\mu\text{m}$ （多層膜付き半導体ウェーハ 140 の厚さ T ） $-30\mu\text{m}$ （エピタキシャル成長した半導体層 130 の厚さ） $-9\mu\text{m}$ （多孔質層 120 に変化させた厚さ） $-5\mu\text{m}$ （再利用のための取り代） $=731\mu\text{m}$ （ t_3 ）

[0076] この平坦化処理を行った半導体ウェーハ 210 を再度多孔質層を形成するための半導体ウェーハとして利用するために準備した（図 1（a-2）参照、工程 a-2）。

[0077] 次に、図 1（b-2）に示すように、平坦化を行った半導体ウェーハ 210 の表面 211 を陽極化成により多孔質層に変化させ、多孔質層 220 を形

成した（工程 b-2）。

2 回目の多孔質層 220 の形成方法は 1 回目の多孔質層の形成（工程 b-1）と同様の条件で行った。多孔質層 220 の厚さは $9\ \mu\text{m}$ 、この時点での半導体ウェーハ 210 の厚さ t_4 は $722\ \mu\text{m}$ 程度であった。

[0078] 次に、前記した 1 回目の半導体層の成長前に行った成長前処理-1 と同様の条件により、成長前処理工程を行った（成長前処理-2）。

[0079] 次に、図 3（c-3）に示すように、多孔質層 220 の表面上に半導体膜 230 を以下のようにエピタキシャル成長により形成した（工程 c-3）。このとき、図 3（c-3）に示すように、半導体膜 230 の多孔質層 220 側にエッチング除去用領域 230a を設けた。

この具体的な半導体膜 230 の形成方法は以下の通りエピタキシャル成長を 2 段階でそれぞれ条件を変えて行った。

[0080] （1 段階目のエピタキシャル成長）

エピタキシャル成長条件は、雰囲気ガスを SiHCl_3 （トリクロロシラン）／ H_2 、温度を 1150°C 、ドーパントをボロン、成長速度を $3\ \mu\text{m}/\text{分}$ とした。

第 1 のエピタキシャル層（エッチング除去用領域 230a に相当）の厚さを $14\ \mu\text{m}$ （すなわち、元の半導体ウェーハ 110 からの再生ウェーハ 210 の全体厚さ減少分に相当）、導電型を p 型、抵抗率を $0.012\ \Omega\cdot\text{cm}$ （p+層、すなわちドーパントが高濃度）となるように成長時間とドーパント濃度を設定した。

[0081] （2 段階目のエピタキシャル成長）

雰囲気ガス、成長温度 1150°C 、ドーパントの種類、成長速度は 1 段階目のエピタキシャル成長と同様にしたが、導電型を p 型、抵抗率を $10\ \Omega\cdot\text{cm}$ となるように成長時間とドーパント濃度を設定した。そして、このエピタキシャル成長による半導体層の厚さを $30\ \mu\text{m}$ とし、エピタキシャル成長後のウェーハ（多層膜付き半導体ウェーハ 240）の全体の厚さを $775\ \mu\text{m}$ （1 回目の多層膜付き半導体ウェーハ 140 の厚さ T と同じ）とした。

[0082] 次に、図3（d-3）に示すように、半導体膜230上に素子250として、工程d-1と同様にダミーのCCDデバイスを作製した（工程d-3）。

[0083] 次に、図3（e-3）に示すように、工程e-1と同様の方法により、素子250の表面をワックス及び仮貼り付け用石英基板で保護した後、多孔質層220に水流ジェットを当てて剥離した素子250を作製した半導体膜230と半導体ウェーハ210とを分離した（工程e-3）。

[0084] 次に、剥離した素子250及び半導体膜230側に対しては、素子250側のワックス及び仮貼り付け石英基板を取り除く前に、多孔質層の残膜220bをエッチング除去して半導体デバイス260とし、さらに、エッチング除去用領域230a（厚さ14 μ mのp⁺層）を選択エッチング液（49%HF：61%HNO₃：99%CH₃COOH=1：3：8（1-3-8エッチング液））により除去した。

その後、素子250側のワックス及び仮貼り付け石英基板を取り除き、エッチング除去用領域230aが除去された半導体デバイス260'を得た。

[0085] 一方、剥離後の半導体ウェーハ210に対しては、図3（f-3）に示すように、工程f-1と同様の方法により、残膜として表面にある多孔質層220aをエッチング除去し、両面を研磨し、再利用する半導体ウェーハ310とした（工程f-3）。

[0086] 以上のようなサイクルをさらに数回行ったが、それぞれのサイクルで製造された半導体デバイス及び多層膜付き半導体ウェーハの品質に問題はなく、また、低コストで半導体デバイス及び多層膜付き半導体ウェーハを製造することができた。

[0087] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は単なる例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

[請求項1] 少なくとも、半導体ウェーハの表面部を多孔質層に変化させることにより半導体ウェーハの表面に多孔質層を形成する工程と、該多孔質層の表面上に半導体膜を形成して多層膜付き半導体ウェーハを製造する工程と、前記半導体膜上に素子を作製する工程と、該素子を作製した半導体膜を前記多孔質層で剥離して半導体デバイスを製造する工程とにより、半導体デバイスを製造する際に、前記素子が作製された半導体膜を剥離した後の半導体ウェーハの前記剥離に用いた多孔質層側の表面を平坦化する工程を行い、該平坦化を行った半導体ウェーハを、前記多孔質層を形成するための半導体ウェーハとして再利用し、前記多孔質層の形成工程と、前記半導体膜の形成工程とを行って多層膜付き半導体ウェーハを製造する方法であって、

前記再利用する半導体ウェーハを用いて製造された前記多層膜付き半導体ウェーハの全体の厚さが、所定の規格内に入るように厚さ調整を行う工程を含むことを特徴とする多層膜付き半導体ウェーハの製造方法。

[請求項2] 前記厚さ調整を、前記再利用する半導体ウェーハの表面に多孔質層を形成した後に、該多孔質層の表面上に形成する半導体膜の厚さを調整することにより行うことを特徴とする請求項1に記載の多層膜付き半導体ウェーハの製造方法。

[請求項3] 前記多孔質層の表面上に形成する半導体膜の前記多孔質層側にエッチング除去用領域を設けることを特徴とする請求項2に記載の多層膜付き半導体ウェーハの製造方法。

[請求項4] 前記厚さ調整を、前記素子が作製された半導体膜を剥離した後に、前記再利用する半導体ウェーハの表面上に付加膜を形成することによ

り行うことを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の多層膜付き半導体ウェーハの製造方法。

[請求項5] 前記付加膜を、前記再利用する半導体ウェーハの多孔質層を形成する側の表面上に形成することを特徴とする請求項 4 に記載の多層膜付き半導体ウェーハの製造方法。

[請求項6] 前記付加膜を、前記再利用する半導体ウェーハの多孔質層を形成する表面とは反対側の表面上に形成することを特徴とする請求項 4 に記載の多層膜付き半導体ウェーハの製造方法。

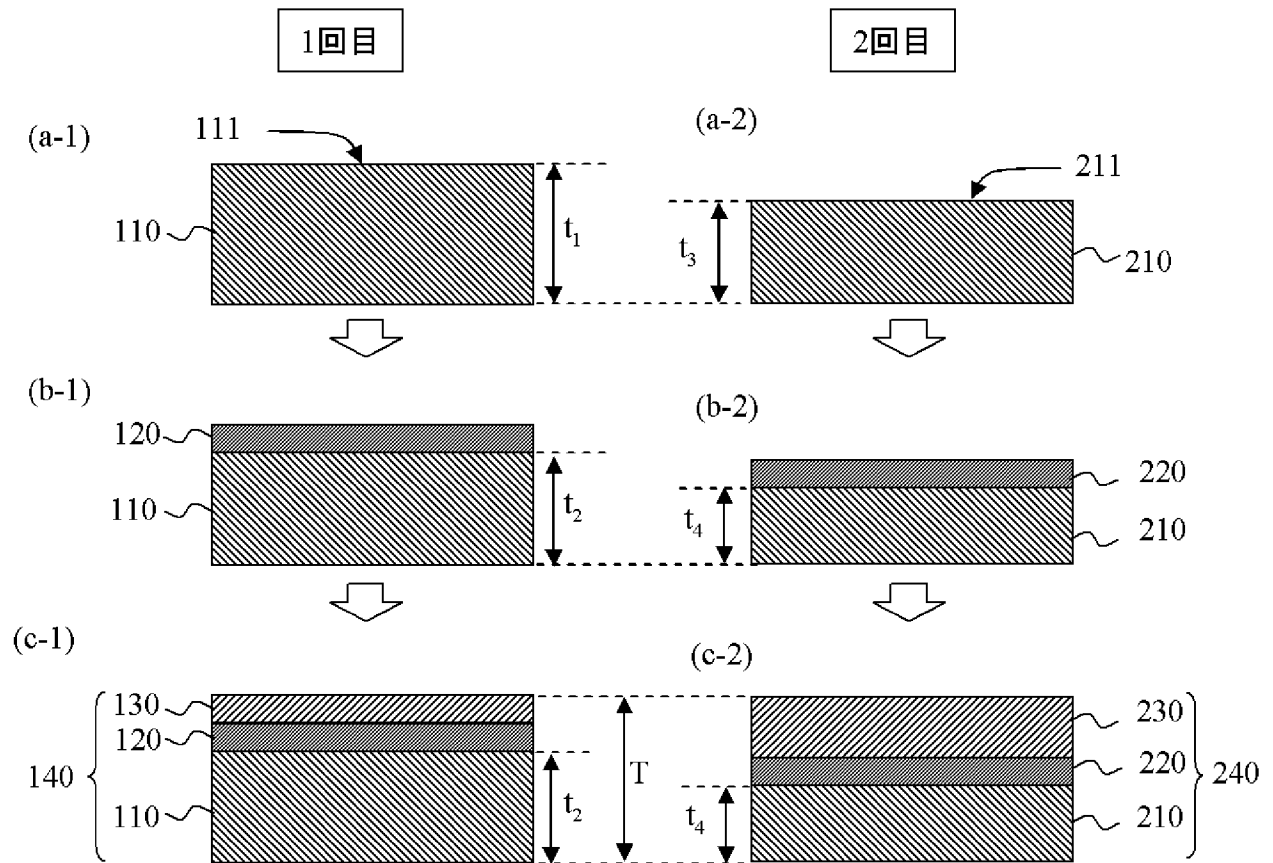
[請求項7] 前記付加膜として、多結晶膜を形成することを特徴とする請求項 6 に記載の多層膜付き半導体ウェーハの製造方法。

[請求項8] 請求項 1 ないし請求項 7 のいずれか一項に記載の多層膜付き半導体ウェーハの製造方法により製造された多層膜付き半導体ウェーハの半導体膜上に素子を作製する工程と、該素子を作製した半導体膜を前記多孔質層で剥離して半導体デバイスを製造する工程とを有することを特徴とする半導体デバイスの製造方法。

[請求項9] 半導体ウェーハと、該半導体ウェーハの表面に形成された多孔質層と、該多孔質層の表面上に形成された半導体膜とを有する、半導体デバイス製造用の多層膜付き半導体ウェーハであって、前記半導体膜は、前記多孔質層側にエッチング除去用領域を有することを特徴とする多層膜付き半導体ウェーハ。

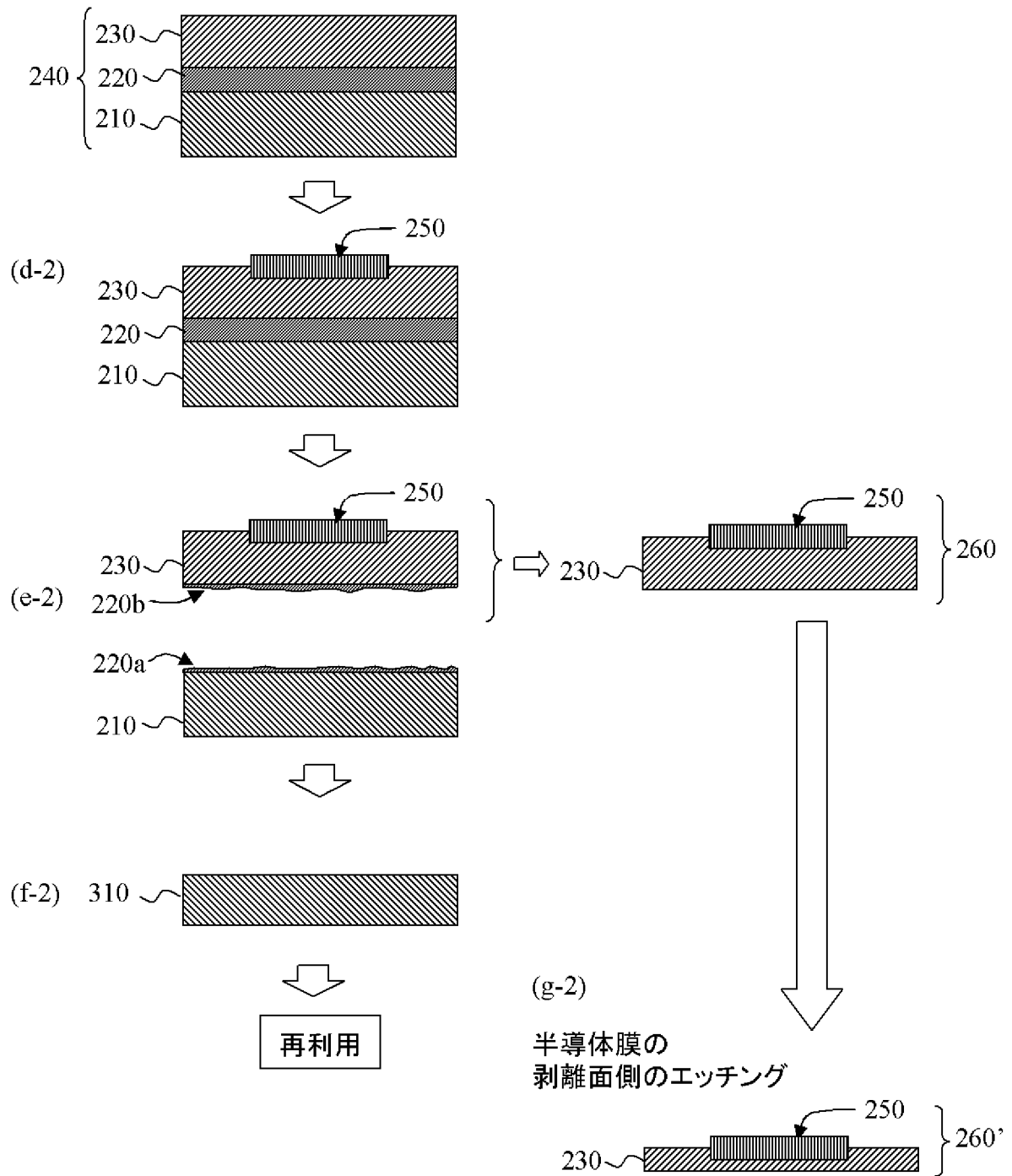
[請求項10] 前記半導体ウェーハの直径が 450 mm 以上であることを特徴とする請求項 9 に記載の多層膜付き半導体ウェーハ。

[図1]



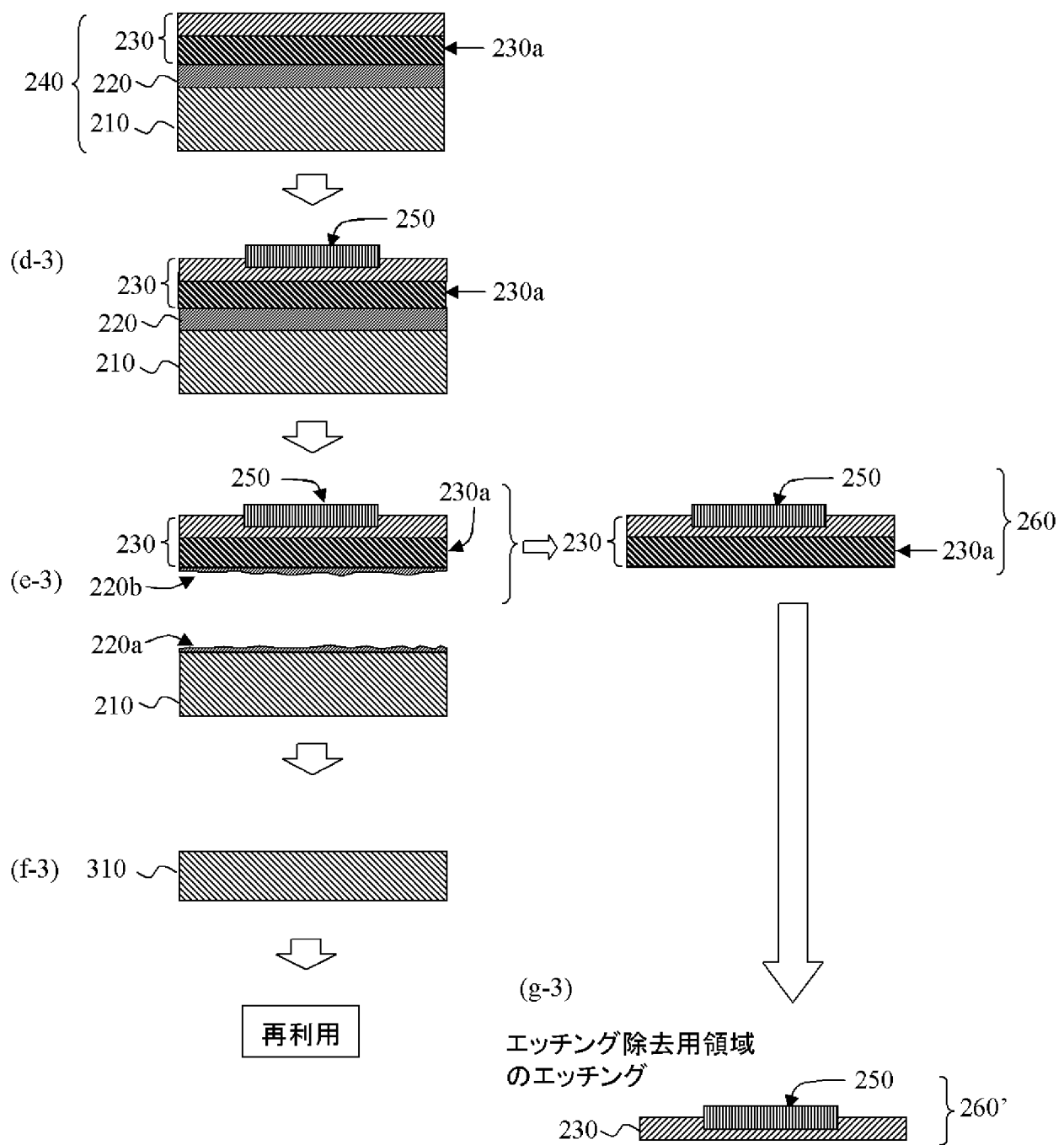
[図2]

(c-2)

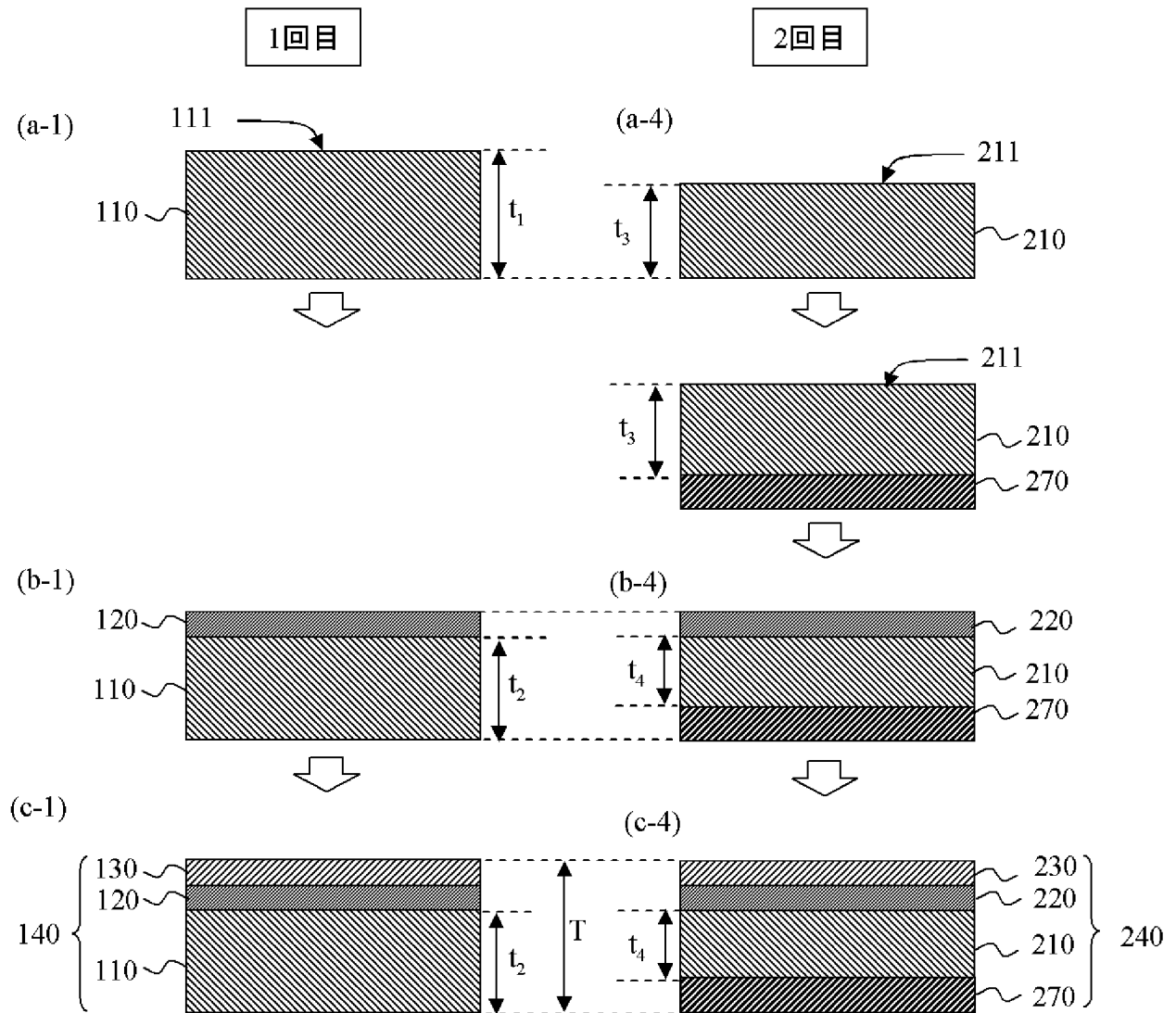


[図3]

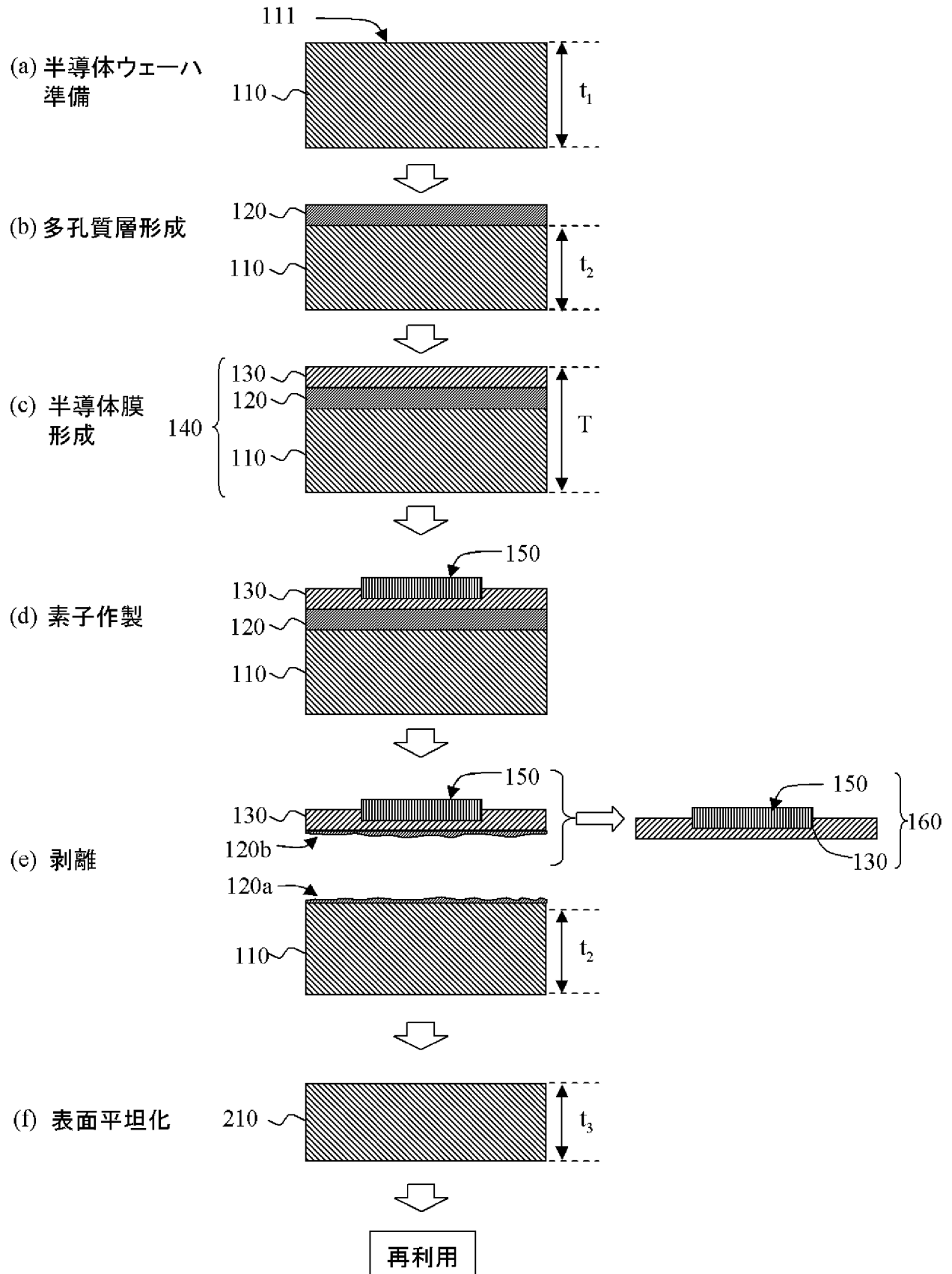
(c-3)



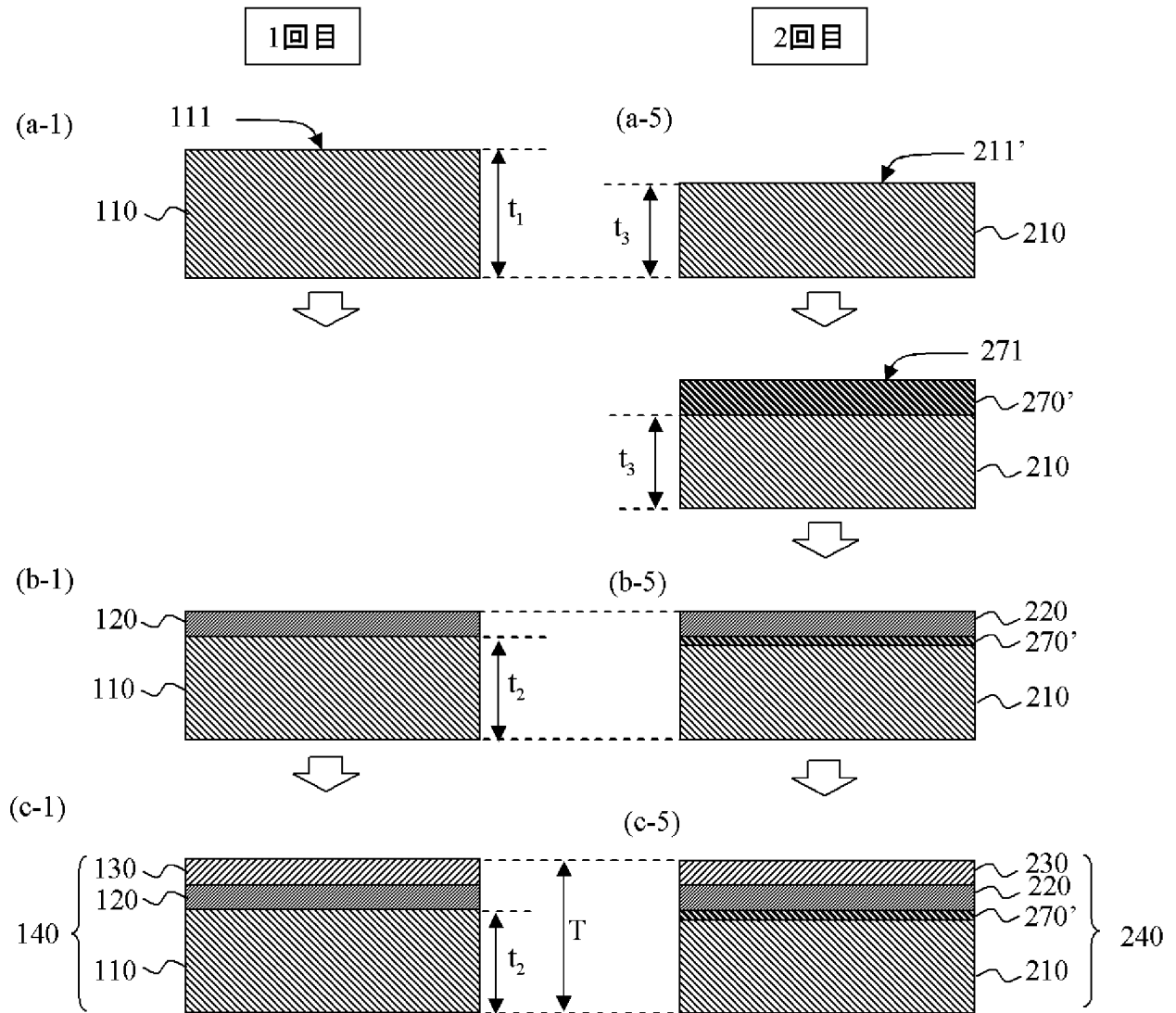
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006680

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-311955 A (Sony Corp.), 04 November 2004 (04.11.2004), fig. 1 to 8 & US 2004/0259326 A1 fig. 1 to 8 & US 2005/0266591 A1 & KR 10-2004-0084865 A	9, 10 1-8
Y	JP 2006-527479 A (S.O.I. Tec Silicon on Insulator Technologies), 30 November 2006 (30.11.2006), entire text; all drawings & US 2004/0248380 A1 entire text; all drawings & EP 1631984 A & WO 2005/004233 A1 & FR 2855908 A & KR 10-2006-0015642 A & CN 1802737 A	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 March, 2010 (01.03.10)Date of mailing of the international search report
09 March, 2010 (09.03.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006680

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-247610 A (Canon Inc.), 02 September 2004 (02.09.2004), entire text; all drawings & US 2004/0185638 A1 entire text; all drawings & FR 2851372 A & FR 2851372 A1	1-8
A	JP 9-312349 A (Sony Corp.), 02 December 1997 (02.12.1997), entire text; all drawings (Family: none)	1-10
A	JP 2003-078117 A (Canon Inc.), 14 March 2003 (14.03.2003), entire text; all drawings (Family: none)	1-10
A	JP 2005-191458 A (Canon Inc.), 14 July 2005 (14.07.2005), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/02 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-311955 A（ソニー株式会社）2004.11.04, 第1-8図 & US 2004/0259326 A1, 第1-8図 & US 2005/0266591 A1 & KR 10-2004-0084865 A	9, 10 1-8
Y	JP 2006-527479 A（エス オー イ テク シリコン オン イン シュレータ テクノロジース）2006.11.30, 全文, 全図 & US 2004/0248380 A1, 全文, 全図 & EP 1631984 A & WO 2005/004233 A1 & FR 2855908 A & KR 10-2006-0015642 A & CN 1802737 A	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 3 . 2 0 1 0

国際調査報告の発送日

0 9 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

4 L

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-247610 A (キヤノン株式会社) 2004. 09. 02, 全文, 全図 & US 2004/0185638 A1, 全文, 全図 & FR 2851372 A & FR 2851372 A1	1-8
A	JP 9-312349 A (ソニー株式会社) 1997. 12. 02, 全文, 全図 (ファミリーなし)	1-10
A	JP 2003-078117 A (キヤノン株式会社) 2003. 03. 14, 全文, 全図 (ファミリーなし)	1-10
A	JP 2005-191458 A (キヤノン株式会社) 2005. 07. 14, 全文, 全図 (ファミリーなし)	1-10