

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年8月21日(21.08.2014)



(10) 国際公開番号

WO 2014/125626 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) H01L 29/78 (2006.01)
H01L 21/822 (2006.01) H01L 29/861 (2006.01)
H01L 27/04 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2013/053724
- (22) 国際出願日: 2013年2月15日(15.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 妹尾 賢 (SENOO Masaru) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING SAME

(54) 発明の名称: 半導体装置とその製造方法

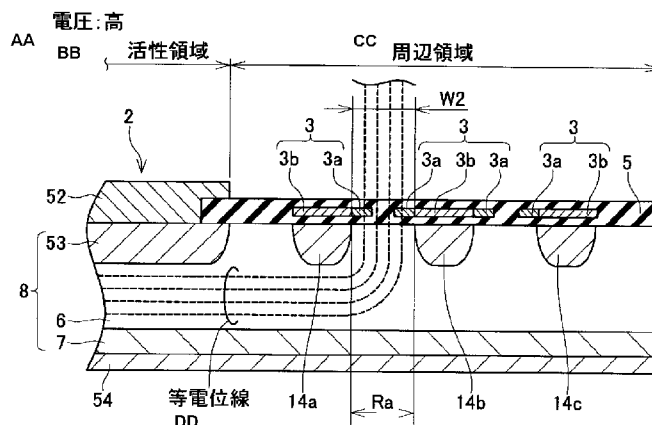


FIG. 1B:
AA Voltage: High
BB Active region
CC Peripheral region
DD Equipotential lines

(57) Abstract: To provide a semiconductor device which lowers movable ions within an insulating layer of a surface of a main surface as well as increasing breakdown voltage thereof. A semiconductor device (2) is provided with a plurality of FLRs (14), an insulating layer (5), and semiconductor layers (3). The plurality of FLRs (14), in plan view of a substrate (8), surround an active region formed by elements. The insulating layer (5) is provided upon a main surface of the semiconductor device (2), and covers the plurality of FLRs (14). The semiconductor layers (3) are provided within the insulating layer, and surround the active region in parallel with the FLRs (14). The semiconductor layer (3) includes impurities in a lower density than the density of a RESURF condition. In addition, the semiconductor layers (3), in plan view, overlap portions of a range (inter-ring range (Ra)) between adjacent FLRs (14), and does not overlap with the remainder of the inter-ring range (Ra).

(57) 要約: 主面表面の絶縁層内の可動イオンを低減するとともに、耐圧を高めた半導体装置を提供する。半導体装置2は、複数のFLR14と、絶縁層5と、半導体層3を備える。複数のFLR14は、基板8の平面視において、素子が形成されている活性領域を囲んでいる。絶縁層5は、半導体装置2の主面上に設けられており、複数のFLR14を覆っている。半導体層3は、絶縁層内に設けられており、FLR14と平行に活性領域を囲んでいる。半導体層3は、リソース条件の面密度よりも低い面密度で不純物を含んでいる。さらに、半導体層3は、平面視において、隣接するFLR14の間の範囲(リング間範囲Ra)の一部とオーバーラップしており、リング間範囲Raの残部とオーバーラップしていない。

性領域を囲んでいる。絶縁層5は、半導体装置2の主面上に設けられており、複数のFLR14を覆っている。半導体層3は、絶縁層内に設けられており、FLR14と平行に活性領域を囲んでいる。半導体層3は、リソース条件の面密度よりも低い面密度で不純物を含んでいる。さらに、半導体層3は、平面視において、隣接するFLR14の間の範囲(リング間範囲Ra)の一部とオーバーラップしており、リング間範囲Raの残部とオーバーラップしていない。

明 細 書

発明の名称：半導体装置とその製造方法

技術分野

[0001] 本発明は、半導体装置に関する。本明細書は、フィールドリミティングリングを備えた半導体装置に関し、半導体装置の耐圧を高める技術を提供する。

背景技術

[0002] 半導体装置では、PN接合の境界に沿って空乏層と呼ばれる絶縁帯が生じる。空乏層の幅が狭いと空乏層での電界強度が高くなる。電界強度が過度に高くなると絶縁が破壊され、素子がダメージを受ける。活性領域の縁で空乏層が狭くなり、電界強度が高くなることが知られている。

[0003] 半導体装置の耐圧を高める技術の一つとして、フィールドリミティングリング (Field Limiting Ring: FLR) が知られている。以下、説明を簡単にするため、フィールドリミティングリングを単純に「FLR」と記す。FLRは、素子を形成する活性領域を囲むように半導体基板内に設けられた層であり、基板の元来の導電型と異なる導電型を有する。FLRは、フローティング拡散層とも呼ばれる。半導体基板がN型であれば、活性領域をリング状に囲むようにP型の不純物をドーピングし、P型のFLRが形成される。FLRを設けると、FLRと半導体基板のPN接合部に沿って空乏層が拡がり、耐圧が高まる。FLRに関する改良が例えば特開2000-114549号に開示されている。

発明の概要

[0004] 一般に、幅広の一つのFLRを設けるよりも、幅狭の複数のFLRを設ける方が、耐圧が高まることが知られている。ここで、「幅」とは、半導体装置を平面視したときのFLRの幅を意味する。以下「幅」は同じ意味で用いる。複数のFLRを設けた場合、隣接するFLRの間に絶縁帯が形成される。絶縁帯を狭くすると、絶縁帯での電界強度が高くなるため、隣接するFLR

Rの間の幅は過度に小さくすることはできない。

[0005] 他方、半導体装置の主面はF L Rを含め、絶縁層に覆われているが、その絶縁層に可動イオンが過剰に存在すると、電界分布が乱される結果、絶縁層が破壊され易くなる。可動イオンの他にも絶縁層を劣化させる要因は存在するが、ここでは、絶縁層を劣化させる典型的な要因として可動イオンを考える。

[0006] 可動イオンの原因は、半導体装置の製造工程における混入のほか、外部からの汚染も一因であると考えられている。可動イオンを低減するため、絶縁層に、可動イオンをトラップするための導体層や半導体層を設けることが考えられる。半導体層内のキャリアが可動イオンを捕獲する。しかし、前述したように、隣接するF L Rの間には相応の幅の絶縁帯を確保する必要があるため、単純に、隣接するF L Rの間に導体層や半導体層を設けることはできない。導体層や、キャリアを有する半導体層には電界が生じないため、隣接するF L Rの間に導体層や半導体層が存在すると、その分だけ電界が生じ得る幅が狭められてしまうからである。

[0007] 本明細書は、主面表面の絶縁層内の可動イオンを低減するとともに、耐圧を高める技術を提供する。

[0008] 本明細書が開示する技術は、複数のF L Rを覆っている絶縁層の内部に、半導体層を設ける。半導体層は、F L Rと平行に活性領域を囲むように設ける。また、半導体層は、半導体基板を平面視したときに、隣接するF L Rの間の範囲とオーバーラップするように配置される。以下、隣接するF L Rの間の範囲をリング間範囲と称する。ただし、半導体層は、2つのF L Rの間の領域の全体とオーバーラップするのではなく、その一部とオーバーラップし、残部はオーバーラップしないように設けられる。別言すれば、半導体基板を平面視したときに、リング範囲と半導体層がオーバーラップする領域が活性領域を囲むとともに、そのオーバーラップする領域と平行に、リング範囲と半導体層がオーバーラップしない領域が活性領域を囲むことになる。さらに、本明細書が開示する技術の特徴は、半導体層が、リサーフ条件の面密

度（濃度）より低い面密度（濃度）で活性化された不純物を含むことである。ここで、不純物は、半導体のタイプを決定する物質であり、代表的には、ボロンやリンである。半導体層全体がP型あるいはN型となる。

[0009] リング範囲と半導体層がオーバーラップしない領域は、常に絶縁帯となるため、半導体基板の内部で発生した空乏層から続く電界はその絶縁帯を通る。本明細書が開示する技術は、基板に印加される電圧が高くなると、絶縁帯に隣接する半導体層内でも空乏層が拡がり、電界が形成される幅を拡げ、電界強度を緩和する。以下、その原理を説明する。

[0010] リサーフ条件の面密度より低い面密度の活性化された不純物を含むと、電圧を加えると空乏層が形成されることが知られている。リサーフ条件に相当する面密度（濃度）は、ドーピングする半導体表面の領域の面密度で約 1×10^{12} [atoms/cm²] であることが知られている。リサーフ条件については、文献：J. A. Apples, et al, Tech. Dig. IEDM79, 238, 1979 に詳しいので、そちらを参照されたい。以下、説明の便宜のため、リサーフ条件に相当する面密度を「リサーフ面密度」と称する。

[0011] 半導体層は、一定面密度の不純物を含むため、一定面密度のキャリアを有する。このキャリアが、可動イオンをトラップするので、可能イオンに起因する絶縁破壊が生じ難くなる。

[0012] 一方、リング間範囲の上方の絶縁層に上記の面密度の半導体層を設けることによる耐圧向上の理由を、図1A、図1Bを参照して説明する。図1A、図1Bは、半導体装置2を、その厚み方向に横断した断面図である。半導体装置2は、N型のドリフト層6とN+型のコレクタ層7が積層された半導体基板8の活性領域にP型のボディ層53が形成されたトランジスタである。なお、ゲート等の図示は省略している。また、図面を理解し易くするため、ドリフト層6には断面を表すハッチングを付していないことに留意されたい。以後の図でも、ドリフト層6にはハッチングを付していない。

[0013] 半導体装置2は、平面視したときに活性領域を囲むように3本のFLRを備えている。活性領域に近いFLRを第1FLR14aと称し、最も遠いF

L Rを第3 F L R 1 4 cと称し、中間のF L Rを第2 F L R 1 4 bと称する。
。なお、3本のF L Rを区別しないで表すときには、F L R 1 4と称する。

[0014] 半導体装置の第1主面（図において上側の表面）の周辺領域は絶縁層5で覆われている。それぞれのF L R 1 4の上方で絶縁層5の中には、半導体層3が設けられている。半導体層3は、基板平面視において、隣接する2つのF L Rの間の範囲（リング間範囲R a）とオーバーラップする低面密度領域3 aと、F L R 1 4とオーバーラップする高面密度領域3 bを有する。「基板平面視において」とは、別言すれば、「基板をその厚み方向に横断する方向において」という意味である。また、「F L R 1 4の上方」とは、F L R 1 4から絶縁層5に向かう方向を意味する。

[0015] 高面密度領域3 bは、不純物をリサーフ面密度よりも高い面密度で含んでおり、低面密度領域3 aは、不純物をリサーフ面密度よりも低い面密度で含んでいる。含有する不純物は、P型でもN型でもよいが、半導体層全体が同じ導電性を有する。活性領域に形成されたトランジスタのゲートに電圧を印加せず、第1主電極5 2と第2主電極5 4の間に電圧を印加すると、ボディ層5 3と第1 F L R 1 4 aに沿って空乏層が広がる。図には等電位線が破線で示されているが、ドリフト層6における等電位線が、空乏層に対応する。等電位線は、絶縁層5を横断して半導体装置2の外部へと伸びる。

[0016] 図1 Aは、主電極間に印加する電圧が低い場合の等電位線を表しており、図1 Bは主電極間に印加する電圧が高い場合の等電位線を表している。両主電極間の電圧が低い場合は（図1 A）、半導体層3の低面密度領域3 a及び高面密度領域3 bの双方にキャリアが存在するので、半導体層3の全体が導体となる。それゆえ、低面密度領域3 aは高面密度領域3 bとともに全体が等電位となる。従って、ドリフト層6の空乏層から続く電界は、低面密度領域3 aには広がらず、半導体層3（低面密度領域3 aを含む半導体層3）が存在しない範囲W 1で電界が生じる。別言すれば、ドリフト層6の空乏層から続く電界は、リング間範囲R aでは、範囲W 1でのみ生じることになる。範囲W 1は狭いが、印加されている電圧が低いので範囲W 1の電界強度も低

く、絶縁破壊には至らない。他方、低面密度領域 3 a にキャリアが存在する間は、可動イオンをトラップすることができる。なお、高面密度領域 3 b には常にキャリアが存在し、可動イオンをトラップする。

[0017] 両主電極間の電圧が高くなると、低面密度領域 3 a に空乏層が形成される。そうすると、低面密度領域 3 a が絶縁状態となり、低面密度領域 3 a の内部にも電界が生じ得る。最大では低面密度領域 3 a 全体に空乏層が広がる。その場合、リング間範囲 R a のうち、低面密度領域 3 a を含む範囲 W 2 で電界が生じる。別言すれば、ドリフト層 6 の空乏層から続く電界は、リング間範囲 R a では、範囲 W 2 で生じることになる。図 1 A の状態から図 1 B の状態に移ると、リング間範囲 R a において電界が生じる範囲が W 1 から W 2 に広がるので、電界強度の増加が緩和される。まとめると次の通りである。半導体装置に印加される電圧が高くなると、リング間範囲とオーバーラップする半導体層 3 では低面密度領域 3 a に空乏層が広がるので、即ち絶縁帯が広がるので、電界強度の増加が緩和される。

[0018] なお、基板平面視において、リング間範囲 R a には、半導体層 3 がオーバーラップしない領域、即ち、常に絶縁帯となる領域が確保される。図 1 A の範囲 W 1 が、常に絶縁帯となる領域に相当する。この絶縁帯を確保することで、必ず第 1 F L R 1 4 a と第 2 F L R 1 4 b の間に電界を生じさせることができる。別言すれば、ドリフト層 6 の空乏層から連続する電界の一部を第 1 F L R 1 4 a と第 2 F L R 1 4 b の間で引き受けることができる。

[0019] また、同様の現象が第 2 F L R 1 4 b と第 3 F L R 1 4 c の間でも生じる。第 2 F L R 1 4 b と第 3 F L R 1 4 c の間でも上記説明した現象と同様の現象が生じ、F L R 間の電界強度の増加が緩和される。

[0020] 図 1 A、1 B の例では、一つの半導体層 3 において、高面密度領域 3 b から低面密度領域 3 a へ面密度がステップ状に変化する。一つの半導体層において不純物面密度が徐々に変化し、F L R と対向する範囲ではリサーフ面密度よりも高く、半導体層 3 の端部に近づくにつれて不純物面密度が低くなり、その途中で面密度がリサーフ面密度を下回るように構成してもよい。その

ような構成では、半導体装置に印加される電圧に応じて半導体層内の空乏層が拡大し、リング間範囲での電界強度の増加が緩和される。

[0021] 上記の効果は、リサーフ面密度よりも低い面密度で不純物を含む半導体層と、不純物を高面密度で含む別の半導体層で構成することもできる。あるいは、上記の効果は、リサーフ面密度よりも低い面密度で不純物を含む半導体層と導体層で構成することもできる。即ち、図1A及び図1Bにおける高面密度領域3bを、低面密度領域3aとは独立した半導体層で構成しても上記した効果を得ることができる。あるいは、高面密度領域3bを導体で置き換えても同様の効果を得ることができる。半導体層とは独立した導体層を絶縁層内に設ける場合は、次の構成を備えるのがよい。絶縁層内に設けられる導体層は、一つのFLR（例えば図1Aの第1FLR14a）に対向するとともに活性領域を囲んでいる。そして、半導体層の幅方向の縁が、そのFLR（第1FLR14a）の幅方向の縁、及び、導体層の幅方向の縁よりも隣接するFLR（例えば図1Aの第2FLR14b）の近くまで伸びている。導体層の端と隣のFLRとの間に位置する半導体層が、図1A、図1Bの低面密度領域3aに対応する。また、導体層は、絶縁層の内部で可動イオンをトラップし、絶縁層の劣化を防ぐ。

[0022] なお、半導体層の低面密度領域における不純物面密度の下限値は、一般的に半導体と不導体（絶縁体）の境界とされている、 1.0×10^{-6} [atoms/cm²] である。低面密度領域は、キャリアが存在するとともに、一定の電圧が印加されると空乏層が広がる、という性質を備えている必要がある。低面密度領域と高面密度領域と導体層の組み合わせの様々なバリエーションは実施例で詳しく説明する。

[0023] 上記の導体層は、金属でもよいが、導体に近くなるようにポリシリコンに不純物を過度にドーピングした層であってもよい。そのような層は、半導体素子のゲートにも用いられる。従って、上記した絶縁層内の半導体層は、その層を製造する特別な工程を増加することなく、半導体装置を製造する従来の工程で同時に作ることができる。具体的には、導体層は、基板上にゲート

を形成する工程で、同時に形成することができる。また、上記した半導体層のベースとなるポリシリコン層は、温度検出用の素子のベースとなるポリシリコン層を基板上に形成する工程で同時に形成することができる。上記の半導体装置を製造する方法も、本明細書が開示する新規な製造方法である。

[0024] 本明細書が開示する技術の詳細とさらなる改良は、実施例にて説明する。

図面の簡単な説明

[0025] [図1A]半導体装置の断面図である（低電圧の場合の等電位線が描かれている）。

[図1B]半導体装置の断面図である（高電圧の場合の等電位線が描かれている）。

[図2]半導体装置の平面図である。

[図3]半導体層の別の位置における断面図である。

[図4]半導体層内の不純物の分布の一例を示す拡大断面図である。

[図5]半導体層内の不純物の分布の別の一例を示す拡大断面図である。

[図6A]第2実施例の半導体装置の断面図である（低電圧の場合の等電位線が描かれている）。

[図6B]第2実施例の半導体装置の断面図である（高電圧の場合の等電位線が描かれている）。

[図7]第2実施例の半導体装置の別の位置における断面図である。

[図8A]半導体装置の製造方法を説明する図である（1）。

[図8B]半導体装置の製造方法を説明する図である（2）。

[図8C]半導体装置の製造方法を説明する図である（3）。

[図8D]半導体装置の製造方法を説明する図である（4）。

[図9]第3実施例の半導体装置の断面図である。

[図10]F L Rと導体層を導通させる構造の一例を示す断面図である。

[図11]F L Rと導体層を導通させる構造の別の一例を示す断面図である。

[図12]F L Rと導体層を導通させる構造のさらに別の一例を示す断面図である。

[図13]面密度勾配を有する半導体層の製造方法の一例を説明する断面図である。

[図14]面密度勾配を有する半導体層の製造方法の別の一例を説明する断面図である。

実施例

[0026] (第1実施例) 図面を参照して本明細書が開示する半導体装置の第1実施例を説明する。第1実施例の半導体装置2は、トランジスタが実装されたデバイスである。図1A、図1Bは、第1実施例の半導体装置2の断面図である。図1A、図1Bは、既に説明した。図2は、半導体装置2の平面図である。符号52は、第1主電極を示している。第1主電極52は、トランジスタの一方の電極であり、平面視において第1主電極52が示す領域が「活性領域」に相当する。別言すれば、活性領域は、基板8の平面視において第1主電極52が占める範囲である。半導体装置2は、活性領域に素子（トランジスタ）が形成されている。平面視において、活性領域の周囲が周辺領域である。半導体装置2は、周辺領域に3本のFLR（フィールドリミティングリング）を備える。FLRは、絶縁層5（図1A参照）で覆われているので、図2ではFLRを破線で示している。また、理解し易いように、図2では、FLRをグレーで示している。前述したように、平面視において、内側から第1FLR14a、第2FLR14b、第3FLR14cと称する。複数のFLR14は、平面視において活性領域を囲んでいる。FLR14は基板内に形成されており、その上面は絶縁層5で覆われている。前述したように、絶縁層5内に、各FLRに沿って半導体層3が形成されている。従って、図2には描かれていないが、平面視において3つの半導体層3の夫々も活性領域を囲んでいる。

[0027] 図3は、別の位置における半導体装置2の断面図である。各FLRに対応する半導体層3は、導体13によって各FLR14と導通している。導体13は、平面視において活性領域を一巡してはならず、所々でFLR14と半導体層3を接続している。各FLRに対応する半導体層3と各FLR14は

等電位である。それゆえ、夫々のFLR14と、各FLRの上方に位置する半導体層3の間には電界が生じない。従って、図1A、図1Bに示したように、ドリフト層6の空乏層から続く電界領域は、隣接するFLR（第1FLR14aと第2FLR14b）の間を通る。

[0028] 半導体装置2におけるFLR14とそれに対応する半導体層3の構造と機能は既に説明したのでここでは説明は繰り返さない。

[0029] 次に、図4と図5を参照して、第1実施例の半導体装置2の変形例を説明する。図1Aから図3に示した半導体装置2では、半導体層3は、高面密度領域3bと低面密度領域3aがはっきりと区別される。不純物の面密度は、高面密度領域から低面密度領域に向けて徐々に低下していてもよい。図4は、面密度が徐々に変化する半導体層を有する半導体装置102の拡大断面図である。図5は、別の面密度分布の半導体層を有する半導体装置202の拡大断面図である。図4と図5は、2つのFLR（第1FLR14aと第2FLR14b）の付近を拡大したものである。図4、図5に描かれていない範囲は、図1Aの半導体装置2と同じである。

[0030] 図4では、一つの半導体層103の上に、面密度グラフG1を示している。面密度グラフG1の縦軸は半導体層103が含有する不純物の面密度を示しており、横軸は半導体層103における位置を示している。位置P1は、半導体層103の内側の端であり、位置P3は外側の端である。ここで、活性領域に近い側が「内側」に相当し、活性領域から遠い側が「外側」に相当する。第1主電極52の範囲が活性領域に相当する。位置P1は、第1FLR14aの内側の縁にも相当する。位置P2は、第1FLR14aの外側の縁に相当する。半導体層103は、第1FLR14aに対向しているとともに、第1FLR14aの外側のリング間範囲Raにまで伸びている。

[0031] 半導体層103は、内側では不純物面密度が高く、外側にいくほど面密度が低下する。グラフG1において、符号Rcはリサーフ面密度を示している。符号Pcは、不純物面密度がリサーフ面密度Rcに相当する位置である。半導体層103では、不純物面密度がリサーフ面密度よりも高い領域が、第

1 F L R 1 4 a と対向する範囲を超える。そして、リング間範囲 R a にて不純物面密度がリサーフ面密度 R c を下回る。別言すれば、位置 P c が、位置 P 2 と位置 P 3 の間に位置する。

[0032] 図 5 は、別の面密度分布を有する半導体層 2 0 3 の例である。半導体装置 2 0 2 の半導体層 2 0 3 も、内側から外側に向かって徐々に低下する不純物面密度分布を有する。ただし、半導体層 2 0 3 では、リサーフ面密度 R c に対応する位置 P c は、第 1 F L R 1 4 a と対向する範囲に位置する。別言すれば、図 4 の半導体装置 1 0 2 の半導体層 1 0 3 では、含有する不純物面密度がリサーフ面密度 R c を下回る低面密度領域が狭く、図 5 の半導体装置 2 0 2 の半導体層 2 0 3 では、低面密度領域が広い。半導体装置 1 0 2 は半導体装置 2 0 2 よりも、耐圧改善効果は小さいが、可動イオンのトラップ効果は大きい。逆に、半導体装置 2 0 2 は、半導体装置 1 0 2 よりも、耐圧改善効果が大きく、可動イオンのトラップ効果は小さい。いずれの半導体層も、不純物面密度は内側から外側に向けて徐々に低下するが、F L R と対向する範囲に、リサーフ面密度 R c を超える領域（高面密度領域）を有し、リング間範囲の端部にはリサーフ面密度 R c を下回る領域（低面密度領域）を有する。半導体層は、図 1 A に示したように高面密度領域と低面密度領域がステップ状に変化するものであってもよいし、図 4、図 5 に示したように高面密度領域から低面密度領域に面密度が徐々に変化するものであってもよい。また、半導体層は、F L R に対向する範囲の一部に高面密度領域が存在すればよく、F L R に対向する全範囲で不純物面密度がリサーフ面密度を超えている必要はない。同様に、半導体層は、リング間範囲とオーバーラップする範囲の端部に低面密度領域が存在すればよく、オーバーラップする全範囲で低面密度ある必要はない。

[0033] （第 2 実施例）次に、図 6 A、6 B、及び、図 7 を用いて第 2 実施例の半導体装置 3 0 2 を説明する。半導体装置 3 0 2 は、面密度が変化する半導体層の代わりに、面密度が一定の半導体層 3 c と、導体層 9 を絶縁層 5 の内部に備える。半導体層 3 c と導体層 9 は、各 F L R に対して備えられる。各導

体層 9 は、各 F L R に対向している。図示は省略するが、各導体層 9 は、各 F L R に沿って活性領域を囲んでいる。なお、図 6 A ~ 図 7 において、図 1 A の半導体装置 2 と同じ部品には同じ符号を付す。半導体装置 2 と同じ部品の説明は省略する。

[0034] 半導体層 3 c は、基板 8 の平面視において、一部が導体層 9 及び F L R 1 4 とオーバーラップしている。半導体層 3 c の別の一部は、F L R 1 4 に隣接するリング間範囲 R a とオーバーラップしている。別言すれば、半導体層 3 c は、対応する F L R (例えば第 1 F L R 1 4 a) の幅方向の縁、及び、対応する導体層 9 の幅方向の縁よりも、隣接する F L R (例えば第 2 F L R 1 4 b) の近くまで伸びている。

[0035] 図 6 A は、図 1 A と同様に、主電極 5 2 と 5 4 の間に低電圧を印加したときの、空乏層を通る等電位線を示しており、図 6 B は、図 1 B と同様に、高電圧を印加したときの、空乏層を通る等電位線を示している。半導体層 3 c は、リサーフ面密度よりも低い面密度で不純物を含んでいる。それゆえ、高い電圧が加わると、空乏層が広がる。空乏層の幅は、電圧に依存する。電圧が低い場合、空乏層の幅は狭い。極端に電圧が低い場合、半導体層 3 c にはほとんど空乏層が生じない(図 6 A)。それゆえ、半導体層 3 c 内の全域にキャリアが存在し、半導体層 3 c は全体が等電位となる。従って半導体層 3 c の内部には電界が発生せず、ドリフト層 6 の空乏層から続く電界は、リング間範囲 R a において、半導体層 3 c が存在しない範囲(図 6 A に図示される範囲 W 1)に限定される。別言すれば、ドリフト層 6 の空乏層を表す等電位線は、隣接する F L R の間で、かつ、半導体層 3 c が存在しない範囲 W 1 を通り、半導体層 3 c を通ることはできない。

[0036] 主電極 5 2 と 5 4 の間に高い電圧を印加した場合、半導体層 3 c には空乏層が広がる。空乏層にはキャリアが存在しないため、電界が生じ得る。それゆえ、ドリフト層 6 に生じた空乏層から続く電界は、リング間範囲 R a において、半導体層 3 c を含む(ただし導体層 9 は含まない)範囲 W 2 に広がる(図 6 B)。電圧が高くなると、リング間範囲 R a において電界が生じる範

囲が広がるので、電界強度が緩和され、耐圧が向上する。

[0037] なお、電圧が低い場合は、導体層 9 と半導体層 3 c がともに可動イオンをトラップする。電圧が高くなり、半導体層 3 c に空乏層が広がると、導体層 9 のみが可動イオンをトラップする。電圧が低ければ多くの領域で可動イオンをトラップすることができ、それゆえ、可動イオンによる絶縁層 5 の劣化も抑止できる。

[0038] 図 7 に、半導体装置 302 の別の位置における断面図を示す。図 7 の断面では、各 F L R 14 と、各 F L R 14 に対応する導体層 9 及び半導体層 3 c が電極 23 を介して導通している。即ち、各 F L R 14、及び、各 F L R 14 に対応する導体層 9 と半導体層 3 c は同電位となる。それゆえ、F L R 14 と導体層 9 の間や、導体層 9 と半導体層 3 c の間には電界が生じない。ドリフト層 6 の空乏層から続く電界は、必ず、隣接する F L R の間の範囲（リング間範囲 R a）を通る。

[0039] 電極 23 は、基板 8 の平面視において活性領域を囲んでいなくともよい。電極 23 は、活性領域の周囲の所々で F L R と導体層と半導体層を導通していればよい。逆に、電極 23 は基板平面視において活性領域を囲むように一巡していてもよい。

[0040] 次に、図 8 A～8 D を参照して、半導体装置の製造方法を説明する。対象の半導体装置 402 は、素子の温度を検知するためのダイオードを伴う I G B T（Insulated Gate Bipolar Transistor）である。図 8 A は、ゲートを生成する工程を説明する図である。なお、図 8 A の工程までに、N 型の基板 8 に、N+型のコレクタ層 7、コレクタ層 7 に接する第 2 主電極 54、P+型のボディ層 53、ゲート用トレンチ 412、第 1 F L R 14 a、第 2 F L R 14 b、温度検知用 P+層 419 は、既に形成されている。これらの層は、従来の方法で製造できるのでその説明は省略する。

[0041] 図 8 A は、ゲート 413 を形成する工程を示している。実施例の I G B T のゲート 413 は、トレンチ 412 にポリシリコンを満たしたものである。ここでのポリシリコンは、導体として機能するのに十分な不純物面密度を有

している。トレンチ412にポリシリコンを満たすと同時に、その同じポリシリコンで、第1FLR14aと第2FLR24aの上方にそれぞれ導体層9を形成する。この導体層9は、ゲートと同じ、導体化したポリシリコンである。

[0042] 次に、主面の上に、絶縁層を積み増し（絶縁層5b）、次いで、その絶縁層5bの上に、温度検知用ダイオードのベースとなるポリシリコン層414と、半導体層のベースとなるポリシリコン層415を形成する（図8B）。温度検知用ダイオードのベースとなるポリシリコン層414と、半導体層のベースとなるポリシリコン層415は、同じ材料で形成される。ここでのポリシリコンは、N-の導電型を有している。温度検知用ダイオードのベースとなるポリシリコン層414は、温度検知用P+層419の上方に形成される。半導体層のベースとなるポリシリコン層415は、その一部が夫々の導体層9とオーバーラップするように形成される。即ち、基板8に、温度検出用の素子のベースとなるポリシリコン層414を形成すると同時に半導体層のベースとなるポリシリコン層415を形成する。

[0043] 次に、ポリシリコン層414の約半分にP型不純物をドーピングし、残りの半分にN型不純物をドーピングする。その結果、ポリシリコン層414はダイオード414aとなる。この工程では、同時に、半導体層のベースとなるポリシリコン層415に所望の面密度の不純物をドーピングする。例えば、図6Aに示した半導体装置302の半導体層303と同様に、リサーフ面密度よりも低い面密度となるようにP型不純物をドーピングする。その結果、ポリシリコン層415は半導体層3となる。

[0044] 次に、レジスト416を形成し、不要な絶縁層部分を除去する（図8C）。図8Cの符号Eが示す溝が、エッチングにて絶縁層5bを除去する部位を示す。この例では、ダイオード414aの一部が露出するように絶縁層5bが除去されるとともに、FLR14の一部と導体層9の一部と半導体層3の一部が露出するように絶縁層5bの対応箇所が除去される。

[0045] 最後に、除去した部分に導体化したポリシリコン層を形成する（図8D）

。導体化したポリシリコン層が、第1主電極52、温度検知ダイオード用電極423、及び、FLR用電極424を構成する。FLR用電極424は、FLR（第1FLR14、第2FLR24）と、それに対応する導体層9、半導体層3を相互に導通させる。

[0046] 上記の製造方法は、温度検知用のダイオード414aを伴うIGBTにおいて、既存の工程を利用して導体層9と半導体層3を生成する。従って、導体層9や半導体層3を形成するための新たな工程を付加する必要がない。

[0047] （第3実施例）次に、図9を参照して第3実施例の半導体装置502を説明する。この半導体装置502は、先に説明した第2実施例の半導体装置302に近い構造を有している。第2実施例の半導体装置302は、FLR14の近くに導体層9を設け、導体層9の上方に半導体層3が設けられている。本実施例の半導体装置502は、FLR14の近くに半導体層3を設け、その半導体層3の上方に導体層9を設ける。即ち、半導体装置302と502は、導体層9と半導体層3の上下方向の位置が逆転している。半導体装置502は、半導体装置302と同じ利点を有する。

[0048] 次に、図10～図12を用いて、FLR14と導体層9とを導通させる構造のバリエーションを説明する。図10の半導体装置602では、絶縁層5に、FLR14と2つの導体層9との夫々に通じるトレンチを形成する。そして、各トレンチに導体を充填する。充填した導体が、FLR14と導体層9を導通する電極23aに相当する。図11の半導体装置702では、導体層9を貫通してFLR14に達する太いトレンチを形成する。そして、そのトレンチに導体を充填する。充填した導体が電極23bに相当する。電極23bの側面に導体層9が接し、電極23bの下面にFLR14が接する。

[0049] 図12の半導体装置802では、中央部が下方に屈曲した導体層9aを形成する。導体層9aの屈曲した部分がFLR14と接する。半導体装置802は、導体層9aとFLR14を導通させる電極が不要であるという利点を有する。

[0050] 次に、図13、図14を参照して、面密度勾配を有する半導体層を形成す

る方法の例を説明する。図 13 の方法では、内部に半導体層 913 を含む絶縁層 5 の上面にレジスト層 902 を形成する。レジスト層の一部を除去し、半導体層 3 が露出する複数の開口（開口 903 a、903 b、903 c）を形成する。不純物面密度の望ましい分布に応じて、開口の幅を調整する。即ち、最も高い面密度で不純物を与えたい領域に対応して最も広い開口 903 a を設け、最も低い面密度で不純物を与えたい領域に対応して最も狭い開口 903 c を設ける。中間の面密度で不純物を与えたい領域に対応しては、中間の幅の開口 903 b を設ける。そして、P 型あるいは N 型の不純物 901 をドーピングする。開口の大きさに応じた不純物面密度の半導体層 3 が得られる。図 13 では、左端で不純物面密度が高く、右へいくほど不純物面密度が下がる半導体層が得られる。

[0051] 図 14 の方法では、拡散係数の小さい元素を用いてドーピングする。拡散係数の小さい元素の例は、砒素（As）、アンチモン（Sb）、インジウム（In）がある。図 14 の方法では、内部に半導体層 914 を含む絶縁層 5 の上面にレジスト層 902 を形成する。そして、不純物を高面密度で与えたい領域の上方のレジスト層を除去し、開口 903 d を形成する。そうして、拡散係数の小さい元素 904 をドーピングする。不純物が直接打ち込まれる領域では不純物を高面密度で含む領域（高面密度領域 914 b）が生成される。用いられる不純物は拡散係数が小さいので、高面密度領域 914 b から、レジスト 902 によって不純物が到達しない領域へと不純物が半導体層 914 の内部を拡散する。図 14 において、半導体層 914 の内部に描かれた矢印が不純物の拡散を表している。こうして、レジスト 902 に覆われた領域が低面密度領域 914 a となる。

[0052] 実施例で説明した技術に関する留意点を述べる。FLR14、FLR14 に対応する半導体層 3、FLR14 に対応する導体層 9 は、相互に導通していることが望ましい。FLR14 と半導体層 3 を導通する電極、FLR と導体層 9 を導通する電極は、基板平面視において、FLR とともに活性領域を一巡していることが好ましい。

- [0053] 本発明の代表的かつ非限定的な具体例について、図面を参照して詳細に説明した。この詳細な説明は、本発明の好ましい例を実施するための詳細を当業者に示すことを単純に意図しており、本発明の範囲を限定することを意図したものではない。また、開示された追加的な特徴ならびに発明は、さらに改善された半導体装置とその製造方法を提供するために、他の特徴や発明とは別に、又は共に用いることができる。
- [0054] また、上記の詳細な説明で開示された特徴や工程の組み合わせは、最も広い意味において本発明を実施する際に必須のものではなく、特に本発明の代表的な具体例を説明するためにのみ記載されるものである。さらに、上記の代表的な具体例の様々な特徴、ならびに、独立及び従属請求項に記載されるものの様々な特徴は、本発明の追加的かつ有用な実施形態を提供するにあたって、ここに記載される具体例のとおり、あるいは列挙された順番のとおりに組合せなければならないものではない。
- [0055] 本明細書及び／又は請求の範囲に記載された全ての特徴は、実施例及び／又は請求の範囲に記載された特徴の構成とは別に、出願当初の開示ならびに請求の範囲に記載された特定事項に対する限定として、個別に、かつ互いに独立して開示されることを意図するものである。さらに、全ての数値範囲及びグループ又は集団に関する記載は、出願当初の開示ならびに請求の範囲に記載された特定事項に対する限定として、それらの中間の構成を開示する意図を持ってなされている。
- [0056] 以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

- [請求項1] 基板の平面視において、素子が形成されている活性領域を囲んでいる複数のフィールドリミティングリングと、
- 半導体装置の主面上に設けられており、複数のフィールドリミティングリングを覆っている絶縁層と、
- 絶縁層内に設けられており、フィールドリミティングリングと平行に活性領域を囲んでいる半導体層と、
- を備えており、
- 半導体層は、リサーフ条件の面密度よりも低い面密度で不純物を含んでいるとともに、平面視において、隣接するフィールドリミティングリングの間の範囲（リング間範囲）の一部とオーバーラップしており、リング間範囲の残部とオーバーラップしていないことを特徴とする半導体装置。
- [請求項2] 平面視において、半導体層は、
- 一つのフィールドリミティングリングと対向するとともに、一つのフィールドリミティングリングに隣接するリング間範囲の上方まで伸びており、
- 平面視において、リング間範囲内に位置する端部に、リサーフ条件の面密度よりも低い面密度で不純物を含む低面密度領域を有するとともに、一つのフィールドリミティングリングと対向する部分に、リサーフ条件の面密度よりも高い面密度で不純物を含む高面密度領域を有する、ことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 半導体層が前記一つのフィールドリミティングリングと導通していることを特徴とする請求項2に記載の半導体装置。
- [請求項4] 絶縁層内に形成されており、一つのフィールドリミティングリングに対向するとともに活性領域を囲んでいる導体層をさらに備えており、
- 半導体層が、前記一つのフィールドリミティングリングの幅方向の

縁、及び、導体層の幅方向の縁よりも隣接するフィールドリミティングリングの近くまで伸びている、

ことを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 半導体層と導体層と一つのフィールドリミティングリングが導通していることを特徴とする請求項 4 に記載の半導体装置。

[請求項6] 請求項 4 又は 5 に記載の半導体装置の製造方法であり、
基板にトレンチゲートを形成するのと同時に前記導体層を形成する工程と、

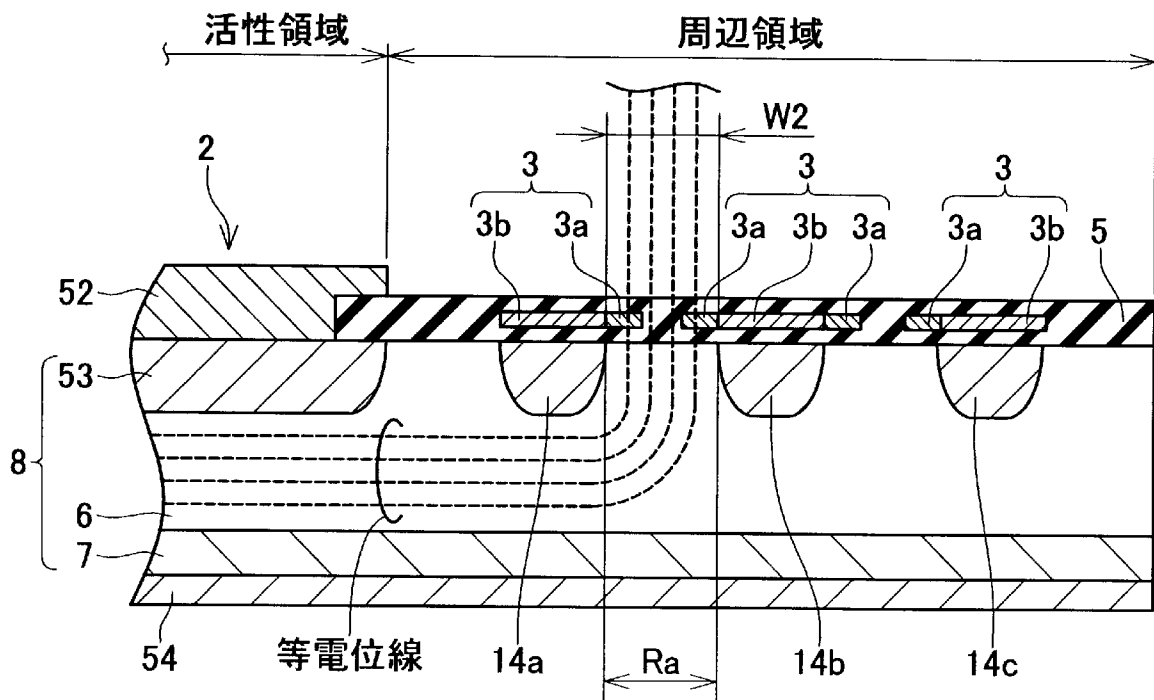
基板に温度検出用の素子のベースとなるポリシリコン層を形成するのと同時に半導体層のベースとなるポリシリコン層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

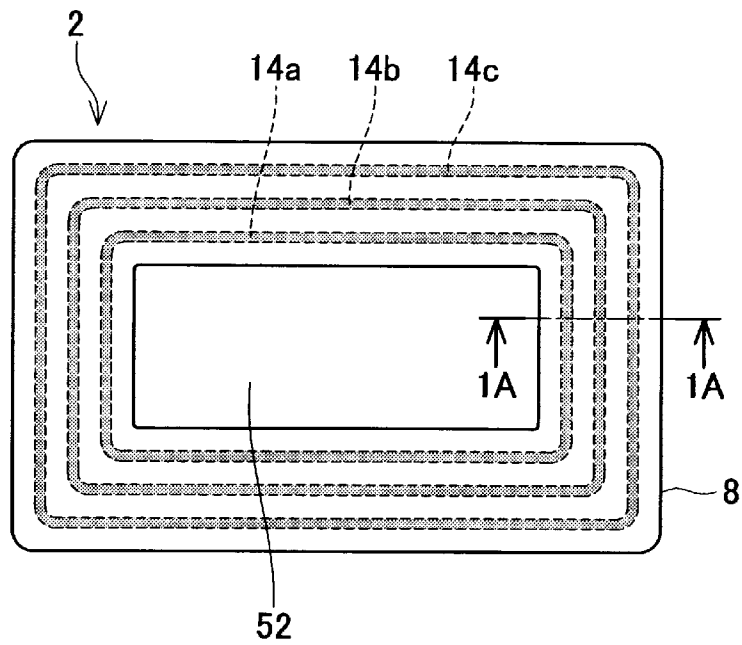
電圧:低



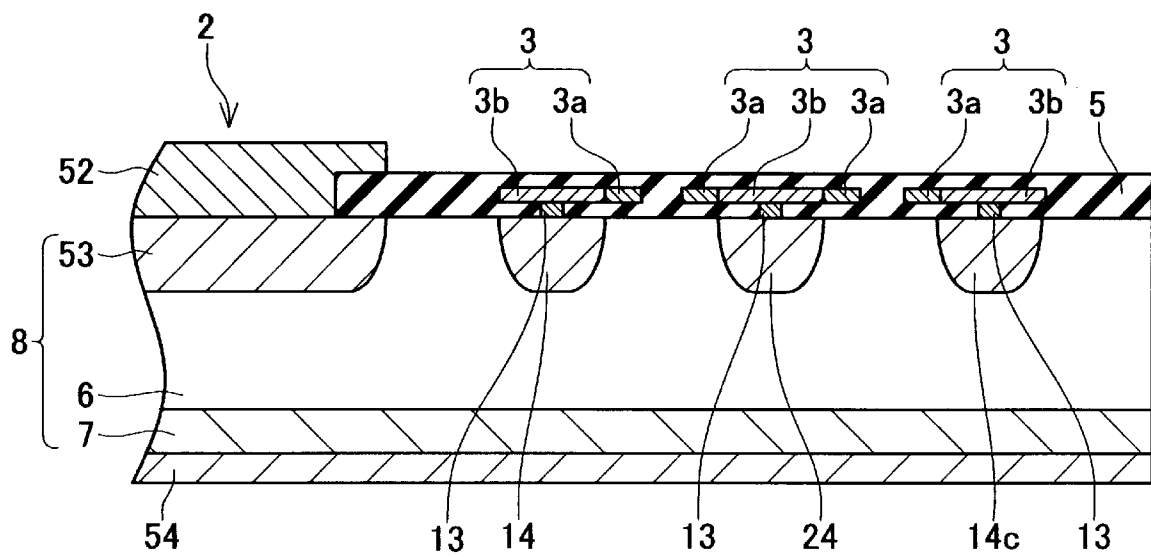
電圧:高



[図2]



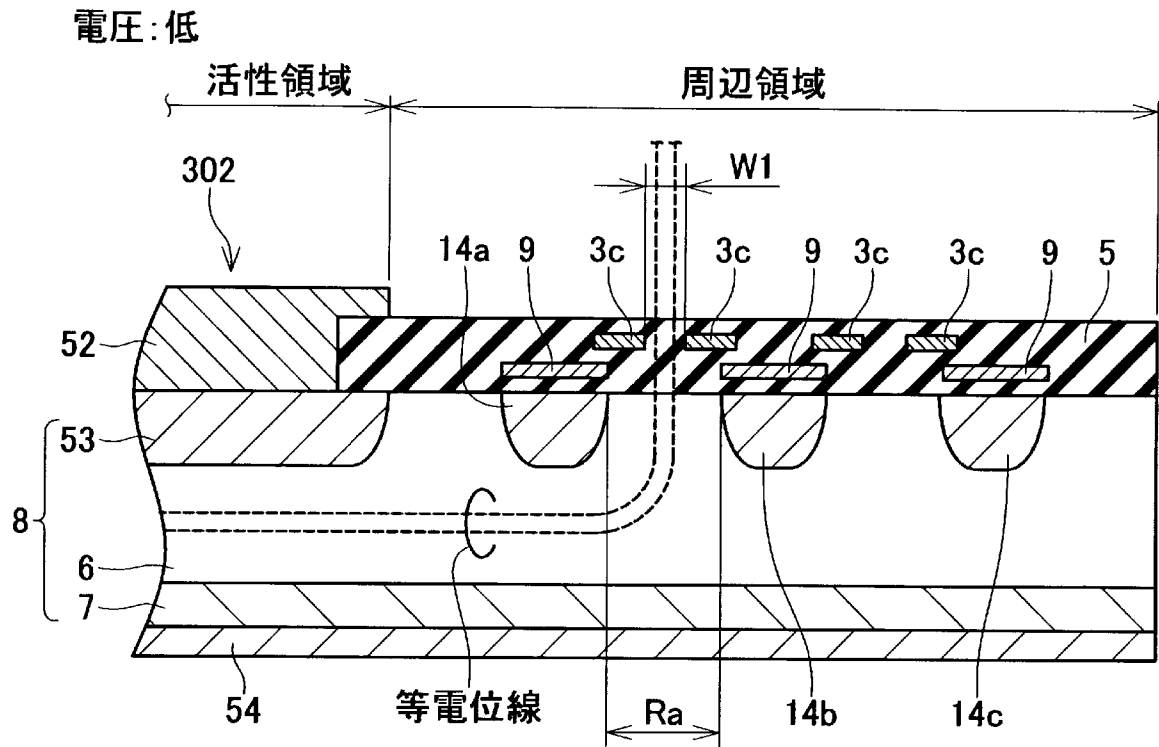
[図3]



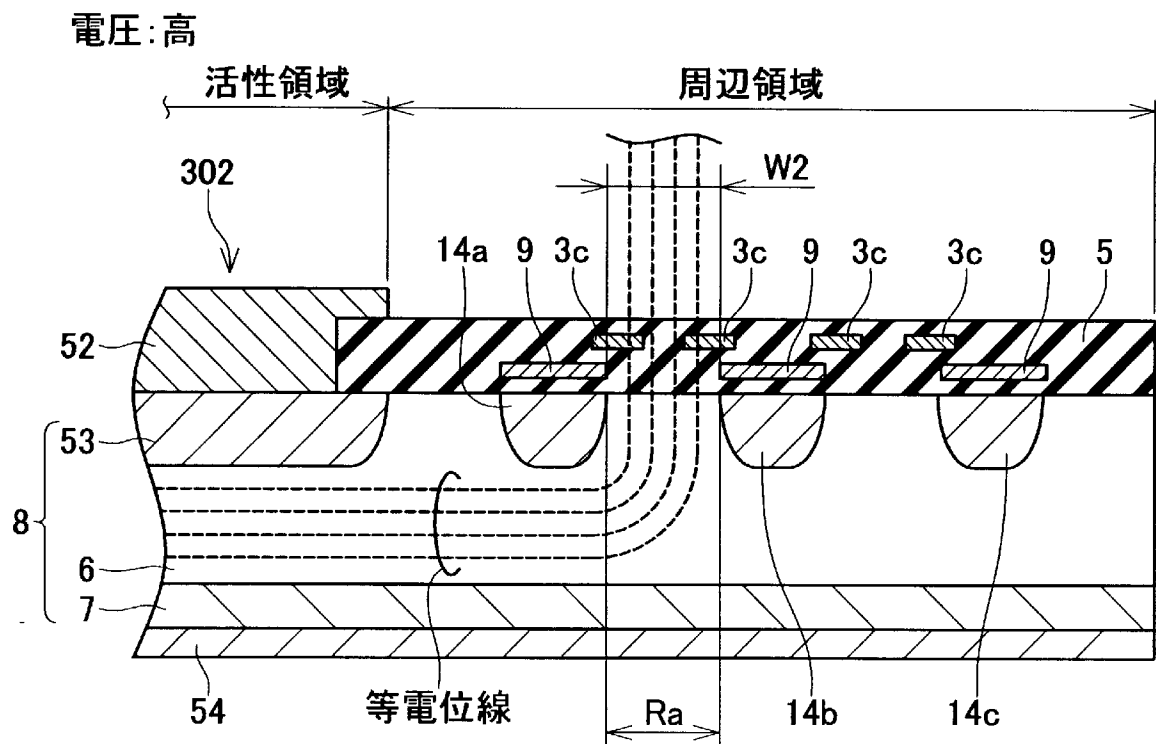
The diagram illustrates a cross-section of a substrate 8. On top of the substrate is a surface layer 5. Within this layer, there are two distinct regions: 102 on the left and 103 on the right. These regions are separated by a boundary. Below the surface layer, there are two large, rounded features labeled 14a and 14b. A horizontal line segment between them is labeled Ra. Above the surface layer, a graph plots '不純物面密度' (Impurity Surface Density) against position. The graph shows a step-like profile G1, which starts at a high level, drops sharply, and then levels off at a lower value Rc. Vertical dashed lines connect the points P1, P2, and P3 on the surface to the corresponding features 14a, PC, and 14b below. Other labels include 52, 53, and 6, which point to specific parts of the surface layer and substrate interface.

[illegible]

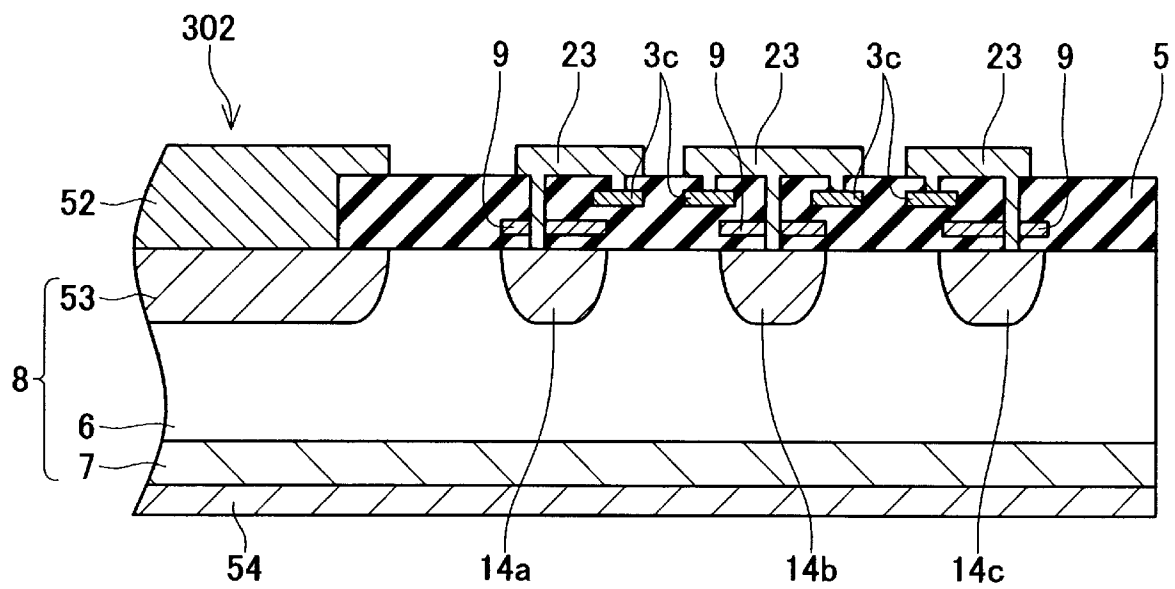
[図6A]



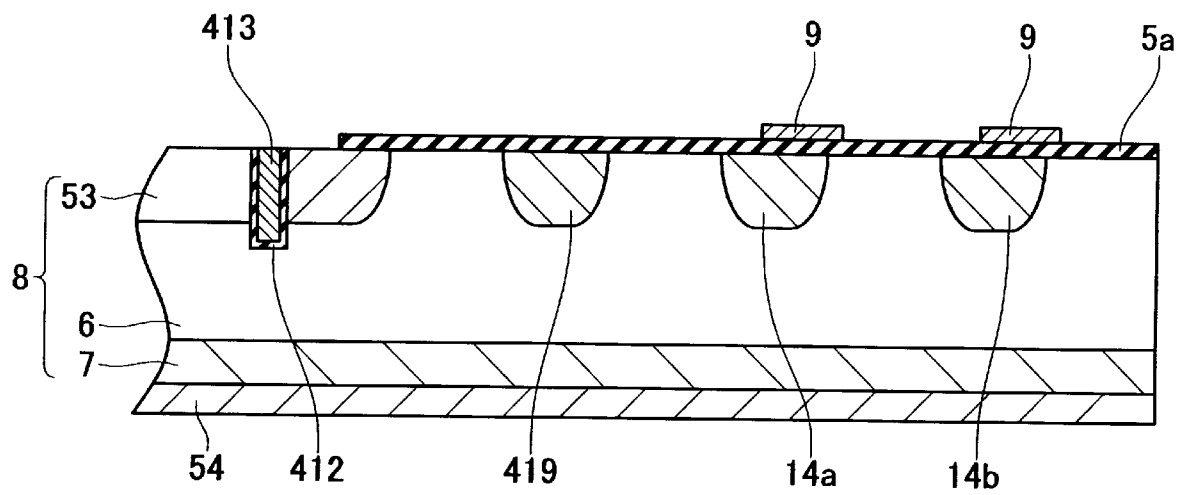
[図6B]



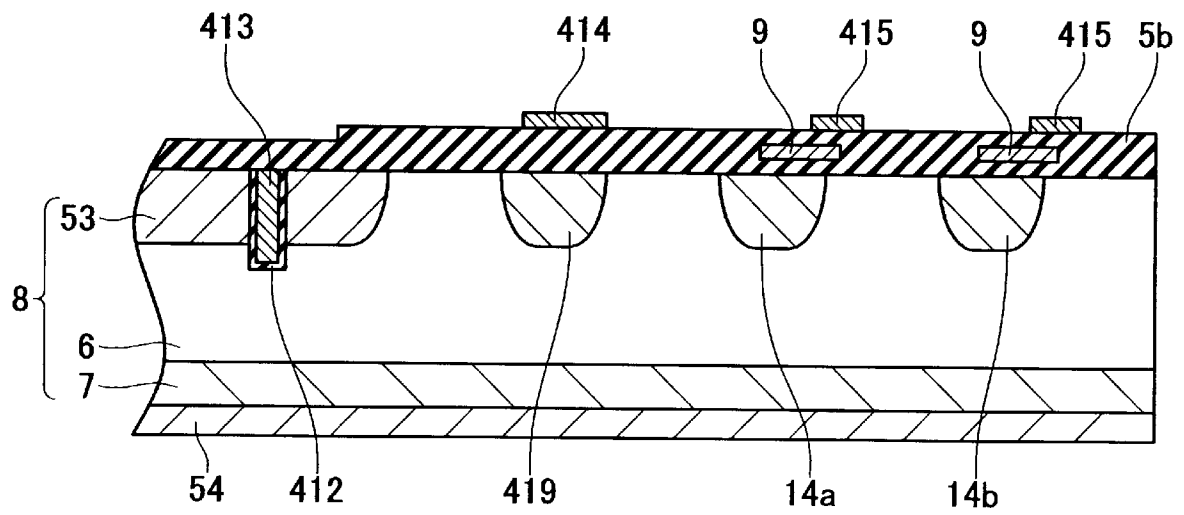
[図7]



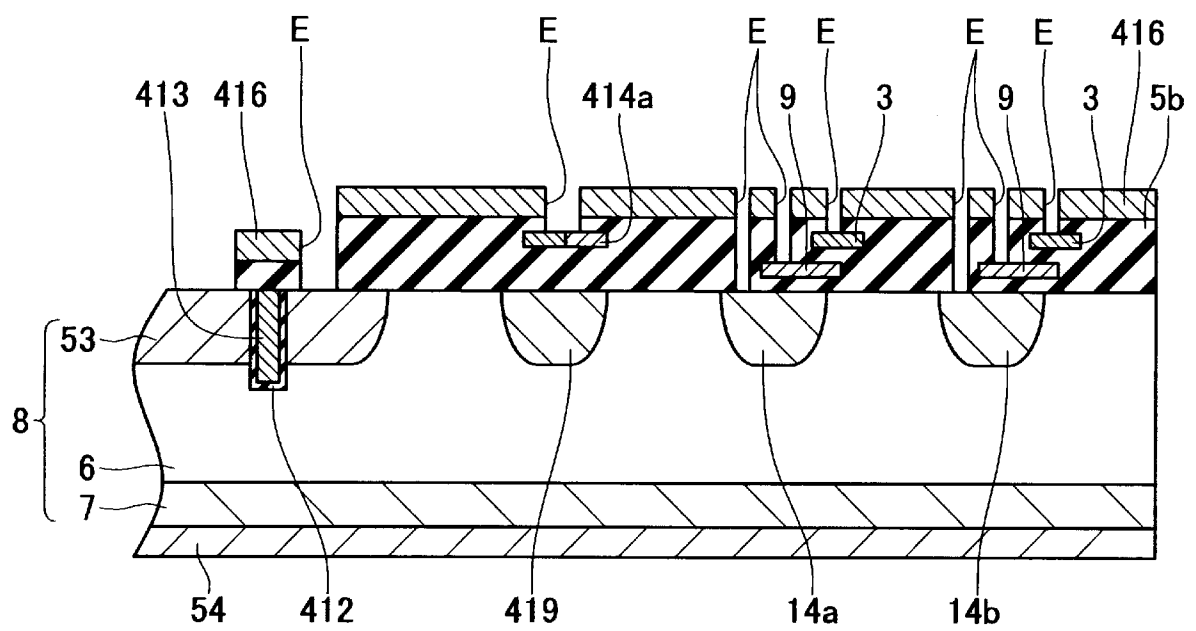
[図8A]



[図8B]

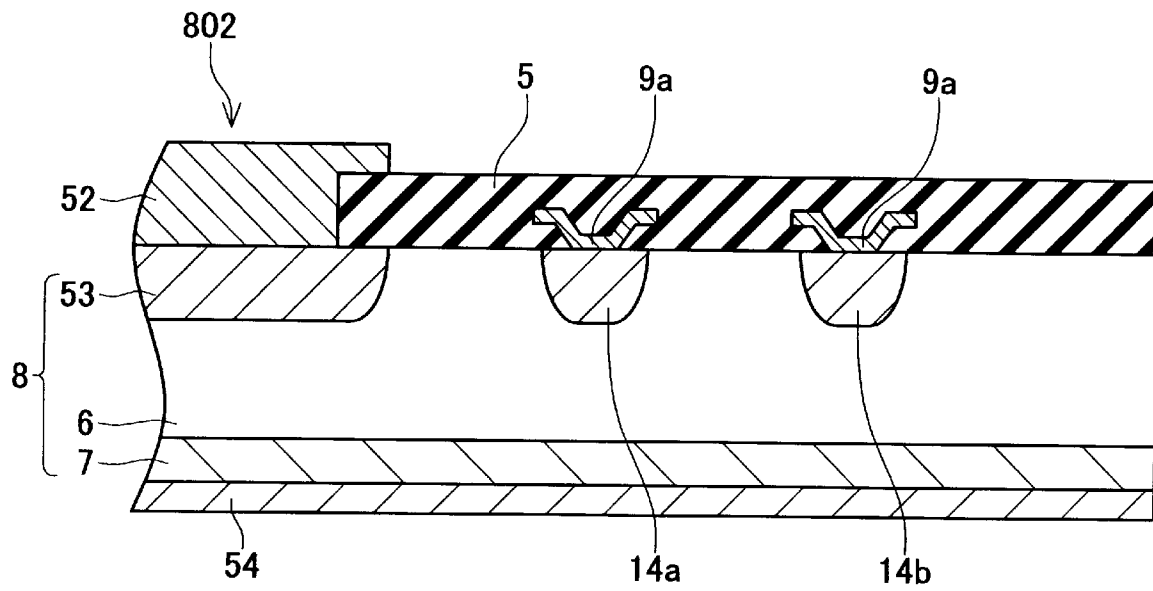


[図8C]

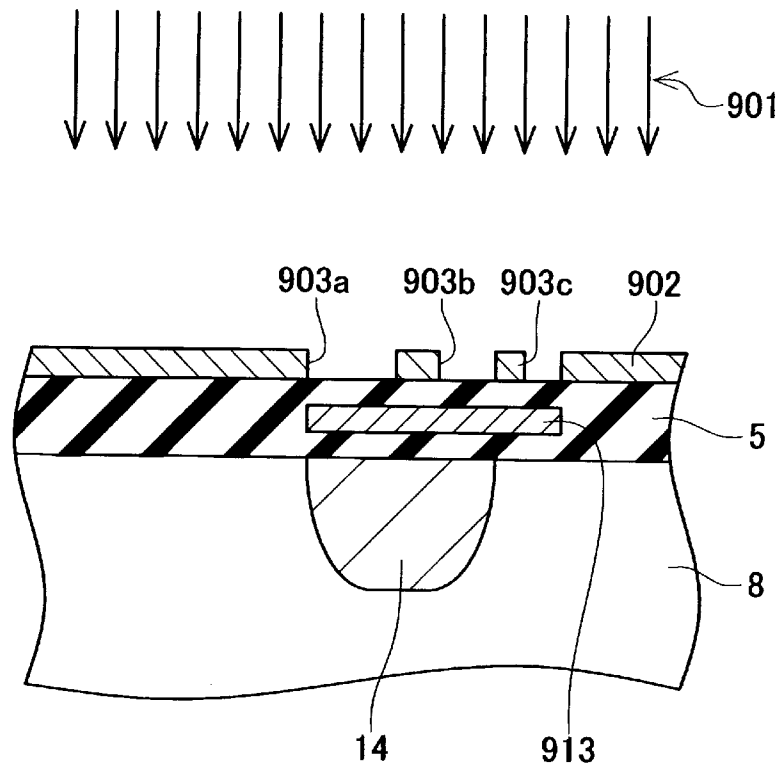


[illegible][illegible]

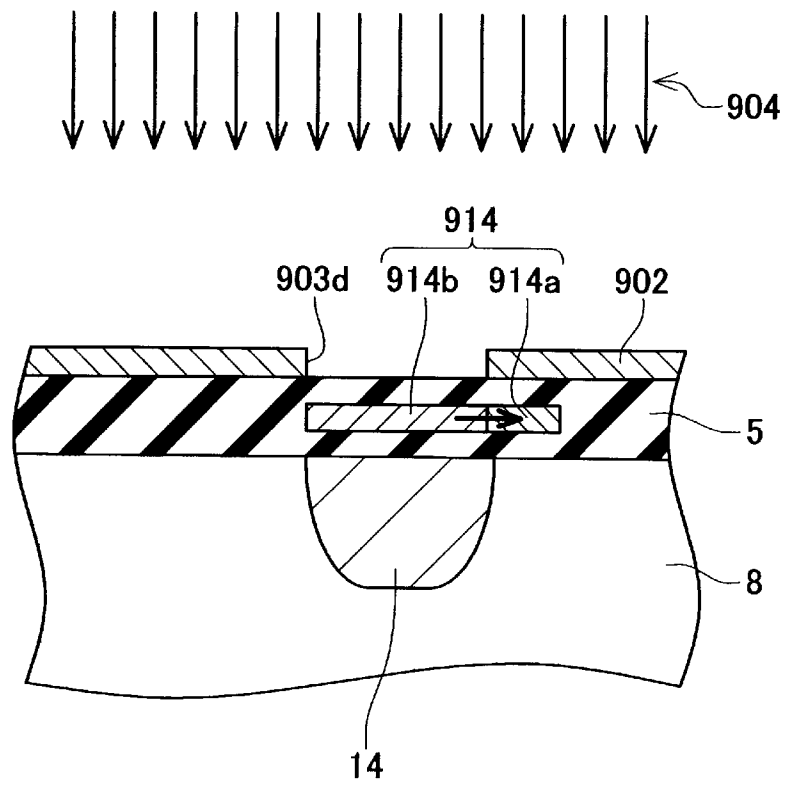
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053724

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/06(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06, H01L21/822, H01L27/04, H01L29/739, H01L29/78, H01L29/861,
H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-330496 A (Hitachi, Ltd.), 30 November 1999 (30.11.1999), fig. 4, 9 to 11; paragraph [0016] (Family: none)	1, 4 2-3, 5-6
Y A	JP 2001-217420 A (Mitsubishi Electric Corp.), 10 August 2001 (10.08.2001), fig. 4 & US 6407413 B1 & KR 10-2001-0077891 A	1, 4 2-3, 5-6
Y A	JP 2013-12568 A (Mitsubishi Electric Corp.), 17 January 2013 (17.01.2013), paragraph [0012] (Family: none)	1, 4 2-3, 5-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 April, 2013 (12.04.13)

Date of mailing of the international search report
23 April, 2013 (23.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053724

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-93550 A (Toshiba Corp.), 07 April 2005 (07.04.2005), fig. 20 & US 2005/0056912 A1	4 1-3, 5-6
A	JP 2007-123570 A (Toyota Industries Corp.), 17 May 2007 (17.05.2007), fig. 1 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/06(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/06, H01L21/822, H01L27/04, H01L29/739, H01L29/78, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-330496 A (株式会社日立製作所) 1999. 11. 30, 図 4, 9 - 1 1、段落 0 0 1 6 (ファミリーなし)	1, 4 2-3, 5-6
Y A	JP 2001-217420 A (三菱電機株式会社) 2001. 08. 10, 図 4 & US 6407413 B1 & KR 10-2001-0077891 A	1, 4 2-3, 5-6
Y A	JP 2013-12568 A (三菱電機株式会社) 2013. 01. 17, 段落 0 0 1 2 (ファミリーなし)	1, 4 2-3, 5-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 1 3

国際調査報告の発送日

2 3 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

儀 同 孝 信

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

3 5 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-93550 A (株式会社東芝) 2005.04.07, 図20 & US 2005/0056912 A1	4 1-3, 5-6
A	JP 2007-123570 A (株式会社豊田自動織機) 2007.05.17, 図1 (フ ァミリーなし)	1-6