



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223344
(11) (B1)

(51) Int. Cl.³
G 06 F 9/34

(22) Přihlášeno 20 04 82
(21) (PV 2811-82)

(40) Zveřejněno 31 12 82

(45) Vydáno 15 03 86

(75)

Autor vynálezu

KUČERA ADOLF ing., ŠMÍD JIŘÍ ing., PRAHA

(54) Slabiková operační jednotka

1

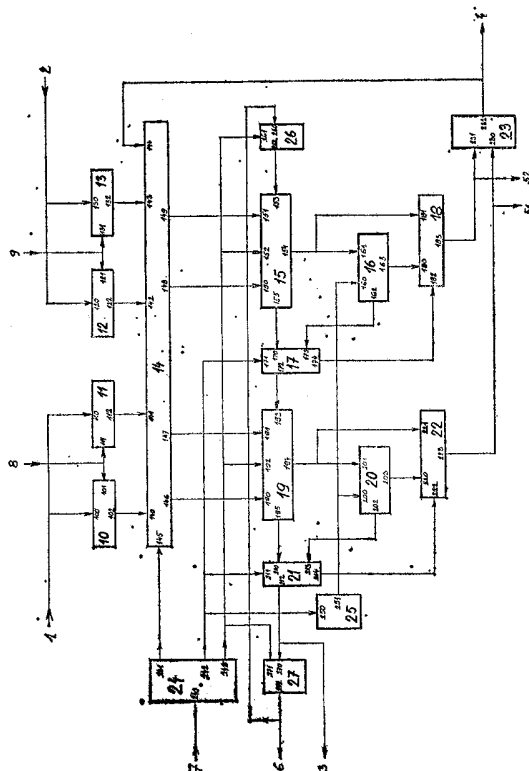
Vynález se týká oboru samočinných počítačů a řeší zapojení slabikové operační jednotky určené především k provádění operací s proměnnou délkou operandů, eventuálně pro operace v pohyblivé čáře.

Zapojení podle vynálezu obsahuje obvody pro výběr a komutaci vstupních operandů, obvody pro binární a dekadické sčítání a odečítání a obvody pro logické operace.

Vstupní operandy o šířce 32 bitů jsou pomocí přepínačů rozděleny na části po 4 bitech, které po seřazení v komutátoru jsou přivedeny na datové vstupy aritmetických jednotek výkonného obvodu. Aritmetické jednotky provádějí všechny aritmetické i logické funkce, a ve spolupráci s korekčními sčítačkami i operace s dekadickými čísly. Výstupní přenos je možno zachytit do paměti. Celé zapojení má jeden přímý datový výstup a jeden vedlejší výstup z výstupního registru.

Vynález je určen převážně pro použití v procesorech samočinných počítačů.

2



Předmětem vynálezu je slabiková operační jednotka pro procesory samočinných počítačů, především pro provádění operací s proměnnou délkou operandů, pro operace v pohyblivé čárce a pro operace s dekadickými čísly.

Tyto operace bývají obvykle prováděny buď ve společném univerzálním operačním procesoru nebo naopak jsou pro jednotlivé typy těchto operací vytvořeny specializované procesory. Nevýhodou prvního přístupu je malá výkonnost, druhý způsob poskytuje sice vyšší výkon, ale je nákladný.

Tyto nevýhody odstraňuje slabiková operační jednotka podle vynálezu, jehož podstatou je, že levý datový vstup celého zapojení je připojen na datový vstup levého horního prepínače a na datový vstup levého dolního prepínače, pravý datový vstup celého zapojení je připojen na datový vstup pravého horního prepínače a na datový vstup pravého dolního prepínače. Levý ovládací vstup celého zapojení je připojen na ovládací vstup levého horního prepínače a na ovládací vstup levého dolního prepínače. Pravý ovládací vstup celého zapojení je připojen na ovládací vstup pravého horního prepínače a na ovládací vstup pravého dolního prepínače. Výstup levého horního prepínače je spojen s levým horním vstupem komutátoru. Výstup levého dolního prepínače je spojen s levým dolním vstupem komutátoru. Výstup pravého horního prepínače je spojen s pravým horním vstupem komutátoru. Výstup pravého dolního prepínače je spojen s pravým dolním vstupem komutátoru. Levý horní výstup komutátoru je připojen na levý datový vstup horní aritmetické jednotky a pravý horní výstup komutátoru je připojen na pravý datový vstup horní aritmetické jednotky. Podobně levý dolní výstup komutátoru je přiveden na levý datový vstup dolní aritmetické jednotky a pravý dolní výstup komutátoru je připojen na pravý datový vstup dolní aritmetické jednotky. Datový výstup horní aritmetické jednotky je připojen jednak na datový vstup horní sčítačky a jednak na pravý datový vstup horního výstupního prepínače. Podobně datový výstup dolní aritmetické jednotky je připojen jednak na datový vstup dolní sčítačky a jednak na pravý datový vstup dolního výstupního prepínače. Vstup hlavního přenosu horního přenosového dekóderu je připojen na výstup přenosu horní aritmetické jednotky a vstup korekčního přenosu horního přenosového dekóderu je připojen na přenosový výstup horní sčítačky. Přitom prepínací výstup tohoto horního přenosového dekóderu je připojen na řídicí vstup horního výstupního prepínače. Obdobně vstup hlavního přenosu dolního přenosového dekóderu je připojen na výstup přenosu dolní aritmetické jednotky a vstup korekčního přenosu dolního přenosového dekóderu je připojen na přenosový výstup dolní sčítačky. Přitom prepínací výstup tohoto dolního přenosového dekóderu

je připojen na řídicí vstup dolního výstupního prepínače. Kromě toho výstup dekóderu přenosu zprava je připojen na vstup přenosu dolní aritmetické jednotky, zatímco výstup přenosu dolního přenosového dekóderu je připojen na vstup přenosu horní aritmetické jednotky. Výstupní přenos celého zapojení je připojen na výstup přenosu horního přenosového dekóderu a na přenosový vstup paměti přenosu. Výstup paměti přenosu je připojen na výstup paměti přenosu a je zpětně připojen na přenosový vstup dekóderu přenosu zprava. Vedle toho výstup dekóderu konstanty je připojen jednak na levý datový vstup horní sčítačky a jednak na levý datový vstup dolní sčítačky. Zatímco datový výstup horní sčítačky je připojen na levý datový vstup horního výstupního prepínače, je datový výstup dolní sčítačky připojen na levý datový vstup dolního výstupního prepínače.

Výstup horního výstupního prepínače je připojen na horní vstup výstupního registru, na horní přímý výstup celého zapojení, zatímco výstup dolního výstupního prepínače je připojen na dolní vstup výstupního registru a na dolní přímý výstup celého zapojení. Přitom výstup výstupního registru je připojen na zpětný vstup komutátoru a je vedlejším výstupem celého zapojení. Řídicí vstup celého zapojení je připojen na vstup řídicího dekóderu. Prepínací výstup řídicího dekóderu je připojen na ovládací vstup komutátoru. Ovládací výstup řídicího dekóderu je připojen na vstup dekóderu konstanty, dále na řídicí vstup horního přenosového dekóderu a ještě na řídicí vstup dolního přenosového dekóderu. A konečně řídicí výstup řídicího dekóderu je připojen na řídicí vstup paměti přenosu, dále na řídicí vstup horní aritmetické jednotky, potom na řídicí vstup dolní aritmetické jednotky a ještě na řídicí vstup dekóderu přenosu zprava.

Výhody slabikové operační jednotky podle vynálezu spočívají v tom, že je dosaženo značného výkonu při malých materiálových nárocích. To je umožněno zejména tím, že všechny typy uvedených operací využívají převážnou část zapojení, zatímco objem obvodů specializovaných pro jednotlivé typy je malý. Zapojení dále umožňuje snadné přizpůsobení změněným nebo novým požadavkům — a to zejména ve způsobu využití komutátoru a obvodů pro aritmetické úkony — jestliže řídicí dekódér zprostředkující vnější mikroprogramové řízení je realizován jako paměť PROM — programovatelná permanentní paměť.

Provedení slabikové operační jednotky je znázorněno na připojeném výkresu představujícím její zapojení.

Levý datový vstup 1 celého zapojení je připojen na datový vstup 100 levého horního prepínače 10 a na datový vstup 110 levého dolního prepínače 11. Pravý datový vstup 2 celého zapojení je připojen na datový vstup

120 pravého horního přepínače **12** a na datový vstup **130** pravého dolního přepínače **13**. Levý ovládací vstup **8** celého zapojení je připojen na ovládací vstup **101** levého horního přepínače **10** a na ovládací vstup **111** levého dolního přepínače **11**. Pravý ovládací vstup **9** celého zapojení je připojen na ovládací vstup **121** pravého horního přepínače **12** a na ovládací vstup **131** pravého dolního přepínače **13**. Výstup **102** levého horního přepínače **10** je spojen s levým horním vstupem **140** komutátoru **14**. Výstup **112** levého dolního přepínače **11** je spojen s levým dolním vstupem **141** komutátoru **14**. Výstup **122** pravého horního přepínače **12** je spojen s pravým horním vstupem **142** komutátoru **14**. Výstup **132** pravého dolního přepínače **13** je spojen s pravým dolním vstupem **143** komutátoru **14**. Levý horní výstup **146** komutátoru **14** je připojen na levý datový vstup **190** horní aritmetické jednotky **19** a pravý horní výstup **147** komutátoru **14** je připojen na pravý datový vstup **191** horní aritmetické jednotky **19**. Podobně levý dolní výstup **148** komutátoru **14** je přiveden na levý datový vstup **150** dolní aritmetické jednotky **15** a pravý dolní výstup **149** komutátoru **14** je připojen na pravý datový vstup **151** dolní aritmetické jednotky **15**. Datový výstup **194** horní aritmetické jednotky **19** je připojen jednak na datový vstup **201** horní sčítačky **20** a jednak na pravý datový vstup **221** horního výstupního přepínače **22**. Podobně datový výstup **154** dolní aritmetické jednotky **15** je připojen jednak na datový vstup **161** dolní sčítačky **16** a jednak na pravý datový vstup **181** dolního výstupního přepínače **18**. Vstup **210** hlavního přenosu horního přenosového dekóderu **21** je připojen na výstup **195** přenosu horní aritmetické jednotky **19** a vstup **213** korekčního přenosu horního přenosového dekóderu **21** je připojen na přenosový výstup **202** horní sčítačky **20**. Přitom přepínací výstup **214** tohoto horního přenosového dekóderu **21** je připojen na řídicí vstup **222** horního výstupního přepínače **22**. Obdobně vstup **170** hlavního přenosu dolního přenosového dekóderu **17** je připojen na výstup přenosu **155** dolní aritmetické jednotky **15** a vstup **173** korekčního přenosu dolního přenosového dekóderu **17** je připojen na přenosový výstup **162** dolní sčítačky **16**. Přitom přepínací výstup **174** tohoto dolního přenosového dekóderu **17** je připojen na řídicí vstup **182** dolního výstupního přepínače **18**. Kromě toho výstup **262** dekóderu **26** přenosu zprava je připojen na vstup **153** přenosu dolní aritmetické jednotky **15**, zatímco výstup **172** přenosu dolního přenosového dekóderu **17** je připojen na vstup **193** přenosu horní aritmetické jednotky **19**.

Výstupní přenos **3** celého zapojení je připojen na výstup **212** přenosu horního přenosového dekóderu **21** a na přenosový vstup **270** paměti **27** přenosu. Výstup **6** paměti přenosu je připojen na výstup **272** paměti **27** přenosu a je zpětně připojen na přenosový

vstup **260** dekóderu **26** přenosu zprava. Vedle toho výstup **251** dekóderu **25** konstanty je připojen jednak na levý datový vstup **209** horní sčítačky **20** a jednak na levý datový vstup **160** dolní sčítačky **16**. Zatímco datový výstup **203** horní sčítačky **20** je připojen na levý datový vstup **220** horního výstupního přepínače **22** je datový výstup **163** dolní sčítačky **16** připojen na levý datový vstup **180** dolního výstupního přepínače **18**. Výstup **223** horního výstupního přepínače **22** je připojen na horní vstup **230** výstupního registru **23**, na horní přímý výstup **51** celého zapojení, zatímco výstup **183** dolního výstupního přepínače **18** je připojen na dolní vstup **231** výstupního registru **23** a na dolní přímý výstup **52** celého zapojení. Přitom výstup **232** výstupního registru **23** je připojen na zpětný vstup **144** komutátoru **14** a je vedlejším výstupem **4** celého zapojení. Řídicí vstup **7** celého zapojení je připojen na vstup **240** řídicího dekóderu **24**. Přepínací výstup **241** řídicího dekóderu **24** je připojen na ovládací vstup **145** komutátoru **14**. Ovládací výstup **242** řídicího dekóderu **24** je připojen na vstup **250** dekóderu **25** konstanty, dále na řídicí vstup **211** horního přenosového dekóderu **21** a ještě na řídicí vstup **171** dolního přenosového dekóderu **17**. A konečně řídicí výstup **243** řídicího dekóderu **24** je připojen na řídicí vstup **271** paměti **27** přenosu, dále na řídicí vstup **192** horní aritmetické jednotky **19**, potom na řídicí vstup **152** dolní aritmetické jednotky **15** a ještě na řídicí vstup **261** dekóderu **26** přenosu zprava.

Slabiková operační jednotka slouží v procesoru samočinného počítače především k provádění operací s proměnnou délkou operandů, pro operace v pohyblivé čárce a pro operace s dekadickými čísly.

Levý vstupní operand o šířce čtyř slabik je přiveden na levý datový vstup **1** celého zapojení a na datové vstupy levého horního přepínače **10** a levého dolního přepínače **11**. Pomocí levého ovládacího vstupu **8** celého zapojení jsou oba levé přepínače nastaveny tak, aby na vstupu **102** levého horního přepínače **10** byla horní polovina zvolené slabiky a na výstupu **112** levého dolního přepínače **11** byla dolní polovina zvolené slabiky levého vstupního operandu. Pravý vstupní operand o šířce čtyř slabik je přiveden na pravý datový vstup **2** celého zapojení a na datové vstupy pravého horního přepínače **12** a pravého dolního přepínače **13**. Pomocí pravého ovládacího vstupu **9** celého zapojení jsou oba pravé přepínače nastaveny tak, aby na výstupu **122** pravého horního přepínače **12** byla horní polovina zvolené slabiky a na výstupu **132** pravého dolního přepínače **13** byla dolní polovina zvolené slabiky pravého vstupního operandu. Takto získané půlslabiky vstupních operandů jsou z výstupů přepínačů **10**, **11**, **12**, **13** přivedeny do komutátoru **14**, ve kterém jsou seřazeny a přivedeny na datové vstupy aritmetických jednotek

19, 15, v pořadí určeném výstupem **241** pro řízení komutátoru řídicího dekódéru **24**. Komutátor umožňuje mimo jiné přehazování pořadí půlslabik uvnitř operandu, změny pořadí půlslabik mezi operandy, generaci pevných konstant a tak dále.

Výkonný obvod slabikové operační jednotky je sestaven ze dvou shodně zapojených částí, kde horní část sestává z horní aritmetické jednotky **19**, horní sčítačky **20**, horního přenosového dekódéru **21** a horního výstupního přepínače **22**. Dolní část výkonného obvodu sestává z dolní aritmetické jednotky **15**, dolní sčítačky **16**, dolního přenosového dekódéru **17** a dolního výstupního přepínače **18**. Pro generaci korekční konstanty při dekadickém sčítání a odečítání slouží dekódér **25** konstanty. Na vstup **153** přenosu dolní aritmetické jednotky **15** se z dekódéru **26** přenosu zprava přivádí buď vnucený přenos — logická 0, nebo logická 1 — nebo zapamatovaný přenos z paměti **27** přenosu. Funkce dekódéru **26** přenosu zprava je řízena řídicím výstupem **243** řídicího dekódéru **24**.

Pro činnost dolního, respektive horního přenosového dekódéru **17**, respektive **21** platí následující vztahy:

$$C = PU(Q\bar{N}S)$$

$$V = [(PUQ)\bar{N}S]U(\bar{P}\bar{N}R)$$

kde

C = výstup přenosu **172**, respektive **212**

V = přepínací výstup **774**, respektive **214**

P = vstup hlavního přenosu **170**, respektive **210**

Q = vstup korekčního přenosu **173**, respektive **213**,

$S = 1$ a $R = 0$ při dekadickém sčítání

$S = 0$ a $R = 1$ při dekadickém odečítání

$S = 0$ a $R = 0$ při ostatních operacích.

Informace S a R jsou přivedeny z ovládacího výstupu **242** řídicího dekódéru **24** na řídicí vstupy **211**, respektive **171** přenosových dekódérů **21**, respektive **17**.

Výstup **251** dekódéru **25** konstanty může nabývat hodnot:

0110 při dekadickém sčítání

1010 při dekadickém odečítání

Při logických operacích nebo při aritmetických operacích s binárními čísly, kdy $S = 0$, $R = 0$ a tudíž $V = 0$ jsou oba výstupní přepínače **18**, respektive **22** přepnuty do takového stavu, že pravý datový vstup **181**, respektive **221** je připojen na výstup **183** respektive **203** výstupního přepínače **18**, respektive **22**.

Při operacích s dekadickými čísly se nejprve provede binární operace v obou aritmetických jednotkách **15**, respektive **19**. Výstup z dolní aritmetické jednotky **15** je veden na datový vstup **161** dolní sčítačky **16**, kde je binárně sečten s příslušnou korekční konstantou. Přenosy na výstupech **155** a **162** z dolní aritmetické jednotky **15** a dolní sčítačky **16** se zpracují v dolním přenosovém dekódéru **17**. Jeho výstup **172** přenosu — platí dříve uvedený vztah C — je přiveden na vstup **193** přenosu horní aritmetické jednotky **19**. Přepínací výstup **174** přenosového dekódéru **17** — platí dříve uvedený vztah V — je přiveden na řídicí vstup **182** dolního výstupního přepínače **18**. Tím je na dolní přímý výstup **52** přivedena buď přímá informace z výstupu **154** dolní aritmetické jednotky **15**, nebo informace po dekadické korekci z výstupu **163** dolní sčítačky **16**. Výstup z horní aritmetické jednotky **19** je veden na datový vstup **201** horní sčítačky **20**, kde je binárně sečten s příslušnou korekční konstantou. Přenosy na výstupech **195** a **202** z horní aritmetické jednotky **19** a horní sčítačky **20** se zpracují v horním přenosovém dekódéru **21**. Jeho výstup **212** přenosu — platí vztah C — je přiveden na přenosový vstup **270** paměti přenosu **27**. Přepínací výstup **214** — platí vztah V — je přiveden na řídicí vstup **222** horního výstupního přepínače **22**. Tím je na horní přímý výstup **51** přivedena buď přímá informace z výstupu **194** horní aritmetické jednotky **19**, nebo informace po dekadické korekci z výstupu **203** horní sčítačky **20**.

Výstupní přenos **3** celého zapojení může být podle stavu řídicího výstupu **243** řídicího dekódéru buď zachycen v paměti **27** přenosu a použit jako zapamatovaný přenos při příští operaci, nebo může být podobně jako výstup **271** z paměti **27** přenosu zpracován mimo slabikovou operační jednotku jinými obvody procesoru, například testovacími obvody.

Přímé výstupy **51** a **52** celého zapojení jsou jednak vyvedeny do jiných obvodů procesoru a jednak jsou zachyceny ve výstupním registru **23**. Vedlejší výstup celého zapojení **4** je jednak veden do jiných částí procesoru a jednak je zaveden zpět do komutátoru pro možné použití při příštích operacích.

Činnost slabikové operační jednotky je řízena řídicím dekódérem **24**, který pro tuto činnost získává informace z řídicího vstupu **7** celého zapojení, to jest z vyššího řadiče procesoru.

Využití vynálezu se předpokládá především v procesorech počítačů.

PŘEDMĚT VYNÁLEZU

Slabiková operační jednotka, vyznačující se tím, že levý datový vstup (1) celého zapojení je připojen na datový vstup (100) levého horního přepínače (10) a na datový vstup (110) levého dolního přepínače (11), pravý datový vstup (2) celého zapojení je připojen na datový vstup (120) pravého horního přepínače (12) a na datový vstup (130) pravého dolního přepínače (13), levý ovládací vstup (8) celého zapojení je připojen na ovládací vstup (101) levého horního přepínače (10) a na ovládací vstup (111) levého dolního přepínače (11), pravý ovládací vstup (9) celého zapojení je připojen na ovládací vstup (121) pravého horního přepínače (12) a na ovládací vstup (131) pravého dolního přepínače (13), výstup (102) levého horního přepínače (10) je spojen s levým horním vstupem (140) komutátoru (14), výstup (112) levého dolního přepínače (11) je spojen s levým dolním vstupem (141) komutátoru (14), výstup (122) pravého horního přepínače (12) je spojen s pravým horním vstupem (142) komutátoru (14), výstup (132) pravého dolního přepínače (13) je spojen s pravým dolním vstupem (143) komutátoru (14), levý horní výstup (146) komutátoru (14) je připojen na levý datový vstup (190) horní aritmetické jednotky (19) a pravý horní výstup (147) komutátoru (14) je připojen na pravý datový vstup (191) horní aritmetické jednotky (19) a levý dolní výstup (148) komutátoru (14) je přiveden na levý datový vstup (150) dolní aritmetické jednotky (15) a pravý dolní výstup (149) komutátoru (14) je připojen na pravý datový vstup (151) dolní aritmetické jednotky (15), datový výstup (194) horní aritmetické jednotky (19) je připojen jednak na datový vstup (201) horní sčítačky (20) a jednak na pravý datový vstup (221) horního výstupního přepínače (22) a datový výstup (154) dolní aritmetické jednotky (15) je připojen jednak na datový vstup (161) dolní sčítačky (16) a jednak na pravý datový vstup (181) dolního výstupního přepínače (18), vstup (210) hlavního přenosu horního přenosového dekódéru (21) je připojen na výstup (195) přenosu horní aritmetické jednotky (19) a vstup (213) korekčního přenosu horního přenosového dekódéru (21) je připojen na přenosový výstup (202) horní sčítačky (20) a přepínací výstup (214) horního přenosového dekódéru (21) je připojen na řídicí vstup (222) horního výstupního přepínače (22), vstup (170) hlavního přenosu dolního přenosového de-

kódéru (17) je připojen na výstup přenosu (155) dolní aritmetické jednotky (15) a vstup (173) korekčního přenosu dolního přenosového dekódéru (17) je připojen na přenosový výstup (162) dolní sčítačky (16) a přepínací výstup (174) dolního přenosového dekódéru (17) je připojen na řídicí vstup (182) dolního výstupního přepínače (18) a výstup (262) dekódéru (26) přenosu zprava je připojen na vstup (153) přenosu dolní aritmetické jednotky (15) a výstup (172) přenosu dolního přenosového dekódéru (17) je připojen na vstup (193) přenosu horní aritmetické jednotky (19), výstupní přenos (3) celého zapojení je připojen na výstup (212) přenosu horního přenosového dekódéru (21) a na přenosový vstup (270) paměti (27) přenosu, výstup (6) paměti přenosu je připojen na výstup (272) paměti (27) přenosu a na přenosový vstup (260) dekódéru (26) přenosu zprava a výstup (251) dekódéru (25) konstanty je připojen jednak na levý datový vstup (200) horní sčítačky (20) a jednak na levý datový vstup (160) dolní sčítačky (16) a datový výstup (203) horní sčítačky (20) je připojen na levý datový vstup (220) horního výstupního přepínače (22) a datový výstup (163) dolní sčítačky (16) je připojen na levý datový vstup (180) dolního výstupního přepínače (18), výstup (223) horního výstupního přepínače (22) je připojen na horní vstup (230) výstupního registru (23), na horní přímý výstup (51) celého zapojení, zatímco výstup (183) dolního výstupního přepínače (18) je připojen na dolní vstup (231) výstupního registru (23) a na dolní přímý výstup (52) celého zapojení a výstup (232) výstupního registru (23) je připojen na zpětný vstup (144) komutátoru (14) a je vedlejším výstupem (4) celého zapojení, řídicí vstup (7) celého zapojení je připojen na vstup (240) řídicího dekódéru (24), přepínací výstup (241) řídicího dekódéru (24) je připojen na ovládací vstup (145) komutátoru (14), ovládací výstup (242) řídicího dekódéru (24) je připojen na vstup (250) dekódéru (25) konstanty, dále na řídicí vstup (211) horního přenosového dekódéru (21) a ještě na řídicí vstup (171) dolního přenosového dekódéru (17) a řídicí výstup (243) řídicího dekódéru (24) je připojen na řídicí vstup (271) paměti (27) přenosu, dále na řídicí vstup (192) horní aritmetické jednotky (19), potom na řídicí vstup (152) dolní aritmetické jednotky (15) a ještě na řídicí vstup (261) dekódéru (26) přenosu zprava.

