(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 41 40 686 B4** 2004.11.18

(12) # Patentschrift

(21) Aktenzeichen: **P 41 40 686.9**
(22) Anmeldetag: **10.12.1991**
(43) Offenlegungstag: **17.06.1992**
(45) Veröffentlichungstag
der Patenterteilung: **18.11.2004**

(51) Int Cl.[7]: **H03M 9/00**
G06F 13/00
// H04N 5/14

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
627129 13.12.1990 US

(71) Patentinhaber:
RCA Licensing Corp. (n.d.Ges.d.Staates Delaware), Princeton, N.J., US

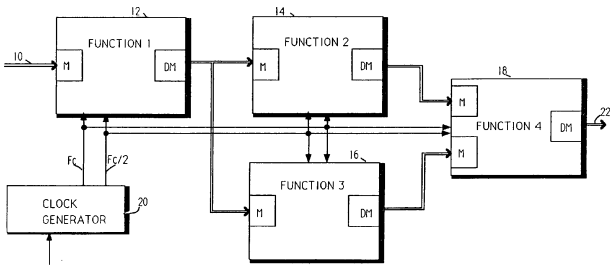
(74) Vertreter:
Einsel, R., Dipl.-Ing., Pat.-Anw., 29223 Celle

(72) Erfinder:
Nutter, Robert Francis, West Windsor, N.J., US

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 47 13 809
JP 61-1 93 523 A

(54) Bezeichnung: **Signalverarbeitungssystem**

(57) Hauptanspruch: Signalverarbeitungssystem mit:
einer Mehrzahl von bit-seriellen Funktionselementen (FUNCTION 1–7) zum Verarbeiten von bit-seriellen Signalen mit einer Bitrate f sowie mit einer Quelle von Taktsignalen (CLOCK GEN.), welche Taktsignale der Rate f und Taktsignale der Rate f/N, wobei N eine Ganzzahl ist, liefert,
einem mit einem Ausgangsanschluss eines der bit-seriellen Funktionselemente (FUNCTION 1–7) verbundenen Demultiplexer (DM), welcher ein von diesem Funktionselement geliefertes bit-serielles Signal der Bitrate f unter Verwendung der Taktsignale der Raten f und f/N, in N parallele bit-serielle Signale der Bitrate f/N teilt, und
einem über Eingangsanschlüsse mit dem Demultiplexer (DM) verbundenen Multiplexer (M), der die N parallelen bit-seriellen Signale der Bitrate f/N zu einem einzigen bit-seriellen Signal der Bitrate f zusammensetzt und dieses einzelne bit-serielle Signal der Bitrate f an einem Eingangsanschluss eines anderen der bit-seriellen Funktionselemente (FUNCTION 1–7) zur Verfügung stellt.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Signalverarbeitungssystem.

[0002] Der Fortschritt in der Technologie integrierter Schaltungen hat es begünstigt, dass digitale Signalverarbeitungs-Systeme (digital signal processing systems, DSPs) Funktionen ausüben, deren Erfüllung vormals die Domäne analoger Signalverarbeitung war. Beispiele derartiger DSPs sind digitale Fernsehempfänger, CD-Spieler und interaktive digitale Videosysteme (DVI).

Stand der Technik

[0003] Es gibt zwei Grundtypen von DSPs, nämlich Parallel-Bit-Systeme und bit-serielle Systeme. Üblicherweise haben Parallel- Bit-Systeme bei allen Systemen Verwendung gefunden, die Signale mit relativ weiter Bandbreite verarbeiten, weil die Arbeitsgeschwindigkeiten der Systeme niedriger sind. Das bedeutet, bei einer Abtast-Bitbreite N arbeiten die Parallel- Bit-Systeme mit 1/Ntel der Geschwindigkeit von bit-seriellen Systemen. Allerdings erfordern die Parallel-Bit-Systeme erheblich höheren Schaltungsaufwand als die bit-seriellen Systeme. Infolge der größeren Komplexität und höheren Verlustleistung von Parallel-Bit-Systemen ist es wünschenswert, viele der Breitband-Systeme mit bit-seriellen Schaltungen zu realisieren. Unglücklicherweise erreichen oder überschreiten die Verarbeitungsgeschwindigkeiten derartiger bit-serieller Systeme die Grenzen gegenwärtiger Technologien.

[0004] Man nehme ein Verarbeitungssystem für Videosignale, das mit Abtastraten von 14,32 MHz und Abtastbitbreiten der Samples von 8 Bit arbeitet. Ein bit-serielles System zur Verarbeitung eines solchen Signals muss mit Taktraten von wenigstens 115 MHz arbeiten. Vorteilhafter Weise wird das System wegen der höheren Schaltungsdichte und geringeren Leistungsaufnahme in Metalloxid-Halbleiter-(metal oxide semiconductor, MOS) Technik realisiert. Allerdings dürften Signalverarbeitungsraten von 115 MHz sehr nahe an der Grenze der gegenwärtigen MOS-Technologie liegen.

[0005] Einen der begrenzenden Faktoren stellen Zeitfehler dar, insbesondere zwischen verschiedenen Funktionselementen eines bestimmten Systems. Diese Fehler rühren von dem relativ niedrigen Treibvermögen von MOS-Transistoren her. Nominell werden sämtliche Funktionen auf einer integrierten (IC) DSP-Schaltung synchron mit gemeinsamen Taktsignalen betrieben. Wenn jetzt eine Zwischenverbindung zwischen Funktionselementen dazu neigt, länger zu sein als übliche Zwischenverbindungen innerhalb eines Funktionselements, so wird diese eine höhere Kapazität aufweisen. Diese höhere Kapazität kann den Ausgang eines Funktionselements aufladen, wodurch es zu Zeitfehlern zwischen Elementen und damit zu einer Begrenzung der Geschwindigkeit des gesamten Systems kommt. Selbst innerhalb eines Funktionselements können Verbindungen bestehen, die eine Kapazität aufweisen, die ausreichend groß ist, um Zeitfehler zu erzeugen.

[0006] Aus der US-A-4 713 809 ist eine Relais-Station für ein Funkkommunikationssystem bekannt. Dieses empfängt ein serielles Signal, führt eine Umwandlung in parallele Form durch, bearbeitet das parallele Signal und wandelt das parallele Signal schließlich in serielle Form um, in welcher es an die Sendeeinheit weitergeleitet wird.

[0007] Aus JP Patent Abstracts 61193523 ist eine Anordnung von integrierten Schaltkreisen mit einem Multiplexer (Parallel/Seriell Konverter) auf dem einen Chip, der über eine serielle Datenleitung mit einem Demultiplexer (Seriell/Parallel-Konverter) auf dem anderen Chip verbunden ist, zum Austausch von Signalen zwischen den Chips, bekannt.

Aufgabenstellung

[0008] Es ist Aufgabe der Erfindung ein Hochgeschwindigkeits-bitserielles-Signalverarbeitungssystem für ein Breitbandsystem zur Verfügung zu stellen. Diese Aufgabe wird durch das im Patentanspruch 1 angegebene Signalverarbeitungssystem gelöst. Eine vorteilhafte Weiterbildung ist im Unteranspruch 2 angegeben.

[0009] Eine Begrenzung der maximalen Arbeitsgeschwindigkeit eines bit-seriellen Signalverarbeitungssystems, welche normalerweise durch das Vorhandensein einer Zwischenverbindung, die eine relativ große Streukapazität aufweist, hervorgerufen wird, kann gemäss den Prinzipien der vorliegenden Erfindung dadurch vermieden werden, dass dem Eingang einer solchen Zwischenverbindung ein Demultiplexer und dem Ausgang einer solchen Zwischenverbindung ein Multiplexer zugeordnet wird, wobei der Demultiplexer das mit einer Bitrate f anliegende bit-serielle Signal in N Signale aufspaltet, die jeweils mit einer Bitrate f/N vorliegen, während der Multiplexer die N Signale wieder zu einem einzigen bit-seriellen Signal mit der Bitrate f zusammensetzt.

[0010] **Fig.** 1A zeigt ein Blockdiagramm eines die Erfindung verwirklichenden bit-seriellen Signalverarbeitungssystems.

[0011] **Fig.** 1B zeigt ein Blockdiagramm einer beispielhaften integrierten Schaltung, welche die vorliegende Erfindung verwirklicht.

[0012] **Fig.** 2 und 5 stellen schematische Logikdiagramme beispielhafter Multiplexer dar, die in den

Funktionselementen von **Fig.** 1B eingesetzt werden können.

[0013] **Fig.** 3 und 6 sind schematische Logikdiagramme beispielhafter Demultiplexer, die in den Funktionselementen von **Fig.** 1B eingesetzt werden können.

[0014] **Fig.** 4 ist eine bildhafte Darstellung des relativen Zeitverlaufs von Signalen, die die Schaltungen nach **Fig.** 2 und **Fig.** 5 durchlaufen, welche für das Verständnis der Arbeitsweise der Schaltungen nach **Fig.** 2 und 5 nützlich sind.

Ausführungsbeispiel

[0015] **Fig.** 1A zeigt das Gesamtsystemkonzept des bit-seriellen Verarbeitungsgerätes der vorliegenden Erfindung. Dieses beispielhafte System enthält drei integrierte Schaltkreise zur Durchführung der gewünschten Signalaufbereitung. Jede integrierte Schaltung enthält einen Taktgeber und eine oder mehrere Verarbeitungsfunktionen. IC1 wird ein analoges Signal zugeführt, welches darin durch einen Analog-Digital-Wandler (A/D) in ein bit-serielles digitales Signal gewandelt wird. Das bit-serielle Signal unterliegt der Verarbeitung durch eine bit-serielle Signalaufbereitungsschaltung (FUNCTION 1) und gelangt dann zu der zweiten integrierten Schaltung IC2. In IC2 wird das bit-serielle Signal drei weiteren Verarbeitungen in den Funktionsschaltungen FUNCTION 2, FUNCTION 3 und FUNCTION 4 unterzogen. Das bit-serielle Signal gelangt sodann zu IC3, worin es weiter verarbeitet wird, und steht danach als aufbereitetes Ausgangssignal OUT zur Verfügung. Die letzte Verarbeitungsfunktion (FUNCTION 7) kann eine Digital-Analog-Wandlung sein.

[0016] Es wird davon ausgegangen, daß das verarbeitete Signal eine weite Bandbreite aufweist und es daher erfordert, daß die integrierten Schaltungen mit einer relativ hohen Bitrate arbeiten. Das Problem der Verteilung globaler Taktsignale wird durch Anlegen relativ langsamer, von einem Haupttaktgeber gelieferter Taktsignale an die verschiedenen ICs beherrscht. Das Haupttaktsignal kann der Abtastrate entsprechen (die Abtastrate für z.B. ein Aufbereitungssystem für Videosignale kann 14,32 MHz betragen und die Bitrate beträgt N mal der Abtastrate, wobei N der Anzahl der Bits pro Sample entspricht). Die schnellen Bitraten-Taktsignale werden auf jedem integrierten Schaltkreis von einem Taktgenerator erzeugt, der auf ein Haupttaktsignal reagiert, und dieses schnelle Taktsignal wird an die verschiedenen Funktionselemente innerhalb eines IC verteilt. Die Funktionselemente können Taktpufferschaltungen zur Pufferungen des Taktsignals vor dein Anlegen an die Vorrichtungen in dein Funktionselement enthalten. Jeder Taktgeber innerhalb eines IC kann einen in einem PLL-Kreis konfigurierten Oszillator enthalten, zur Erzeugung von Taktsignalen, die in der Phase an den Haupttakt gekoppelt sind. Außerdem kann jeder Taktgeber eine Schaltung enthalten, die zum Abgleich der relativen Phase oder Frequenz der erzeugten Taktsignale auf ein Phasen/Frequenz-Steuersignal reagiert. Die Verwendung eines niedriger-frequenten Haupttaktsignales für die allgemeine Synchronisierung und das Begrenzen der hochfrequenten Takte auf die jeweiligen integrierten Schaltungen vermindert die Erzeugung von unerwünschten Hochfrequenz-Störungen (radio frequency interference, RFI).

[0017] **Fig.** 1B zeigt ein Blockbild eines Teils eines beispielhaften integrierten Schaltkreises (IC) der Art, wie er in **Fig.** 1A Verwendung finden kann. Das beispielhafte IC enthält bitserielle Funktionselemente **12–18**. Auf beispielsweise einem IC zur Videosignalaufbereitung können diese Elemente, in Kombination, ein Luminanzspitzenfilter darstellen, wobei Funktionen 1 und 2 Tiefpaßfilter-Funktionen seien. Funktion 3 sei eine Bandpaßfilter-Funktion und Funktion 4 ein Addierer. Alle diese Funktionselemente können relativ nahe beieinander auf den ICs angeordnet sein, allerdings können die Verbindungen zwischen den Funktionen (interfunktionale Verbindungen) eine oder zwei Größenordnungen länger als irgendeine der Element-Verbindungen innerhalb einer Funktion (intrafunktionale Verbindung) sein. Folglich können die interfunktionalen Verbindungen Streukapazitäten aufweisen, die eine oder zwei Größenordnungen größer als die Streukapazitäten an irgendeinem intrafunktionalen Schaltknoten sind und damit den begrenzenden Faktor für die Verarbeitungsgeschwindigkeit des Systems darstellen.

[0018] Die Potentialwechselrate, dv/dt, an jedem Signalknotenpunkt wird definiert durch dv/dt = i(t)/C, wobei i(t) der zum Laden oder Entladen des Knotenpunktes verfügbare Strom und C die gesamte dem Knotenpunkt zugehörige Kapazität ist. Der Strom i(t) wird nominell geliefert von entweder einem Pull-up-Transistor zum Anheben des Knotens auf ein logisch hohes Potential oder einem Pull-down-Transistor zum Entladen des Knotens auf ein logisch niedriges Potential. Bleiben alle anderen Parameter konstant, so verhält sich die Wechselrate der Knotenpotentiale und damit die maximale Verarbeitungsgeschwindigkeit umgekehrt proportional zur Kapazität. Zur Kompensation einer erhöhten Kapazität kann der verfügbare Lade/Entladestrom durch Erhöhen der Größe und damit der Transkonduktanz der Pull-up- und Pull-down-Transistoren erhöht werden. Allerdings wird Fachleuten für IC-Schaltungstechnik bekannt sein, daß das Erhöhen der Größe der Transistoren einer bestimmten Stufe in der Schaltung auch die Last-(Knoten-)Kapazität der davorliegenden Stufe erhöht. Geschwindigkeitsgewinne einer Stufe können daher – zumindest teilweise – durch Geschwindigkeitsverluste in einer vorherigen Stufe aufgeho-

ben werden.

[0019] Die Alternative zur Erhöhung der Knoten-Lade/Entladeströme zur Kompensation höherer Kapazitäten liegt in der Verlängerung der zum Laden eines entsprechenden Knotenpunktes verfügbaren Zeit dt. Dies wird in bezug auf bit-serielle Signale erreicht, indem man das Signal in zwei (oder N) parallele Signale teilt, von denen jedes eine Bitrate von einhalb (1/N) der Bitrate des Ursprungssignals aufweist. Nach Umgehung der größeren Kapazität werden die parallelen Signale wieder zu einem einzelnen bit-seriellen Signal mit der ursprünglichen Bitrate zusammengesetzt.

[0020] **Fig.** 1B zeigt jedes der Funktionselemente mit darin enthaltenen Demultiplexern (DM) an ihren jeweiligen Ausgangsanschlüssen. Diese Demultiplexer sind so angeordnet, daß sie ein bit-serielles Signal mit der Rate f in N parallele bitserielle Signale mit der Rate f/N aufteilen. An den Eingangsanschlüssen eines jeden Funktionselements liegt ein Multiplexer (M), welcher N parallele bit-serielle Signale mit Bitraten f/N empfängt und die N parallelen bit-seriellen Signale zu einem einzigen bit-seriellen Signal mit der Rate f zusammensetzt. Intern arbeiten alle Funktionselemente mit der Rate f.

[0021] **Fig.** 2 und 5 zeigen alternative Ausführungsformen von exemplarischen Demultiplexer-Schaltungen (DM), die in der Schaltung gemäß **Fig.** 1B eingesetzt werden können. Der in **Fig.** 2 gezeigte Demultiplexer teilt ein bit-serielles Signal mit der Bitrate fc in zwei bit-serielle Signale mit je einer Bitrate von fc/2. Der Demultiplexer gemäß **Fig.** 5 teilt zwei bit-serielle Signale in vier parallele bitserielle Signale. Die Arbeitsweise der Schalttung in **Fig.** 2 wird anhand der in **Fig.** 4 gezeigten Signale beschrieben. In **Fig.** 2 wird das bit-serielle Eingangssignal DATA IN dem Dateneingangsanschluß eines Registers **202** (Typ-D-Einschnappschalter) zugeführt, welches durch das Signal Fc synchron mit dem bit-seriellen Eingangssignal getaktet ist. Das Ausgangssignal des Registers **202** ist eine Nachbildung seines Eingangssignals, allerdings um die Periode eines Bits verzögert. Das Ausgangssignal von Register **202** wird dem Dateneingangsanschluß eines Registers **206** zugeführt. Das Eingangssignal wird außerdem dem Dateneingangsanschluß eines Registers **204** zugeführt. Register **204** und **206** sind mit einem Taktsignal mit halber Geschwindigkeit Fc/2 getaktet.

[0022] Zum Zeitpunkt t2 (**Fig.** 4) liefert Register **202** ein Datenbit Si an den Eingangsanschluß von Register **206**, und ein Eingangsdatenbit Si + 1 wird dem Register **204** zugeführt. Beim positiven Übergang des Taktsignals Fc/2 werden diese beiden Bits (d.h. S1 und S2) in Register **206** beziehungsweise **204** geladen. Diese Bits sind werden danach auf parallele Ausgangsanschlüsse **208** ausgegeben. Zum Zeitpunkt t3 wird das Eingangssignal S4 dem Register **204** und das Bit S3 dem Register **206** zugeführt. Diese Bits werden beim positiven Übergang (t3) des Taktsignals Fc/2 gleichzeitig in Register **204** und **206** geladen und danach auf die parallelen Ausgangsanschlüsse **208** gelegt. Auf diese Weise wird das mit der Rate fc anstehende Eingangssignal in zwei Signale gewandelt, die mit einer Bitrate von fc/2 an dem parallelen Ausgangsanschluß anstehen. Die Beziehung der bit-seriellen Eingangsdaten zu den beiden parallelen bit-seriellen Signalen ist aus den in **Fig.** 4 gezeigten Signalen DATA IN, REG. **206** und REG. **204** ersichtlich.

[0023] Die an den Eingangsanschlüssen zu Registern **202** und **204** auftretende Kapazität ist für die von Vorrichtungen innerhalb des Funktionselementes gebildeten Kapazitäten typisch und kann daher von einem üblichen internen Transistor getrieben werden. Die von jedem der Ausgangsanschlüsse **208** gebildete Kapazität kann erheblich größer sein. Da allerdings die Datenrate an den Ausgangsanschlüssen halbiert wurde, können auch diese Anschlüsse von Transistoren getrieben werden, die den internen Transistoren ähnlich sind. Da ein derartiger Demultiplexer nicht die interne Schaltung lädt, laden die Ausgangsanschlüsse den Demultiplexer nicht übermäßig und das System kann mit Geschwindigkeiten arbeiten, die anstatt von geschwindigkeitsbegrenzenden Faktoren der die Funktionselemente verknüpfenden Schaltungen durch geschwindigkeitsbegrenzende Faktoren der Funktionselemente bestimmt werden.

[0024] Der in **Fig.** 5 gezeigte Demultiplexer besteht einfach aus zwei parallel arbeitenden Demultiplexern **500** und **510** des in **Fig.** 2 gezeigten Typs.

[0025] Es sei darauf hingewiesen, das ein Demultiplexer des Typs gemäß **Fig.** 2 als eine Eingangsschaltung zu dem Demultiplexer gemäß **Fig.** 5 benutzt werden kann, um vier parallele Signale mit 1/4 der ursprünglichen Bitrate zu liefern. Eine weitere alternative Anordnung kann ein vierstufiges Schieberegister umfassen, welches mit der Taktfrequenz Fc arbeitet. Ein Ausgangssignal von jeder der vier Stufen kann vier weiteren Registern zugeführt werden, die mit einem Taktsignal mit der Frequenz fc/4 getaktet sind. Die vier weiteren Register liefern vier parallele Signale mit einem Viertel der ursprünglichen Bitrate.

[0026] **Fig.** 3 zeigt einen zwei-zu-eins-Signal.-Multiplexer und **Fig.** 6 zeigt einen vier-zu-zwei-Signal-Multiplexer. Das Gerät nach **Fig.** 6 besteht eigentlich aus zwei parallel arbeitenden Multiplexern **600** und **610** des Typs gemäß **Fig.** 3.

[0027] Das Verständnis der Arbeitsweise des Multiplexers gemäß **Fig.** 3 wird durch Bezugnahme auf die in **Fig.** 4 gezeigten Signale REG. **300**, REG. **302** und Data Out erleichtert. Die dem Anschluß **308** zugeführten parallelen Eingangsdaten entsprechen den

Signalen REG. **206** und REG. **204**. Es werden also beispielsweise die Sample-Bits S1 und S2 gleichzeitig dem Register **300** beziehungsweise **302** zugeführt. Am Ende der Eingangs-Bitperiode (t3) werden diese Bits in die Register **300** beziehungsweise **302**, die auf das Taktsignal Fc/2 reagieren, eingespeichert und liegen an ihren. jeweiligen Ausgangsanschlüssen Q an. Das Ausgangssignal von Register **300** wird einem Übertragungstor (Gate) **304** zugeführt und das Ausgangssignal von Register **302** wird einem Übertragungstor **306** zugeführt. Die Ausgangs-Ports der Übertragungstore **304** und **306** sind untereinander an einem bit-seriellen Datenausgangsanschluß "DATA out" **310** verbunden.

[0028] Die Übertragungstore **304** und **306** arbeiten derart, daß sie komplementär auf das Taktsignal Fc/2 reagieren. Das bedeutet, während der halben Periode in der das Taktsignal Fc/2 einen hohen Zustand aufweist (z.B. Zeit t3–t4), läßt das Übertragungstor **304** das von Register **300** gelieferte Signalbit passieren, und während der halben Periode in der das Taktsignal Fc/2 einen niedrigen Zustand aufweist (z.B. Zeit t4–t5), läßt das Übertragungstor **306** das von Register **302** gelieferte Signalbit passieren. Während der Periodenhälfte in der das Taktsignal Fc/2 einen niedrigen (hohen) Zustand aufweist, ist das Übertragungstor **304** (**306**) auf Leerlauf geschaltet und versieht den Ausgangsanschluß mit einer hohen Impedanz. Das Ausgangssignal DATA OUT an Verbindung **310** ist eine verschachtelte Version der beiden Dateneingangssignale DATA IN und weist das Doppelte der Eingangsdatenrate auf. Dieses Signal wird der internen Schaltung des betreffenden Funktionselements zugeführt. Die Multiplexer und Demultiplexer verleihen den verarbeiteten Signalen Verzögerungen, welche möglicherweise kompensiert werden müssen. Würde beispielsweise in **Fig.** 1B das Funktionselement **16** durch zwei in Reihe geschaltete Funktionselemente ersetzt, von denen jedes entsprechende Multiplexer und Demultiplexer aufwiese, so müßte möglicherweise eine der Verzögerung einer Multiplexer-Demultiplexer-Kombination entsprechende Ausgleichsverzögerung in dem Fuktionselement **14** enthalten sein, um die zeitliche Registrierung der beiden dem Funktionselement **18** zugeführten Signale zu gewährleisten.

[0029] Wie oben beschrieben, werden die Zwischenspeicher von **Fig.** 3 von dem Taktsignal Fc/2 getaktet. Für einige Anwendungen ist es allerdings vorteilhaft, diese Zwischenspeicher mit dem Komplementären des Taktsignals Fc/2 zu takten. In einigen IC-Anordnungen ist es möglich, daß die einem Demultiplexer zugeführten Taktsignale mit halber Geschwindigkeit relativ zu dem einem Multiplexer, dem entsprechende Daten zugeführt werden, zugeführten Taktsignal mit halber Geschwindigkeit bitversetzt sein können. Dieser Versatz des Taktes kann dadurch ausgeglichen werden, daß Demultiplexer und Multiplexer mit gegenphasigen Taktsignalen arbeiten. In dieser Betriebsart können interfunktionale Daten mit einem Versatz von bis zu einer Hälfte der Periode der Hälfte der Taktrate wieder synchronisiert werden. Ein Nachteil besteht darin, daß die Laufzeit der Daten zwischen Funktionselementen vermindert wird. Allerdings kann an manchen Verbindungspunkten statt der Datenlaufzeit der Taktversatz der die Rate begrenzende Faktor sein, weshalb die Rate des gesamten Systems durch die Verwendung von gegenphasigen Takten verbessert wird.

[0030] Die Erfindung wurde anhand von bit-seriellen Signalen beschrieben. Es wird aber erwogen, die Erfindung in nibble-seriellen Systemen zu implementieren. Nibble-serielle Systeme sind Systeme, welche Mehrfachbitsignale in bit-seriellem Format verarbeiten. Ein 8-Bit-Sample kann beispielsweise in 4 zwei-Bit-Nibbles geteilt werden, und die Nibbles werden als bit-serielle Signale verarbeitet. Die Schaltungen gemäß **Fig.** 5 und 6 können dazu dienen, ein zwei-Bit nibble-serielles Signal mit der Rate f in zwei zwei-Bit nibble-serielle Signale der Rate fc/2 zu wandeln und diese dann entsprechend wieder zusammensetzen. In diesem Fall entsprechen die beiden in **Fig.** 5 gezeigten Signale BIT1 und BIT2 dem zwei-Bit nibble-seriellen Signal. In den Ansprüchen soll der Ausdruck bit-seriell den Begriff nibble-seriell mit einschließen.

Patentansprüche

1. Signalverarbeitungssystem mit:
einer Mehrzahl von bit-seriellen Funktionselementen (FUNCTION 1–7) zum Verarbeiten von bit-seriellen Signalen mit einer Bitrate f sowie mit einer Quelle von Taktsignalen (CLOCK GEN.), welche Taktsignale der Rate f und Taktsignale der Rate f/N, wobei N eine Ganzzahl ist, liefert,
einem mit einem Ausgangsanschluss eines der bit-seriellen Funktionselemente (FUNCTION 1–7) verbundenen Demultiplexer (DM), welcher ein von diesem Funktionselement geliefertes bit-serielles Signal der Bitrate f unter Verwendung der Taktsignale der Raten f und f/N, in N parallele bit-serielle Signale der Bitrate f/N teilt, und
einem über Eingangsanschlüsse mit dem Demultiplexer (DM) verbundenen Multiplexer (M), der die N parallelen bit-seriellen Signale der Bitrate f/N zu einem einzigen bit-seriellen Signal der Bitrate f zusammensetzt und dieses einzelne bit-serielle Signal der Bitrate f an einem Eingangsanschluss eines anderen der bit-seriellen Funktionselemente (FUNCTION 1–7) zur Verfügung stellt.

2. Signalverarbeitungssystem gemäss Anspruch 1, bei dem die Mehrzahl von bit-seriellen Funktionselementen (FUNCTION 1–7), der Demultiplexer (DM) und der Multiplexer (M) in einem gemeinsamen inte-

grierten Schaltkreis realisiert sind.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

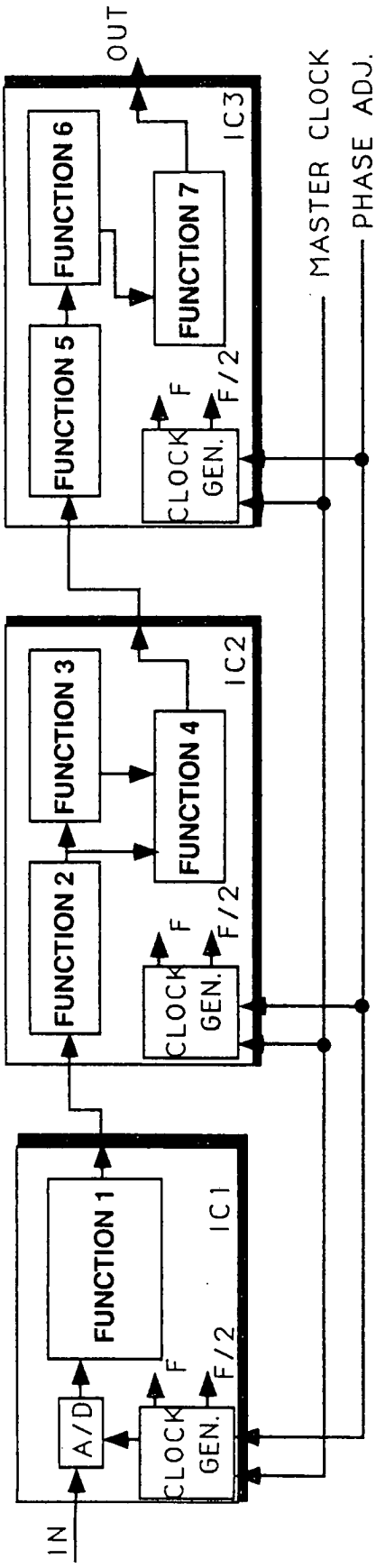


FIG. 1A

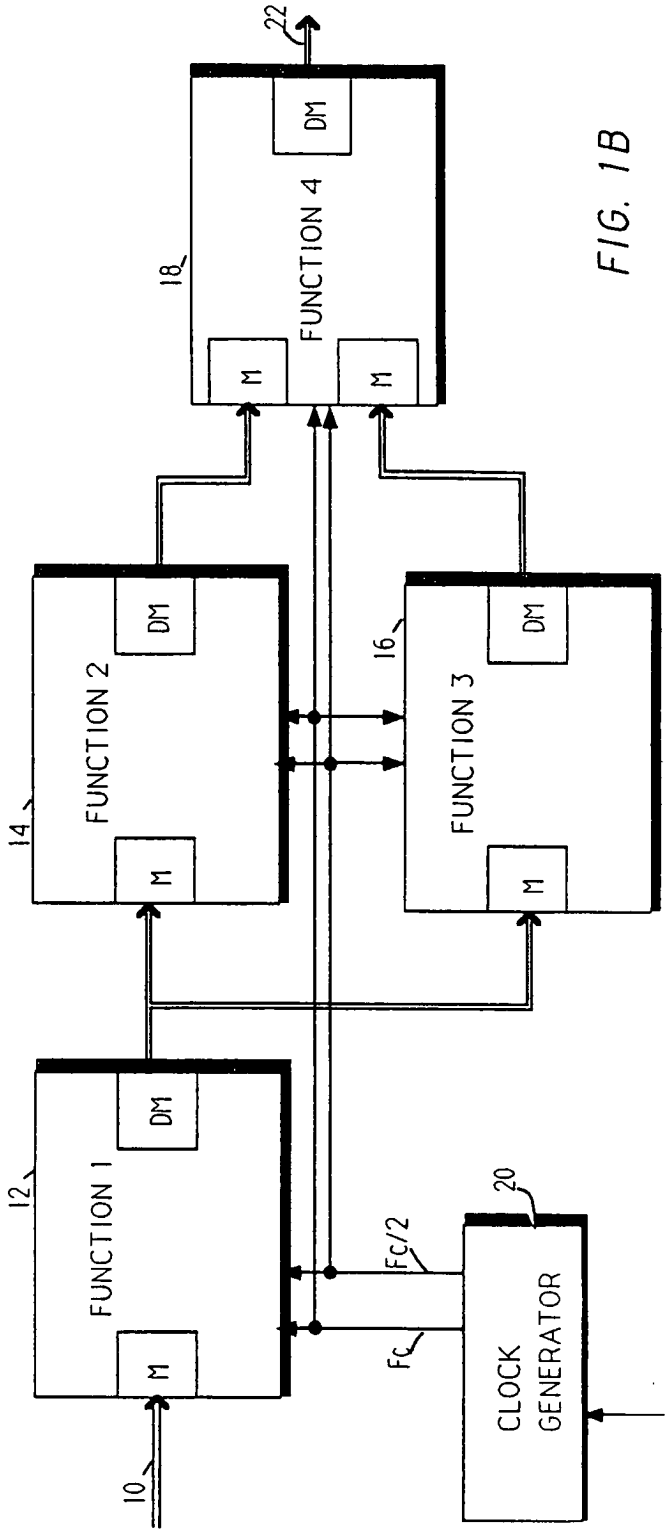


FIG. 1B

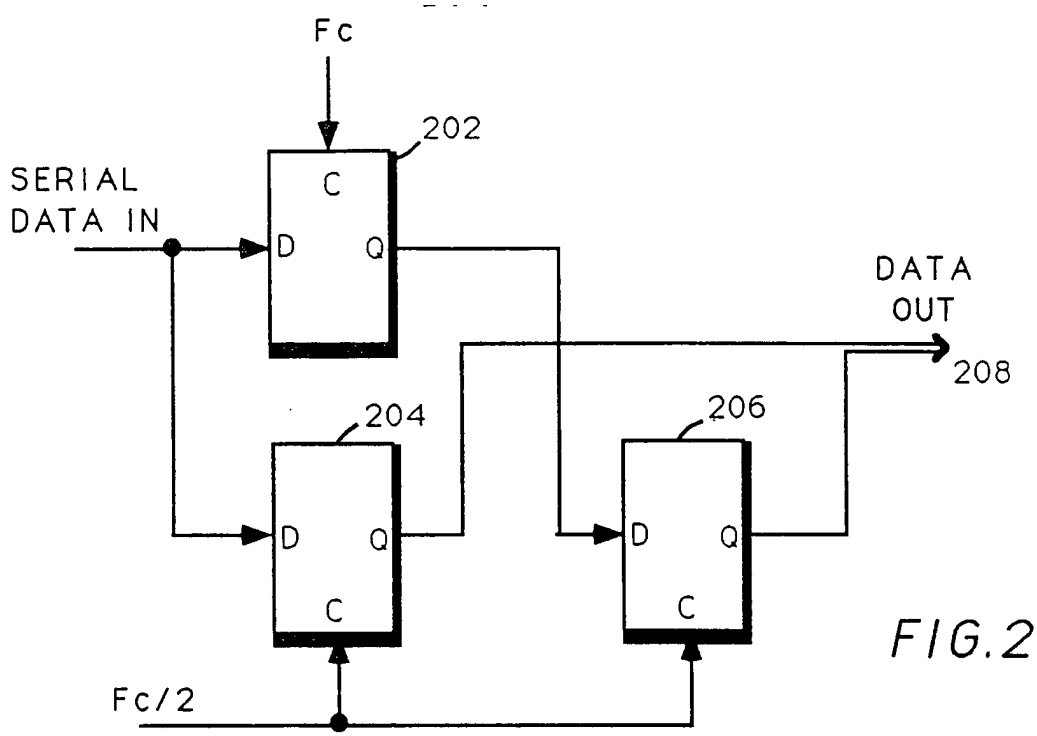

Fc
202
SERIAL
DATA IN
C
D
Q
DATA
OUT
208
204
206
D
Q
C
Fc/2

FIG.2

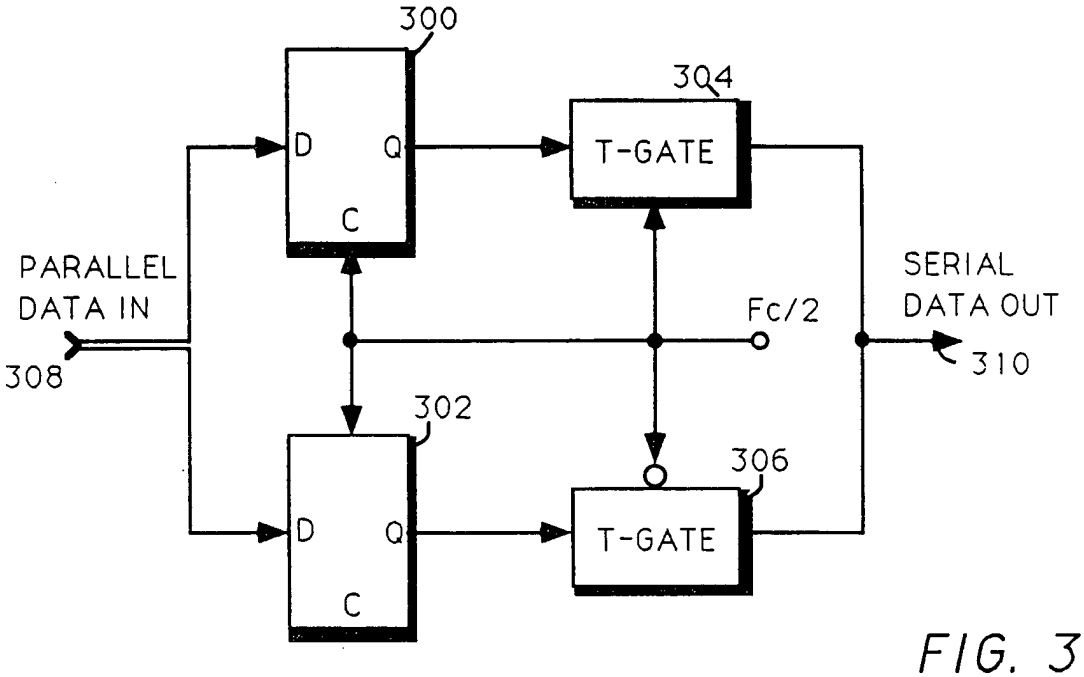

300
304
D
Q
C
T-GATE
PARALLEL
DATA IN
308
Fc/2
SERIAL
DATA OUT
310
302
306
T-GATE

FIG. 3

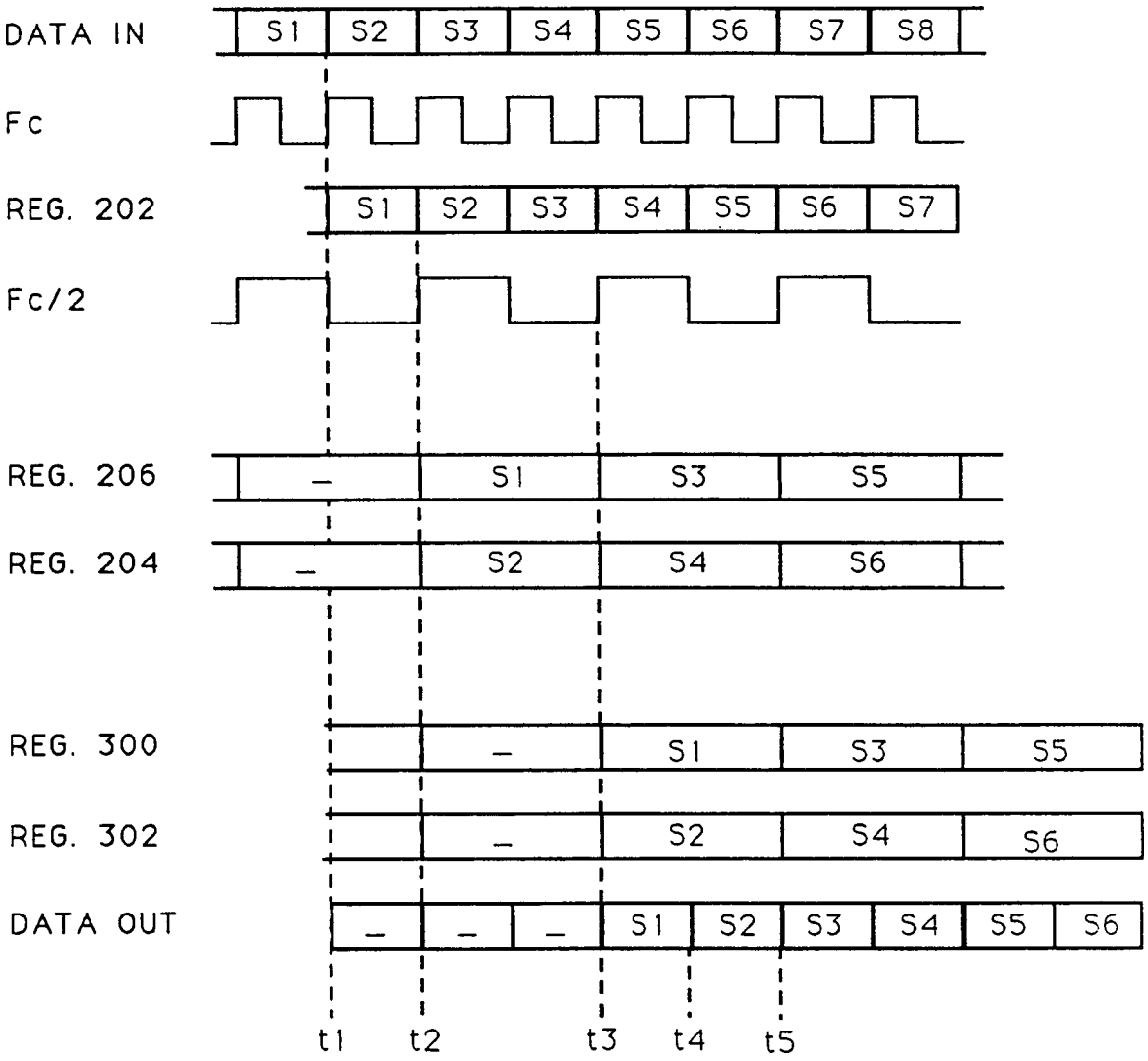

DATA IN
S1
S2
S3
S4
S5
S6
S7
S8
Fc
REG. 202
S1
S2
S3
S4
S5
S6
S7
Fc/2
REG. 206
–
S1
S3
S5
REG. 204
–
S2
S4
S6
REG. 300
–
S1
S3
S5
REG. 302
–
S2
S4
S6
DATA OUT
–
–
–
S1
S2
S3
S4
S5
S6
t1
t2
t3
t4
t5

FIG. 4

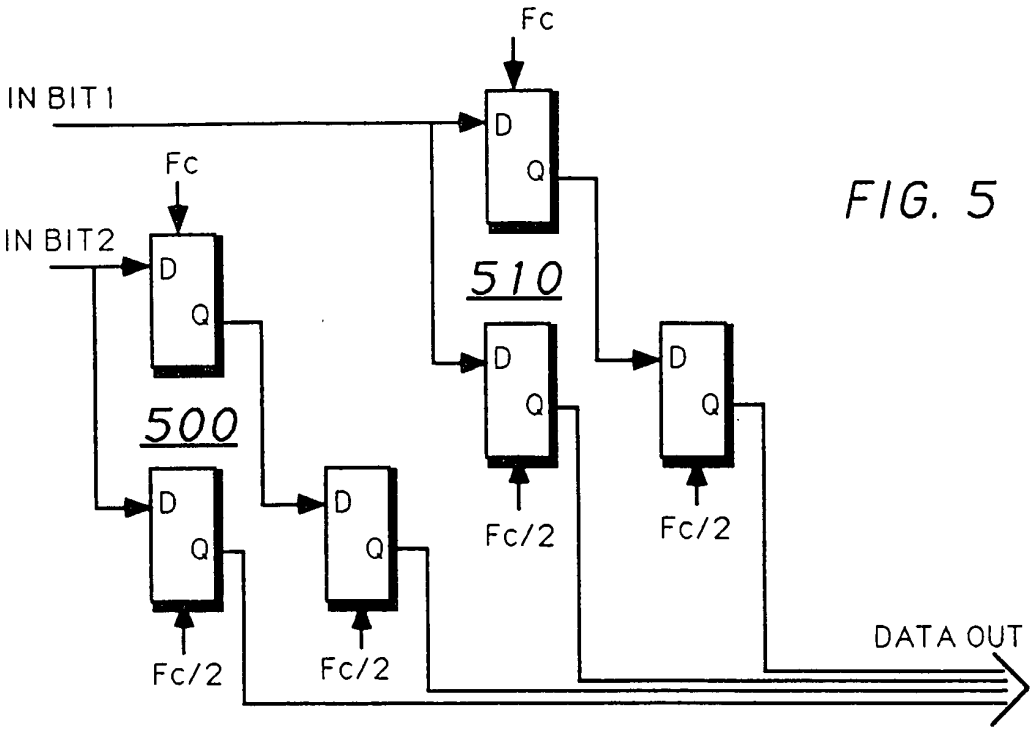

Fc
IN BIT 1
Fc
IN BIT 2
D
Q
510
500
Fc/2
Fc/2
Fc/2
Fc/2
DATA OUT

FIG. 5

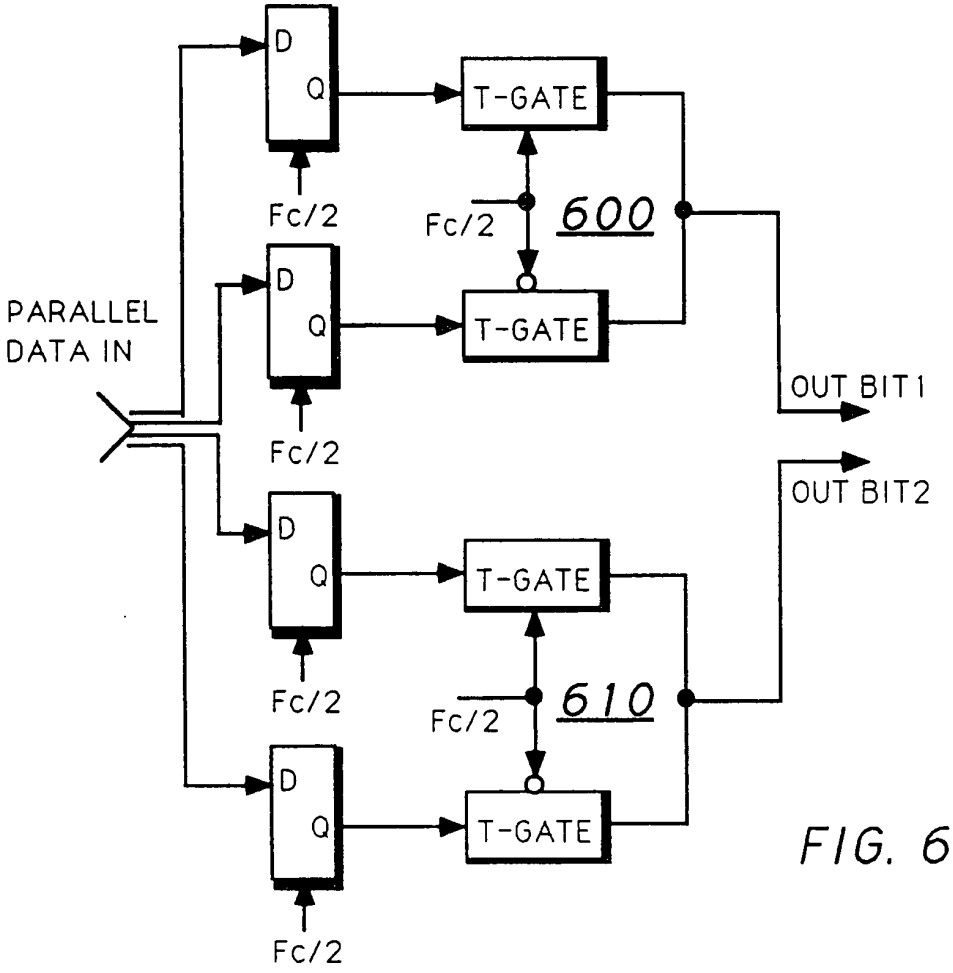

D
Q
T-GATE
Fc/2
600
PARALLEL
DATA IN
OUT BIT 1
OUT BIT 2
610

FIG. 6