(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월07일
(11) 등록번호 10-2506007
(24) 등록일자 2023년02월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/78696 (2013.01)
(21) 출원번호 10-2022-7002496(분할)
(22) 출원일자(국제) 2017년03월28일
심사청구일자 2022년01월24일
(85) 번역문제출일자 2022년01월24일
(65) 공개번호 10-2022-0018070
(43) 공개일자 2022년02월14일
(62) 원출원 특허 10-2018-7032275
원출원일자(국제) 2017년03월28일
심사청구일자 2020년03월20일
(86) 국제출원번호 PCT/IB2017/051751
(87) 국제공개번호 WO 2017/178912
국제공개일자 2017년10월19일
(30) 우선권주장
JP-P-2016-080066 2016년04월13일 일본(JP)
JP-P-2016-080137 2016년04월13일 일본(JP)
(56) 선행기술조사문헌
JP2014195058 A*
JP2015029087 A*
JP2015130466 A*
WO2015059850 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오카자키 겐이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 2 항 심사관 : 임창연

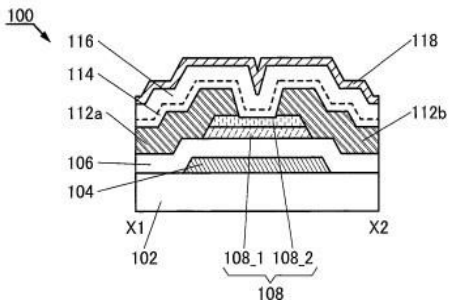
(54) 발명의 명칭 **트랜지스터의 제작 방법**

(57) 요 약

산화물 반도체막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시킨다. 반도체 장치는 산화물 반도체막, 게이트 전극, 게이트 전극 위의 절연막, 절연막 위의 산화물 반도체막, 산화물 반도체막 위의 한 쌍의 전극을 포함한다. 산화물 반도체막은 제 1 산화물 반도체막 및 제 1 산화물 반도체막 위의 제 2 산화물 반도체

(뒷면에 계속)

대 표 도



막을 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 같은 원소를 포함한다. 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 결정성이 낮은 영역을 포함한다.

(72) 발명자

구로사키 다이스케

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

나카자와 야스타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

게이트 전극 위에 게이트 절연막을 개재하여 산화물 반도체막을 형성하고,

상기 산화물 반도체막 위에 절연막을 형성하고,

상기 절연막 위에, 산소 가스를 포함하는 분위기에서 In-Ga-Zn 금속 산화물 타깃을 사용하여 스퍼터링법에 의해 산화막을 형성하고,

상기 산화막을 형성한 후에, 150℃ 이상 350℃ 이하에서 가열 처리를 행하고,

상기 산화막을 형성하는 공정에 있어서, 성막 가스 전체에서 차지하는 산소 가스의 비율은 10% 이상 100% 이하인, 트랜지스터의 제작 방법.

청구항 2

게이트 전극 위에 게이트 절연막을 개재하여 산화물 반도체막을 형성하고,

상기 산화물 반도체막 위에 절연막을 형성하고,

상기 절연막 위에, 산소 가스를 포함하는 분위기에서 In-Ga-Zn 금속 산화물 타깃을 사용하여 스퍼터링법에 의해 산화막을 형성하고,

상기 산화막을 형성한 후에, 150℃ 이상 350℃ 이하에서 가열 처리를 행하고,

상기 산화막을 형성하는 공정에 있어서, 성막 가스 전체에서 차지하는 산소 가스의 비율은 10% 이상 100% 이하이고,

상기 산화막을 형성하는 공정에 있어서, 상기 절연막에 산소가 첨가되는, 트랜지스터의 제작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 산화물 반도체막을 포함하는 반도체 장치에 관한 것이다. 본 발명의 다른 일 형태는 반도체 장치를 포함하는 표시 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 및 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 및 이들의 제작 방법에 관한 것이다.

[0003] 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.

배 경 기 술

[0004] 트랜지스터에 사용할 수 있는 반도체 재료로서, 산화물 반도체가 주목을 받고 있다. 예를 들어, 특허문헌 1에는, 복수의 산화물 반도체층 중 채널로서 기능하는 산화물 반도체층이 인듐 및 갈륨을 포함하고, 상기 인듐의 비율이 상기 갈륨의 비율보다 높은 상기 복수의 산화물 반도체층을 적층함으로써 전계 효과 이동도(단순히 이동도 또는 μFE라고 하는 경우가 있음)가 향상된 반도체 장치가 개시되어 있다.

[0005] 비특허문헌 1에는 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체가 $In_{1-x}Ga_{1+x}O_3(ZnO)_m$($x$는 $-1 \leq x \leq 1$을 만족시키는 숫자이고, m은 자연수임)으로 나타내어지는 동족 계열(homologous series)을 갖는 것이 개시되어 있다. 또한, 비특허문헌 1에는 동족 계열의 고용체 범위(solid solution range)가 개시되어 있다. 예를 들어, m=1일 때의 동족 계열의 고용체 범위에서, x는 -0.33에서 0.08 사이에 있다. m=2일 때의 동족 계열의 고용체 범위에서, x는 -0.68에서 0.32 사이에 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2014-007399호

비특허문헌

[0007] (비특허문헌 0001) M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In2O3-Ga2ZnO4-ZnO System at 1350 ℃", J. Solid State Chem., 1991, Vol. 93, pp. 298-315.

발명의 내용

해결하려는 과제

[0008] 채널 영역으로서 산화물 반도체막을 사용하는 트랜지스터의 전계 효과 이동도는 가능한 한 높은 것이 바람직하다. 그러나, 전계 효과 이동도가 높아지면, 트랜지스터는 그 특성에 문제, 즉 노멀리 온이 되기 쉬워진다는 문제를 갖는다. 또한, "노멀리 온"은 게이트 전극으로의 전압의 인가 없이 채널이 존재하고 트랜지스터를 통하여 전류가 흐르는 상태를 의미한다.

[0009] 또한, 산화물 반도체막을 채널 영역에 사용하는 트랜지스터에서, 산화물 반도체막에 형성되는 산소 결손은 트랜지스터 특성에 악영향을 미친다. 예를 들어, 산화물 반도체막에 형성되는 산소 결손이 수소와 결합되어 캐리어 공급원으로서 기능한다. 산화물 반도체막에 생성되는 캐리어 공급원은 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화, 대표적으로는 문턱 전압의 변동을 일으킨다.

[0010] 산화물 반도체막에서의 산소 결손의 양이 지나치게 많으면, 예를 들어 트랜지스터의 문턱 전압이 음의 방향으로 변동되고, 트랜지스터는 노멀리 온 특성을 갖게 된다. 따라서, 특히 산화물 반도체막의 채널 영역에서는, 산소 결손의 양이 적거나, 또는 노멀리 온 특성을 나타내지 않는 양인 것이 바람직하다.

[0011] 상술한 문제를 감안하여, 본 발명의 일 형태의 과제는 산화물 반도체막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 다른 과제는 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화를 방지하고, 트랜지스터의 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 다른 과제는 소비전력이 저감된 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 표시 장치를 제공하는 것이다.

[0012] 또한, 상기 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서, 이들 과제 모두를 실현할 필요는 없다. 상기 과제 이외의 과제는 명세서 등의 기재로부터 명백해질 것이며 추출될 수 있다.

과제의 해결 수단

[0013] 본 발명의 제 1 형태는 산화물 반도체막을 포함하는 반도체 장치이다. 반도체 장치는 게이트 전극, 게이트 전극 위의 절연막, 절연막 위의 산화물 반도체막, 및 산화물 반도체막 위의 한 쌍의 전극을 포함한다. 산화물 반도체막은 제 1 산화물 반도체막 및 제 1 산화물 반도체막 위의 제 2 산화물 반도체막을 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 같은 원소를 포함한다. 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 결정성이 낮은 영역을 포함한다.

[0014] 제 1 형태에서는, 제 1 산화물 반도체막 및 제 2 산화물 반도체막이 In, M(M은 Al, Ga, Y, 또는 Sn), 및 Zn을 개별적으로 포함하는 것이 바람직하다.

[0015] 제 1 형태에서, In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 4인 경우에는 1.5 이상 2.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 4인 경우에는 2 이상 4 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=4:2:3 또는 이 근방인 것이 바람직하다.

[0016] 제 1 형태에서, In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 5인 경우에는 0.5 이상 1.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 5인 경우에는 5 이상 7 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=5:1:6 또는 이 근방인 것이 바람직하다.

[0017] 본 발명의 제 2 형태는 산화물 반도체막을 포함하는 반도체 장치이다. 반도체 장치는 게이트 전극, 게이트 전극 위의 절연막, 절연막 위의 산화물 반도체막, 및 산화물 반도체막 위의 한 쌍의 전극을 포함한다. 산화물 반도체막은 제 1 산화물 반도체막 및 제 1 산화물 반도체막 위의 제 2 산화물 반도체막을 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 같은 원소를 포함한다. 제 1 산화물 반도체막의 전자 친화력은 제 2 산화물 반도체막의 전자 친화력보다 크다. 제 1 산화물 반도체막의 전자 친화력과 제 2 산화물 반도체막의 전자 친화력의 차이는 0.15eV 이상 2.0eV 이하이다. 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 결정성이 낮은 영역을 포함한다.

[0018] 본 발명의 제 3 형태는 산화물 반도체막을 포함하는 반도체 장치이다. 반도체 장치는 게이트 전극, 게이트 전극 위의 절연막, 절연막 위의 산화물 반도체막, 및 산화물 반도체막 위의 한 쌍의 전극을 포함한다. 산화물 반도체막은 제 1 산화물 반도체막 및 제 1 산화물 반도체막 위의 제 2 산화물 반도체막을 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 각각 독립적으로 In, M(M은 Al, Ga, Y, 또는 Sn), 및 Zn을 포함한다. 제 1 산화물 반도체막에서의 Zn에 대한 In의 원자수비는 제 2 산화물 반도체막에서의 Zn에 대한 In의 원자수비보다 높다. 제 1 산화물 반도체막은 제 2 산화물 반도체막보다 결정성이 낮은 영역을 포함한다.

[0019] 제 2 형태 및 제 3 형태에서는, 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 In, M(M은 Al, Ga, Y, 또는 Sn), 및 Zn을 개별적으로 포함한다.

[0020] 제 2 형태 및 제 3 형태에서는, 제 1 산화물 반도체막에서의 In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 4인 경우에는 1.5 이상 2.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 4인 경우에는 2 이상 4 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=4:2:3 또는 이 근방인 것이 바람직하다. 제 2 산화물 반도체막에서의 In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 1인 경우에는 0.5 이상 1.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 1인 경우에는 0.1 이상 2 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=1:1:1 또는 이 근방인 것이 바람직하다.

[0021] 제 2 형태 및 제 3 형태에서는, 제 1 산화물 반도체막에서의 In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 4인 경우에는 1.5 이상 2.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 4인 경우에는 2 이상 4 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=4:2:3 또는 이 근방인 것이 바람직하다. 제 2 산화물 반도체막에서의 In, M, 및 Zn의 총계에 대한 M의 원자수비는 In의 원자수비가 5인 경우에는 0.5 이상 1.5 이하이고, In, M, 및 Zn의 총계에 대한 Zn의 원자수비는 In의 원자수비가 5인 경우에는 5 이상 7 이하인 것이 바람직하다. 또한, 이 형태에서는, In, M, 및 Zn 간의 원자수비는 In:M:Zn=5:1:6 또는 이 근방인 것이 바람직하다.

[0022] 제 1 내지 제 3 형태 각각에서, 제 1 산화물 반도체막은 제 1 영역 및 제 2 영역을 포함하는 복합 산화물 반도체를 포함하는 것이 바람직하다. 제 1 영역은 그 주성분으로서 인듐, 아연, 및 산소 중에서 선택된 하나 이상을 포함하는 복수의 제 1 클러스터를 포함하는 것이 바람직하다. 제 2 영역은 그 주성분으로서 인듐, M(M은 Al, Ga, Y, 또는 Sn), 아연, 및 산소 중에서 선택된 하나 이상을 포함하는 복수의 제 2 클러스터를 포함하는 것이 바람직하다. 복수의 제 1 클러스터는 서로 접속되는 것이 바람직하다. 복수의 제 2 클러스터는 서로 접속되는 것이 바람직하다.

[0023] 제 1 내지 제 3 형태 각각에서, 제 2 산화물 반도체막은 결정부를 포함하는 것이 바람직하다. 결정부는 c축 배향을 갖는 것이 바람직하다.

[0024] 본 발명의 다른 일 형태는, 표시 소자 및 상술한 형태 중 어느 하나에 따른 반도체 장치를 포함하는 표시 장치이다. 본 발명의 다른 일 형태는 상기 표시 장치 및 터치 센서를 포함하는 표시 모듈이다. 본 발명의 다른 일 형태는, 상술한 형태 중 어느 하나에 따른 반도체 장치, 상기 표시 장치, 또는 상기 표시 모듈을 포함하는 전자 기기이다. 전자 기기는 조작 키 또는 배터리를 포함한다.

발명의 효과

[0025] 본 발명의 일 형태에 따르면, 산화물 반도체막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시킬 수 있다. 본 발명의 일 형태에 따르면, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화를 억제할 수 있고, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다. 본 발명의 일 형태에 따르면, 소비전력이 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 신규 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 신규 표시 장치를 제공할 수 있다.

[0026] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 모든 효과를 반드시 실현할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

도면의 간단한 설명

[0027] 도 1의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 2의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 3의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 4의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 5의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 6의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 7의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.

도 8의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.

도 9의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.

도 10의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.

도 11의 (A) 및 (B)는 산화물 반도체막에 확산되는 산소 또는 과잉 산소의 확산 경로를 도시한 개략도이다.

도 12의 (A) 및 (B)는 복합 산화물 반도체를 도시한 상면 개략도 및 단면 개략도이다.

도 13의 (A) 및 (B)는 복합 산화물 반도체를 도시한 상면 개략도 및 단면 개략도이다.

도 14의 (A) 및 (B)는 복합 산화물 반도체를 도시한 상면 개략도 및 단면 개략도이다.

도 15는 복합 산화물 반도체의 원자수비를 도시한 것이다.

도 16의 (A) 및 (B)는 스퍼터링 장치를 도시한 것이다.

도 17은 복합 산화물 반도체의 제작 방법을 나타낸 공정 흐름도이다.

도 18의 (A) 내지 (C)는 타깃 근방의 단면을 나타낸 것이다.

도 19는 표시 장치의 일 형태를 도시한 상면도이다.

도 20은 표시 장치의 일 형태를 도시한 단면도이다.

도 21은 표시 장치의 일 형태를 도시한 단면도이다.

도 22는 표시 장치의 일 형태를 도시한 단면도이다.

도 23은 표시 장치의 일 형태를 도시한 단면도이다.

도 24는 표시 장치의 일 형태를 도시한 단면도이다.

도 25는 표시 장치의 일 형태를 도시한 단면도이다.

도 26의 (A) 및 (B)는 반도체 장치의 상면 및 단면을 도시한 것이다.

도 27은 반도체 장치의 단면도.

도 28은 표시 패널의 구조예를 도시한 것이다.

도 29는 표시 패널의 구조예를 도시한 것이다.

도 30의 (A) 내지 (C)는 표시 장치를 도시한 블록도 및 회로도이다.

도 31은 표시 모듈을 도시한 것이다.

도 32의 (A) 내지 (E)는 전자 기기를 도시한 것이다.

도 33의 (A) 내지 (G)는 전자 기기를 도시한 것이다.

도 34의 (A) 및 (B)는 표시 장치를 도시한 사시도이다.

도 35의 (A) 및 (B)는 트랜지스터의 Id-Vg 특성을 나타낸 것이다.

도 36은 트랜지스터에 대하여 수행된 GBT 시험의 결과를 나타낸 것이다.

도 37의 (A) 및 (B)는 트랜지스터의 Id-Vg 특성을 나타낸 것이다.

도 38은 트랜지스터에 대하여 수행된 GBT 시험의 결과를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 도면을 참조하여 실시형태에 대하여 설명한다. 그러나, 실시형태는 많은 상이한 형태로 실행할 수 있고, 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 용이하게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되는 것은 아니다.

[0029] 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 그러므로, 본 발명의 형태는 이러한 스케일에 한정되지는 않는다. 또한, 도면은 이상적인 예를 나타낸 개략도이고, 본 발명의 형태는 도면에 나타낸 형상 또는 값에 한정되지 않는다.

[0030] 또한, 본 명세서에서, "제 1", "제 2", 및 "제 3" 등의 서수사는, 구성 요소들 사이의 혼동을 피하기 위하여 사용되고, 이 용어들은 구성 요소를 수적으로 한정하지 않는다.

[0031] 또한, 본 명세서에서 "위에", "상에", "아래에", 및 "밑에" 등 배치를 설명하는 용어는, 도면을 참조하여 구성 요소 간의 위치 관계를 설명함에 있어서 편의상 사용되는 것이다. 또한, 구성 요소의 위치 관계는, 구성 요소를 설명하는 방향에 따라 적절히 변경된다. 따라서, 위치 관계는 본 명세서에 사용된 용어로 설명되는 것에 한정되지 않고, 상황에 따라 적절히 다른 용어로 설명할 수 있다.

[0032] 본 명세서 등에서, 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 또한, 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 채널 영역을 통하여 드레인과 소스 사이에서 전류가 흐를 수 있다. 또한 본 명세서 등에 있어서, 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0033] 또한, 예를 들어, 극성이 상이한 트랜지스터가 적용되거나 또는 전류의 방향이 회로 동작에서 변화될 때, 소스 및 드레인의 기능이 전환될 수 있다. 그러므로, 본 명세서 등에서는, "소스"와 "드레인"의 용어는 전환될 수 있다.

[0034] 또한, 본 명세서 등에서, "전기적으로 접속"이라는 표현은, 구성 요소들이 "임의의 전기적 기능을 갖는 물체"를 통하여 접속되는 경우를 포함한다. 임의의 전기적 기능을 갖는 물체"에는, 그 물체를 통하여 접속되는 구성 요소들 사이에서 전기 신호가 송수신될 수 있기만 하면, 특별한 한정은 없다. "임의의 전기적 기능을 갖는 물체"의 예에는 전극 및 배선뿐만 아니라 트랜지스터 등의 스위칭 소자, 레지스터, 인덕터, 용량 소자, 및 다양한 기능을 갖는 소자가 포함된다.

[0035] 본 명세서 등에서 "평행"이라는 용어는 두 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때문에, 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. "수직"이라는 용어는 두 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 그 각도가 85° 이상 95° 이하인 경우도 포함한다.

[0036] 본 명세서 등에서 "막" 및 "층"이라는 용어는 서로 교체될 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀

수 있는 경우가 있다.

[0037] 별도로 언급이 없으면, 본 명세서 등에서 오프 상태 전류란, 오프 상태(비도통 상태 및 차단(cutoff) 상태라고도 함)에서의 트랜지스터의 드레인 전류를 말한다. 별도로 언급이 없으면, n채널 트랜지스터의 오프 상태는 그 게이트와 소스 간의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 것을 의미하고, p채널 트랜지스터의 오프 상태는 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 높은 것을 의미한다. 예를 들어, n채널 트랜지스터의 오프 상태 전류는 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 낮을 때 흐르는 드레인 전류를 말하는 경우가 있다.

[0038] 트랜지스터의 오프 상태 전류는 V_{gs}에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 상태 전류가 I 이하"란, "트랜지스터의 오프 상태 전류가 I 이하가 되는 V_{gs}가 있다"라는 것을 의미하는 경우가 있다. 또한, "트랜지스터의 오프 상태 전류"란, "소정의 V_{gs}에서의 오프 상태 시의 오프 상태 전류", "소정의 범위 내의 V_{gs}에서의 오프 상태 시의 오프 상태 전류", 또는 "충분히 저감된 오프 상태 전류가 얻어지는 V_{gs}에서의 오프 상태 시의 오프 상태 전류" 등을 의미한다.

[0039] 일례로서, 문턱 전압(V_{th})이 0.5V이고, 드레인 전류가 V_{gs} 0.5V에서 1×10^{-9}A, V_{gs} 0.1V에서 1×10^{-13}A, V_{gs} -0.5V에서 1×10^{-19}A, 및 V_{gs} -0.8V에서 1×10^{-22}A인 n채널 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} -0.5V에서 또는 V_{gs} -0.8V 내지 -0.5V의 범위에서 1×10^{-19}A 이하이기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-19}A 이하라고 할 수 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22}A 이하가 되는 V_{gs}가 있기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-22}A 이하라고 하는 경우가 있다.

[0040] 본 명세서 등에서는, 채널 폭 W를 갖는 트랜지스터의 오프 상태 전류를 채널 폭 W당 전류값 또는 소정의 채널 폭(예를 들어, 1㎛)당 전류값으로 나타내는 경우가 있다. 후자(後者)의 경우, 오프 상태 전류는 길이당 전류의 차원을 갖는 단위(예를 들어, A/㎛)로 표현될 수 있다.

[0041] 트랜지스터의 오프 상태 전류는 온도에 의존하는 경우가 있다. 별도로 언급이 없으면, 본 명세서에서의 오프 상태 전류는 실온, 60℃, 85℃, 95℃, 또는 125℃에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서의 오프 상태 전류인 경우가 있다. "트랜지스터의 오프 상태 전류가 I 이하"라는 기재는, 실온, 60℃, 85℃, 95℃, 125℃, 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs}가 있는 상황을 말하는 경우가 있다.

[0042] 트랜지스터의 오프 상태 전류는 드레인과 소스 간의 전압(V_{ds})에 의존하는 경우가 있다. 별도로 언급이 없으면, 본 명세서에서의 오프 상태 전류는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 V_{ds}, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 V_{ds}에서의 오프 상태 전류일 수 있다. "트랜지스터의 오프 상태 전류가 I 이하"라는 기재는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V, 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 V_{ds}, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 V_{ds}에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs}가 있는 상황을 말하는 경우가 있다.

[0043] 상술한 오프 상태 전류의 기재에서, 드레인이 소스와 교체되어도 좋다. 즉, 오프 상태 전류는 오프 상태의 트랜지스터의 소스를 통하여 흐르는 전류를 말하는 경우가 있다.

[0044] 본 명세서 등에서, "누설 전류"라는 용어는 오프 상태 전류와 같은 뜻을 표현하는 경우가 있다. 본 명세서 등에서, 오프 상태 전류는 예를 들어, 트랜지스터가 오프일 때 소스와 드레인 사이에 흐르는 전류를 말하는 경우가 있다.

[0045] 본 명세서 등에서, 트랜지스터의 문턱 전압이란, 트랜지스터에 채널이 형성된 게이트 전압(V_g)을 말한다. 구체적으로는, 가로축이 게이트 전압(V_g)을 나타내고 세로축이 드레인 전류(I_d)의 제곱근을 나타내는 그래프에서, 트랜지스터의 문턱 전압은 드레인 전류(I_d)의 제곱근이 0(I_d=0A)일 때와, 플롯된 곡선(V_g-$\sqrt{I_d}$ 특성)에 대한 최대 기울기와의 접선인 외삽된 직선의 교점에서의 게이트 전압(V_g)을 말할 수 있다. 또는, 트랜지스터의 문턱 전압이란, L을 채널 길이로 하고, W를 채널 폭으로 한 I_d[A]×L[㎛]/W[㎛]의 값이 1×10^{-9}[A]인 게이트 전압(V_g)을 말하는 경우가 있다.

[0046] 본 명세서 등에서, "반도체"는 예를 들어 도전성이 충분히 낮은 경우에는 "절연체"의 특성을 가질 수 있다. 또한, "반도체" 및 "절연체"는 "반도체"와 "절연체"의 경계가 명백하지 않기 때문에, 서로를 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "절연체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "절연체"를 "반도체"라고 부를 수 있는 경우가 있다. 본 명세서 등에서 "절연체"를 "반절연체"라고 부를 수 있는 경우가 있다.

[0047] 본 명세서 등에서, "반도체"는 예를 들어 도전성이 충분히 ??은 경우에는 "도전체"의 특성을 가질 수 있다. 또한, "반도체" 및 "도전체"는, "반도체"와 "도전체"의 경계가 명백하지 않기 때문에, 서로를 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "도전체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "도전체"를 "반도체"라고 부를 수 있는 경우가 있다.

[0048] 본 명세서 등에서, 반도체 내의 불순물이란, 반도체의 주성분이 아닌 원소를 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 반도체가 불순물을 포함하면, 예를 들어 반도체 내에 DOS(density of states)가 형성되거나, 캐리어 이동도가 저감되거나, 또는 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체를 포함하는 경우, 반도체의 특성을 변화시키는 불순물의 예에는, 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 제 14 족 원소, 제 15 족 원소, 및 주성분 이외의 전이 금속이 포함되고, 구체적인 예에는 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 포함된다. 반도체가 산화물 반도체인 경우, 예를 들어, 수소 등의 불순물이 들어감으로써 산소 결손이 형성될 수 있다. 또한 반도체가 실리콘을 포함하는 경우, 반도체의 특성을 변화시키는 불순물의 예에는 산소, 수소 이외의 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 및 제 15 족 원소가 포함된다.

[0049] (실시형태 1)

[0050] 본 실시형태에서, 본 발명의 일 형태의 반도체 장치 및 그 제작 방법에 대하여 도 1의 (A) 내지 (C) 내지 도 11의 (A) 및 (B)를 참조하여 설명한다.

[0051] <1-1. 반도체 장치의 구조예 1>

[0052] 도 1의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100)의 상면도이다. 도 1의 (B)는 도 1의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이다. 도 1의 (C)는 도 1의 (A)에서의 일점쇄선(Y1-Y2)을 따라 취한 단면도이다. 또한, 도 1의 (A)에서, 트랜지스터(100)의 일부의 구성 요소(예를 들어, 게이트 절연막으로서 기능하는 절연막)는 복잡화를 피하기 위하여 도시하지 않았다. 또한, 일점쇄선(X1-X2) 방향을 채널 길이 방향이라고 하여도 좋고, 일점쇄선(Y1-Y2) 방향을 채널 폭 방향이라고 하여도 좋다. 도 1의 (A)와 같이, 이하에서 설명하는 트랜지스터의 상면도에서는 일부의 구성 요소가 도시되지 않은 경우가 있다.

[0053] 트랜지스터(100)는 기판(102) 위의 도전막(104), 기판(102) 및 도전막(104) 위의 절연막(106), 절연막(106) 위의 산화물 반도체막(108), 산화물 반도체막(108) 위의 도전막(112a), 및 산화물 반도체막(108) 위의 도전막(112b)을 포함한다. 또한, 절연막(114), 절연막(114) 위의 절연막(116), 및 절연막(116) 위의 절연막(118)은 트랜지스터(100) 위, 구체적으로는 산화물 반도체막(108), 도전막(112a), 및 도전막(112b) 위에 형성된다.

[0054] 또한, 트랜지스터(100)는 소위 채널 에치 트랜지스터(channel-etched transistor)이다.

[0055] 또한, 산화물 반도체막(108)은 절연막(106) 위의 산화물 반도체막(108_1) 및 산화물 반도체막(108_1) 위의 산화물 반도체막(108_2)을 포함한다. 또한, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)은 같은 원소를 포함한다. 예를 들어, 산화물 반도체막(108_1 및 108_2)은 각각 독립적으로 In, M(M은 Al, Ga, Y, 또는 Sn), 및 Zn을 포함하는 것이 바람직하다.

[0056] 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)은 각각 독립적으로, M의 원자 비율보다 In의 원자 비율이

높은 영역을 포함하는 것이 바람직하다. 예를 들어, 산화물 반도체막(108_1)에서의 In 대 M 대 Zn의 원자수비는 In:M:Zn=4:2:3 또는 그 근방인 것이 바람직하다. 산화물 반도체막(108_2)에서의 In 대 M 대 Zn의 원자수비는 In:M:Zn=4:2:3 또는 그 근방인 것이 바람직하다. "근방"이란 용어는, In이 4인 경우에, M이 1.5 이상 2.5 이하이고, Zn이 2 이상 4 이하인 것을 포함한다. 상술한 바와 같이 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 구성 요소가 실질적으로 같은 경우, 이들은 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제작 비용을 저감할 수 있다. 같은 스퍼터링 타깃을 사용함으로써, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)을 같은 진공 체임버 내에서 연속적으로 형성할 수 있다. 이에 의하여, 산화물 반도체막(108_1)과 산화물 반도체막(108_2)의 계면에 불순물이 들어가는 것을 억제할 수 있다.

[0057] 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)이 각각 독립적으로, *M*의 원자 비율보다 In의 원자 비율이 높은 영역을 포함하면, 전계 효과 이동도가 높은 트랜지스터(100)로 할 수 있다. 구체적으로는, 트랜지스터(100)의 전계 효과 이동도를 50㎠/Vs보다 높게 할 수 있고, 바람직하게는 100㎠/Vs보다 높게 할 수 있다.

[0058] 예를 들어, 게이트 신호를 생성하는 게이트 드라이버에 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 표시 장치의 프레임을 좁게 할 수 있다. 표시 장치에 포함되고 신호선으로부터 신호를 공급하는 소스 드라이버(특히, 소스 드라이버에 포함되는 시프트 레지스터의 출력 단자에 접속되는 디멀티플렉서)에 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 표시 장치에 접속되는 배선 수를 줄일 수 있다.

[0059] 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)이 각각 독립적으로 In의 원자 비율이 *M*의 원자 비율보다 높은 영역을 포함하더라도, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 결정성이 높으면 전계 효과 이동도가 낮아질 수 있다.

[0060] 그러나, 본 발명의 일 형태의 반도체 장치에서는, 산화물 반도체막(108_1)은 산화물 반도체막(108_2)보다 결정성이 낮은 영역을 포함한다. 또한, 산화물 반도체막(108)의 결정성은 XRD(X-ray diffraction)에 의하여 또는 TEM(transmission electron microscope)을 사용하여 분석하여 판정될 수 있다.

[0061] 산화물 반도체막(108_1)이 결정성이 낮은 영역을 갖는 경우, 이하의 효과를 실현할 수 있다.

[0062] 우선, 산화물 반도체막(108)에서 형성될 수 있는 산소 결손에 대하여 설명한다.

[0063] 산화물 반도체막(108)에 형성된 산소 결손은 트랜지스터 특성에 악영향을 미쳐 문제를 일으킨다. 예를 들어, 산화물 반도체막(108)에 형성된 산소 결손은 수소와 결합되어 캐리어 공급원으로서 기능한다. 산화물 반도체막(108)에 생성된 캐리어 공급원은 산화물 반도체막(108)을 포함하는 트랜지스터(100)의 전기 특성의 변화, 대표적으로는 문턱 전압의 변동을 일으킨다. 그러므로, 산화물 반도체막(108)에서의 산소 결손의 양은 가능한 한 적은 것이 바람직하다.

[0064] 이를 감안하여, 본 발명의 일 형태는 산화물 반도체막(108) 근방의 절연막, 구체적으로는 산화물 반도체막(108) 위에 형성되는 절연막(114 및 116)이 과잉 산소를 포함하는 구조이다. 절연막(114) 및 절연막(116)으로부터 산화물 반도체막(108)으로 산소 또는 과잉 산소가 이동함으로써, 산화물 반도체막의 산소 결손이 저감될 수 있다.

[0065] 여기서, 산화물 반도체막(108)에 확산되는 산소 또는 과잉 산소의 경로에 대하여 도 11의 (A) 및 (B)를 참조하여 설명한다. 도 11의 (A) 및 (B)는 산화물 반도체막(108)에 확산되는 산소 또는 과잉 산소의 확산 경로를 도시한 개략도이다. 도 11의 (A)는 채널 길이 방향의 개략도이고, 도 11의 (B)는 채널 폭 방향의 개략도이다.

[0066] 절연막(114 및 116)의 산소 또는 과잉 산소는 상방으로부터, 즉 산화물 반도체막(108_2)을 통하여 산화물 반도체막(108_1)에 확산된다(도 11의 (A) 및 (B)에서의 Route 1).

[0067] 또 다른 경우에는, 절연막(114 및 116)의 산소 또는 과잉 산소는 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 측면을 통하여 산화물 반도체막(108)에 확산된다(도 11의 (B)에서의 Route 2).

[0068] 예를 들어, 산화물 반도체막(108_2)의 결정성이 높은 경우, 도 11의 (A) 및 (B)에 나타낸 Route 1에 의한 산소 또는 과잉 산소의 확산이 방지되는 경우가 있다. 한편, 도 11의 (B)에 나타낸 Route 2에 의하여, 산소 또는 과잉 산소는 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 측면을 통하여 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)에 확산될 수 있다.

[0069] 산화물 반도체막(108_1)은 산화물 반도체막(108_2)보다 결정성이 낮은 영역을 포함하고, 상기 영역은 과잉 산소의 확산 경로로서 기능한다. 따라서, 도 11의 (B)에 나타낸 Route 2에 의하여, 산화물 반도체막(108_1)보다 결정성이 높은 산화물 반도체막(108_2)으로 과잉 산소가 확산될 수 있다. 도 11의 (A) 및 (B)에는 나타내지 않았

지만, 절연막(106)이 산소 또는 과잉 산소를 포함하는 경우, 산소 또는 과잉 산소가 절연막(106)으로부터도 산화물 반도체막(108)에 확산될 수 있다.

[0070] 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치에서는 상이한 결정 구조를 갖는 산화물 반도체막을 포함하는 적층 구조가 형성되고, 결정성이 낮은 영역이 과잉 산소의 확산 경로로서 기능함으로써, 신뢰성이 높은 반도체 장치로 할 수 있다.

[0071] 또한, 산화물 반도체막(108)이 결정성이 낮은 산화물 반도체막만으로 구성되는 경우, 산화물 반도체막의 백 채널 측, 즉 산화물 반도체막(108_2)에 상당하는 영역에 불순물(예를 들어, 수소 또는 수분)이 부착되거나, 또는 들어가기 때문에, 신뢰성이 낮아질 수 있다.

[0072] 산화물 반도체막(108)의 채널 영역에 들어가는 수소 또는 수분 등의 불순물은 트랜지스터 특성에 악영향을 미쳐 문제를 일으킨다. 그러므로, 산화물 반도체막(108)의 수소 또는 수분 등의 불순물의 양은 가능한 한 적은 것이 바람직하다.

[0073] 이를 감안하여, 본 발명의 일 형태에서는 산화물 반도체막 위의 산화물 반도체막의 결정성을 높인다. 이에 의하여, 산화물 반도체막(108)에 들어갈 수 있는 불순물이 억제될 수 있다. 특히, 산화물 반도체막(108_2)의 결정성이 높을수록, 도전막(112a 및 112b) 가공 시의 손상을 억제할 수 있다. 산화물 반도체막(108)의 표면, 즉 산화물 반도체막(108_2)의 표면은 도전막(112a 및 112b) 가공 시에 에천트 또는 에칭 가스에 노출된다. 산화물 반도체막(108_2)은 산화물 반도체막(108_1)보다 결정성이 높은 영역에 의하여 산화물 반도체막(108_1)보다 에칭 내성이 우수하다. 따라서, 산화물 반도체막(108_2)은 에칭 스토퍼로서 기능한다.

[0074] 또한, 산화물 반도체막(108)으로서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 산화물 반도체막을 사용하면, 트랜지스터는 더 우수한 전기 특성을 가질 수 있어 바람직하다. 여기서는, 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손의 수가 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 또한, 산화물 반도체막에서의 불순물은 대표적으로 물 및 수소 등이다. 본 명세서 등에서는, 산화물 반도체막으로부터 물 및 수소를 저감 또는 제거하는 것을 탈수화 또는 탈수소화라고 하는 경우가 있다. 산화물 반도체막 또는 산화물 절연막에 산소를 첨가하는 것을 산소 첨가라고 하는 경우가 있다. 산소 첨가에 의하여 화학량론적 조성보다 산소를 더 포함하는 상태를 산소 과잉 상태라고 하는 경우가 있다.

[0075] 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮출 수 있다. 따라서 이 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 좀처럼 음의 문턱 전압을 가지지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 상태 전류가 매우 낮기 때문에, 소자의 채널 폭이 1×10^{6}㎛이고 채널 길이(L)가 10㎛이더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V일 때, 오프 상태 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13}A 이하일 수 있다.

[0076] 산화물 반도체막(108_2)보다 결정성이 낮은 영역을 포함함으로써, 산화물 반도체막(108_1)은 캐리어 밀도가 높은 경우가 있다.

[0077] 산화물 반도체막(108_1)의 캐리어 밀도가 높으면, 산화물 반도체막(108_1)의 전도대에 대하여 페르미 준위가 높은 경우가 있다. 이에 의하여, 산화물 반도체막(108_1)의 전도대 하단이 낮아져, 산화물 반도체막(108_1)의 전도대 하단과, 게이트 절연막(여기서는, 절연막(106))에 형성될 수 있는 트랩 준위의 에너지 차이가 커지는 경우가 있다. 에너지 차이가 커짐으로써, 게이트 절연막에서의 전하의 트랩이 저감될 수 있고, 트랜지스터의 문턱 전압의 변동이 저감될 수 있는 경우가 있다. 또한, 산화물 반도체막(108_1)의 캐리어 밀도가 높으면, 전계 효과 이동도가 높은 산화물 반도체막(108)으로 할 수 있다.

[0078] 산화물 반도체막(108_1)으로서 복합 산화물 반도체를 사용하는 것이 바람직하다. 복합 산화물 반도체의 자세한 사항에 대해서는 실시형태 2에서 설명한다.

[0079] 도 1의 (A) 내지 (C)에 도시된 트랜지스터(100)에서는, 절연막(106)은 트랜지스터(100)의 게이트 절연막으로서 기능하고, 절연막(114, 116, 및 118)은 트랜지스터(100)의 보호 절연막으로서 기능한다. 또한, 트랜지스터(100)에서는, 도전막(104)은 게이트 전극으로서 기능하고, 도전막(112a)은 소스 전극으로서 기능하고, 도전막(112b)은 드레인 전극으로서 기능한다. 또한, 본 명세서 등에서는, 절연막(106)을 제 1 절연막이라고 하거나, 절연막(114 및 116)을 총칭하여 제 2 절연막이라고 하거나, 절연막(118)을 제 3 절연막이라고 하는 경우가

있다.

[0080] <1-2. 반도체 장치의 구성 요소>

[0081] 다음으로, 본 실시형태의 반도체 장치의 구성 요소에 대하여 자세히 설명한다.

[0082] [기판]

[0083] 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도로 높은 내열성을 갖는 재료이기만 하면, 기판(102)의 재료 등에 특별한 한정은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등을 기판(102)으로서 사용하여도 좋다. 또는, 실리콘 또는 탄소화 실리콘의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄의 화합물 반도체 기판, 또는 SOI 기판 등을 사용할 수 있고, 반도체 소자가 제공되는 이들 기판 중 임의의 것을 기판(102)으로서 사용하여도 좋다. 기판(102)으로서 유리 기판을 사용하는 경우, 6세대(1500㎜×1850㎜), 7세대(1870㎜×2200㎜), 8세대(2200㎜×2400㎜), 9세대(2400㎜×2800㎜), 및 10세대(2950㎜×3400㎜) 중 임의의 크기의 유리 기판을 사용할 수 있다. 따라서, 대형 표시 장치를 제작할 수 있다.

[0084] 또는, 기판(102)으로서 플렉시블 기판을 사용하여도 좋고, 트랜지스터(100)를 플렉시블 기판에 직접 제공하여도 좋다. 또는, 기판(102)과 트랜지스터(100) 사이에 분리층을 제공하여도 좋다. 분리층은 분리층 위에 형성된 반도체 장치의 일부 또는 전체를 기판(102)으로부터 분리하고 다른 기판으로 전치(轉置)하는 경우에 사용할 수 있다. 이러한 경우, 트랜지스터(100)는 내열성이 낮은 기판 또는 플렉시블 기판에도 전치할 수 있다.

[0085] [도전막]

[0086] 게이트 전극으로서 기능하는 도전막(104), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(112a 및 112b)은 각각 크로뮴(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브데넘(Mo), 탄탈럼(Ta), 타이타늄(Ti), 텅스텐(W), 망가니즈(Mn), 니켈(Ni), 철(Fe), 및 코발트(Co) 중에서 선택되는 금속 원소, 이들 금속 원소 중 임의의 것을 성분으로서 포함하는 합금, 이들 금속 원소 중 임의의 것의 조합을 포함하는 합금 등을 사용하여 형성될 수 있다.

[0087] 또한 도전막(104, 112a, 및 112b)은, 인듐 및 주석을 포함하는 산화물(In-Sn 산화물), 인듐 및 텅스텐을 포함하는 산화물(In-W 산화물), 인듐, 텅스텐, 및 아연을 포함하는 산화물(In-W-Zn 산화물), 인듐 및 타이타늄을 포함하는 산화물(In-Ti 산화물), 인듐, 타이타늄, 및 주석을 포함하는 산화물(In-Ti-Sn 산화물), 인듐 및 아연을 포함하는 산화물(In-Zn 산화물), 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물), 또는 인듐, 갈륨, 및 아연을 포함하는 산화물(In-Ga-Zn 산화물) 등의 산화물 도전체 또는 산화물 반도체를 사용하여 형성될 수 있다.

[0088] 여기서, 산화물 도전체에 대하여 설명한다. 본 명세서 등에서, 산화물 도전체를 OC라고 하여도 좋다. 예를 들어, 산화물 반도체에 산소 결손이 형성되고 그 다음에 산소 결손에 수소가 첨가됨으로써, 전도대 근방에 도너 준위가 형성된다. 이에 의하여 산화물 반도체의 도전성이 높아져 산화물 반도체는 도전체가 된다. 도전체가 된 산화물 반도체를 산화물 도전체라고 할 수 있다. 일반적으로, 산화물 반도체는 에너지 갭이 크기 때문에 가시광을 투과시킨다. 산화물 도전체는 전도대 근방에 도너 준위를 갖는 산화물 반도체이기 때문에, 산화물 도전체에서는 도너 준위에 기인하는 흡수의 영향은 작고, 산화물 도전체는 산화물 반도체와 비슷한 가시광 투광성을 갖는다.

[0089] Cu-*X* 합금막(*X*는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 도전막(104, 112a, 및 112b)에 사용하여도 좋다. Cu-*X* 합금막을 사용하면 웨트 에칭에 의하여 막을 가공할 수 있기 때문에 제작 비용이 저감된다.

[0090] 상술한 금속 원소 중, 구리, 타이타늄, 텅스텐, 탄탈럼, 및 몰리브데넘 중에서 선택된 어느 하나 이상의 원소가 도전막(112a 및 112b)에 포함되는 것이 바람직하다. 특히 질화 탄탈럼막을 도전막(112a 및 112b)에 사용하는 것이 바람직하다. 질화 탄탈럼막은 도전성, 및 구리 또는 수소에 대한 높은 배리어성을 갖는다. 질화 탄탈럼막은 스스로부터 소량의 수소를 방출하기 때문에, 산화물 반도체막(108)과 접촉하는 도전막 또는 산화물 반도체막(108) 근방의 도전막으로서 바람직하게 사용할 수 있다. 도전막(112a 및 112b)에 구리막을 사용하면 도전막(112a 및 112b)의 저항이 저감될 수 있어, 바람직하다.

[0091] 도전막(112a 및 112b)은 무전해 도금에 의하여 형성할 수 있다. 무전해 도금에 의하여 퇴적될 수 있는 재료로서는, 예를 들어 Cu, Ni, Al, Au, Sn, Co, Ag, 및 Pd 중에서 선택된 하나 이상의 원소를 사용할 수 있다. 도전막의 저항을 저감시킬 수 있기 때문에, Cu 또는 Ag를 사용하는 것이 더 바람직하다.

[0092] [게이트 절연막으로서 기능하는 절연막]

[0093] 트랜지스터(100)의 게이트 절연막으로서 기능하는 절연막(106)으로서, PECVD(plasma enhanced chemical vapor deposition)법 또는 스퍼터링법 등에 의하여 형성된, 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막 중 적어도 하나의 막을 포함하는 절연층을 사용할 수 있다. 또한, 절연막(106)은 적층 구조 또는 3층 이상의 적층 구조를 가져도 좋다.

[0094] 트랜지스터(100)의 채널 영역으로서 기능하는 산화물 반도체막(108)과 접촉하는 절연막(106)은 산화물 절연막인 것이 바람직하고 화학량론적 조성을 초과하여 산소를 포함하는 영역(산소 과잉 영역)을 포함하는 것이 바람직하다. 바꿔 말하면, 절연막(106)은 산소를 방출할 수 있는 절연막이다. 절연막(106)에 산소 과잉 영역을 제공하기 위해서는, 예를 들어 산소 분위기에서 절연막(106)을 형성하거나 또는 퇴적된 절연막(106)에 대하여 산소 분위기에서 가열 처리를 수행한다.

[0095] 산화 하프늄을 절연막(106)에 사용하는 경우, 다음 효과가 얻어진다. 산화 하프늄은 산화 실리콘 및 산화 질화 실리콘보다 유전율이 높다. 그러므로, 산화 하프늄을 사용하는 절연막(106)의 두께를 산화 실리콘을 사용하는 절연막(106)보다 두껍게 할 수 있으므로, 터널 전류로 인한 누설 전류를 낮게 할 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 또한, 본 발명의 일 형태는 상술한 예에 한정되지 않는다.

[0096] 본 실시형태에서는, 질화 실리콘막과 산화 실리콘막의 적층막을 절연막(106)으로서 형성한다. 질화 실리콘막은 산화 실리콘막보다 유전율이 높고 산화 실리콘막과 동등한 용량을 위해서는 더 두꺼운 두께가 필요하다. 따라서, 트랜지스터(100)의 게이트 절연막에 질화 실리콘막이 포함되면, 절연막의 두께를 두껍게 할 수 있다. 이에 의하여, 트랜지스터(100)의 내전압의 저하를 저감할 수 있고, 또한 내전압을 높일 수 있기 때문에, 트랜지스터(100)에 대한 정전 방전 대미지를 저감시킬 수 있다.

[0097] [산화물 반도체막]

[0098] 산화물 반도체막(108)은 상술한 재료를 사용하여 형성될 수 있다.

[0099] 산화물 반도체막(108)이 In-M-Zn 산화물을 포함하는 경우, In-M-Zn 산화물의 형성에 사용되는 스퍼터링 타깃의 금속 원소의 원자수비가 In>M을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃에서의 금속 원소의 원자수비는 예를 들어 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:4.1, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, 또는 In:M:Zn=5:2:5 등이다.

[0100] 상술한 <1-1-2. 반도체 장치의 구조예 2>에서 산화물 반도체막(108_2)이 In-M-Zn 산화물을 포함하는 경우, In-M-Zn 산화물의 형성에 사용되는 스퍼터링 타깃의 금속 원소의 원자수비가 In≤M 또는 Zn≤M을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃에서의 금속 원소의 원자수비는 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:4, 및 In:M:Zn=1:3:6 등이 들어진다.

[0101] 산화물 반도체막(108)을 In-*M*-Zn 산화물로 형성하는 경우, 스퍼터링 타깃으로서 다결정 In-*M*-Zn 산화물을 포함하는 타깃을 사용하는 것이 바람직하다. 다결정 In-*M*-Zn 산화물을 포함하는 타깃을 사용하면 결정성을 갖는 산화물 반도체막(108)의 형성이 용이해진다. 또한, 형성된 산화물 반도체막(108) 내의 금속 원소의 원자수비는, 상술한 스퍼터링 타깃의 금속 원소의 원자수비로부터 ±40%의 범위 내에서 변동된다. 예를 들어, In 대 Ga 대 Zn의 원자수비가 4:2:4.1인 스퍼터링 타깃을 사용하는 경우, 형성되는 산화물 반도체막(108)에서의 In 대 Ga 대 Zn의 원자수비는 4:2:3 또는 4:2:3 근방이 될 수 있다.

[0102] 산화물 반도체막(108)의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상이다. 이와 같이 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터(100)의 오프 상태 전류를 낮출 수 있다.

[0103] 또한 산화물 반도체막(108)은 비단결정 구조를 갖는 것이 바람직하다. 비단결정 구조의 예에는, 나중에 설명하는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 구조, 미결정(microcrystalline) 구조, 및 비정질 구조가 포함된다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높은 한편, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0104] [보호 절연막으로서 기능하는 절연막 1]

[0105] 절연막(114 및 116)은 트랜지스터(100)의 보호 절연막으로서 기능한다. 또한 절연막(114 및 116)은 각각 산화물 반도체막(108)에 산소를 공급하는 기능을 갖는다. 즉, 절연막(114 및 116)은 산소를 포함한다. 절연막(114)은 산소를 투과시킬 수 있는 절연막이다. 또한, 절연막(114)은 나중의 공정에서의 절연막(116) 형성 시에 산화물 반도체막(108)에 대한 대미지를 완화시키는 막으로서도 기능한다.

[0106] 절연막(114)으로서는 두께 5㎚ 이상 150㎚ 이하, 바람직하게는 5㎚ 이상 50㎚ 이하의 산화 실리콘막 또는 산화 질화 실리콘막 등을 사용할 수 있다.

[0107] 또한, 절연막(114)의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR(electron spin resonance) 측정에 의하여 실리콘의 댕글링 본드(dangling bond)로 인하여 g=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 3×10^{17}spins/㎤ 이하인 것이 바람직하다. 이는 절연막(114)에서의 결함 밀도가 높으면 산소가 상기 결함과 결합되고, 절연막(114)이 산소를 투과시키는 성질이 저하되기 때문이다.

[0108] 또한 외부로부터 절연막(114)에 들어가는 모든 산소가 절연막(114) 외부로 이동하지는 않고, 일부의 산소는 절연막(114)에 남는다. 또한 산소가 절연막(114)에 들어가고 절연막(114)에 포함되는 산소가 절연막(114) 외부로 이동하는 식으로 절연막(114)에서 산소의 이동이 일어나는 경우가 있다. 절연막(114)으로서 산소를 투과시킬 수 있는 산화물 절연막을 형성하면, 절연막(114) 위에 제공되는 절연막(116)으로부터 방출된 산소가 절연막(114)을 통하여 산화물 반도체막(108)으로 이동할 수 있다.

[0109] 또한, 절연막(114)은 질소 산화물로 인한 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다. 또한, 질소 산화물로 인한 준위 밀도는 산화물 반도체막의 가전자대 상단의 에너지(E_{v_os})와 전도대 하단의 에너지(E_{c_os}) 사이에 형성될 수 있다. 상술한 산화물 절연막으로서는, 질소 산화물을 적게 방출하는 산화 질화 실리콘막 및 질소 산화물을 적게 방출하는 산화 질화 알루미늄막 등을 사용할 수 있다.

[0110] 또한 질소 산화물을 적게 방출하는 산화 질화 실리콘막은, TDS(thermal desorption spectroscopy) 분석에서 질소 산화물보다 암모니아가 더 방출되는 막이고, 암모니아의 방출량은 대표적으로는 1×10^{18}/㎤ 이상 5×10^{19}/㎤ 이하이다. 또한 암모니아의 방출량은 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는 50℃ 이상 550℃ 이하의 가열 처리에 의하여 방출되는 암모니아의 양이다.

[0111] 예를 들어, 질소 산화물(NO_x; x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는 NO_2 또는 NO는 절연막(114)에 준위를 형성한다. 이 준위는 산화물 반도체막(108)의 에너지 갭에 위치한다. 그러므로, 질소 산화물이 절연막(114)과 산화물 반도체막(108)의 계면에 확산되면, 전자가 절연막(114) 측의 준위에 의하여 포획되는 경우가 있다. 그 결과, 포획된 전자가 절연막(114)과 산화물 반도체막(108)의 계면 근방에 남아, 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.

[0112] 질소 산화물은 가열 처리에서 암모니아 및 산소와 반응한다. 절연막(114)에 포함되는 질소 산화물은 가열 처리에서 절연막(116)에 포함되는 암모니아와 반응하기 때문에, 절연막(114)에 포함되는 질소 산화물이 저감된다. 그러므로, 절연막(114)과 산화물 반도체막(108)의 계면에서 전자가 포획되기 어렵다.

[0113] 이러한 산화물 절연막을 사용함으로써, 절연막(114)에 의하여 트랜지스터의 문턱 전압의 변동이 저감되어, 트랜지스터의 전기 특성의 변화가 작아질 수 있다.

[0114] 또한 절연막(114)의 100K 이하의 ESR 스펙트럼에서, 트랜지스터의 제작 공정의 가열 처리, 대표적으로는 300℃ 이상 350℃ 미만의 온도에서의 가열 처리에 의하여, g인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호가 관찰된다. X밴드를 사용한 ESR 측정에 의하여 얻어지는 제 1 및 제 2 신호들의 스플릿 폭과 제 2 및 제 3 신호들의 스플릿 폭의 각각은 약 5mT이다. g인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호의 스핀 밀도의 합계는 1×10^{18}spins/㎤ 미만, 대표적으로는 1×10^{17}spins/㎤ 이상 1×10^{18}spins/㎤ 미만이다.

[0115] 100K 이하의 ESR 스펙트럼에서, g인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호의 스핀 밀도의 합계는 질소 산화물(NO_x; x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하)에 기인한 신호의 스핀 밀도의

합계에 상당한다. 질소 산화물의 대표적인 예에는, 일산화질소 및 이산화질소가 포함된다. 바꿔 말하면, *g*인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, *g*인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 *g*인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호의 총 스핀 밀도가 낮을수록, 산화물 절연막의 질소 산화물의 함유량이 적어진다.

[0116] SIMS에 의하여 측정되는 상술한 산화물 절연막의 질소 농도는 6×10^{20}atoms/㎤ 이하이다.

[0117] 상술한 산화물 절연막을, 기판 온도 220℃ 이상 350℃ 이하에서 실레인 및 일산화이질소를 사용하여 PECVD법으로 형성함으로써, 치밀하고 경도가 높은 막을 형성할 수 있다.

[0118] 절연막(116)은 화학량론적 조성보다 높은 비율로 산소를 포함하는 산화물 절연막이다. 산소의 일부는 가열에 의하여 상술한 산화물 절연막으로부터 방출된다. TDS에서 상기 산화물 절연막으로부터 방출되는 산소의 양은 1.0×10^{19}atoms/㎤ 이상이고, 바람직하게는 3.0×10^{20}atoms/㎤ 이상이다. 또한, 상기 산소의 방출량은, TDS에서 50℃ 내지 650℃ 또는 50℃ 내지 550℃의 온도 범위의 가열 처리에 의하여 방출되는 산소의 총량이다. 또한, 상기 산소의 방출량은 TDS에서 산소 원자로 변환된 산소의 총 방출량이다.

[0119] 절연막(116)으로서, 두께 30㎚ 이상 500㎚ 이하, 바람직하게는 50㎚ 이상 400㎚ 이하의 산화 실리콘막 또는 산화 질화 실리콘막 등을 사용할 수 있다.

[0120] 절연막(116)에서의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 실리콘의 댕글링 본드로 인하여 *g*=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 1.5×10^{18}spins/㎤ 미만, 바람직하게는 1×10^{18}spins/㎤ 이하이다. 또한 절연막(116)은 절연막(114)보다 산화물 반도체막(108)에서 더 떨어지도록 제공되기 때문에 절연막(116)은 절연막(114)보다 결함 밀도가 높아도 좋다.

[0121] 또한, 절연막(114 및 116)은 같은 종류의 재료로 형성되는 절연막을 사용하여 형성할 수 있으므로, 절연막들(114 및 116)의 경계는 명확히 관찰될 수 없는 경우가 있다. 따라서, 본 실시형태에서는 절연막들(114 및 116)의 경계를 파선으로 나타내었다. 본 실시형태에서는 절연막들(114 및 116)의 2층 구조에 대하여 설명하지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 절연막(114)만의 단층 구조 또는 3층 이상의 적층 구조를 적용하여도 좋다.

[0122] [보호 절연막으로서 기능하는 절연막 2]

[0123] 절연막(118)은 트랜지스터(100)의 보호 절연막으로서 기능한다.

[0124] 절연막(118)은 수소 및 질소 중 하나 또는 양쪽 모두를 포함한다. 또는, 절연막(118)은 질소 및 실리콘을 포함한다. 절연막(118)은 산소, 수소, 물, 알칼리 금속, 또는 알칼리 토금속 등을 차단하는 기능을 갖는다. 절연막(118)을 제공함으로써, 산화물 반도체막(108)으로부터의 산소의 외부 확산, 절연막(114 및 116)에 포함되는 산소의 외부 확산, 그리고 외부로부터 산화물 반도체막(108)에 대한 수소 또는 물 등의 진입을 방지할 수 있다.

[0125] 절연막(118)으로서는, 예를 들어 질화물 절연막을 사용할 수 있다. 질화물 절연막은 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 또는 질화 산화 알루미늄 등을 사용하여 형성된다.

[0126] 상술한 도전막, 절연막, 산화물 반도체막, 및 금속막 등의 다양한 막은 스퍼터링법 또는 PECVD법으로 형성할 수 있지만, 이러한 막을 다른 방법, 예를 들어 열 CVD(chemical vapor deposition)법으로 형성하여도 좋다. 열 CVD법의 예로서는 MOCVD(metal organic chemical vapor deposition)법 및 ALD(atomic layer deposition)법을 들 수 있다.

[0127] 열 CVD법은 막의 형성에 플라스마를 이용하지 않기 때문에, 플라스마 대미지로 인한 결함이 생성되지 않는다는 장점을 갖는다. 열 CVD법에서는, 원료 가스를 체임버에 도입하고, 체임버를 대기압 또는 감압으로 설정하고, 막을 기판 위에 퇴적한다.

[0128] 또한, ALD법에서는, 원료 가스를 체임버에 도입하고, 체임버를 대기압 또는 감압으로 설정하고, 막을 기판 위에 퇴적한다.

[0129] <1-3. 반도체 장치의 구조예 2>

[0130] 다음으로, 도 1의 (A) 내지 (C)에 도시된 트랜지스터(100)의 변형에 대하여, 도 2의 (A) 내지 (C) 내지 도 6의 (A) 내지 (C)를 참조하여 설명한다.

[0131] 도 2의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100A)의 상면도이다. 도 2의 (B)는 도 2의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이다. 도 2의 (C)는 도 2의 (A)에서의 인점쇄선(Y1-Y2)을 따라 취한 단면도이다.

[0132] 또한, 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)는 소위 채널 보호 트랜지스터이다. 따라서, 본 발명의 일 형태의 반도체 장치는 채널 에치 구조 또는 채널 보호 구조 중 어느 한쪽을 가질 수 있다.

[0133] 트랜지스터(100A)에서, 절연막(114 및 116)은 개구(141a) 및 개구(141b)를 갖는다. 산화물 반도체막(108)은 개구(141a 및 141b)를 통하여 도전막(112a 및 112b)과 접속된다. 또한, 절연막(118)은 도전막(112a 및 112b) 위에 형성된다. 절연막(114 및 116)은 채널 보호막으로서 기능한다. 또한, 트랜지스터(100A)의 다른 구성 요소는 상술한 트랜지스터(100)의 구성 요소와 비슷하고, 트랜지스터(100)의 효과와 비슷한 효과를 얻을 수 있다.

[0134] 도 3의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100B)의 상면도이다. 도 3의 (B)는 도 3의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이고, 도 3의 (C)는 도 3의 (A)에서의 일점쇄선(Y1-Y2)을 따라 취한 단면도이다.

[0135] 트랜지스터(100B)는 기판(102) 위의 도전막(104), 기판(102) 및 도전막(104) 위의 절연막(106), 절연막(106) 위의 산화물 반도체막(108), 산화물 반도체막(108) 위의 도전막(112a), 산화물 반도체막(108) 위의 도전막(112b), 산화물 반도체막(108), 도전막(112a), 및 도전막(112b) 위의 절연막(114), 절연막(114) 위의 절연막(116), 절연막(116) 위의 도전막(120a), 절연막(116) 위의 도전막(120b), 및 절연막(116) 및 도전막(120a 및 120b) 위의 절연막(118)을 포함한다.

[0136] 절연막(114 및 116)은 개구(142a)를 갖는다. 절연막(106, 114, 및 116)은 개구(142b)를 갖는다. 도전막(120a)은 개구(142b)를 통하여 도전막(104)과 전기적으로 접속된다. 또한, 도전막(120b)은 개구(142a)를 통하여 도전막(112b)과 전기적으로 접속된다.

[0137] 또한, 트랜지스터(100B)에서, 절연막(106)은 트랜지스터(100B)의 제 1 게이트 절연막으로서 기능하고, 절연막(114 및 116)은 트랜지스터(100B)의 제 2 게이트 절연막으로서 기능하고, 절연막(118)은 트랜지스터(100B)의 보호 절연막으로서 기능한다. 트랜지스터(100B)에서는, 도전막(104)은 제 1 게이트 전극으로서 기능하고, 도전막(112a)은 소스 전극으로서 기능하고, 도전막(112b)은 드레인 전극으로서 기능한다. 트랜지스터(100B)에서, 도전막(120a)은 제 2 게이트 전극으로서 기능하고, 도전막(120b)은 표시 장치의 화소 전극으로서 기능한다.

[0138] 도 3의 (C)에 도시된 바와 같이, 도전막(120a)은 개구(142b)를 통하여 도전막(104)과 전기적으로 접속된다. 이에 의하여, 도전막(104) 및 도전막(120a)에는 같은 전위가 공급된다.

[0139] 도 3의 (C)에 도시된 바와 같이, 산화물 반도체막(108)은 도전막(104) 및 도전막(120a)과 대향하도록 위치하고, 게이트 전극으로서 기능하는 2개의 도전막 사이에 끼워져 있다. 도전막(120a)의 채널 길이 방향 및 채널 폭 방향의 길이는 각각, 산화물 반도체막(108)의 채널 길이 방향 및 채널 폭 방향의 길이보다 길다. 산화물 반도체막(108) 전체가 절연막(114 및 116)을 개재(介在)하여 도전막(120a)으로 덮여 있다.

[0140] 바꿔 말하면, 도전막(104) 및 도전막(120a)은, 절연막(106, 114, 및 116)에 제공된 개구를 통하여 접속되고, 산화물 반도체막(108)의 단부 외측에 위치하는 영역을 각각 포함한다.

[0141] 이 구조로 함으로써, 트랜지스터(100B)에 포함되는 산화물 반도체막(108)을 도전막(104 및 120a)의 전계에 의하여 전기적으로 둘러쌀 수 있다. 트랜지스터(100B)와 같이, 제 1 게이트 전극 및 제 2 게이트 전극의 전계가, 채널 영역이 형성되는 산화물 반도체막을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 s-channel(surrounded channel) 구조라고 할 수 있다.

[0142] 트랜지스터(100B)는 S-channel 구조를 갖기 때문에, 채널을 유발하는 전계가 제 1 게이트 전극으로서 기능하는 도전막(104)에 의하여 산화물 반도체막(108)에 효과적으로 인가될 수 있으므로, 트랜지스터(100B)의 전류 구동 능력을 향상시킬 수 있고 높은 온 상태 전류 특성을 얻을 수 있다. 온 상태 전류를 높일 수 있기 때문에, 트랜지스터(100B)의 크기를 축소 할 수 있다. 또한, 트랜지스터(100B)는 제 1 게이트 전극으로서 기능하는 도전막(104) 및 제 2 게이트 전극으로서 기능하는 도전막(120a)에 의하여 산화물 반도체막(108)이 둘러싸이는 구조를 갖기 때문에, 트랜지스터(100B)의 기계적 강도를 높일 수 있다.

[0143] 또한, 도전막(120a 및 120b)에는, 상술한 도전막(104, 112a, 및 112b)의 재료로서 설명한 것과 비슷한 재료를 사용할 수 있다. 특히, 산화물 도전막(OC)은 도전막(120a 및 120b)으로서 바람직하다. 도전막(120a 및 120b)

을 산화물 도전막을 사용하여 형성하면, 산소를 절연막(114 및 116)에 첨가할 수 있다.

[0144] 트랜지스터(100B)의 다른 구성 요소는 상술한 트랜지스터(100)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0145] 도 4의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100C)의 상면도이다. 도 4의 (B)는 도 4의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이고, 도 4의 (C)는 도 4의 (A)에서의 일점쇄선(Y1-Y2)을 따라 취한 단면도이다.

[0146] 트랜지스터(100C)는 도전막(112a 및 112b)이 각각 3층 구조를 갖는 점에서 상술한 트랜지스터(100B)와 상이하다.

[0147] 트랜지스터(100C)의 도전막(112a)은 도전막(112a_1), 도전막(112a_1) 위의 도전막(112a_2), 및 도전막(112a_2) 위의 도전막(112a_3)을 포함한다. 트랜지스터(100C)의 도전막(112b)은 도전막(112b_1), 도전막(112b_1) 위의 도전막(112b_2), 및 도전막(112b_2) 위의 도전막(112b_3)을 포함한다.

[0148] 예를 들어, 도전막(112a_1), 도전막(112b_1), 도전막(112a_3), 및 도전막(112b_3)은 타이타늄, 텅스텐, 탄탈럼, 몰리브데넘, 인듐, 갈륨, 주석, 및 아연 중에서 선택된 하나 이상의 원소를 포함하는 것이 바람직하다. 또한, 도전막(112a_2) 및 도전막(112b_2)은 구리, 알루미늄, 및 은 중에서 선택된 하나 이상의 원소를 포함하는 것이 바람직하다.

[0149] 구체적으로, 도전막(112a_1), 도전막(112b_1), 도전막(112a_3), 및 도전막(112b_3)은 In-Sn 산화물 또는 In-Zn 산화물을 사용하여 형성할 수 있고, 도전막(112a_2) 및 도전막(112b_2)은 구리를 사용하여 형성할 수 있다.

[0150] 상술한 구조는, 도전막(112a 및 112b)의 배선 저항을 저감할 수 있고, 산화물 반도체막(108)으로의 구리의 확산을 억제할 수 있기 때문에 바람직하다. 또한, 상술한 구조는, 도전막(112b)과 도전막(120b) 사이의 접촉 저항을 낮게 할 수 있기 때문에 바람직하다. 트랜지스터(100C)의 다른 구성 요소는 상술한 트랜지스터(100)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0151] 도 5의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100D)의 상면도이다. 도 5의 (B)는 도 5의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이고, 도 5의 (C)는 도 5의 (A)에서의 일점쇄선(Y1-Y2)을 따라 취한 단면도이다.

[0152] 트랜지스터(100D)는 도전막(112a 및 112b)이 각각 3층 구조를 갖는 점에서 상술한 트랜지스터(100B)와 상이하다. 또한, 트랜지스터(100D)는 도전막(112a 및 112b)의 형상이 상술한 트랜지스터(100C)와 상이하다.

[0153] 트랜지스터(100D)의 도전막(112a)은 도전막(112a_1), 도전막(112a_1) 위의 도전막(112a_2), 및 도전막(112a_2) 위의 도전막(112a_3)을 포함한다. 트랜지스터(100C)의 도전막(112b)은 도전막(112b_1), 도전막(112b_1) 위의 도전막(112b_2), 및 도전막(112b_2) 위의 도전막(112b_3)을 포함한다. 또한, 도전막(112a_1), 도전막(112a_2), 도전막(112a_3), 도전막(112b_1), 도전막(112b_2), 및 도전막(112b_3)은 상술한 재료 중 임의의 것을 사용하여 형성할 수 있다.

[0154] 도전막(112a_1)의 단부는 도전막(112a_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전막(112a_3)은 도전막(112a_2)의 상면 및 측면을 덮고, 도전막(112a_1)과 접촉하는 영역을 갖는다. 도전막(112b_1)의 단부는 도전막(112b_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전막(112b_3)은 도전막(112b_2)의 상면 및 측면을 덮고, 도전막(112b_1)과 접촉하는 영역을 갖는다.

[0155] 상술한 구조는, 도전막(112a 및 112b)의 배선 저항을 저감할 수 있고, 산화물 반도체막(108)으로의 구리의 확산을 억제할 수 있기 때문에 바람직하다. 또한, 상술한 트랜지스터(100C)보다 트랜지스터(100D)에서 더 효과적으로 구리의 확산을 억제할 수 있다. 또한, 상술한 구조는, 도전막(112b)과 도전막(120b) 사이의 접촉 저항을 낮게 할 수 있기 때문에 바람직하다. 트랜지스터(100D)의 다른 구성 요소는 상술한 트랜지스터(100)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0156] 도 6의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100E)의 상면도이다. 도 6의 (B)는 도 6의 (A)에서의 일점쇄선(X1-X2)을 따라 취한 단면도이다. 도 6의 (C)는 도 6의 (A)에서의 일점쇄선(Y1-Y2)을 따라 취한 단면도이다.

[0157] 트랜지스터(100E)는 도전막(120a 및 120b)의 위치가 상술한 트랜지스터(100D)와 상이하다. 구체적으로, 트랜지스터(100E)의 도전막(120a 및 120b)은 절연막(118) 위에 위치한다. 또한, 트랜지스터(100E)의 다른 구성 요소는 상술한 트랜지스터(100D)의 구성 요소와 비슷하고, 트랜지스터(100D)의 효과와 비슷한 효과를 얻을 수 있다.

[0158] 본 실시형태의 트랜지스터의 구조들은 서로 자유로이 조합할 수 있다.

[0159] <1-4. 반도체 장치의 구조예 3>

[0160] 도 1의 (A) 내지 (C) 내지 도 6의 (A) 내지 (C)에 나타낸 트랜지스터(100, 100A, 100B, 100C, 100D, 및 100E)의 다른 형태에 대하여 설명한다.

[0161] 상술한 트랜지스터(100, 100A, 100B, 100C, 100D, 및 100E) 각각에서, 산화물 반도체막(108_1)의 Zn에 대한 In의 원자수비는 산화물 반도체막(108_2)의 Zn에 대한 In의 원자수비보다 높아도 좋다. 이러한 조건을 만족시키는 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)의 금속 원소의 원자수비에 대하여, 이하에서 설명한다.

[0162] 예를 들어, 산화물 반도체막(108_1)에서의 In 대 *M* 대 Zn의 원자수비는 In:*M*:Zn=4:2:3 또는 그 근방인 것이 바람직하다. 산화물 반도체막(108_2)에서의 In 대 *M* 대 Zn의 원자수비는 In:*M*:Zn=1:1:1 또는 그 근방인 것이 바람직하다. "근방"이란 용어는, In이 1인 경우에, *M*이 0.5 이상 1.5 이하이고, Zn이 0.1 이상 2 이하인 것을 포함한다. 산화물 반도체막(108_2)에서의 In 대 *M* 대 Zn의 원자수비는 In:*M*:Zn=5:1:6 또는 그 근방인 것이 바람직하다. "근방"이란 용어는, In이 5인 경우에, *M*이 0.5 이상 1.5 이하이고, Zn이 5 이상 7 이하인 것을 포함한다.

[0163] 산화물 반도체막(108_1)의 전자 친화력은 산화물 반도체막(108_2)보다 높다. 산화물 반도체막(108_1)의 전자 친화력과 산화물 반도체막(108_2)의 전자 친화력 간의 차이는 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다. 바꿔 말하면, 산화물 반도체막(108_2)의 전도대 하단의 에너지 준위는 산화물 반도체막(108_1)보다 진공 준위에 더 가깝다. 대표적으로는, 산화물 반도체막(108_1)의 전도대 하단과 산화물 반도체막(108_2)의 전도대 하단 간의 에너지 준위의 차이는 0.15eV 이상 또는 0.5eV 이상이고 2eV 이하 또는 1eV 이하인 것이 바람직하다.

[0164] 이러한 구조에서는, 산화물 반도체막(108_1)이 트랜지스터(100)에서의 전류의 주된 경로로서 기능한다. 바꿔 말하면, 산화물 반도체막(108_1)은 채널 영역의 기능을 갖는다. 또한, 산화물 반도체막(108_2)은 채널 영역이 형성되는 산화물 반도체막(108_1)과 같은 금속 원소로 구성되는 산화물 반도체막으로 형성된다. 이러한 구조로 함으로써, 산화물 반도체막(108_1)과 산화물 반도체막(108_2)의 계면에서 계면 산란이 발생하기 어렵다. 따라서, 상기 계면에서 캐리어의 움직임이 억제되지 않아 트랜지스터의 전계 효과 이동도가 높다.

[0165] 또한, 이러한 구조에서는, 트랜지스터(100)에서 드레인 전압의 레벨에 의존한 문턱 전압의 변동을 방지할 수 있고, 트랜지스터의 신뢰성을 높일 수 있다.

[0166] 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)은 각각 독립적으로, M의 원자 비율보다 In의 원자 비율이 높은 영역을 포함하고, 트랜지스터(100)의 전계 효과 이동도를 높게 할 수 있다. 구체적으로는, 트랜지스터(100)의 전계 효과 이동도를 50㎠/Vs보다 높게 할 수 있고, 바람직하게는 100㎠/Vs보다 높게 할 수 있다. Zn에 대한 In의 원자수비가 산화물 반도체막(108_2)보다 큰 산화물 반도체를 산화물 반도체막(108_1)으로서 사용하면, 산화물 반도체막(108_1)은 채널로서 기능하고 주된 전류 경로가 된다. 전류 경로를 백 채널에서 떨어지게 할 수 있기 때문에, 채널 영역에서의 전자 트랩의 수를 줄일 수 있다. 그 결과, 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0167] Zn의 원자 비율이 In, M, 및 Zn의 비율의 합보다 높으면, 산화물 반도체막의 결정성을 높일 수 있다. 불순물, 예를 들어 수소, 물, 또는 도전막(112a 및 112b)에 사용되는 구성 원소는 결정성이 높은 산화물 반도체막에 쉽게 확산되지 않는다. 이는 이하에서 설명하는 CAAC-OS의 장점이다. 산화물 반도체막(108_2)에 포함되는 금속 원소의 원자수비가 상기 범위 내에 있는 경우, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)에서의 불순물의 양을 저감할 수 있다. 산화물 반도체막(108_2)은 에칭 스토퍼로서 기능할 수 있기 때문에, 도전막(122a 및 112b)의 에칭에 의하여 발생될 수 있는 상이한 트랜지스터들 사이에서의 산화물 반도체막(108)의 두께의 편차를 저감할 수 있다. 이러한 식으로, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2) 각각에 포함되는 금속 원소의 원자 비율(적어도 In 및 Zn의 비율)을 바꿈으로써, 트랜지스터(100)의 전계 효과 이동도 및 트랜지스터(100)의 신뢰성을 높일 수 있다.

[0168] <1-5-1. 반도체 장치의 제작 방법>

[0169] 다음으로, 본 발명의 일 형태의 반도체 장치인 트랜지스터(100B)의 제작 방법에 대하여 도 7의 (A) 내지 (C), 도 8의 (A) 내지 (C), 도 9의 (A) 내지 (C), 및 도 10의 (A) 내지 (C)를 참조하여 설명한다.

[0170] 도 7의 (A) 내지 (C), 도 8의 (A) 내지 (C), 도 9의 (A) 내지 (C), 및 도 10의 (A) 내지 (C)는 반도체 장치의

제작 방법을 도시한 단면도이다. 도 7의 (A) 내지 (C), 도 8의 (A) 내지 (C), 도 9의 (A) 내지 (C), 및 도 10의 (A) 내지 (C) 각각에서, 왼쪽 부분은 채널 길이 방향에서의 단면도이고, 오른쪽 부분은 채널 폭 방향에서의 단면도이다.

[0171] 우선, 도전막을 기판(102) 위에 형성하고 리소그래피 공정 및 에칭 공정을 통하여 가공함으로써, 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성한다. 그리고, 도전막(104) 위에 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성한다(도 7의 (A) 참조).

[0172] 본 실시형태에서는, 기판(102)으로서 유리 기판을 사용하고, 제 1 게이트 전극으로서 기능하는 도전막(104)으로서 두께 50㎚의 타이타늄막 및 두께 200㎚의 구리막을 각각 스퍼터링법으로 형성한다. 절연막(106)으로서 두께 400㎚의 질화 실리콘막 및 두께 50㎚의 산화 질화 실리콘막을 PECVD법으로 형성한다.

[0173] 또한, 상술한 질화 실리콘막은 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막의 3층 구조를 갖는다. 3층 구조의 예는 다음과 같다.

[0174] 예를 들어, 제 1 질화 실리콘막은, 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 50㎚로 형성될 수 있다.

[0175] 제 2 질화 실리콘막은, 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 2000sccm의 암모니아 가스를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 300㎚로 형성될 수 있다.

[0176] 제 3 질화 실리콘막은, 유량 200sccm의 실레인 및 유량 5000sccm의 질소를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 50㎚로 형성될 수 있다.

[0177] 또한, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막 각각은 기판 온도 350℃ 이하에서 형성될 수 있다.

[0178] 질화 실리콘막이 상술한 3층 구조를 갖는 경우, 예를 들어 도전막(104)으로서 구리를 포함하는 도전막을 사용하는 경우, 다음 효과를 얻을 수 있다.

[0179] 제 1 질화 실리콘막은 도전막(104)으로부터의 구리의 확산을 억제할 수 있다. 제 2 질화 실리콘막은 수소를 방출하는 기능을 가지며, 게이트 절연막으로서 기능하는 절연막의 내전압을 향상시킬 수 있다. 제 3 질화 실리콘막은 소량의 수소를 방출하며, 제 2 질화 실리콘막으로부터 방출되는 수소의 확산을 억제할 수 있다.

[0180] 다음으로, 절연막(106) 위에 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)을 형성한다(도 7의 (B) 및 (C) 참조).

[0181] 또한, 도 7의 (B)는, 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)을 절연막(106) 위에 형성하는 경우의 퇴적 장치 내부를 도시한 단면 개략도이다. 도 7의 (B)에서는, 퇴적 장치로서 스퍼터링 장치를 사용하고, 상기 스퍼터링 장치 내에 배치된 타깃(191)과 타깃(191) 아래에 형성된 플라스마(192)가 모식적으로 도시되어 있다.

[0182] 또한, 도 7의 (B)에서, 절연막(106)에 첨가되는 산소 또는 과잉 산소를 파선의 화살표로 모식적으로 나타내었다. 산화물 반도체막(108_1_0) 형성 시에 산소 가스를 사용하는 경우, 산소는 절연막(106)에 적합하게 첨가될 수 있다.

[0183] 우선, 산화물 반도체막(108_1_0)을 절연막(106) 위에 형성한다. 산화물 반도체막(108_1_0)의 두께는 1㎚ 이상 25㎚ 미만이고, 바람직하게는 5㎚ 이상 20㎚ 이하이다. 산화물 반도체막(108_1_0)은 불활성 가스(대표적으로는 Ar 가스) 및 산소 가스의 한쪽 또는 양쪽 모두를 사용하여 형성된다. 또한, 산화물 반도체막(108_1_0) 형성 시의 퇴적 가스에서의 산소 가스의 비율(이하, 산소 유량비라고도 함)은 0% 이상 30% 미만, 바람직하게는 5% 이상 15% 이하이다.

[0184] 산화물 반도체막(108_1_0) 형성 시의 산소 유량비를 상술한 범위로 설정하면, 산화물 반도체막(108_1_0)의 결정성을 산화물 반도체막(108_2_0)보다 낮게 할 수 있다.

[0185] 다음으로, 산화물 반도체막(108_2_0)을 산화물 반도체막(108_1_0) 위에 형성한다. 또한, 산화물 반도체막

(108_2_0)을 형성할 때, 산소 가스를 포함하는 분위기에서 플라스마 방전을 수행한다. 이때, 산화물 반도체막(108_2_0)이 위에 형성되는 산화물 반도체막(108_1_0)에 산소가 첨가된다. 산화물 반도체막(108_2_0) 형성 시의 산소 유량비는 30% 이상 100% 이하, 바람직하게는 50% 이상 100% 이하, 더 바람직하게는 70% 이상 100% 이하이다.

[0186] 산화물 반도체막(108_2_0)의 두께는 20㎚ 이상 100㎚ 이하이고, 바람직하게는 20㎚ 이상 50㎚ 이하이다.

[0187] 또한 상술한 바와 같이, 산화물 반도체막(108_2_0) 형성 시의 산소 유량비는 산화물 반도체막(108_2_0) 형성 시의 산소 유량비보다 높은 것이 바람직하다. 바꿔 말하면, 산화물 반도체막(108_1_0)은 산화물 반도체막(108_2_0)보다 낮은 산소 분압하에서 형성되는 것이 바람직하다.

[0188] 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0) 형성 시의 기판 온도를 실온(25℃) 이상 200℃ 이하, 바람직하게는 실온 이상 130℃ 이하로 설정한다. 상술한 범위의 기판 온도는 대형 유리 기판(예를 들어, 상술한 8세대 내지 10세대 유리 기판)을 사용하는 경우에 적합하다. 특히, 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0) 형성 시의 기판 온도를 실온으로 설정하면, 기판의 휨 또는 왜곡을 억제할 수 있다. 산화물 반도체막(108_2_0)의 결정성을 더 높이기 위해서는, 산화물 반도체막(108_2_0) 형성 시의 기판 온도를 높이는 것이 바람직하다.

[0189] 또한, 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)을 진공에서 연속적으로 형성하면 불순물이 계면에서 잡히는 것을 방지할 수 있기 때문에 더 바람직하다.

[0190] 또한, 스퍼터링 가스의 순도를 높일 필요가 있다. 예를 들어, 스퍼터링 가스로서 사용하는 산소 가스 또는 아르곤 가스로서, 이슬점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하가 되도록 고순도화된 가스를 사용함으로써, 수분 등이 산화물 반도체막에 들어가는 것을 최소화할 수 있다.

[0191] 산화물 반도체막을 스퍼터링법에 의하여 퇴적하는 경우, 스퍼터링 장치에서의 체임버는 산화물 반도체막에 있어서 불순물로서 작용하는 물 등을 가능한 한 제거하기 위하여, 크라이오펌프(cryopump) 등의 흡착 진공 배기 펌프를 사용하여 고진공 상태(5×10^{-7}Pa 내지 1×10^{-4}Pa 정도까지)가 되도록 배기하는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 모드에서의 체임버 내의 H_2O에 상당하는 가스 분자(m/z=18에 상당하는 가스 분자)의 분압은 1×10^{-4}Pa 이하가 바람직하고, 5×10^{-5}Pa가 더 바람직하다.

[0192] 본 실시형태에서, 산화물 반도체막(108_1_0)은 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 산화물 반도체막(108_1_0) 형성 시의 기판 온도를 실온으로 하고, 퇴적 가스로서 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 사용한다(산소 유량비: 10%).

[0193] 산화물 반도체막(108_2_0)은 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 산화물 반도체막(108_2_0) 형성 시의 기판 온도를 실온으로 하고, 퇴적 가스로서 유량 200sccm의 산소 가스를 사용한다(산소 유량비: 100%).

[0194] 산화물 반도체막(108_1_0) 형성 시의 산소 유량비가 산화물 반도체막(108_2_0) 형성 시의 산소 유량비와 상이하면, 복수 종류의 결정성을 갖는 적층막을 형성할 수 있다.

[0195] 다음으로, 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)을 원하는 형상으로 가공함으로써, 섬 형상의 산화물 반도체막(108_1) 및 섬 형상의 산화물 반도체막(108_2)을 형성한다. 본 실시형태에서, 산화물 반도체막(108_1) 및 산화물 반도체막(108_2)은 산화물 반도체막(108)으로 구성된다(도 8의 (A) 참조).

[0196] 산화물 반도체막(108)을 형성한 후에 가열 처리(이하, 제 1 가열 처리라고 함)를 수행하는 것이 바람직하다. 제 1 가열 처리에 의하여, 산화물 반도체막(108)에 포함되는 물 또는 수소 등을 저감할 수 있다. 산화물 반도체막(108)을 섬 형상으로 가공하기 전에 수소 및 물 등의 저감을 위한 가열 처리를 수행하여도 좋다. 또한, 제 1 가열 처리는 산화물 반도체막의 순도를 높이기 위한 처리의 일종이다.

[0197] 제 1 가열 처리는, 예를 들어 150℃ 이상 기판의 변형점 미만, 바람직하게는 200℃ 이상 450℃ 이하, 더 바람직하게는 250℃ 이상 350℃ 이하의 온도에서 수행할 수 있다.

[0198] 또한, 제 1 가열 처리에는 전기로 또는 RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우에 기판의 변형점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 짧게 할

수 있다. 제 1 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(예를 들어, 아르곤, 헬륨)의 분위기하에서 수행되어도 좋다. 수소 및 물 등이 질소, 산소, 초건조 공기, 또는 희가스에 포함되지 않는 것이 바람직하다. 또한, 질소 분위기 또는 희가스 분위기하에서 가열 처리가 수행된 후, 산소 분위기 또는 초건조 공기 분위기에서 가열 처리를 추가로 수행하여도 좋다. 이 결과, 산화물 반도체막으로부터 수소 및 물 등이 방출될 수 있고, 동시에 산화물 반도체막에 산소를 공급할 수 있다. 결과적으로, 산화물 반도체막 내의 산소 결손의 수를 줄일 수 있다.

[0199] 다음으로, 도전막(112)이 절연막(106) 및 산화물 반도체막(108) 위에 형성된다(도 8의 (B) 참조).

[0200] 본 실시형태에서는, 도전막(112)으로서 두께 30㎚의 타이타늄막, 두께 200㎚의 구리막, 및 두께 10㎚의 타이타늄막을 스퍼터링법으로 이 순서대로 형성한다.

[0201] 다음으로, 도전막(112)을 원하는 형상으로 가공함으로써, 섬 형상의 도전막(112a) 및 섬 형상의 도전막(112b)을 형성한다(도 8의 (C) 참조).

[0202] 본 실시형태에서, 도전막(112)은 웨트 에칭 장치로 가공된다. 또한, 도전막(112)의 가공 방법은 상술한 방법에 한정되지 않고, 예를 들어, 드라이 에칭 장치를 사용하여도 좋다.

[0203] 도전막(112a 및 112b)을 형성한 후에 산화물 반도체막(108)(구체적으로는 산화물 반도체막(108_2))의 표면(백 채널 측)을 세정하여도 좋다. 세정은 예를 들어, 인산 등의 약액을 사용하여 수행하여도 좋다. 인산 등의 약액을 사용한 세정에 의하여, 산화물 반도체막(108_2)의 표면에 부착된 불순물(예를 들어, 도전막(112a 및 112b)에 포함되는 원소)을 제거할 수 있다. 또한, 세정을 반드시 수행할 필요는 없고, 세정을 수행하지 않는 경우가 있다.

[0204] 도전막(112a 및 112b)을 형성하는 공정 및/또는 세정 공정에 있어서, 산화물 반도체막(108)에서 도전막(112a 및 112b)으로 덮여 있지 않은 영역의 두께가 얇아질 수 있다.

[0205] 또한, 본 발명의 일 형태의 반도체 장치에서, 도전막(112a 및 112b)으로 덮여 있지 않은 영역, 즉 산화물 반도체막(109_2)은 결정성이 향상된 산화물 반도체막이다. 불순물(특히, 도전막(112a 및 112b)에 사용되는 구성 원소)은 결정성이 높은 산화물 반도체막에 쉽게 확산되지 않는다. 이에 의하여, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0206] 도 8의 (C)는 도전막(112a 및 112b)으로 덮여 있지 않은 산화물 반도체막(108)의 표면, 즉 산화물 반도체막(108_3)의 표면이 오목부를 갖는 예를 도시한 것이지만, 본 발명의 일 형태는 이 예에 한정되지 않고 도전막(112a 및 112b)으로 덮여 있지 않은 산화물 반도체막(108)의 표면은 오목부를 반드시 가질 필요는 없다.

[0207] 다음으로, 산화물 반도체막(108) 및 도전막(112a 및 112b) 위에 절연막(114) 및 절연막(116)을 형성한다(도 9의 (A) 참조).

[0208] 또한 절연막(114)을 형성한 후, 대기에 노출시키지 않고 연속적으로 절연막(116)을 형성하는 것이 바람직하다. 절연막(114)을 형성한 후, 대기에 노출시키지 않고 원료 가스의 유량비, 압력, 고주파 전력, 및 기판 온도 중 적어도 하나를 조절하면서 절연막(116)을 연속적으로 형성하면, 절연막들(114 및 116)의 계면에서 대기 성분에서 유래하는 불순물의 농도를 낮출 수 있다.

[0209] 예를 들어, 절연막(114)으로서, PECVD법에 의하여 산화 질화 실리콘막을 형성할 수 있다. 이 경우, 원료 가스로서 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인이 포함된다. 산화성 가스의 예에는 일산화이질소 및 이산화질소가 포함된다. 산화성 가스의 유량은 퇴적 가스의 20배 이상 500배 이하, 바람직하게는 40배 이상 100배 이하이다.

[0210] 본 실시형태에서는 절연막(114)으로서, 기판(102)을 온도 220℃로 유지하고, 유량 50sccm의 실레인 및 유량 2000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리 체임버 내의 압력을 20Pa로 하고, 평행 평판 전극에 13.56MHz로 100W(전력 밀도로서는 1.6×10^{-2}W/㎠)의 고주파 전력을 공급하는 조건하에서 PECVD법으로 산화 질화 실리콘막을 형성한다.

[0211] 절연막(116)으로서는, 다음 조건하에서 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다: 진공 배기된 PECVD 장치의 처리 체임버 내에 놓인 기판을 180℃ 이상 350℃ 이하의 온도로 유지하고; 처리 체임버에 원료 가스를 도입하여 처리 체임버 내의 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고; 처리

체임버 내에 제공된 전극에 0.17W/㎠ 이상 0.5W/㎠ 이하, 바람직하게는 0.25W/㎠ 이상 0.35W/㎠ 이하의 고주파 전력을 공급한다.

[0212] 절연막(116)의 퇴적 조건으로서, 상술한 전력 밀도의 고주파 전력을 상술한 압력의 반응 체임버에 공급하여 플라스마에서의 원료 가스의 분해 효율을 높이고, 산소 라디칼을 증가시키고, 원료 가스의 산화를 촉진시킴으로써, 절연막(116)의 산소 함유량이 화학량론적 조성보다 높아진다. 상술한 온도 범위의 기판 온도에서 형성된 막에서는 실리콘과 산소의 결합이 약하기 때문에, 이 막의 산소의 일부가 나중의 공정에서 가열 처리에 의하여 방출된다. 그러므로, 화학량론적 조성보다 산소를 더 포함하고 산소의 일부가 가열에 의하여 방출되는 산화물 절연막을 형성할 수 있다.

[0213] 또한 절연막(116)을 형성하는 공정에서 절연막(114)은, 산화물 반도체막(108)의 보호막으로서 기능한다. 그러므로 산화물 반도체막(108)에 대한 대미지를 저감하면서 전력 밀도가 높은 고주파 전력을 사용하여 절연막(116)을 형성할 수 있다.

[0214] 또한 절연막(116)의 퇴적 조건에서, 산화성 가스에 대한 실리콘을 포함하는 퇴적 가스의 유량을 높이면, 절연막(116)의 결함량을 저감할 수 있다. 대표적으로는, 결함량이 적은, 즉 ESR 측정에 의하여 실리콘의 댕글링 본드에 기인하는 g=2.001에서 나타나는 신호의 스핀 밀도가 6×10^{17}spins/㎤ 미만, 바람직하게는 3×10^{17}spins/㎤ 이하, 더 바람직하게는 1.5×10^{17}spins/㎤ 이하인 산화물 절연막을 형성할 수 있다. 그 결과, 트랜지스터(100)의 신뢰성을 향상시킬 수 있다.

[0215] 절연막(114 및 116)을 형성한 후에 가열 처리(이하, 제 2 가열 처리라고 함)를 수행하는 것이 바람직하다. 제 2 가열 처리에 의하여 절연막(114 및 116)에 포함되는 질소 산화물을 저감할 수 있다. 제 2 가열 처리에 의하여, 절연막(114 및 116)에 포함되는 산소의 일부를 산화물 반도체막(108)으로 이동시킬 수 있어, 산화물 반도체막(108)에 포함되는 산소 결손의 양을 저감할 수 있다.

[0216] 제 2 가열 처리의 온도는 대표적으로는 400℃ 미만, 바람직하게는 375℃ 미만, 더 바람직하게는 150℃ 이상 350℃ 이하로 한다. 제 2 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(예를 들어 아르곤, 헬륨)의 분위기에서 수행되어도 좋다. 수소 및 물 등이 질소, 산소, 초건조 공기, 또는 희가스에 포함되지 않는 것이 바람직하다. 가열 처리에는 전기로 또는 RTA 등을 사용할 수 있다.

[0217] 다음으로, 개구(142a 및 142b)를 절연막(114 및 116)의 원하는 영역에 형성한다(도 9의 (B) 참조).

[0218] 본 실시형태에서는, 개구(142a 및 142b)를 드라이 에칭 장치로 형성한다. 또한, 개구(142a)는 도전막(112b)에 도달하고, 개구(142b)는 도전막(104)에 도달한다.

[0219] 다음으로, 도전막(120)을 절연막(116) 위에 형성한다(도 9의 (C) 및 도 10의 (A) 참조).

[0220] 도 9의 (C)는 절연막(116) 위에 도전막(120)을 형성할 경우의 퇴적 장치의 내부를 도시한 단면 개략도이다. 도 9의 (C)에서는 퇴적 장치로서 스퍼터링 장치를 사용하고, 스퍼터링 장치 내에 배치된 타깃(193)과 타깃(193) 아래에 형성된 플라스마(194)가 모식적으로 도시되어 있다.

[0221] 도전막(120)을 형성하는 경우, 산소 가스를 포함하는 분위기에서 플라스마 방전을 수행한다. 이때, 도전막(120)이 위에 형성되는 절연막(116)에 산소가 첨가된다. 도전막(120)을 형성하는 경우, 불활성 가스(예를 들어, 헬륨 가스, 아르곤 가스, 또는 제논 가스)와 산소 가스를 혼합하여도 좋다.

[0222] 산소 가스는 적어도 도전막(120)을 형성하는 경우에 혼합한다. 도전막(120) 형성 시의 퇴적 가스에서의 산소 가스의 비율은 0%보다 크고 100% 이하, 바람직하게는 10% 이상 100% 이하, 더 바람직하게는 30% 이상 100% 이하로 한다.

[0223] 도 9의 (C)에서, 절연막(116)에 첨가되는 산소 또는 과잉 산소를 파선의 화살표로 모식적으로 나타내었다.

[0224] 본 실시형태에서, 도전막(120)은 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다.

[0225] 또한, 본 실시형태에서는 도전막(120)을 형성하는 경우에 산소를 절연막(116)에 첨가하지만, 산소를 첨가하는 방법은 이 예에 한정되지 않는다. 예를 들어, 도전막(120)을 형성한 후에, 절연막(116)에 산소를 더 첨가하여도 좋다.

[0226] 절연막(116)에 산소를 첨가하는 방법으로서, 예를 들어 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물, ITSO라고도 함) 타깃(In_2O_3:SnO_2:SiO_2=85:10:5[wt%])을 사용하여 두께가 5㎚의 ITSO막을 형성하여도 좋다. 이 경우, ITSO막의 두께를 1㎚ 이상 20㎚ 이하 또는 2㎚ 이상 10㎚ 이하로 하면, 산소를 바람직하게 투과시키고 산소의 방출을 억제할 수 있으므로 바람직하다. 다음으로, 산소를 ITSO막을 통하여 절연막(116)에 첨가한다. 산소는 예를 들어 이온 도핑, 이온 주입, 또는 플라스마 처리에 의하여 첨가할 수 있다. 산소를 첨가하는 경우에 기판 측에 바이어스 전압을 인가함으로써, 산소를 절연막(116)에 효과적으로 첨가할 수 있다. 애싱 장치를 사용하고, 예를 들어, 애싱 장치의 기판 측에 인가된 바이어스 전압의 전력 밀도를 1W/㎠ 이상 5W/㎠ 이하로 할 수 있다. 산소 첨가 중의 기판 온도는, 실온 이상 300℃ 이하, 바람직하게는 100℃ 이상 250℃ 이하로 함으로써, 절연막(116)에 산소를 효과적으로 첨가할 수 있다.

[0227] 다음으로, 도전막(120)을 원하는 형상으로 가공함으로써, 섬 형상의 도전막(120a 및 120b)을 형성한다(도 10의 (B) 참조).

[0228] 본 실시형태에서, 도전막(120)은 웨트 에칭 장치로 가공된다.

[0229] 다음으로, 절연막(116) 및 도전막(120a 및 120b) 위에 절연막(118)을 형성한다(도 10의 (C) 참조).

[0230] 절연막(118)은 수소 및 질소 중 어느 한쪽 또는 양쪽 모두를 포함한다. 절연막(118)으로서는 예를 들어, 질화 실리콘막을 사용하는 것이 바람직하다. 절연막(118)은 예를 들어, 스퍼터링법 또는 PECVD법으로 형성할 수 있다. 절연막(118)을 PECVD법으로 형성하는 경우, 예를 들어 기판 온도는 400℃ 미만, 바람직하게는 375℃ 미만, 더 바람직하게는 180℃ 이상 350℃ 이하로 한다. 절연막(118) 형성 시의 기판 온도를 상술한 범위 내로 하면, 치밀한 막을 형성할 수 있으므로 바람직하다. 또한, 절연막(118) 형성 시의 기판 온도를 상술한 범위 내로 하면, 절연막(114 및 116)의 산소 또는 과잉 산소를, 산화물 반도체막(108)으로 이동시킬 수 있다.

[0231] 절연막(118)으로서 PECVD법에 의하여 질화 실리콘막을 형성하는 경우, 실리콘을 포함하는 퇴적 가스, 질소, 및 암모니아를 원료 가스로서 사용하는 것이 바람직하다. 질소량에 비하여 적은 양의 암모니아를 사용함으로써 암모니아가 플라스마에서 해리되고 활성종이 생성된다. 상기 활성종은 실리콘을 포함하는 퇴적 가스에 포함되는 실리콘과 수소의 결합 및 질소 분자들의 3중 결합을 절단한다. 그 결과, 실리콘과 질소의 결합이 촉진되고 실리콘과 수소의 결합이 적은, 결함이 적은 치밀한 질화 실리콘막을 형성할 수 있다. 질소에 대한 암모니아의 양이 많으면, 실리콘을 포함하는 퇴적 가스의 분해 및 질소의 분해가 촉진되지 않아, 실리콘과 수소의 결합이 남아 있고 결함이 증가된 거친 질화 실리콘막이 형성된다. 그러므로, 원료 가스에서, 질소의 유량은 암모니아의 유량의 바람직하게는 5배 이상 50배 이하, 더 바람직하게는 10배 이상 50배 이하로 한다.

[0232] 본 실시형태에서는, PECVD 장치를 사용하여, 실레인, 질소, 및 암모니아를 원료 가스로서 사용하여 절연막(118)으로서 두께 50㎚의 질화 실리콘막을 형성한다. 실레인의 유량은 50sccm로 하고, 질소의 유량은 5000sccm로 하고, 암모니아의 유량은 100sccm로 한다. 처리 체임버의 압력은 100Pa로 하고, 기판 온도는 350℃로 하고, 27.12MHz의 고주파 전원을 사용하여 평행 평판 전극에 1000W의 고주파 전력을 공급한다. PECVD 장치는 전극 면적이 6000㎠인 평행 평판 PECVD 장치이고, 공급된 전력을 변환한 단위 면적당 전력(전력 밀도)은 1.7×10^{-1}W/㎠이다.

[0233] In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 도전막(120a 및 120b)을 형성하는 경우, 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽 모두가 도전막(120a 및 120b)에 들어갈 수 있다. 이 경우, 수소 및 질소 중 어느 한쪽 또는 양쪽 모두가 도전막(120a 및 120b)의 산소 결손과 결합되어, 도전막(120a 및 120b)의 저항을 저감시킬 수 있다.

[0234] 절연막(118)을 형성한 후에 제 1 가열 처리 또는 제 2 가열 처리와 비슷한 가열 처리(이하, 제 3 가열 처리라고 함)를 수행하여도 좋다.

[0235] 제 3 가열 처리에 의하여, 절연막(116)에 포함되는 산소를 산화물 반도체막(108)으로 이동시켜 산화물 반도체막(108)의 산소 결손을 채운다.

[0236] 상기 공정을 통하여, 도 3의 (A) 내지 (C)에 도시된 트랜지스터(100B)를 제작할 수 있다.

[0237] 도 9의 (A)의 공정 후에 절연막(118)을 형성함으로써, 도 1의 (A) 내지 (C)에 도시된 트랜지스터(100)를 제작할 수 있다. 도전막(112a 및 112b) 및 절연막(114 및 116)의 형성 순서를 바꾸고, 또한 절연막(114 및 116)의 개구(141a 및 141b)를 형성하는 공정을 추가함으로써, 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)를 제작할

수 있다.

[0238] <1-5-2. 반도체 장치의 제작 방법 2>

[0239] 본 발명의 일 형태의 반도체 장치인 트랜지스터(100B)의 다른 제작 방법에 대하여 설명한다. 상이한 점은 산화물 반도체막의 구조 및 제작 방법이다. 여기서는, <1-4. 반도체 장치의 구조예 3>에서 설명한 바와 같은, 산화물 반도체막(108_1)의 Zn에 대한 In의 원자수비가 산화물 반도체막(108_2)의 Zn에 대한 In의 원자수비보다 큰 트랜지스터(100B)의 제작 방법에 대하여 설명한다.

[0240] 산화물 반도체막(108_1_0)은 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 산화물 반도체막(108_1_0)을 형성하는 경우, 기판 온도를 실온으로 하고, 퇴적 가스로서 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 사용한다(산소 유량비: 10%).

[0241] 또한, 산화물 반도체막(108_2_0)은 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=1:1:1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 산화물 반도체막(108_2_0)을 형성하는 경우, 기판 온도를 170℃로 하고, 퇴적 가스로서 유량 100sccm의 아르곤 가스 및 유량 100sccm의 산소 가스를 사용한다(산소 유량비: 50%).

[0242] 산화물 반도체막(108_1_0) 형성 시의 산소 유량비가 산화물 반도체막(108_2_0) 형성 시의 산소 유량비와 상이하기 때문에, 결정성이 상이한 적층막을 형성할 수 있다. 또한, 산화물 반도체막(108_1_0) 형성 시의 온도가 산화물 반도체막(108_2_0) 형성 시의 온도와 상이하기 때문에, 결정성이 상이한 적층막을 형성할 수 있다.

[0243] 산화물 반도체막(108_2_0)의 결정성을 산화물 반도체막(108_1_0)의 결정성보다 훨씬 높게 하기 위해서는, 산화물 반도체막(108_2_0) 형성 시의 기판 온도를 산화물 반도체막(108_1_0) 형성 시보다 높게 설정하는 것이 바람직하다.

[0244] 다른 공정에 대해서는, <1-5-1. 반도체 장치의 제작 방법 1>을 적절히 참조할 수 있다.

[0245] 상술한 공정을 통하여, <1-4. 반도체 장치의 구조예 3>에서 설명한 트랜지스터를 제작할 수 있다.

[0246] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0247] (실시형태 2)

[0248] 본 실시형태에서는, 본 발명의 일 형태의 산화물 반도체막에 대하여 도 12의 (A) 및 (B) 내지 도 18의 (A) 내지 (C)를 참조하여 설명한다.

[0249] <2-1. 산화물 반도체막>

[0250] 산화물 반도체막은 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 하나 이상의 원소가 포함되어도 좋다.

[0251] 여기서, 산화물 반도체막은 인듐, 원소 *M*, 및 아연을 포함하는 것으로 가정한다. 또한, 원소 *M*은 알루미늄, 갈륨, 이트륨, 또는 주석 등이다. 원소 *M*으로서 사용될 수 있는 다른 원소는 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘을 포함한다. 또한, 원소 *M*으로서, 상술한 원소 중 2개 이상을 조합하여 사용하여도 좋다. 이하의 설명에서, 산화물 반도체막에 포함되는 인듐, 원소 *M*, 및 아연의 원자수비의 항을 각각 [In], [*M*], 및 [Zn]으로 나타내는 경우가 있다.

[0252] <2-2. 산화물 반도체막의 구조>

[0253] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는, CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.

[0254] CAAC-OS는 c축 배향을 갖고, 나노 결정들이 a-b면 방향에서 연결되고, 결정 구조는 변형을 갖는다. 또한, CAAC-OS에서의 변형은, 나노 결정들이 연결된 영역에서, 균일한 격자 배열을 갖는 영역과 균일한 격자 배열을 갖는 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분이다.

[0255] 나노 결정의 형상은 기본적으로 육각형이지만, 상기 형상은 반드시 정육각형인 것은 아니고, 비정육각형인 경우가 있다. 변형에서, 오각형 나노 결정 및 칠각형 나노 결정 등의 다각형 나노 결정이 포함되는 경우가 있다. 또한 CAAC-OS의 변형 근방에서도 명확한 결정립계를 관찰할 수 없다. 즉, 격자 배열이 변형됨으로써 결정립계의 형성이 억제된다. 이는 a-b면 방향에서 원자의 배열 밀도가 낮은 것, 및 금속 원소의 치환에 의하여 원자간 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 변형을 허용할 수 있기 때문이라고 생각된다.

[0256] CAAC-OS는, 인듐 및 산소를 포함하는 층(이하, In층), 그리고 원소 *M*, 아연, 및 산소를 포함하는 층(이하, (*M*, Zn)층)이 적층된 층상 결정 구조(층상 구조라고도 함)를 갖는 경향이 있다. 또한 인듐 및 원소 *M*은 서로 치환될 수 있고, (*M*, Zn)층의 원소 *M*이 인듐으로 치환되는 경우, 상기 층을 (In, *M*, Zn)층이라고 할 수도 있다. In층의 인듐이 원소 *M*으로 치환되는 경우, 상기 층을 (In, *M*)층이라고 할 수도 있다.

[0257] nc-OS에서, 미소 영역(예를 들어, 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 나노 결정들 간에 결정 배향의 규칙성은 없다. 따라서, 막 전체에서 배향이 관찰되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없다.

[0258] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는다. a-like OS는 공동 또는 밀도가 낮은 영역을 포함한다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 불안정한 구조를 갖는다.

[0259] 산화물 반도체는 다양한 상이한 특성을 나타내는 다양한 구조를 가질 수 있다. 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상이 본 발명의 일 형태의 산화물 반도체에 포함되어도 좋다.

[0260] 본 발명의 일 형태의 산화물 반도체막은 복합 산화물 반도체를 포함한다. 그러므로, 이하의 설명에서 산화물 반도체막을 복합 산화물 반도체라고 할 수 있다. 복합 산화물 반도체를 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 제공할 수 있다. 도 12의 (A) 및 (B) 내지 도 14의 (A) 내지 (B)는 복합 산화물 반도체를 포함하는 산화물 반도체막의 개념도이다.

[0261] 도 12의 (A)는 산화물 반도체막의 상면(여기서는, a-b면 방향이라고 함)의 개념도이다. 도 12의 (B)는 기판 Sub 위에 형성된 산화물 반도체막의 단면(여기서는, c축 방향이라고 함)의 개념도이다.

[0262] 또한, 도 12의 (A) 및 (B)는, 기판 위에 산화물 반도체막이 형성되는 예를 도시한 것이지만, 본 발명의 일 형태는 이 예에 한정되지 않고, 하지막 또는 층간막 등의 절연막 또는 산화물 반도체막 등의 다른 반도체막이 기판과 산화물 반도체막 사이에 형성되어도 좋다.

[0263] 본 발명의 일 형태의 산화물 반도체막은 도 12의 (A) 및 (B)에 도시된 바와 같이 영역 A1 및 영역 B1을 포함하는 복합 산화물 반도체이다.

[0264] 도 12의 (A) 및 (B)에 나타낸 영역 A1은 [In]:[*M*]:[Zn]=*x*:*y*:*z*(*x*>0, *y*≥0, *z*≥0)이며 In이 많다. 한편, 영역 B1은 [In]:[*M*]:[Zn]=*a*:*b*:*c*(*a*>0, *b*>0, *c*>0)이며 In이 적다.

[0265] 또한 본 명세서에서, 영역 A1에서의 원소 *M*에 대한 In의 원자수비가 영역 B1에서의 원소 *M*에 대한 In의 원자수비보다 큰 경우, 영역 A1은 영역 B1보다 In의 농도가 높다. 그러므로, 본 명세서에서 영역 A1은 In-rich 영역이라고도 하고, 영역 B1은 In-poor 영역이라고도 한다.

[0266] 예를 들어, 영역 A1의 In의 농도는 영역 B1의 1.1배 이상, 바람직하게는 2배 내지 10배이다. 영역 A1은 적어도 In을 포함하는 산화물이고, 원소 *M* 및 Zn을 반드시 포함할 필요는 없다.

[0267] 본 발명의 일 형태의 산화물 반도체막에서, 영역 A1 및 영역 B1은 복합체를 형성한다. 즉, 영역 A1에서는 캐리어 이동이 발생하기 쉽지만, 영역 B1에서는 캐리어 이동이 쉽게 발생하지 않는다. 그러므로, 본 발명의 일 형태의 산화물 반도체는 캐리어 이동도가 높고, 스위칭 특성이 우수하고, 반도체 특성이 양호한 재료로서 사용할 수 있다.

[0268] 바꿔 말하면, 영역 A1은 영역 B1보다 반도체성이 낮고 도전성이 높다. 한편, 영역 B1은 영역 A1보다 반도체성이 높고 도전성이 낮다. 여기서, 반도체성이 높다란, 밴드 갭이 넓거나, 스위칭 특성이 양호하거나, 또는 i형 반도체에 가까운 것 등을 의미한다.

[0269] 예를 들어, 도 12의 (A) 및 (B)에 나타낸 바와 같이, a-b면 방향 및 c축 방향에서 복수의 영역 A1이 입자 형상으로(클러스터 형상으로) 존재한다. 또한, 클러스터는 불균일 및 불규칙적으로 분포하여도 좋다. 복수의 클러

스터가 서로 중첩되거나, 또는 서로 접속되는 경우가 있다. 예를 들어, 다른 클러스터와 중첩되는 클러스터를 포함하는 형상이 각각 서로 접속됨으로써, 영역 A1이 클라우드상(cloud-like)으로 퍼져 관찰되는 경우가 있다.

[0270] 바꿔 말하면, 영역 A1에 포함되는 클러스터(제 1 클러스터라고도 함)는 영역 B1에 포함되는 클러스터(제 2 클러스터라고도 함)보다 반도체성이 낮고 도전성이 높다. 한편, 영역 B1에 포함되는 클러스터는 영역 A1에 포함되는 클러스터보다 반도체성이 높고 도전성이 낮다. 이 구조에서는, 영역 B1은 복수의 제 2 클러스터를 포함하고, 복수의 제 2 클러스터가 서로 접속되는 부분을 갖는다. 바꿔 말하면, 영역 A1에 포함되는 복수의 제 1 클러스터는 제 1 클러스터와 다른 제 1 클러스터가 클라우드상으로 서로 접속되는 부분을 포함하고, 영역 B1에 포함되는 복수의 제 2 클러스터는 제 2 클러스터와 다른 제 2 클러스터가 클라우드상으로 서로 접속되는 부분을 포함한다.

[0271] 바꿔 말하면, 본 발명의 일 형태의 복합 산화물 반도체에서는, In의 농도가 높은 제 1 영역(영역 A1)과 In의 농도가 낮은 제 2 영역(영역 B1)이 클라우드상으로 접속된다. 또는, 본 발명의 일 형태의 복합 산화물 반도체에서는, In이 높은 농도로 분포되는 제 1 영역과, In이 높은 농도로 분포되지 않는 제 2 영역이 클라우드상으로 접속된다.

[0272] 도 12의 (A) 및 (B)에 나타낸 바와 같이, 영역 A1이 a-b면 방향에서 서로 접속됨으로써, 영역 A1은 전류 경로로서 기능할 수 있다. 이에 의하여, 산화물 반도체막의 도전성을 높일 수 있고, 이 산화물 반도체막을 사용하는 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0273] 바꿔 말하면, 도 12의 (A) 및 (B)에 나타낸 영역 B1은 영역 A1에 산재한다. 그러므로, 영역 B1은 영역 A1에 의하여 입체적으로 끼워져 있는 상태로 존재할 수 있다. 바꿔 말하면, 영역 B1은 영역 A1에 의하여 둘러싸여 있는 상태로 존재할 수 있다. 즉, 영역 B1은 영역 A1에 의하여 에워싸인다.

[0274] 또한, 산재되는 영역 A1의 비율은, 예를 들어 형성 조건 또는 복합 산화물 반도체의 조성을 변경함으로써 조절할 수 있다. 예를 들어, 영역 A1의 비율이 낮은 복합 산화물 반도체 또는 영역 A1의 비율이 높은 복합 산화물 반도체를 형성할 수 있다. 본 발명의 일 형태의 복합 산화물 반도체에서는, 영역 A1의 비율이 영역 B1보다 반드시 낮은 것은 아니다. 영역 A1의 비율이 매우 높은 복합 산화물 반도체에서, 관찰 범위에 따라서는 영역 B1이 영역 A1에 형성되는 경우가 있다. 영역 A1의 입자 형상의 영역의 크기는, 예를 들어 복합 산화물 반도체의 형성 조건 또는 조성을 변경함으로써 적절히 조절할 수 있다.

[0275] 도 13의 (A) 및 (B)는, 도 12의 (A) 및 (B)에 나타낸 복합 산화물 반도체보다 영역 A1의 비율이 낮고 영역 B1의 비율이 높은 복합 산화물 반도체를 나타낸 것이다.

[0276] 또한, 복합 산화물 반도체의 형성 조건 또는 조성을 변경함으로써, 도 12의 (A) 및 (B)에 나타낸 복합 산화물 반도체보다 영역 A1의 비율이 높고 영역 B1의 비율이 낮은 복합 산화물 반도체를 형성할 수 있다.

[0277] 여기서, 모든 영역 A1이 a-b면 방향에서 접속되면, 트랜지스터의 스위칭 특성이 악화되는 경우가 있다. 예를 들어, 트랜지스터의 오프 상태 전류가 높아질 수 있다. 따라서, 도 13의 (A) 및 (B)에 나타낸 바와 같이, 영역 A1이 영역 B1에 산재하는 것이 바람직하다. 그러므로, 영역 A1은 영역 B1에 의하여 입체적으로 끼워져 있는 상태로 존재할 수 있다. 바꿔 말하면, 영역 A1은 영역 B1에 의하여 둘러싸여 있는 상태로 존재할 수 있다. 즉, 영역 A1은 영역 B1에 포함된다. 그 결과, 트랜지스터의 스위칭 특성을 향상시킬 수 있다. 구체적으로는, 오프 상태 전류를 낮출 수 있다.

[0278] 영역 A1과 영역 B1의 경계가 명확히 관찰되지 않는 경우가 있다. 영역 A1 및 영역 B1의 크기는 EDX(energy dispersive X-ray spectroscopy)에 의하여 얻어진 EDX 매핑 이미지로 측정할 수 있다. 예를 들어, 단면 사진 또는 평면 사진의 EDX 매핑 이미지에서, 영역 A1의 클러스터의 직경은 0.1㎚ 이상 2.5㎚ 이하인 경우가 있다. 또한, 클러스터의 직경은 0.5㎚ 이상 1.5㎚ 이하인 것이 바람직하다.

[0279] 상술한 바와 같이, 본 발명의 일 형태의 산화물 반도체는, 영역 A1 및 영역 B1이 혼합되어 있고 상호 보완적인 상이한 기능을 갖는 복합 산화물 반도체이다. 예를 들어, 본 발명의 일 형태의 산화물 반도체가 원소 *M*으로서 Ga를 사용하는 In-Ga-Zn 산화물(이하, IGZO라고 함)인 경우, 상기 산화물 반도체를 complementary IGZO(약칭: C/IGZO)라고 부를 수 있다.

[0280] 한편, 예를 들어 영역 A1 및 영역 B1이 층상으로 적층되는 경우, 영역 A1과 영역 B1 사이에서 상호 작용이 일어나지 않거나, 또는 일어나기 어렵기 때문에, 영역 A1의 기능 및 영역 B1의 기능은 독립적으로 실시되는 경우가 있다. 이 경우, 영역 A1에 의하여 캐리어 이동도가 높아지더라도 트랜지스터의 오프 상태 전류가 높아질 수 있

다. 그러므로, 상술한 복합 산화물 반도체 또는 C/IGZO를 사용하는 경우, 높은 캐리어 이동도를 실현하는 기능 및 우수한 스위칭 특성을 실현하는 기능을 동시에 얻을 수 있다. 이는 본 발명의 복합 산화물 반도체를 사용함으로써 얻어지는 유익한 효과이다.

[0281] 또한, 영역 B1은 결정성을 갖는 영역이어도 좋다. 예를 들어, 영역 B1은 CAAC-OS 또는 복수의 나노 결정을 포함한다.

[0282] 도 14의 (A)에서는, 영역 B1에 포함되는 복수의 나노 결정을 파선으로 모식적으로 나타내었다. 나노 결정의 형상은 기본적으로 육각형이다. 그러나, 상기 형상은 반드시 정육각형인 것은 아니고, 비정육각형인 경우가 있다. 육각형의 변형에서, 오각형 나노 결정 또는 칠각형 나노 결정 등의 다각형 나노 결정이 포함되는 경우가 있다.

[0283] 또한 도 14의 (B)는, 나노 결정이 c축 배향을 갖고 c축이 CAAC-OS막이 형성되는 면(형성면이라고도 함) 또는 CAAC-OS막의 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 모식적으로 나타낸 것이다. CAAC-OS는, c축 배향을 갖는 층상 결정 구조(층상 구조라고도 함)를 갖고, 적층된, 인듐 및 산소를 포함하는 층(이하, In층이라고 함)과 원소 *M*, 아연, 및 산소를 포함하는 층(이하, (*M*, Zn)층이라고 함)을 포함한다.

[0284] 또한, 인듐 및 원소 *M*은 서로 치환되는 경우가 있다. 그러므로, (*M*, Zn)층의 원소 *M*이 인듐과 치환되면, 상기 층을 (In, *M*, Zn)층이라고 할 수도 있다. 이 경우, In층과 (In, *M*, Zn)층이 층상 구조로 적층되어 있다.

[0285] <2-3. 복합 산화물 반도체의 원자수비>

[0286] 여기서는, 본 발명의 일 형태의 복합 산화물 반도체에 포함되는 원소의 원자수비에 대하여 설명한다.

[0287] 복합 산화물 반도체의 영역 A1이 In, 원소 *M*, 및 Zn을 포함하는 경우의 원소의 원자수비를 나타내기 위하여, 도 15의 상도(phase diagram)를 사용할 수 있다. In 대 원소 *M* 대 Zn의 원자수비는 *x*:*y*:*z*로 나타내어진다. 이 원자수비는 도 15의 좌표(*x*:*y*:*z*)로서 나타낼 수 있다. 또한, 산소 원자의 비율은 도 15에 나타내어지지 않았다.

[0288] 도 15에서는, 파선은 [In]:[*M*]:[Zn]=(1+α):(1-α):1의 원자수비(-1≤α≤1)를 나타내는 선, [In]:[*M*]:[Zn]=(1+α):(1-α):2의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=(1+α):(1-α):3의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=(1+α):(1-α):4의 원자수비를 나타내는 선, 및 [In]:[*M*]:[Zn]=(1+α):(1-α):5의 원자수비를 나타내는 선에 대응한다.

[0289] 일점쇄선은 [In]:[*M*]:[Zn]=1:1:β의 원자수비(β≥0)를 나타내는 선, [In]:[*M*]:[Zn]=1:2:β의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=1:3:β의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=1:4:β의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=1:7:β의 원자수비를 나타내는 선, [In]:[*M*]:[Zn]=2:1:β의 원자수비를 나타내는 선, 및 [In]:[*M*]:[Zn]=5:1:β의 원자수비를 나타내는 선에 대응한다.

[0290] 도 15에서, [In]:[*M*]:[Zn]=0:2:1 또는 그 근방의 원자수비를 갖는 산화물 반도체는 스피넬 결정 구조를 갖는 경향이 있다.

[0291] 도 15에서의 영역 A2는, 영역 A1에 포함되는 인듐 대 원소 *M* 대 아연의 원자수비의 바람직한 범위의 예를 나타낸 것이다. 또한, 영역 A2는 [In]:[*M*]:[Zn]=(1+γ):0:(1-γ)의 원자수비(-1≤γ≤1)를 나타내는 선 위의 원자수비를 포함한다.

[0292] 도 15에서의 영역 B2는, 영역 B1에 포함되는 인듐 대 원소 *M* 대 아연의 원자수비의 바람직한 범위의 예를 나타낸 것이다. 또한, 영역 B2는 [In]:[*M*]:[Zn]=4:2:3 내지 [In]:[*M*]:[Zn]=4:2:4.1 및 그 근방의 원자수비를 포함한다. 상기 근방에는 [In]:[*M*]:[Zn]=5:3:4의 원자수비가 포함된다. 영역 B2는 [In]:[*M*]:[Zn]=5:1:6 및 그 근방의 원자수비를 포함한다.

[0293] In의 농도가 높은 영역 A2는 영역 B2보다 높은 도전성을 제공하고, 캐리어 이동도(전계 효과 이동도)를 높이는 기능을 갖는다. 그러므로, 영역 A1을 포함하는 산화물 반도체막을 사용하는 트랜지스터의 온 상태 전류 및 캐리어 이동도를 높일 수 있다.

[0294] 한편, In의 농도가 낮은 영역 B2는 영역 A2보다 낮은 도전성을 제공하고, 누설 전류를 낮추는 기능을 갖는다. 그러므로, 영역 B1을 포함하는 산화물 반도체막을 사용하는 트랜지스터의 오프 상태 전류를 낮출 수 있다.

[0295] 예를 들어, 영역 A1은 비단결정인 것이 바람직하다. 또한, 영역 A1이 결정성을 갖는 경우, 영역 A1이 인듐으로

형성되면, 영역 A1은 정방정 구조를 갖는 경향이 있다. 또한, 영역 A1이 산화 인듐([In]:[*M*]:[Zn]=*x*:0:0(*x*>0))으로 형성되면, 영역 A1은 빅스비아이트(bixbyite) 결정 구조를 갖는 경향이 있다. 또한, 영역 A1이 In-Zn 산화물([In]:[*M*]:[Zn]=*x*:0:*z*(*x*>0, *z*>0))으로 형성되면, 영역 A1은 층상 결정 구조를 갖는 경향이 있다.

[0296] 예를 들어, 영역 B1은 비결정이고, CAAC-OS를 포함하는 것이 바람직하다. 또한, 영역 B1은 반드시 CAAC-OS만을 포함할 필요는 없고, 다결정 산화물 반도체 또는 nc-OS 등의 영역도 포함하여도 좋다.

[0297] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS에서는, 명확한 결정립계를 관찰할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다. 불순물의 침입 또는 결함의 형성 등은 산화물 반도체의 결정성을 저하시킬 가능성이 있다. 이는, CAAC-OS는 불순물 및 결함(예를 들어, 산소 결손)의 양이 적다는 것을 의미한다. 따라서, CAAC-OS에 의하여, 복합 산화물 반도체는 물리적으로 안정적이기 때문에, 내열성을 갖고 신뢰성이 높은 복합 산화물 반도체를 제공할 수 있다.

[0298] 또한, 산화물 반도체를 스퍼터링 장치를 사용하여 퇴적하는 경우, 타깃의 원자수비에서 벗어난 원자수비를 갖는 막이 형성된다. 특히 아연에 대해서는, 퇴적 시의 기판 온도에 따라, 퇴적된 막의 원자수비에서의 [Zn]이 타깃의 원자수비에서의 [Zn]보다 작아지는 경우가 있다.

[0299] 또한, 본 발명의 일 형태의 복합 산화물 반도체의 특성은 원자수비에 의하여 일의적으로 결정되지 않는다. 그러므로, 도시된 영역은 복합 산화물 반도체의 영역 A1 및 영역 B1의 바람직한 원자수비를 나타내고, 그 경계는 명확하지 않는다.

[0300] <2-4. 복합 산화물 반도체의 제작 방법>

[0301] 도 12의 (A) 및 (B) 등에 나타낸 복합 산화물 반도체의 제작 방법의 예에 대하여 설명한다. 본 발명의 일 형태의 복합 산화물 반도체는 스퍼터링 장치를 사용하여 형성할 수 있다.

[0302] [스퍼터링 장치]

[0303] 도 16의 (A)는 스퍼터링 장치의 퇴적 체임버(2501)의 단면도이다. 도 16의 (B)는 스퍼터링 장치의 마그넷 유닛(2530a) 및 마그넷 유닛(2530b)의 평면도이다.

[0304] 도 16의 (A)에 도시된 퇴적 체임버(2501)는 타깃 홀더(2520a), 타깃 홀더(2520b), 백킹 플레이트(2510a), 백킹 플레이트(2510b), 타깃(2502a), 타깃(2502b), 부재(2542), 및 기판 홀더(2570)를 포함한다. 또한 타깃(2502a)은 백킹 플레이트(2510a) 위에 배치된다. 백킹 플레이트(2510a)는 타깃 홀더(2520a) 위에 배치된다. 마그넷 유닛(2530a)은 백킹 플레이트(2510a)를 개재하여 타깃(2502a) 아래에 배치된다. 타깃(2502b)은 백킹 플레이트(2510b) 위에 배치된다. 백킹 플레이트(2510b)는 타깃 홀더(2520b) 위에 배치된다. 마그넷 유닛(2530b)은 백킹 플레이트(2510b)를 개재하여 타깃(2502b) 아래에 배치된다.

[0305] 도 16의 (A) 및 (B)에 도시된 바와 같이, 마그넷 유닛(2530a)은 마그넷(2530N1), 마그넷(2530N2), 마그넷(2530S), 및 마그넷 홀더(2532)를 포함한다. 마그넷 유닛(2530a)에서, 마그넷(2530N1), 마그넷(2530N2), 및 마그넷(2530S)은 마그넷 홀더(2532) 위에 배치된다. 마그넷(2530N1), 마그넷(2530N2), 및 마그넷(2530S)은 간격을 두고 배치된다. 또한 마그넷 유닛(2530b)은 마그넷 유닛(2530a)과 비슷한 구조를 갖는다. 기판(2560)을 퇴적 체임버(2501)로 옮길 때, 기판(2560)은 기판 홀더(2570)와 접촉하여 배치된다.

[0306] 타깃(2502a), 백킹 플레이트(2510a), 및 타깃 홀더(2520a)는 부재(2542)에 의하여 타깃(2502b), 백킹 플레이트(2510b), 및 타깃 홀더(2520b)와 분리된다. 또한 부재(2542)는 절연체인 것이 바람직하다. 부재(2542)가 도전체 또는 반도체이어도 좋다. 부재(2542)는 표면이 절연체로 덮인 도전체 또는 반도체이어도 좋다.

[0307] 타깃 홀더(2520a)와 백킹 플레이트(2510a)는 나사(예를 들어 볼트)에 의하여 서로 고정되고 같은 전위를 갖는다. 타깃 홀더(2520a)는 백킹 플레이트(2510a)를 개재하여 타깃(2502a)을 지지하는 기능을 갖는다. 타깃 홀더(2520b)와 백킹 플레이트(2510b)는 나사(예를 들어 볼트)에 의하여 서로 고정되고 같은 전위를 갖는다. 타깃 홀더(2520b)는 백킹 플레이트(2510b)를 개재하여 타깃(2502b)을 지지하는 기능을 갖는다.

[0308] 백킹 플레이트(2510a)는 타깃(2502a)을 고정하는 기능을 갖는다. 백킹 플레이트(2510b)는 타깃(2502b)을 고정하는 기능을 갖는다.

[0309] 도 16의 (A)에는, 마그넷 유닛(2530a)에 의하여 형성되는 자력선(2580a 및 2580b)을 도시하였다.

[0310] 도 16의 (B)에 도시된 바와 같이, 마그넷 유닛(2530a)은 장방형 또는 실질적으로 장방형인 마그넷(2530N1), 장방형 또는 실질적으로 장방형인 마그넷(2530N2), 및 장방형 또는 실질적으로 장방형인 마그넷(2530S)이 마그넷 홀더(2532)에 고정되어 있는 구조를 갖는다. 도 16의 (B)의 화살표로 나타낸 바와 같이, 마그넷 유닛(2530a)을 수평으로 진동시킬 수 있다. 예를 들어, 마그넷 유닛(2530a)을 0.1Hz 이상 1kHz 이하의 비트로 진동시켜도 좋다.

[0311] 타깃(2502a) 위의 자기장은 마그넷 유닛(2530a)의 진동에 따라 변화된다. 자기장이 강한 영역은 고밀도 플라스마 영역이기 때문에, 이 영역 근방에 타깃(2502a)의 스퍼터링이 일어나기 쉽다. 이는 마그넷 유닛(2530b)에도 마찬가지로 적용된다.

[0312] <2-5. 복합 산화물 반도체의 형성 방법>

[0313] 다음으로, 복합 산화물 반도체의 형성 방법에 대하여 설명한다. 도 17은 복합 산화물 반도체의 제작 방법을 나타낸 공정 흐름도이다.

[0314] 도 12의 (A) 및 (B) 등에 나타낸 복합 산화물 반도체는 적어도 도 17에 나타낸 제 1 내지 제 4 공정을 거쳐 형성된다.

[0315] [제 1 공정: 퇴적 체임버에 기판을 배치하는 공정]

[0316] 제 1 공정은 퇴적 체임버에 기판을 배치하는 공정을 포함한다(도 17의 단계 S101 참조).

[0317] 제 1 공정에서는, 예를 들어 도 16의 (A)에 나타낸 퇴적 체임버(2501)의 기판 홀더(2570)에 기판(2560)이 배치된다.

[0318] 퇴적 시의 기판(2560)의 온도는 복합 산화물 반도체의 전기 특성에 영향을 미친다. 기판 온도가 높을수록, 복합 산화물 반도체의 결정성 및 신뢰성이 높아질 수 있다. 한편, 기판 온도가 낮을수록, 복합 산화물 반도체의 결정성이 낮아질 수 있고, 그 캐리어 이동도가 높아질 수 있다. 특히, 퇴적 시의 기판 온도가 낮을수록, 복합 산화물 반도체를 포함하는 트랜지스터에서, 낮은 게이트 전압(예를 들어, 0V보다 높고 2V 이하)에서의 전계 효과 이동도가 현저히 높아진다.

[0319] 기판(2560)의 온도는 실온(25℃) 이상 200℃ 이하, 바람직하게는 실온 이상 170℃ 이하, 더 바람직하게는 실온 이상 130℃ 이하이다. 상기 범위에 기판 온도를 설정하는 것은 대형 유리 기판(예를 들어 상술한 8세대 내지 10세대 유리 기판)에 적합하다. 특히, 복합 산화물 반도체의 퇴적 시의 기판 온도가 실온인 경우, 즉 기판이 의도적으로 가열되지 않는 경우에는, 기판이 휘거나 또는 왜곡되는 것을 적합하게 방지할 수 있다.

[0320] 기판(2560)은 기판 홀더(2570)에 제공된 냉각 기구 등에 의하여 냉각되어도 좋다.

[0321] 기판(2560)의 온도가 100℃ 이상 130℃ 이하이면, 복합 산화물 반도체 내의 물을 제거할 수 있다. 이러한 식으로 불순물인 물을 제거함으로써, 전계 효과 이동도 및 신뢰성이 높아진다.

[0322] 물의 제거를 위하여 기판(2560)의 온도를 100℃ 이상 130℃ 이하로 설정함으로써, 스퍼터링 장치가 과도한 가열로 인하여 왜곡되는 것을 방지할 수 있다. 이에 의하여, 반도체 장치의 생산성이 향상된다. 생산성이 안정되므로, 대규모 생산 장치를 적용하기 쉽다. 이에 의하여, 대형 기판을 사용하여 제작되는 대형 표시 장치를 쉽게 제작할 수 있다.

[0323] 기판(2560)의 온도가 높으면, 복합 산화물 반도체 내의 물을 더 효과적으로 제거할 수 있는 것뿐만 아니라, 복합 산화물 반도체의 결정성을 높일 수 있다. 예를 들어, 기판(2560)의 온도를 80℃ 이상 200℃ 이하, 바람직하게는 100℃ 이상 170℃ 이하로 설정함으로써, 결정성이 높은 복합 산화물 반도체를 형성할 수 있다.

[0324] [제 2 공정: 퇴적 체임버에 가스를 도입하는 공정]

[0325] 제 2 단계는 퇴적 체임버에 가스를 도입하는 공정을 포함한다(도 17의 단계 S201 참조).

[0326] 제 2 단계에서는, 예를 들어 도 16의 (A)에 나타낸 퇴적 체임버(2501)에 가스를 도입한다. 상기 가스로서는, 아르곤 가스 및/또는 산소 가스가 도입된다. 또한, 아르곤 가스 대신에 헬륨, 제논, 또는 크립톤 등의 불활성 가스를 사용할 수 있다.

[0327] 산소 가스를 사용하여 복합 산화물 반도체를 형성하는 경우의 산소 유량비는 이하의 경향을 나타낸다. 산소 유량비가 높을수록, 복합 산화물 반도체의 결정성이 높아지고 신뢰성이 높아진다. 한편, 산소 유량비가

낮을수록, 복합 산화물 반도체의 결정성이 낮아지고 캐리어 이동도가 높아진다. 구체적으로, 복합 산화물 반도체를 포함하는 트랜지스터에서는 산소 유량비가 낮을수록, 낮은 게이트 전압(예를 들어, 0V보다 높고 2V 이하)에서의 전계 효과 이동도가 현저히 높아진다.

[0328] 복합 산화물 반도체의 용도에 적합한 양호한 특성을 얻을 수 있도록, 산소 유량비를 0% 내지 100%의 범위에서 적절히 설정할 수 있다.

[0329] 예를 들어, 전계 효과 이동도가 높은 트랜지스터의 반도체층에 복합 산화물 반도체를 사용하는 경우, 복합 산화물 반도체의 퇴적 시에 산소 유량비를 0% 이상 30% 이하, 바람직하게는 5% 이상 30% 이하, 더 바람직하게는 7% 이상 15% 이하로 설정한다.

[0330] 전계 효과 이동도 및 트랜지스터의 신뢰성의 양쪽 모두를 높이기 위하여, 복합 산화물 반도체의 퇴적 시의 산소 유량비를 30%보다 높고 70% 미만, 바람직하게는 30%보다 높고 50% 이하로 설정한다. 또는, 복합 산화물 반도체의 퇴적 시의 산소 유량비를 10% 이상 50% 이하, 바람직하게는 30% 이상 50% 이하로 설정한다.

[0331] 트랜지스터의 신뢰성을 높이기 위하여, 복합 산화물 반도체의 퇴적 시의 산소 유량비를 70% 이상 100% 이하로 설정한다.

[0332] 이러한 식으로 퇴적 시의 기판 온도 및 산소 유량비를 제어하면, 원하는 전기 특성이 제공되는 복합 산화물 반도체를 퇴적할 수 있다. 예를 들어, 기판 온도의 저하(상승) 및 산소 유량비의 저감(증가)은 전계 효과 이동도에 대하여 같은 정도로 기여하는 경우가 있다. 그러므로, 예를 들어 장치의 제약에 의하여 기판 온도가 충분히 높아지지 않는 경우에도, 산소 유량비를 높임으로써 기판 온도가 높아지는 경우와 실질적으로 같은 전계 효과 이동도를 갖는 트랜지스터를 얻을 수 있다.

[0333] 산화물 반도체막 내의 산소 결손 또는 산화물 반도체막 내의 불순물을 실시형태 1의 방법에 의하여 저감함으로써, 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0334] 또한, 퇴적 시의 가스의 순도를 높이는 것이 필요하다. 예를 들어, 가스로서 사용하는 산소 가스 또는 아르곤 가스로서, 이슬점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하가 되도록 고순도화된 가스를 사용함으로써, 수분 등이 복합 산화물 반도체에 들어가는 것을 최소화할 수 있다.

[0335] 퇴적 체임버(2501)는, 복합 산화물 반도체에 대한 불순물인 물 등이 가능한 한 제거되도록, 크라이오펌프 등의 흡착 진공 배기 펌프를 사용하여 고진공(5×10^{-7}Pa 내지 1×10^{-4}Pa 정도)으로 배기되는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 모드에서의 퇴적 체임버(2501) 내의 H_2O에 상당하는 가스 분자(m/z=18에 상당하는 가스 분자)의 분압은 1×10^{-4}Pa 이하가 바람직하고, 5×10^{-5}Pa 이하가 더 바람직하다.

[0336] [제 3 공정: 타깃에 전압을 인가하는 공정]

[0337] 제 3 공정은 타깃에 전압을 인가하는 공정을 포함한다(도 17의 단계 S301 참조).

[0338] 제 3 공정에서는, 예를 들어, 도 16의 (A)의 타깃 홀더(2520a) 및 타깃 홀더(2520b)에 전압을 인가한다. 예로서, 타깃 홀더(2520a)에 접속되는 단자 V1에 인가되는 전위는 기판 홀더(2570)에 접속되는 단자 V2에 인가되는 전위보다 낮다. 타깃 홀더(2520b)에 접속되는 단자 V4에 인가되는 전위는 기판 홀더(2570)에 접속되는 단자 V2에 인가되는 전위보다 낮다. 기판 홀더(2570)에 접속되는 단자 V2에 인가되는 전위는 접지 전위이다. 마그넷 홀더(2532)에 접속되는 단자 V3에 인가되는 전위는 접지 전위이다.

[0339] 또한 단자 V1, V2, V3, 및 V4에 인가되는 전위는 상기 전위에 한정되지 않는다. 전위가 반드시 타깃 홀더(2520), 기판 홀더(2570), 및 마그넷 홀더(2532)의 모두에 공급될 필요는 없다. 예를 들어, 기판 홀더(2570)는 전기적으로 부유 상태이어도 좋다. 또한, 단자 V1에 인가되는 전위를 제어할 수 있는 전원이 단자 V1과 전기적으로 접속되는 것으로 가정한다. 전원으로서, DC 전원, AC 전원, 또는 RF 전원을 사용하여도 좋다.

[0340] 타깃(2502a) 및 타깃(2502b)으로서, 인듐, 원소 *M*(*M*은 Al, Ga, Y, 또는 Sn), 아연, 및 산소를 포함하는 타깃을 사용하는 것이 바람직하다. 예를 들어, In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비]) 또는 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=5:1:7[원자수비])은 타깃(2502a) 및 타깃(2502b)으로서 사용할 수 있다. 이하의 설명에서는, In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하는 경우에 대하여 설명한다.

[0341] [제 4 공정: 기판에 복합 산화물 반도체를 퇴적하는 공정]

[0342] 제 4 공정은 스퍼터링 입자가 타깃으로부터 튀어나오고, 복합 산화물 반도체가 기판에 퇴적되는 공정을 포함한다(도 17의 단계 S401 참조).

[0343] 제 4 공정에서는, 예를 들어 도 16의 (A)에 도시된 퇴적 체임버(2501)에서 아르곤 가스 또는 산소 가스가 이온화되어 양이온 및 전자로 분리되고, 플라스마를 형성한다. 그리고, 플라스마 내의 양이온은 타깃 홀더(2520a 및 2520b)에 인가되는 전위에 의하여 타깃(2502a 및 2502b)을 향하여 가속된다. 양이온이 In-Ga-Zn 금속 산화물 타깃과 충돌되면 스퍼터링 입자가 생성되고, 상기 스퍼터링 입자는 기판(2560)에 퇴적된다.

[0344] 또한, 타깃(2502a 및 2502b)으로서 사용되는 원자수비가 In:Ga:Zn=4:2:4.1 또는 5:1:7의 In-Ga-Zn 금속 산화물 타깃에서는, 조성이 상이한 복수의 결정립이 포함되는 경우가 있다. 예를 들어, 복수의 결정립의 직경은 각각 10㎛ 이하인 경우가 많다. 예를 들어 In의 비율이 높은 결정립이 In-Ga-Zn 금속 산화물 타깃에 포함되는 경우, 상술한 영역 A1의 비율이 높아지는 경우가 있다.

[0345] <2-6. 퇴적 모델>

[0346] 제 4 공정에서는, 도 18의 (A) 내지 (C)에 나타낸 퇴적 모델을 추정할 수 있다.

[0347] 도 18의 (A) 내지 (C)는 도 16의 (A)에 나타낸 타깃(2502a) 근방의 단면도이다. 또한, 도 18의 (A)는 사용 전의 타깃의 상태를 나타낸 것이고, 도 18의 (B)는 퇴적 후의 타깃의 상태를 나타낸 것이고, 도 18의 (C)는 퇴적 시의 타깃의 상태를 나타낸 것이다. 도 18의 (A) 내지 (C)에서는, 타깃(2502a), 플라스마(2190), 양이온(2192), 및 스퍼터링 입자(2504a 및 2506a) 등을 나타내었다.

[0348] 도 18의 (A)에서, 타깃(2502a)의 표면은 비교적 평탄하고, 그 조성(예를 들어 In, Ga, 및 Zn 간의 조성)은 균일하다. 한편, 도 18의 (B)에서는 미리 수행된 스퍼터링 처리 등에 의하여 타깃(2502a)의 표면에 요철이 형성되고, 조성 편석이 발생된다. 상기 요철 및 편석은 미리 수행된 스퍼터링 처리에서 발생되는 플라스마(예를 들어 Ar 플라스마)에 의하여 발생할 수 있다. 또한 도 18의 (B)는 편석 영역(2504) 및 편석 영역(2506)을 도시한 것이다. 여기서는, 편석 영역(2504)은 대량의 Ga 및 대량의 Zn을 포함하는 영역(Ga,Zn-rich 영역)이고, 편석 영역(2506)은 대량의 In을 포함하는 영역(In-rich 영역)이다. Ga의 융점이 In보다 낮으면, 플라스마 처리 시에 타깃(2502a)에 인가되는 열에 의하여 Ga의 일부가 용해되고 응집되기 때문에, 대량의 Ga를 포함하는 편석 영역(2504)이 형성된다.

[0349] [제 1 단계]

[0350] 도 18의 (C)에서는, 아르곤 가스 또는 산소 가스가 양이온(2192)과 전자(도시되지 않음)로 분리되고, 플라스마(2190)가 형성된다. 그 후, 플라스마(2190) 내의 양이온(2192)은 타깃(2502a)(여기서는 In-Ga-Zn 산화물 타깃)을 향하여 가속된다. 양이온(2192)이 In-Ga-Zn 산화물 타깃과 충돌됨으로써, 스퍼터링 입자(2194)가 생성되고 In-Ga-Zn 산화물 타깃으로부터 튀어나온다. 또한, 스퍼터링 입자(2504a)가 편석 영역(2504)으로부터 튀어나오기 때문에, 이들이 Ga,Zn-rich 클러스터를 형성하는 경우가 있다. 스퍼터링 입자(2506a)가 편석 영역(2506)으로부터 튀어나오기 때문에, 이들이 In-rich 클러스터를 형성하는 경우가 있다.

[0351] In-Ga-Zn 산화물 타깃을 사용하는 경우, 스퍼터링 입자(2504a)는 먼저 편석 영역(2504)으로부터 우선적으로 스퍼터링되는 것으로 추측된다. 이는, In-Ga-Zn 산화물 타깃과 양이온(2192)의 충돌에 의하여, 상대 원자량이 In보다 적은 Ga 및 Zn이 In-Ga-Zn 산화물 타깃으로부터 우선적으로 튀어나오기 때문이다. 스퍼터링 입자(2504a)가 기판 위에 퇴적됨으로써, 도 12의 (A) 및 (B), 및 다른 도면에 도시된 영역 B1이 형성된다.

[0352] [제 2 단계]

[0353] 다음으로, 도 18의 (C)에 도시된 바와 같이, 스퍼터링 입자(2506a)가 편석 영역(2506)으로부터 스퍼터링된다. 기판 위에 형성된 영역 B1과, 스퍼터링 입자(2506a)가 충돌함으로써, 도 12의 (A) 및 (B), 및 다른 도면에 도시된 영역 A1이 형성된다.

[0354] 도 18의 (C)에 도시된 바와 같이, 타깃(2502a)은 퇴적 중 계속 스퍼터링되기 때문에, 편석 영역(2504)의 생성 및 편석 영역(2504)의 소멸이 간헐적으로 발생한다.

[0355] 상기 제 1 단계 및 상기 제 2 단계를 포함하는 퇴적 모델을 반복함으로써, 도 12의 (A) 및 (B)에 나타낸 본 발명의 일 형태의 복합 산화물 반도체를 얻을 수 있다.

[0356] 즉, 스퍼터링 입자(2506a 및 2504a)는 In-rich 편석 영역(2506) 및 Ga,Zn-rich 편석 영역(2504)으로부터 각각 튀어나와 기판 위에 퇴적된다. In-rich 영역이 기판 위에서 클라우드상으로 서로 접속됨으로써, 도 12의 (A)

및 (B)에 도시된 바와 같은 본 발명의 일 형태의 복합 산화물 반도체가 형성될 수 있다. 복합 산화물 반도체의 막에서는, In-rich 영역이 클라우드상으로 서로 접속된다. 이 덕분에, 복합 산화물 반도체를 사용하는 트랜지스터는 온 상태 전류(I_{on})가 높고, 전계 효과 이동도(μFE)가 높다.

[0357] 이러한 식으로, 온 상태 전류(I_{on})가 높고 전계 효과 이동도(μFE)가 높은 트랜지스터에는, In이 중요하고, 다른 금속(예를 들어 Ga)은 반드시 필요한 것은 아니다.

[0358] 또한, 아르곤 가스를 사용하여 본 발명의 일 형태의 복합 산화물 반도체가 형성되는 모델을 예로서 상술하였다. 이 경우, 복합 산화물 반도체는 산소 결손을 많이 포함할 수 있다. 복합 산화물 반도체가 산소 결손을 많이 포함하면, 복합 산화물 반도체에 얕은 결함 준위(sDOS이라고도 함)가 형성되는 경우가 있다. 복합 산화물 반도체에 sDOS가 형성되면, sDOS는 캐리어 트랩으로서 기능하여 온 상태 전류 및 전계 효과 이동도가 저하된다.

[0359] 그러므로, 복합 산화물 반도체를 아르곤 가스를 사용하여 형성하는 경우, 복합 산화물 반도체를 형성한 후에 복합 산화물 반도체에 산소를 공급함으로써 복합 산화물 반도체 내의 산소 결손을 보충하고 sDOS를 저감하는 것이 바람직하다.

[0360] 이러한 산소 공급은, 예를 들어 복합 산화물 반도체를 형성한 후에 산소를 포함하는 대기하에서 가열 처리를 수행하거나, 또는 산소를 포함하는 대기하에서 플라스마 처리를 수행함으로써 수행될 수 있다. 또는, 본 발명의 일 형태의 복합 산화물 반도체와 접촉하는 절연막 또는 복합 산화물 반도체 근방의 절연막 중 어느 한쪽에 과잉 산소를 포함시킨다. 이러한 절연막이 과잉 산소를 포함하는 형태에 대해서는 실시형태 1에서 설명하였다.

[0361] 또한, 본 발명의 일 형태는 스퍼터링법에 의한 상술한 제작 방법에 한정되지 않는다. PLD(pulsed laser deposition)법, PECVD(plasma-enhanced chemical vapor deposition)법, 열 CVD(thermal chemical vapor deposition)법, ALD(atomic layer deposition)법, 또는 진공 증착법 등을 사용하여도 좋다. 열 CVD법의 예로서는, MOCVD(metal organic chemical vapor deposition)법을 들 수 있다.

[0362] <2-7. 산화물 반도체막을 포함하는 트랜지스터>

[0363] 다음으로, 산화물 반도체막을 포함하는 트랜지스터에 대하여 설명한다.

[0364] 또한, 복합 산화물 반도체를 트랜지스터에 사용하면, 캐리어 이동도가 높고 스위칭 특성이 우수한 트랜지스터로 할 수 있다. 또한, 신뢰성이 높은 트랜지스터로 할 수 있다.

[0365] 트랜지스터에는 캐리어 밀도가 낮은 산화물 반도체막을 사용하는 것이 바람직하다. 예를 들어, 캐리어 밀도가 8×10^{11}/㎤ 미만, 바람직하게는 1×10^{11}/㎤ 미만, 또는 더 바람직하게는 1×10^{10}/㎤ 미만이고, 1×10^{-9}/㎤ 이상인 산화물 반도체막을 산화물 반도체막으로서 사용한다.

[0366] 산화물 반도체막의 캐리어 밀도를 낮추기 위해서는, 산화물 반도체막 내의 불순물 농도를 낮춤으로써 결함 준위의 밀도를 낮출 수 있다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위의 밀도가 낮은 상태를 고순도 진성 또는 실질적으로 고순도 진성 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮출 수 있다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도가 낮은 경우가 있다.

[0367] 산화물 반도체막의 트랩 준위에 의하여 트랩된 전하는 방출되는 데 긴 시간이 걸리고, 고정 전하처럼 작용될 수 있다. 따라서, 트랩 준위의 밀도가 높은 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정한 경우가 있다.

[0368] 트랜지스터의 안정된 전기 특성을 얻기 위해서는, 산화물 반도체막에서의 불순물 농도를 낮추는 것이 효과적이다. 산화물 반도체막에서의 불순물 농도를 낮추기 위해서는, 산화물 반도체막에 인접한 막에서의 불순물 농도를 낮추는 것이 바람직하다. 불순물의 예로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘이 들어진다.

[0369] 여기서, 산화물 반도체막에서의 불순물의 영향에 대하여 설명한다.

[0370] 제 14 족 원소 중 하나인 실리콘 또는 탄소가 산화물 반도체막에 포함되면, 결함 준위가 산화물 반도체에 형성된다. 따라서, 산화물 반도체에서의, 그리고 산화물 반도체와의 계면 근방에서의 실리콘 또는 탄소의 농도(SIMS(secondary ion mass spectrometry)에 의하여 측정됨)를 2×10^{18}atoms/㎤ 이하, 바람직하게는 2×

10^{17}atoms/㎤ 이하로 설정한다.

[0371] 산화물 반도체막이 알칼리 금속 또는 알칼리 토금속을 포함하면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 그러므로, 알칼리 금속 또는 알칼리 토금속이 포함된 산화물 반도체막을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 반도체막 내의 알칼리 금속 또는 알칼리 토금속의 농도를 낮추는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체막 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18}atoms/㎤ 이하, 바람직하게는 2×10^{16}atoms/㎤ 이하로 설정한다.

[0372] 산화물 반도체막이 질소를 포함하면, 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의하여 산화물이 n형화되기 쉽다. 따라서, 반도체가, 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 상기 산화물 반도체의 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어 SIMS에 의하여 측정되는 질소 농도를 5×10^{19}atoms/㎤ 미만, 바람직하게는 5×10^{18}atoms/㎤ 이하, 더 바람직하게는 1×10^{18}atoms/㎤ 이하, 더욱 바람직하게는 5×10^{17}atoms/㎤ 이하로 설정한다.

[0373] 산화물 반도체막에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손(V_o)을 발생시키는 경우가 있다. 산소 결손(V_o)에 수소가 들어가는 것으로 인하여, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로, SIMS에 의하여 측정되는 수소 농도는, 1×10^{20}atoms/㎤ 미만, 바람직하게는 1×10^{19}atoms/㎤ 미만, 더 바람직하게는 5×10^{18}atoms/㎤ 미만, 더욱 바람직하게는 1×10^{18}atoms/㎤ 미만으로 설정된다.

[0374] 또한, 산화물 반도체막에서의 산소 결손(V_o)은 산화물 반도체에 산소를 도입함으로써 저감될 수 있다. 즉, 산소 결손(V_o)이 산소로 채워지면, 산화물 반도체막에서의 산소 결손(V_o)은 소멸한다. 따라서, 산화물 반도체막으로의 산소의 확산에 의하여, 트랜지스터에서의 산소 결손(V_o)의 양이 저감되고 트랜지스터의 신뢰성이 향상될 수 있다.

[0375] 산화물 반도체막에 산소를 도입하는 방법으로서, 예를 들어 산화물 반도체와 접촉하여 화학량론적 조성보다 산소 함유량이 높은 산화물이 제공된다. 즉, 산화물에는, 화학량론적 조성을 초과하여 산소를 포함하는 영역(이하, 과잉 산소 영역이라고도 함)을 형성하는 것이 바람직하다. 특히, 트랜지스터에 산화물 반도체막을 사용하는 경우, 과잉 산소 영역을 포함하는 산화물을 트랜지스터 근방의 하지막 또는 층간막 등에 제공함으로써, 트랜지스터의 산소 결손이 저감되어, 신뢰성을 향상시킬 수 있다.

[0376] 불순물 농도가 충분히 저감된 산화물 반도체막을 트랜지스터의 채널 형성 영역에 사용하면, 전기 특성이 안정된 트랜지스터로 할 수 있다.

[0377] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0378] (실시형태 3)

[0379] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터를 포함하는 표시 장치의 예에 대하여 도 19 내지 도 25를 참조하여 이하에서 설명한다.

[0380] 도 19는 표시 장치의 예를 도시한 상면도이다. 도 19에서의 표시 장치(700)는, 제 1 기판(701) 위에 제공된 화소부(702), 제 1 기판(701) 위에 제공된 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706), 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸도록 제공된 실란트(712), 및 제 1 기판(701)과 대향하도록 제공된 제 2 기판(705)을 포함한다. 제 1 기판(701)과 제 2 기판(705)은 실란트(712)로 밀봉되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 제 1 기판(701), 실란트(712), 및 제 2 기판(705)으로 둘러싸여 있다. 도 19에 도시되어 있지 않지만, 제 1 기판(701)과 제 2 기판(705) 사이에 표시 소자가 제공된다.

[0381] 표시 장치(700)에서, 제 1 기판(701) 위에 있고 실란트(712)로 둘러싸여 있는 영역과는 상이한 영역에, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)와 전기적으로 접속되는 FPC(flexible

printed circuit) 단자부(708)가 제공된다. 또한, FPC 단자부(708)와 FPC(716)가 접속되고, FPC(716)로부터 다양한 신호 등이 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 공급된다. 또한, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)와 신호선(710)이 접속된다. 신호선(710)을 통하여 다양한 신호 등이 FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 공급된다.

[0382] 표시 장치(700)에 복수의 게이트 드라이버 회로부(706)를 제공하여도 좋다. 표시 장치(700)의 구조는 여기서 나타낸, 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)가 화소부(702)와 함께 제 1 기판(701) 위에 형성되는 예에 한정되지 않는다. 예를 들어, 게이트 드라이버 회로부(706)만을 제 1 기판(701) 위에 형성하여도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기판(701) 위에 형성하여도 좋다. 이 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을, 제 1 기판(701)에 형성하여도 좋다. 또한, 별도로 준비된 구동 회로 기판의 접속 방법에 특별한 제한은 없고, COG(chip on glass)법 또는 와이어 본딩법 등을 사용할 수 있다.

[0383] 표시 장치(700)에 포함되는 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 복수의 트랜지스터를 포함한다. 본 발명의 일 형태의 반도체 장치인 트랜지스터를 사용할 수 있다.

[0384] 표시 장치(700)는 다양한 소자를 포함할 수 있다. 이 소자의 예로서는, 일렉트로루미네선스(EL) 소자(예를 들어, 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자, 또는 LED), 발광 트랜지스터 소자(전류에 따라 광을 방출하는 트랜지스터), 전자 방출체(electron emitter), 액정 소자, 전자 잉크 디스플레이, 전기 영동 소자, 일렉트로웨팅 소자, PDP(plasma display panel), MEMS(micro electro mechanical systems) 디스플레이(예를 들어, GLV(grating light valve), DMD(digital micromirror device), DMS(digital micro shutter) 소자, 또는 IMOD(interferometric modulator display) 소자), 및 압전 세라믹 디스플레이 등을 들 수 있다.

[0385] EL 소자를 포함하는 표시 장치의 예는 EL 디스플레이이다. 전자 방출체를 포함하는 표시 장치의 예에는 FED(field emission display) 및 SED 방식 평판 디스플레이(SED: surface-conduction electron-emitter display)가 포함된다. 액정 소자를 포함하는 표시 장치의 예는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)이다. 전자 잉크 디스플레이 또는 전기 영동 소자를 포함하는 표시 장치의 예는 전자 종이이다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이에서, 화소 전극의 일부 또는 전부는 반사 전극으로서 기능하여도 좋다. 예를 들어, 화소 전극의 일부 또는 전부는 알루미늄 또는 은 등을 포함하여도 좋다. 이 경우, 반사 전극 아래에, SRAM 등의 메모리 회로를 제공할 수 있어, 소비전력이 저감된다.

[0386] 표시 장치(700)의 표시 시스템으로서, 프로그레시브 시스템 또는 인터레이스 시스템 등을 적용할 수 있다. 또한, 컬러 표시 시에 화소에서 제어되는 색 요소는, R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함)의 3색에 한정되지 않는다. 예를 들어, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개의 화소를 사용하여도 좋다. 또는, 색 요소는, 펜타일(PenTile) 레이아웃과 같이, R, G, 및 B 중 2색으로 구성되어도 좋다. 색 요소에 따라 2색이 상이하여도 좋다. 또는, RGB에 황색, 시안, 및 마젠타(magenta) 등 중 하나 이상의 색을 추가하여도 좋다. 또한, 표시 영역의 크기는 색 요소의 도트들마다 상이하여도 좋다. 개시된 발명의 일 형태는 컬러 표시 장치에 한정되지 않고, 개시된 발명은 흑백 표시 장치에 적용될 수도 있다.

[0387] 백라이트(예를 들어, 유기 EL 소자, 무기 EL 소자, LED, 또는 형광등)에 백색광(W)을 사용한 풀 컬러 표시 장치를 얻기 위하여, 착색층(컬러 필터라고도 함)을 사용하여도 좋다. 예를 들어, 적색(R) 착색층, 녹색(G) 착색층, 청색(B) 착색층, 및 황색(Y) 착색층을 적절히 조합할 수 있다. 착색층을 사용하면, 착색층이 없는 경우와 비교하여 높은 색 재현성을 얻을 수 있다. 여기서, 착색층이 있는 영역과 착색층이 없는 영역을 제공함으로써, 착색층이 없는 영역에서의 백색광을 직접 표시에 이용하여도 좋다. 착색층이 없는 영역을 부분적으로 제공함으로써, 착색층으로 인한 밝은 화상의 휘도 저하를 억제할 수 있고, 소비전력을 약 20% 내지 30% 저감할 수 있는 경우가 있다. 유기 EL 소자 또는 무기 EL 소자 등의 자기 발광 소자를 사용하여 풀 컬러 표시를 수행하는 경우, 소자들이 R, G, B, Y, 및 W 각 색의 광을 방출하여도 좋다. 자기 발광 소자를 사용함으로써, 착색층을 사용하는 경우와 비교하여 소비전력이 더 저감될 수 있다.

[0388] 착색 시스템으로서는, 백색광의 일부를 컬러 필터를 통하여 적색광, 녹색광, 및 청색광으로 변환하는 상술한 착색 시스템, 적색광, 녹색광, 및 청색광을 사용하는 3색 시스템, 및 청색광의 일부를 적색광 또는 녹색광으로 변환하는 색 변환 시스템 또는 퀀텀닷(quantum dot) 시스템 중 임의의 것을 사용하여도 좋다.

[0389] 본 실시형태에서는, 표시 소자로서 액정 소자를 포함하는 구조 및 표시 소자로서 EL 소자를 포함하는 구조에 대하여 도 20 내지 도 22를 참조하여 설명한다. 도 20 및 도 22는 각각 도 19에서의 일점쇄선(Q-R)을 따라 취한 단면도이고 표시 소자로서 액정 소자를 포함하는 구조를 도시한 것이다. 도 22는 도 19에서의 일점쇄선(Q-R)을 따라 취한 단면도이고 표시 소자로서 EL 소자를 포함하는 구조를 도시한 것이다.

[0390] 우선, 도 20, 도 21, 및 도 22에서 공통된 부분에 대하여 설명하고 나서, 상이한 부분에 대하여 설명한다.

[0391] <3-1. 표시 장치에 공통된 부분>

[0392] 도 20, 도 21, 및 도 22에서의 표시 장치(700)는 리드 배선부(711), 화소부(702), 소스 드라이버 회로부(704), 및 FPC 단자부(708)를 포함한다. 리드 배선부(711)는 신호선(710)을 포함한다. 화소부(702)는 트랜지스터(750) 및 용량 소자(790)를 포함한다. 소스 드라이버 회로부(704)는 트랜지스터(752)를 포함한다.

[0393] 트랜지스터(750) 및 트랜지스터(752)는 각각, 상술한 트랜지스터(100D)와 비슷한 구조를 갖는다. 또한, 트랜지스터(750) 및 트랜지스터(752)는 각각 상기 실시형태에서 설명한 다른 트랜지스터들 중 임의의 것의 구조를 가져도 좋다.

[0394] 본 실시형태에서 사용되는 트랜지스터는, 고순도화되며 산소 결손의 형성이 억제된 산화물 반도체막을 포함한다. 이 트랜지스터는 낮은 오프 상태 전류를 가질 수 있다. 따라서, 화상 신호 등의 전기 신호가 오랫동안 유지될 수 있고, 온 상태에서 기록 간격을 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 저감할 수 있어, 소비전력이 억제된다.

[0395] 또한, 본 실시형태에서 사용되는 트랜지스터는 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에, 고속 동작이 가능하다. 예를 들어, 고속 동작이 가능한 이러한 트랜지스터를 포함한 액정 표시 장치에서는 화소부의 스위칭 트랜지스터와 구동 회로부의 구동 트랜지스터를 하나의 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 추가적인 반도체 장치를 구동 회로로서 필요로 하지 않기 때문에, 반도체 장치의 부품 수를 줄일 수 있다. 또한, 고속 동작이 가능한 트랜지스터를 화소부에 사용함으로써, 고품질의 화상을 제공할 수 있다.

[0396] 용량 소자(790)는 하부 전극 및 상부 전극을 포함한다. 하부 전극은 트랜지스터(750)의 제 1 게이트 전극으로서 기능하는 도전막이 되는 도전막을 가공하는 공정을 거쳐 형성된다. 상부 전극은 트랜지스터(750)의 소스 전극 및 드레인 전극, 또는 제 2 게이트 전극으로서 기능하는 도전막이 되는 도전막을 가공하는 공정을 거쳐 형성된다. 하부 전극과 상부 전극 사이에는, 트랜지스터(750)의 제 1 게이트 절연막으로서 기능하는 절연막이 되는 절연막을 형성하는 공정을 거쳐 형성되는 절연막과, 트랜지스터(750) 위의 보호 절연막으로서 기능하는 절연막이 되는 절연막을 형성하는 공정을 거쳐 형성되는 절연막이 제공된다. 즉, 용량 소자(790)는 한 쌍의 전극 사이에 유전체막으로서 기능하는 절연막이 위치한 적층 구조를 갖는다.

[0397] 도 20, 도 21, 및 도 22에서는, 트랜지스터(750), 트랜지스터(752), 및 용량 소자(790) 위에 평탄화 절연막(770)이 제공된다.

[0398] 평탄화 절연막(770)은, 폴리이미드 수지, 아크릴 수지, 폴리이미드 아마이드 수지, 벤조사이클로뷰텐 수지, 폴리아마이드 수지, 또는 에폭시 수지 등의 내열성 유기 재료를 사용하여 형성할 수 있다. 또한, 이들 재료로부터 형성되는 복수의 절연막을 적층함으로써 평탄화 절연막(770)을 형성하여도 좋다. 또는, 평탄화 절연막(770)이 없는 구조를 적용하여도 좋다.

[0399] 도 20, 도 21, 및 도 22에는 각각 화소부(702)에 포함되는 트랜지스터(750)와, 소스 드라이버 회로부(704)에 포함되는 트랜지스터(752)가 같은 구조를 갖는 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 화소부(702)와 소스 드라이버 회로부(704)는 상이한 트랜지스터를 포함하여도 좋다. 구체적으로는, 화소부(702)에 스태거형 트랜지스터를 사용하고, 소스 드라이버 회로부(704)에 실시형태 1에서 설명한 역 스태거형 트랜지스터를 사용하는 구조, 또는 화소부(702)에 실시형태 1에서 설명한 역 스태거형 트랜지스터를 사용하고, 소스 드라이버 회로부(704)에 스태거형 트랜지스터를 사용하는 구조를 적용하여도 좋다. 또한, "소스 드라이버 회로부(704)"라는 용어를 "게이트 드라이버 회로부"라는 용어로 치환할 수 있다.

[0400] 신호선(710)은 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 거쳐 형성된다. 구리 원소를 포함하는 재료를 사용하여 신호선(710)을 형성하는 경우, 배선 저항으로 인한 신호 지연 등이 저감되고, 이에 의하여 대화면 표시가 가능해진다.

[0401] FPC 단자부(708)는 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 포함한다. 또한, 접속 전극(760)은,

트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 거쳐 형성된다. 접속 전극(760)은, 이방성 도전막(780)을 통하여 FPC(716)에 포함되는 단자와 전기적으로 접속된다.

[0402] 예를 들어, 제 1 기판(701) 및 제 2 기판(705)으로서, 유리 기판을 사용할 수 있다. 제 1 기판(701) 및 제 2 기판(705)으로서, 플렉시블 기판을 사용하여도 좋다. 플렉시블 기판의 예는 플라스틱 기판이다.

[0403] 제 1 기판(701)과 제 2 기판(705) 사이에 구조체(778)가 제공된다. 구조체(778)는, 절연막의 선택적 에칭에 의하여 얻어지는 기둥형 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또는, 구조체(778)로서, 구(球)형 스페이서를 사용하여도 좋다.

[0404] 제 2 기판(705) 측에는, 블랙 매트릭스로서 기능하는 차광막(738), 컬러 필터로서 기능하는 착색막(736), 및 차광막(738) 및 착색막(736)과 접하는 절연막(734)이 제공된다.

[0405] <3-2. 액정 소자를 포함하는 표시 장치의 구조예>

[0406] 도 20에서의 표시 장치(700)는 액정 소자(775)를 포함한다. 액정 소자(775)는, 도전막(772), 도전막(774), 및 액정층(776)을 포함한다. 도전막(774)은, 제 2 기판(705) 측에 제공되며 대향 전극으로서 기능한다. 도 20에서의 표시 장치(700)는, 도전막(772)과 도전막(774) 사이에 인가되는 전압에 따라 변화되는 액정층(776)의 배향 상태에 의하여 광의 투과 또는 비투과를 제어하는 식으로, 화상을 표시할 수 있다.

[0407] 도전막(772)은, 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막과 전기적으로 접속된다. 도전막(772)은, 평탄화 절연막(770) 위에 형성되고, 화소 전극, 즉 표시 소자의 한쪽 전극으로서 기능한다. 도전막(772)은 반사 전극의 기능을 갖는다. 도 20의 표시 장치(700)는, 도전막(772)에 의하여 외광을 반사하여 착색막(736)을 통하여 화상을 표시하는, 소위 반사형 컬러 액정 표시 장치이다.

[0408] 가시광을 투과시키는 도전막 또는 가시광을 반사하는 도전막을, 도전막(772)으로서 사용할 수 있다. 예들 들어, 가시광을 투과시키는 도전막에 인듐(In), 아연(Zn), 및 주석(Sn) 중에서 선택되는 원소를 포함하는 재료를 사용하는 것이 바람직하다. 예를 들어, 가시광을 반사하는 도전막에 알루미늄 또는 은을 포함하는 재료를 사용하는 것이 바람직하다. 본 실시형태에서는, 가시광을 반사하는 도전막을 도전막(772)에 사용한다.

[0409] 도 20은 트랜지스터(750)의 드레인 전극으로서 기능하는 도전막과 도전막(772)이 접속되는 예를 도시한 것이지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 예를 들어, 도 21에 도시된 바와 같이, 도전막(772)은 접속 전극으로서 기능하는 도전막(777)을 통하여 트랜지스터(750)의 드레인 전극으로서 기능하는 도전막과 전기적으로 접속되어도 좋다. 또한, 도전막(777)은 도전막을 가공하여 트랜지스터(750)의 제 2 게이트 전극으로서 기능하는 도전막으로 하는 공정에 의하여 형성되기 때문에, 제작 공정을 추가하지 않고 형성할 수 있다.

[0410] 또한, 표시 장치(700)는 반사형 컬러 액정 표시 장치를 도시한 도 20의 예에 한정되지 않고, 가시광을 투과시키는 도전막을 도전막(772)으로서 사용하는 투과형 컬러 액정 표시 장치이어도 좋다. 또는, 표시 장치(700)는 반사형 컬러 액정 표시 장치와 투과형 컬러 액정 표시 장치를 조합한 소위 반투과형 컬러 액정 표시 장치이어도 좋다.

[0411] 도 23은 투과형 컬러 액정 표시 장치의 예를 도시한 것이다. 도 23은 도 19에서의 일점쇄선(Q-R)을 따르는 단면도이고 표시 소자로서 액정 소자를 포함하는 구조를 나타낸 것이다. 도 23에 도시된 표시 장치(700)는 액정 소자의 구동 모드로서 가로 전계 모드(예를 들어, FFS 모드)를 적용하는 예이다. 도 23에 도시된 구조에서는, 절연막(773)이 화소 전극으로서 기능하는 도전막(772) 위에 제공되고, 도전막(774)이 절연막(773) 위에 제공된다. 이러한 구조에서, 도전막(774)은 공통 전극으로서 기능하고, 절연막(773)을 통하여 도전막(772)과 도전막(774) 사이에 발생되는 전계는 액정층(776)의 배향 상태를 제어할 수 있다.

[0412] 도 20 및 도 23에 도시되지 않았지만, 도전막(772) 및/또는 도전막(774)에는 액정층(776)과 접촉하는 측에 배향막을 제공하여도 좋다. 도 20 및 도 23에 도시되지 않았지만, 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기판 및 위상차 기판을 사용함으로써 원편광을 얻어도 좋다. 또한, 광원으로서 백라이트 또는 사이드 라이트 등을 사용하여도 좋다.

[0413] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 폴리머 분산형 액정, 강유전성 액정, 또는 반(anti)강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.

[0414] 수평 전계 모드를 적용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다.

블루상은, 콜레스테릭 액정의 온도가 상승될 때 콜레스테릭상이 등방상으로 전이하기 직전에 생성되는 액정상 중 하나이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 개선하기 위하여, 수중량% 이상의 키랄제를 혼합한 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은 응답 속도가 짧고, 광학적 등방성을 갖고, 이에 의하여 배향 처리가 불필요하게 된다. 배향막을 제공할 필요가 없기 때문에 러빙 처리가 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기 방전 대미지를 방지할 수 있고, 제작 공정에서의 액정 표시 장치의 불량 및 대미지를 저감할 수 있다. 또한, 블루상을 나타내는 액정 재료는 시야각 의존성이 작다.

[0415] 표시 소자로서 액정 소자를 사용하는 경우, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(anti-ferroelectric liquid crystal) 모드 등을 사용할 수 있다.

[0416] 또한, 수직 배향(VA: vertical alignment) 모드의 투과형 액정 표시 장치 등의 노멀리 블랙 액정 표시 장치를 사용하여도 좋다. 수직 배향 모드의 예에는 몇 가지 예가 있고, 예를 들어 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 또는 ASV 모드 등을 적용할 수 있다.

[0417] <3-3. 발광 소자를 포함하는 표시 장치>

[0418] 도 22에 도시된 표시 장치(700)는 발광 소자(782)를 포함한다. 발광 소자(782)는 도전막(772), EL층(786), 및 도전막(788)을 포함한다. 도 22에 도시된 표시 장치(700)는 발광 소자(782)의 EL층(786)으로부터의 발광을 이용함으로써 화상을 표시할 수 있다. 또한, EL층(786)은 유기 화합물, 또는 퀀텀닷 등의 무기 화합물을 포함한다.

[0419] 유기 화합물에 사용할 수 있는 재료의 예에는 형광 재료 및 인광 재료가 포함된다. 퀀텀닷에 사용할 수 있는 재료의 예에는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어 셸형 퀀텀닷 재료, 및 코어형 퀀텀닷 재료가 포함된다. 제 12 족 및 제 16 족에 속하는 원소, 제 13 족 및 제 15 족에 속하는 원소, 또는 제 14 족 및 제 16 족에 속하는 원소를 포함하는 재료를 사용하여도 좋다. 또는, 카드뮴(Cd), 셀레늄(Se), 아연(Zn), 황(S), 인(P), 인듐(In), 텔루륨(Te), 납(Pb), 갈륨(Ga), 비소(As), 또는 알루미늄(Al) 등의 원소를 포함하는 퀀텀닷 재료를 사용하여도 좋다.

[0420] 도 22에서의 표시 장치(700)에서는, 평탄화 절연막(770) 및 도전막(772) 위에 절연막(730)이 제공된다. 절연막(730)은 도전막(772)의 일부를 덮는다. 또한, 발광 소자(782)는 톱 이미션 구조를 갖는다. 따라서, 도전막(788)은 투광성을 가지며, EL층(786)으로부터 방출되는 광을 투과시킨다. 본 실시형태에서는 톱 이미션 구조를 예로서 설명하였지만, 구조는 이에 한정되지 않는다. 예를 들어, 광이 도전막(772) 측으로 방출되는 보텀 이미션 구조, 또는 광이 도전막(772) 측 및 도전막(788) 측의 양쪽으로 방출되는 듀얼 이미션 구조를 적용하여도 좋다.

[0421] 착색막(736)은 발광 소자(782)와 중첩되도록 제공되고, 차광막(738)은 절연막(730)과 중첩되도록 리드 배선부(711) 및 소스 드라이버 회로부(704)에 제공된다. 착색막(736) 및 차광막(738)은 절연막(734)으로 덮인다. 발광 소자(782)와 절연막(734) 사이의 공간은 밀봉막(732)으로 충전되어 있다. 표시 장치(700)의 구조는 착색막(736)이 제공된 도 22의 예에 한정되지 않는다. 예를 들어, EL층(786)이 분리 착색에 의하여 형성되는 경우에는 착색막(736)이 없는 구조를 적용하여도 좋다.

[0422] <3-4. 입출력 장치가 제공되는 표시 장치의 구조예>

[0423] 도 22 및 도 23에 도시된 표시 장치(700)에는 입출력 장치를 제공하여도 좋다. 입출력 장치의 예로서는, 터치 패널 등을 들 수 있다.

[0424] 도 24는 도 22에 도시된 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다. 도 25는 도 23에 도시된 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다.

[0425] 도 24는 도 22에 도시된 표시 장치(700)에 터치 패널(791)이 제공되는 구조의 단면도이다. 도 25는 도 23에 도시된 표시 장치(700)에 터치 패널(791)이 제공되는 구조의 단면도이다.

[0426] 우선, 도 24 및 도 25에 도시된 터치 패널(791)에 대하여, 이하에서 설명한다.

[0427] 도 24 및 도 25에 도시된 터치 패널(791)은 제 2 기판(705)과 착색막(736) 사이에 제공되는, 소위 인셀 터치 패

널이다. 터치 패널(791)은 착색막(736)을 형성하기 전에 제 2 기판(705) 측에 형성된다.

[0428] 또한, 터치 패널(791)은 차광막(738), 절연막(792), 전극(793), 전극(794), 절연막(795), 전극(796), 및 절연막(797)을 포함한다. 예를 들어, 손가락 또는 스타일러스 등의 물체가 근접하면, 전극들(793 및 794) 사이의 용량의 변화를 검출할 수 있다.

[0429] 도 24 및 도 25에 도시된 트랜지스터(750)의 상부에는 전극(793)이 전극(794)과 교차되는 부분을 도시하였다. 전극(796)은 절연막(795)에 제공된 개구를 통하여 전극(794)을 끼우는 2개의 전극(793)과 전기적으로 접속된다. 또한, 도 24 및 도 25에는 전극(796)이 제공되는 영역이 화소부(702)에 제공되는 구조를 예로서 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 전극(796)이 제공되는 영역을 소스 드라이버 회로부(704)에 제공하여도 좋다.

[0430] 전극(793) 및 전극(794)은 차광막(738)과 중첩되는 영역에 제공된다. 도 24에 도시된 바와 같이, 전극(793)은 발광 소자(782)와 중첩되지 않는 것이 바람직하다. 도 25에 도시된 바와 같이, 전극(793)은 액정 소자(775)와 중첩되지 않는 것이 바람직하다. 바꿔 말하면, 전극(793)은 발광 소자(782) 및 액정 소자(775)와 중첩되는 영역에 개구를 갖는다. 즉, 전극(793)은 메시 형상을 갖는다. 이러한 구조로 함으로써, 전극(793)은 발광 소자(782)로부터 방출되는 광을 차단하지 않거나 또는 전극(793)은 액정 소자(775)를 투과하는 광을 차단하지 않는다. 따라서, 터치 패널(791)이 제공되더라도 휘도는 저감되기 어렵기 때문에, 시인성이 높고 소비전력이 낮은 표시 장치를 얻을 수 있다. 또한, 전극(794)은 전극(793)의 구조와 비슷한 구조를 가질 수 있다.

[0431] 전극(793) 및 전극(794)은 발광 소자(782)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다. 또한, 전극(793) 및 전극(794)은 액정 소자(775)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다.

[0432] 따라서, 가시광의 투과율이 높은 산화물 재료를 사용하는 경우와 비교하여, 전극(793 및 794)의 저항을 저감할 수 있기 때문에, 터치 패널의 센서의 감도를 높일 수 있다.

[0433] 예를 들어, 전극(793, 794, 및 796)에 도전성 나노와이어를 사용하여도 좋다. 이 나노와이어는 1㎚ 이상 100㎚ 이하, 바람직하게는 5㎚ 이상 50㎚ 이하, 더 바람직하게는 5㎚ 이상 25㎚ 이하의 평균 직경을 가져도 좋다. 나노와이어로서는, Ag 나노와이어, Cu 나노와이어, 또는 Al 나노와이어 등의 금속 나노와이어, 또는 카본 나노튜브를 사용하여도 좋다. 예를 들어, Ag 나노와이어를 전극(793, 794, 및 796) 중 어느 하나, 또는 모두에 사용하는 경우, 가시광의 투과율을 89% 이상으로 할 수 있고, 시트 저항을 40Ω/sq. 이상 100Ω/sq. 이하로 할 수 있다.

[0434] 인셀 터치 패널의 구조를 도 24 및 도 25에 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 표시 장치(700) 위에 형성되는 터치 패널, 소위 온셀 터치 패널, 또는 표시 장치(700)에 부착되는 터치 패널, 소위 아웃셀 터치 패널을 사용하여도 좋다.

[0435] 이러한 식으로, 본 발명의 일 형태의 표시 장치는 다양한 종류의 터치 패널과 조합할 수 있다.

[0436] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0437] (실시형태 4)

[0438] 본 실시형태에서, 본 발명의 일 형태의 반도체 장치에 대하여 도 26의 (A) 및 (B), 그리고 도 27을 참조하여 설명한다.

[0439] <4-1. 반도체 장치의 구조예 1>

[0440] 도 26의 (A)는 본 발명의 일 형태의 반도체 장치(190)의 상면도이다. 도 26의 (B)는 도 26의 (A)에서의 일점쇄선(A1-A2)을 따라 취한 단면도이다. 또한, 트랜지스터(Tr1)의 채널 길이(L) 방향에서의 단면 및 트랜지스터(Tr2)의 채널 길이(L) 방향에서의 단면이 도 26의 (B)에 포함된다. 도 27은 도 26의 (A)에서의 일점쇄선(B1-B2)에 따라 취한 단면도이다. 도 27에는 트랜지스터(Tr1)의 채널 폭(W) 방향에서의 단면이 포함된다.

[0441] 복잡화를 피하기 위하여, 도 26의 (A)에서는 반도체 장치(190)의 일부 구성 요소(예를 들어 게이트 절연막으로서 기능하는 절연막) 및 구성 요소의 일부 부호를 도시하지 않았다. 또한 이하에서 설명하는 반도체 장치의 상면도에서, 일부 구성 요소 및 구성 요소의 일부 부호를 도 26의 (A)와 같이 도시하지 않는 경우가 있다.

[0442] 도 26의 (A) 및 (B)에 도시된 반도체 장치(190)는 트랜지스터(Tr1), 및 트랜지스터(Tr1)와 적어도 부분적으로 중첩되는 트랜지스터(Tr2)를 포함한다. 또한, 트랜지스터(Tr1) 및 트랜지스터(Tr2)는 보텀 게이트 트랜지스터이다.

[0443] 트랜지스터(Tr1)는 트랜지스터(Tr2)와 적어도 부분적으로 중첩되기 때문에, 트랜지스터 면적이 축소될 수 있다.

[0444] 트랜지스터(Tr1)는 기판(102) 위의 도전막(104), 기판(102) 및 도전막(104) 위의 절연막(106), 절연막(106) 위의 산화물 반도체막(108), 산화물 반도체막(108) 위의 도전막(112a), 산화물 반도체막(108) 위의 도전막(112b), 산화물 반도체막(108), 도전막(112a), 및 도전막(112b) 위의 절연막(114), 절연막(114) 위의 절연막(116), 및 절연막(116) 위의 도전막(122c)을 포함한다.

[0445] 트랜지스터(Tr2)는 도전막(112b), 도전막(112b) 위의 절연막(114), 절연막(114) 위의 절연막(116), 절연막(116) 위의 산화물 반도체막(128), 산화물 반도체막(128) 위의 도전막(122a), 산화물 반도체막(128) 위의 도전막(122b), 산화물 반도체막(128), 도전막(122a), 및 도전막(122b) 위의 절연막(124), 절연막(124) 위의 절연막(126), 및 절연막(126) 위의 도전막(130)을 포함한다. 또한 도전막(130)은 절연막(124 및 126)에 제공된 개구(182)를 통하여 도전막(122a)과 접속된다.

[0446] 도 26의 (A) 및 (B)에 도시된 바와 같이, 산화물 반도체막(108) 및 산화물 반도체막(128)은 서로 부분적으로 중첩된다. 또한 도 26의 (A) 및 (B)에 도시된 바와 같이, 트랜지스터(Tr1)의 산화물 반도체막(108)에 형성되는 채널 영역은 트랜지스터(Tr2)의 산화물 반도체막(128)에 형성되는 채널 영역과 중첩되지 않는 것이 바람직하다.

[0447] 트랜지스터(Tr1)의 채널 영역이 트랜지스터(Tr2)의 채널 영역과 중첩되면, 동작하는 하나의 트랜지스터가 다른 하나의 트랜지스터에 악영향을 줄 가능성이 있다. 이 악영향을 피하기 위하여, 트랜지스터(Tr1)와 트랜지스터(Tr2) 사이의 거리를 길게 하는 구조, 또는 트랜지스터(Tr1)와 트랜지스터(Tr2) 사이에 도전막이 형성되는 구조 등을 사용할 수 있다. 그러나, 전자의 구조가 사용되는 경우, 반도체 장치의 두께가 두꺼워진다. 따라서, 예를 들어, 반도체 장치(190)가 플렉시블 기판 등 위에 형성되는 경우, 접힘성 등에 문제가 발생할 수 있다. 후자의 구조가 사용되는 경우, 도전막의 형성 공정이 필요하고 반도체 장치의 두께가 두꺼워진다는 문제가 있다.

[0448] 그러나, 본 발명의 일 형태의 반도체 장치(190)에서는, 트랜지스터(Tr1)는 트랜지스터(Tr2)와 중첩되고 그들의 채널 영역은 서로 중첩되지 않는다. 또한 채널 영역이 형성되는 이들 산화물 반도체막의 일부가 서로 중첩되기 때문에, 트랜지스터 면적이 바람직하게 축소될 수 있다.

[0449] 또한, 산화물 반도체막(108) 및 산화물 반도체막(128) 각각은 In, *M*(*M*은 Al, Ga, Y, 또는 Sn), 및 Zn을 포함한다. 예를 들어, 산화물 반도체막(108) 및 산화물 반도체막(128) 각각은 In의 원자 비율이 *M*의 원자 비율보다 높은 영역을 포함하는 것이 바람직하다. 또한 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않고, In의 원자 비율이 *M*의 원자 비율보다 낮은 영역을 각각 포함하거나, 또는 In의 원자 비율이 *M*의 원자 비율과 동등한 영역을 포함하여도 좋다.

[0450] 산화물 반도체막(108) 및 산화물 반도체막(128)의 조성은 같거나 또는 실질적으로 같은 것이 바람직하다. 산화물 반도체막(108) 및 산화물 반도체막(128)의 조성이 같으면, 제작 비용을 저감할 수 있다. 또한 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않고, 산화물 반도체막(108) 및 산화물 반도체막(128)의 조성은 서로 상이하여도 좋다.

[0451] 산화물 반도체막(108) 및 산화물 반도체막(128) 각각이, In의 원자 비율이 *M*의 원자 비율보다 큰 영역을 포함하면, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 전계 효과 이동도를 높일 수 있다.

[0452] 도 26의 (A) 및 (B)에 나타낸 반도체 장치(190)는 표시 장치의 화소 회로에 적합하게 사용될 수 있다. 도 26의 (A) 및 (B)에 나타낸 레이아웃에 의하여 표시 장치의 화소 밀도를 높일 수 있다. 예를 들어, 표시 장치의 화소 밀도가 1000ppi(pixel per inch) 또는 2000ppi를 초과하는 경우에도, 도 26의 (A) 및 (B)에 나타낸 구조에 의하여 화소의 개구율을 높일 수 있다. 또한 ppi는 인치당 화소수를 나타내는 단위이다.

[0453] 도 26의 (A) 및 (B)에 나타낸 반도체 장치(190)를 표시 장치의 화소에 사용하면, 트랜지스터의 채널 길이(L) 및 채널 폭(W), 그리고 트랜지스터에 접속된 배선 및 전극의 선폭 등을 비교적 크게 할 수 있다. 예를 들어, 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 도 26의 (A) 및 (B)에 나타낸 바와 같이 적어도 부분적으로 서로 중첩되는 경우, 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 같은 면에 제공되는 경우보다 선폭 등을 크게 할 수 있으므로, 가공 치수의 편차를 저감할 수 있다.

[0454] 또한 도전막 및 절연막 중 한쪽 또는 양쪽 모두를 트랜지스터(Tr1) 및 트랜지스터(Tr2)가 공유함으로써, 마스크

또는 공정의 수를 줄일 수 있다.

[0455] 예를 들어 트랜지스터(Tr1)에서, 도전막(104)은 제 1 게이트 전극으로서 기능하고, 도전막(112a)은 소스 전극으로서 기능하고, 도전막(112b)은 드레인 전극으로서 기능하고, 도전막(122c)은 제 2 게이트 전극으로서 기능한다. 또한 트랜지스터(Tr1)에서, 절연막(106)은 제 1 게이트 절연막으로서 기능하고, 절연막(114 및 116)은 제 2 게이트 절연막으로서 기능한다. 트랜지스터(Tr2)에서, 도전막(112b)은 제 1 게이트 전극으로서 기능하고, 도전막(122a)은 소스 전극으로서 기능하고, 도전막(122b)은 드레인 전극으로서 기능하고, 도전막(130)은 제 2 게이트 전극으로서 기능한다. 또한 트랜지스터(Tr2)에서 절연막(114 및 116)은 제 1 게이트 절연막으로서 기능하고, 절연막(124 및 126)은 제 2 게이트 절연막으로서 기능한다.

[0456] 또한 본 명세서 등에서, 절연막(106)을 제 1 절연막이라고 하여도 좋고, 절연막(114 및 116)을 총칭하여 제 2 절연막이라고 하여도 좋고, 절연막(124 및 126)을 총칭하여 제 3 절연막이라고 하여도 좋다.

[0457] 도전막(130) 위에 절연막(134)이 제공된다. 절연막(134) 위에 절연막(136)이 제공된다. 도전막(130)에 도달하도록 개구(184)가 절연막(134 및 136)에 제공된다. 또한 절연막(136) 위에 도전막(138)이 제공된다. 또한 도전막(138)은 개구(184)에서 도전막(130)과 접속된다.

[0458] 또한 도전막(138) 위에 절연막(140), EL층(150), 및 도전막(144)이 제공된다. 절연막(140)은 도전막(138)의 측단부의 일부를 덮고 인접한 화소들 사이에서의 도전막(138)의 단락(short circuit)을 방지한다. EL층(150)은 광을 방출한다. 발광 소자(160)는 도전막(138), EL층(150), 및 도전막(144)으로 구성된다. 도전막(138)은 발광 소자(160)의 한쪽 전극으로서 기능한다. 도전막(144)은 발광 소자(160)의 다른 쪽 전극으로서 기능한다.

[0459] 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치에서는, 복수의 트랜지스터가 적층되어 트랜지스터 면적이 축소된다. 또한 절연막 및 도전막 중 한쪽 또는 양쪽 모두를 복수의 트랜지스터가 공유하기 때문에, 마스크 또는 공정의 수를 줄일 수 있다.

[0460] 도 26의 (A) 및 (B)에 나타낸 바와 같이, 트랜지스터(Tr1) 및 트랜지스터(Tr2) 각각은 2개의 게이트 전극을 포함한다.

[0461] 여기서, 2개의 게이트 전극의 효과에 대하여 도 26의 (A) 및 (B), 및 도 27을 참조하여 설명한다.

[0462] 도 27에 나타낸 바와 같이, 제 2 게이트 전극으로서 기능하는 도전막(122c)은 제 1 게이트 전극으로서 기능하는 도전막(104)과 개구(181)에서 전기적으로 접속된다. 따라서, 도전막(104) 및 도전막(122c)에는 같은 전위가 공급된다. 또한, 도 27에 나타낸 바와 같이, 산화물 반도체막(108)은 도전막(104) 및 도전막(122c)에 대향하고, 2개의 게이트 전극으로서 기능하는 도전막들 사이에 끼워져 있다. 도전막(104) 및 도전막(122c) 각각의 채널 폭 방향의 길이는 산화물 반도체막(108)의 채널 폭 방향의 길이보다 길다. 산화물 반도체막(108) 전체가 절연막(106, 114, 및 116)을 개재하여 도전막(104) 및 도전막(122c)과 중첩된다.

[0463] 바꿔 말하면, 도전막(104) 및 도전막(122c)은 절연막(106, 114, 및 116)에 제공되는 개구(181)에서 접속되고, 산화물 반도체막(108)의 측단부보다 외측에 위치한 영역을 각각 포함한다. 이러한 구조로 함으로써, 트랜지스터(Tr1)에 포함되는 산화물 반도체막(108)을 도전막(104) 및 도전막(122c)의 전계에 의하여 전기적으로 둘러쌀 수 있다. 바꿔 말하면, 트랜지스터(Tr1)는 S-channel(surrounded channel) 구조를 갖는다.

[0464] 위에서는 제 1 게이트 전극이 제 2 게이트 전극과 전기적으로 접속되는 구조에 대하여 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도 26의 (B)에 나타낸 트랜지스터(Tr2)와 같이, 제 2 게이트 전극으로서 기능하는 도전막(130)이 트랜지스터(Tr2)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막(122a)과 전기적으로 접속되어도 좋다.

[0465] <4-2. 반도체 장치의 구성 요소>

[0466] 다음으로, 본 실시형태의 반도체 장치의 구성 요소에 대하여 자세히 설명한다. 또한, 실시형태 1에서의 부분과 비슷한 부분은 같은 부호로 나타내고, 그 자세한 설명은 생략한다.

[0467] [도전막]

[0468] 도전막(122a), 도전막(122b), 도전막(122c), 도전막(130), 도전막(138), 및 도전막(144)은, 도전막(104), 도전막(112a), 도전막(112b), 도전막(120a), 및 도전막(120b)과 비슷한 재료를 사용하여 형성할 수 있다.

[0469] 도전막(122a), 도전막(122b), 도전막(122c), 도전막(130), 도전막(138), 및 도전막(144)은 각각, 인듐 및 주석

을 포함하는 산화물, 텅스텐 및 인듐을 포함하는 산화물, 텅스텐, 인듐, 및 아연을 포함하는 산화물, 타이타늄 및 인듐을 포함하는 산화물, 타이타늄, 인듐, 및 주석을 포함하는 산화물, 인듐 및 아연을 포함하는 산화물, 실리콘, 인듐, 및 주석을 포함하는 산화물, 인듐, 갈륨, 및 아연을 포함하는 산화물 등의 산화물 도전체(OC)를 사용하여 형성될 수 있다.

[0470] 상술한 산화물 도전체(OC)는 도전막(130)으로서 특히 적합하다.

[0471] [절연막]

[0472] 절연막(124), 절연막(126), 및 절연막(134)은 절연막(106), 절연막(114), 및 절연막(116)과 비슷한 재료를 사용하여 형성할 수 있다.

[0473] 또한 산화물 반도체막(108) 및 산화물 반도체막(128) 중 한쪽 또는 양쪽 모두와 접촉하는 절연막은 산화물 절연막인 것이 바람직하고, 화학량론적 조성보다 산소를 과잉으로 포함하는 영역(산소 과잉 영역)을 포함하는 것이 바람직하다. 바꿔 말하면, 산소 과잉 영역을 포함하는 산화물 절연막은 산소를 방출할 수 있는 절연막이다.

[0474] 산화물 절연막의 산소 과잉 영역은, 예를 들어 산소 분위기에서 절연막을 형성하는 방법, 절연막을 형성하고 나서 산소 분위기에서 가열 처리를 실시하는 방법, 또는 절연막을 형성하고 나서 이 절연막에 산소를 첨가하는 방법 중 임의의 방법으로 형성할 수 있다. 형성된 절연막에 산소를 첨가하기 위해서는 플라스마 처리가 바람직하다.

[0475] 트랜지스터(Tr1) 및 트랜지스터(Tr2) 각각의 게이트 절연막으로서 기능하는 절연막은 질화 실리콘을 사용하여 형성하여도 좋다. 게이트 절연막으로서 기능하는 절연막에 질화 실리콘을 사용하면 이하의 효과가 얻어진다. 질화 실리콘은 산화 실리콘보다 유전율이 높고, 산화 실리콘과 동등한 용량을 얻기 위해서는 두께가 더 클 필요가 있다. 따라서, 게이트 절연막의 두께를 두껍게 할 수 있다. 이에 의하여, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 내압 저하의 방지 또한 내압 증가가 가능해짐으로써, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 정전 파괴를 방지할 수 있다.

[0476] 절연막(114, 116, 124, 및 126)은 산화물 반도체막(108) 및/또는 산화물 반도체막(128)에 산소를 공급하는 기능을 갖는다. 즉, 절연막(114, 116, 124, 및 126)은 산소를 포함한다. 절연막(114 및 124)은 산소를 투과시킬 수 있는 절연막이다. 또한 절연막(114)은 나중의 공정에서의 절연막(116) 형성 시에 산화물 반도체막(108)에 대한 대미지를 완화시키는 막으로서도 기능한다. 절연막(124)은 나중의 공정에서의 절연막(126) 형성 시에 산화물 반도체막(128)에 대한 대미지를 완화시키는 막으로서도 기능한다.

[0477] 절연막(114 및 124)으로서는 두께 5㎚ 이상 150㎚ 이하, 바람직하게는 5㎚ 이상 50㎚ 이하의 산화 실리콘막 또는 산화 질화 실리콘막 등을 사용할 수 있다.

[0478] 또한, 절연막(114 및 124)의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 측정되었을 때, 실리콘의 댕글링 본드로 인하여 g=2.001에서 나타나는 신호의 스핀 밀도가 3×10^{17}spins/㎤ 이하인 것이 바람직하다. 이는 절연막(114 및 124) 각각에서의 결함의 밀도가 높으면 산소가 결함에 결합되고, 절연막(114)을 투과하는 산소의 양이 감소되기 때문이다.

[0479] 절연막(114 및 124)은 각각 질소 산화물로 인한 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다. 또한, 질소 산화물로 인한 준위 밀도는 산화물 반도체막의 가전자대 상단의 에너지(E_{v_os})와 전도대 하단의 에너지(E_{c_os}) 사이에 형성될 수 있다. 상술한 산화물 절연막으로서는, 질소 산화물의 방출이 적은 산화 질화 실리콘막 및 질소 산화물의 방출이 적은 산화 질화 알루미늄막 등을 사용할 수 있다.

[0480] 또한 질소 산화물의 방출이 적은 산화 질화 실리콘막은, TDS(thermal desorption spectroscopy)에서의 암모니아의 방출량이 질소 산화물의 방출량보다 큰 막이고, 암모니아의 방출량은 대표적으로는 1×10^{18}㎤ 이상 5×10^{19}㎤ 이하이다. 또한, 상기 암모니아의 방출량은, TDS에서 50℃ 내지 650℃ 또는 50℃ 내지 550℃의 온도 범위의 가열 처리에 의하여 방출되는 암모니아의 총량이다. 상기 암모니아의 방출량은 TDS에서 암모니아 분자로 변환된 암모니아의 총 방출량이다.

[0481] 절연막(134)은 트랜지스터(Tr1) 및 트랜지스터(Tr2) 각각의 보호 절연막으로서 기능한다.

[0482] 절연막(134)은 수소 및 질소 중 한쪽 또는 양쪽 모두를 포함한다. 또는, 절연막(134)은 질소 및 실리콘을 포함한다. 절연막(134)은 산소, 수소, 물, 알칼리 금속, 또는 알칼리 토금속 등을 차단하는 기능을 갖는다. 절연

막(134)을 제공함으로써, 산화물 반도체막(108) 및 산화물 반도체막(128)으로부터의 산소의 외부 확산, 절연막(114, 116, 124, 및 126)에 포함되는 산소의 외부 확산, 및 외부로부터 산화물 반도체막(108 및 128)에 대한 수소 또는 물 등의 진입을 방지할 수 있다.

[0483] 절연막(134)은 예를 들어 질화물 절연막을 사용하여 형성할 수 있다. 질화물 절연막은 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 또는 질화 산화 알루미늄 등을 사용하여 형성된다.

[0484] 절연막(136) 및 절연막(140)은 각각 트랜지스터 등에 의하여 발생되는 요철 등을 덮는 기능을 갖는다. 절연막(136 및 140)은 각각 절연성을 갖고, 무기 또는 유기 재료를 사용하여 형성된다. 무기 재료의 예에는 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 및 질화 알루미늄막이 포함된다. 유기 재료의 예에는 아크릴 수지 및 폴리이미드 수지 등의 감광성 수지 재료가 포함된다.

[0485] [산화물 반도체막]

[0486] 산화물 반도체막(128)은, 상술한 산화물 반도체막(108)과 비슷한 재료를 사용하여 형성할 수 있다.

[0487] [EL층]

[0488] EL층(150)은 광을 방출하는 기능을 갖고, 적어도 발광 소자를 포함한다. 발광층 외에, EL층(150)은 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층 등의 기능층을 포함한다. 저분자 화합물 또는 고분자 화합물을 EL층(150)에 사용할 수 있다.

[0489] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0490] (실시형태 5)

[0491] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 포함하는 표시 장치의 표시부 등에 사용할 수 있는 표시 패널의 예에 대하여, 도 28 및 도 29를 참조하여 설명한다. 이하에서 예로서 설명하는 표시 패널은 반사형 액정 소자 및 발광 소자의 양쪽 모두를 포함하고, 투과 모드로도 반사 모드로도 화상을 표시할 수 있다.

[0492] <5-1. 표시 패널의 구조예>

[0493] 도 28은 본 발명의 일 형태의 표시 패널(600)을 도시한 사시 개략도이다. 표시 패널(600)에서는, 기판(651)과 기판(661)이 서로 접합되어 있다. 도 28에서는 기판(661)을 파선으로 나타내었다.

[0494] 표시 패널(600)은 표시부(662), 회로(659), 및 배선(666) 등을 포함한다. 기판(651)에는 회로(659), 배선(666), 및 화소 전극으로서 기능하는 도전막(663) 등이 제공된다. 도 28에서는, IC(673) 및 FPC(672)를 기판(651)에 실장한다. 따라서, 도 28에 도시된 구조는 표시 패널(600), FPC(672), 및 IC(673)를 포함하는 표시 모듈이라고 할 수 있다.

[0495] 회로(659)로서는, 예를 들어, 주사선 구동 회로로서 기능하는 회로를 사용할 수 있다.

[0496] 배선(666)은 표시부 또는 회로(659)에 신호 또는 전력을 공급하는 기능을 갖는다. 상기 신호 또는 전력은 IC(673)로부터, 또는 FPC(672)를 통하여 외부로부터 배선(666)에 입력된다.

[0497] 도 28은 IC(673)가 COG(chip on glass)법 등에 의하여 기판(651)에 제공되는 예를 나타낸 것이다. IC(673)로서는, 주사선 구동 회로 또는 신호선 구동 회로 등으로서 기능하는 IC를 사용할 수 있다. 또한, 예를 들어 표시 패널(600)이 주사선 구동 회로 및 신호선 구동 회로로서 기능하는 회로를 포함하는 경우, 및 주사선 구동 회로 및 신호선 구동 회로로서 기능하는 회로가 외부에 제공되고 FPC(672)를 통하여 표시 패널(600)을 구동시키기 위한 신호가 입력되는 경우에는, IC(673)를 제공하지 않는 것이 가능하다. 또는, IC(673)는 COF(chip on film)법 등에 의하여 FPC(672)에 실장되어도 좋다.

[0498] 도 28에는 표시부(662)의 일부의 확대도도 나타내었다. 복수의 표시 소자에 포함되는 도전막(663)은 표시부(662)에 매트릭스로 배치된다. 도전막(663)은 가시광을 반사하는 기능을 갖고, 나중에 설명하는 액정 소자(640)의 반사 전극으로서 기능한다.

[0499] 도 28에 도시된 바와 같이, 도전막(663)은 개구를 갖는다. 발광 소자(660)는 도전막(663)보다 기판(651) 가까이에 위치한다. 도전막(663)의 개구를 통하여 발광 소자(660)로부터 기판(661)에 광이 방출된다.

[0500] <5-2. 단면 구조예>

[0501] 도 29는, 도 28에 도시된 표시 패널의, FPC(672)를 포함하는 영역의 일부, 회로(659)를 포함하는 영역의 일부, 및 표시부(662)를 포함하는 영역의 일부의 단면의 예를 나타낸 것이다.

[0502] 표시 패널은 기판들(651 및 661) 사이에 절연막(620)을 포함한다. 표시 패널은 기판(651)과 절연막(620) 사이에 발광 소자(660), 트랜지스터(601), 트랜지스터(605), 트랜지스터(606), 및 착색층(634) 등도 포함한다. 또한, 표시 패널은 절연막(620)과 기판(661) 사이에 액정 소자(640) 및 착색층(631) 등을 포함한다. 기판(661)과 절연막(620)은 접착층(641)에 의하여 접합된다. 기판(651)과 절연막(620)은 접착층(642)에 의하여 접합된다.

[0503] 트랜지스터(606)는 액정 소자(640)와 전기적으로 접속되고, 트랜지스터(605)는 발광 소자(660)와 전기적으로 접속된다. 트랜지스터(605 및 606)는 기판(651) 측에 있는 절연막(620)의 표면에 형성되기 때문에, 트랜지스터(605 및 606)는 같은 공정을 거쳐 형성될 수 있다.

[0504] 기판(661)에는 착색층(631), 차광막(632), 절연막(621), 액정 소자(640)의 공통 전극으로서 기능하는 도전막(613), 배향막(633b), 및 절연막(617) 등이 제공된다. 절연막(617)은 액정 소자(640)의 셀 갭을 유지하기 위한 스페이서로서 기능한다.

[0505] 절연막(681), 절연막(682), 절연막(683), 절연막(684), 및 절연막(685) 등의 절연층은 절연막(620)의 기판(651) 측에 제공된다. 절연막(681)의 일부는 각 트랜지스터의 게이트 절연층으로서 기능한다. 절연막(682, 683, 및 684)은 각 트랜지스터를 덮도록 제공된다. 절연막(685)은 절연막(684)을 덮도록 제공된다. 절연막(684 및 685)은 각각 평탄화층으로서 기능한다. 또한, 여기서는 절연막(682, 683, 및 684)의 3층의 절연층이 트랜지스터 등을 덮도록 제공되는 예를 설명하였지만, 본 발명의 일 형태는 이 예에 한정되지 않고, 4층 이상의 절연층, 단층의 절연층, 또는 2층의 절연층이 제공되어도 좋다. 평탄화층으로서 기능하는 절연막(684)은 필요가 없으면 반드시 제공할 필요는 없다.

[0506] 트랜지스터(601, 605, 및 606)는 각각, 일부가 게이트로서 기능하는 도전막(654), 일부가 소스 또는 드레인으로서 기능하는 도전막(652), 및 반도체막(653)을 포함한다. 여기서, 같은 도전막을 가공함으로써 얻어지는 복수의 층은 같은 해칭 패턴으로 나타낸다.

[0507] 액정 소자(640)는 반사형 액정 소자이다. 액정 소자(640)는 도전막(635), 액정층(612), 및 도전막(613)의 적층 구조를 갖는다. 또한, 가시광을 반사하는 도전막(663)은 기판(651)과 대향하는 도전막(635)의 표면과 접촉하여 제공된다. 도전막(663)은 개구(655)를 포함한다. 도전막(635 및 613)은 가시광을 투과시키는 재료를 포함한다. 또한, 배향막(633a)은 액정층(612)과 도전막(635) 사이에 제공되고, 배향막(633b)은 액정층(612)과 도전막(613) 사이에 제공된다. 편광판(656)은 기판(661)의 바깥쪽 면에 제공된다.

[0508] 액정 소자(640)에서는, 도전막(663)은 가시광을 반사하는 기능을 갖고, 도전막(613)은 가시광을 투과시키는 기능을 갖는다. 기판(661) 측으로부터 들어오는 광은 편광판(656)에 의하여 편광되고, 도전막(613) 및 액정층(612)을 통과하고, 도전막(663)에 의하여 반사된다. 그리고, 상기 광은 액정층(612) 및 도전막(613)을 다시 통과하고, 편광판(656)에 도달한다. 이 경우, 도전막(613)과 도전막(663) 사이에 인가되는 전압에 의하여 액정의 배향을 제어함으로써, 광의 광학 변조를 제어할 수 있다. 즉, 편광판(656)을 통하여 방출되는 광의 강도를 제어할 수 있다. 특정 파장 영역에서의 광을 제외한 광은 착색층(631)에 의하여 흡수되기 때문에, 방출된 광은 예를 들어 적색 광이다.

[0509] 발광 소자(660)는 보텀 이미션 발광 소자이다. 발광 소자(660)는, 도전막(643), EL층(644), 및 도전막(645b)을 절연막(620) 측으로부터 이 순서대로 적층하는 구조를 갖는다. 또한, 도전막(645a)은 도전막(645b)을 덮도록 제공된다. 도전막(645b)은 가시광을 반사하는 재료를 포함하고, 도전막(643 및 645a)은 가시광을 투과시키는 재료를 포함한다. 착색층(634), 절연막(620), 개구(655), 및 도전막(613) 등을 통하여 발광 소자(660)로부터 기판(661) 측에 광이 방출된다.

[0510] 여기서는, 도 29에 도시된 바와 같이, 가시광을 투과시키는 도전막(635)이 개구(655)에 제공되는 것이 바람직하다. 이에 의하여, 액정이 개구(655)와 중첩되는 영역에서도 다른 영역과 마찬가지로 배향되면 이들 영역의 경계 부분에서 액정의 배향 불량이 발생하는 것이 방지되고, 원하지 않는 광 누설이 억제될 수 있다.

[0511] 기판(661)의 바깥쪽 면에 제공되는 편광판(656)으로서, 직선 편광판 또는 원 편광판을 사용할 수 있다. 원 편광판의 예는 직선 편광판 및 1/4 파장 위상차판을 포함하는 적층이다. 이러한 구조에 의하여, 외광의 반사를 저감할 수 있다. 액정 소자(640)로서 사용되는 액정 소자의 셀 갭, 배향, 및 구동 전압 등은 소망의 명암비가 얻어지도록, 편광판의 종류에 따라 제어된다.

[0512] 또한, 도전막(643)의 단부를 덮는 절연막(646)에 절연막(647)이 제공된다. 절연막(647)은 절연막(620) 및 기판(651)이 필요 이상으로 가까워지는 것을 방지하기 위한 스페이서로서의 기능을 갖는다. EL층(644) 또는 도전막(645a)이 차폐 마스크(메탈 마스크)를 사용하여 형성되는 경우, 절연막(647)은 EL층(644) 또는 도전막(645a)이 형성되는 면과 차폐 마스크가 접촉하는 것을 방지하는 기능을 가져도 좋다. 또한, 절연막(647)은 필요 없으면 반드시 제공할 필요는 없다.

[0513] 트랜지스터(605)의 소스 및 드레인 중 한쪽은 도전막(648)을 통하여 발광 소자(660)의 도전막(643)과 전기적으로 접속된다.

[0514] 트랜지스터(606)의 소스 및 드레인 중 한쪽은 접속부(607)를 통하여 도전막(663)과 전기적으로 접속된다. 도전막(663 및 635)은 서로 접촉되고, 전기적으로 접속된다. 여기서, 접속부(607)에서는 절연막(620)의 양쪽 면에 제공되는 도전층들이 절연막(620)의 개구를 통하여 서로 접속된다.

[0515] 기판(651 및 661)이 서로 중첩되지 않는 영역에 접속부(604)가 제공된다. 접속부(604)는 접속층(649)을 통하여 FPC(672)와 전기적으로 접속된다. 접속부(604)는 접속부(607)와 비슷한 구조를 갖는다. 접속부(604)의 상면에는, 도전막(635)과 같은 도전막을 가공함으로써 얻어진 도전층이 노출되어 있다. 따라서, 접속부(604) 및 FPC(672)는 접속층(649)을 통하여 서로 전기적으로 접속될 수 있다.

[0516] 접착층(641)이 제공되는 영역의 일부에 접속부(687)가 제공된다. 접속부(687)에서, 도전막(635)과 같은 도전막을 가공함으로써 얻어진 도전층이 커넥터(686)에 의하여 도전막(613)의 일부와 전기적으로 접속된다. 이에 의하여, 기판(651) 측과 접속되는 FPC(672)로부터 입력되는 신호 또는 전위를 접속부(687)를 통하여, 기판(661) 측에 형성되는 도전막(613)에 공급할 수 있다.

[0517] 커넥터(686)로서는, 예를 들어 도전성 입자를 사용할 수 있다. 도전성 입자로서는, 금속 재료로 피복한 유기 수지 또는 실리카 등의 입자를 사용할 수 있다. 접촉 저항을 저감할 수 있으므로 금속 재료로서 니켈 또는 금을 사용하는 것이 바람직하다. 또한, 니켈로 피복하고 금으로 더 피복한 입자 등, 2종류 이상의 금속 재료의 층으로 피복한 입자를 사용하는 것이 바람직하다. 커넥터(686)로서는, 탄성 변형 또는 소성(塑性) 변형이 가능한 재료를 사용하는 것이 바람직하다. 도 29에 도시된 바와 같이, 도전성 입자인 커넥터(686)는 수직으로 찌부러진 형상을 갖는 경우가 있다. 찌부러진 형상에 의하여, 커넥터(686)와, 커넥터(686)에 전기적으로 접속되는 도전층의 접촉 면적을 증대시킬 수 있으므로, 접촉 저항이 저감되고 접속 불량 등의 문제의 발생이 억제된다.

[0518] 커넥터(686)는 접착층(641)으로 덮이도록 제공되는 것이 바람직하다. 예를 들어, 접착층(641)이 경화되기 전의 접착층(641)에 커넥터(686)를 분산시킨다.

[0519] 도 29는 트랜지스터(601)가 제공되는 회로(659)의 예를 도시한 것이다.

[0520] 채널이 형성되는 반도체막(653)이 2개의 게이트 사이에 제공되는 구조를 도 29의 트랜지스터(601 및 605)의 예로서 사용한다. 한쪽 게이트는 도전막(654)을 사용하여 형성되고, 다른 쪽 게이트는 절연막(682)을 개재하여 반도체막(653)과 중첩하는 도전막(623)을 사용하여 형성된다. 이러한 구조로 함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다. 이 경우, 2개의 게이트를 서로 접속하여도 좋고, 같은 신호를 공급하여 트랜지스터를 동작시켜도 좋다. 이러한 트랜지스터는 다른 트랜지스터보다 전계 효과 이동도를 높게 할 수 있기 때문에, 다른 트랜지스터보다 온 상태 전류를 높게 할 수 있다. 그 결과, 고속 동작이 가능한 회로를 얻을 수 있다. 또한, 회로부에 의하여 점유되는 면적을 축소할 수 있다. 사이즈 또는 선명도의 증가로 인하여 배선의 개수가 증가된 표시 패널이어도 온 상태 전류가 높은 트랜지스터를 사용함으로써 배선에서의 신호 지연을 저감할 수 있고, 표시의 불균일을 저감할 수 있다.

[0521] 또한, 회로(659)에 포함되는 트랜지스터, 및 표시부(662)에 포함되는 트랜지스터는 같은 구조를 가져도 좋다. 회로(659)에 포함되는 복수의 트랜지스터는 같은 구조를 가져도 좋고 상이한 구조를 가져도 좋다. 표시부(662)에 포함되는 복수의 트랜지스터는 같은 구조를 가져도 좋고 상이한 구조를 가져도 좋다.

[0522] 트랜지스터들을 덮는 절연막(682 및 683) 중 적어도 하나에, 물 및 수소 등의 불순물이 쉽게 확산되지 않는 재료를 사용하는 것이 바람직하다. 즉, 절연막(682) 또는 절연막(683)은 배리어막으로서 기능할 수 있다. 이러한 구조에 의하여, 외부로부터 트랜지스터로의 불순물의 확산을 효과적으로 억제할 수 있고, 신뢰성이 높은 표시 패널을 제공할 수 있다.

[0523] 절연막(621)은 기판(661) 측에 제공되어 착색층(631) 및 차광막(632)을 덮는다. 절연막(621)은 평탄화층으로서의 기능을 가져도 좋다. 절연막(621)에 의하여, 도전막(613)을 거의 평탄한 면으로 할 수 있으므로, 액정층

(612)의 배향 상태를 균일하게 할 수 있다.

[0524] 표시 패널(600)의 제작 방법의 예에 대하여 설명한다. 예를 들어, 도전막(635), 도전막(663), 및 절연막(620)은 박리층이 제공되는 지지 기판 위에 순서대로 형성되고, 트랜지스터(605), 트랜지스터(606), 및 발광 소자(660) 등이 형성된다. 그리고, 기판(651)과 지지 기판은 접착층(642)에 의하여 접합된다. 그 후, 박리층과, 절연막(620) 및 도전막(635) 각각의 계면에서 박리가 수행됨으로써, 지지 기판 및 박리층이 제거된다. 이와 별도로, 착색층(631), 차광막(632), 및 도전막(613) 등을 기판(661) 위에 미리 형성한다. 그리고, 기판(651 또는 661)에 액정을 적하하고, 기판들(651 및 661)을 접착층(641)에 의하여 접합함으로써, 표시 패널(600)을 제작할 수 있다.

[0525] 박리층의 재료는, 절연막(620) 및 도전막(635)과의 계면에서 박리가 일어나도록 선택될 수 있다. 특히, 텅스텐 등의 고융점 금속 재료를 포함하는 층과 상기 금속 재료의 산화물을 포함하는 층의 적층을 박리층으로서 사용하고, 질화 실리콘층, 산화 질화 실리콘층, 및 질화 산화 실리콘층 등의 복수의 층의 적층을 박리층 위의 절연막(620)으로서 사용하는 것이 바람직하다. 박리층에 고융점 금속 재료를 사용함으로써, 나중의 공정에서 형성되는 층의 형성 온도를 높일 수 있어, 불순물 농도가 저감되고 신뢰성이 높은 표시 패널을 실현할 수 있다.

[0526] 도전막(635)으로서, 금속 산화물 또는 금속 질화물 등의 산화물 또는 질화물을 사용하는 것이 바람직하다. 금속 산화물을 사용하는 경우에는, 수소, 붕소, 인, 질소, 및 그 외의 불순물의 농도, 및 산소 결손의 수 중 적어도 하나가 트랜지스터의 반도체층보다 높아진 재료가 도전막(635)에 사용된다.

[0527] <5-3. 구성 요소>

[0528] 상술한 구성 요소에 대하여 이하에서 설명한다. 또한, 상술한 실시형태와 비슷한 기능을 갖는 구조의 설명은 생략한다.

[0529] [접착층]

[0530] 접착층으로서는, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제, 자외선 경화형 접착제 등의 광 경화형 접착제 등 다양한 경화형 접착제를 사용할 수 있다. 이들 접착제의 예에는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, 폴리바이닐클로라이드(PVC) 수지, 폴리바이닐뷰티랄(PVB) 수지, 및 에틸렌바이닐아세테이트(EVA) 수지가 포함된다. 특히, 에폭시 수지 등의 투습성이 낮은 재료가 바람직하다. 또는, 2액 혼합형 수지를 사용하여도 좋다. 또는, 접착 시트 등을 사용하여도 좋다.

[0531] 또한, 상기 수지는 건조제를 포함하여도 좋다. 예를 들어, 알칼리 토금속의 산화물(예를 들어, 산화 칼슘 또는 산화 바륨) 등, 화학 흡착에 의하여 수분을 흡착하는 물질을 사용할 수 있다. 또는, 제올라이트 또는 실리카겔 등 물리 흡착에 의하여 수분을 흡착하는 물질을 사용하여도 좋다. 건조제를 포함하면, 수분 등의 불순물이 소자에 들어가는 것을 방지할 수 있어, 표시 패널의 신뢰성이 향상되기 때문에 바람직하다.

[0532] 또한, 수지에 높은 굴절률을 갖는 필러 또는 광 산란 부재를 혼합하는 것이 바람직하고, 이 경우, 광 추출 효율을 향상시킬 수 있다. 예를 들어, 산화 타이타늄, 산화 바륨, 제올라이트, 또는 지르코늄 등을 사용할 수 있다.

[0533] [접속층]

[0534] 접속층으로서는, ACF(anisotropic conductive film) 또는 ACP(anisotropic conductive paste) 등을 사용할 수 있다.

[0535] [착색층]

[0536] 착색층에 사용할 수 있는 재료의 예에는, 금속 재료, 수지 재료, 및 안료 또는 염료를 포함하는 수지 재료가 포함된다.

[0537] [차광층]

[0538] 차광층에 사용할 수 있는 재료의 예는, 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 및 복수의 금속 산화물의 고용체를 포함하는 복합 산화물을 포함한다. 차광층은 수지 재료를 포함하는 막이어도 좋고, 금속 등의 무기 재료의 박막이어도 좋다. 착색층의 재료를 포함하는 적층막을 차광층에 사용할 수도 있다. 예를 들어, 특정한 색의 광을 투과시키는 착색층의 재료를 포함하는 막과, 다른 색의 광을 투과시키는 착색층의 재료를 포함하는 막의 적층 구조를 적용할 수 있다. 같은 제조 장치를 사용할 수 있고, 공정을 간략화할 수 있기 때문에,

착색층 및 차광층을 같은 재료를 사용하여 형성하는 것이 바람직하다.

[0539] 이상이 구성 요소에 대한 설명이다.

[0540] <5-4. 제작 방법의 예>

[0541] 가요성 기판을 사용하는 표시 패널의 제작 방법의 예에 대하여 설명한다.

[0542] 여기서는, 표시 소자, 회로, 배선, 전극, 착색층 및 차광층 등의 광학 부재, 및 절연층 등을 포함하는 층을 총칭하여 소자층이라고 한다. 소자층은 예를 들어, 표시 소자를 포함하고, 표시 소자와 전기적으로 접속되는 배선, 또는 화소 또는 회로에 사용되는 트랜지스터 등의 소자를 추가적으로 포함하여도 좋다.

[0543] 또한, 여기서는 표시 소자가 완성된(제작 공정이 종료된) 단계에서 소자층을 지지하는 가요성 부재를 기판이라고 한다. 예를 들어, 기판은 두께가 10㎚ 이상 300㎛ 이하의 매우 얇은 막 등을 포함한다.

[0544] 절연 표면이 제공된 가요성 기판 위에 소자층을 형성하는 방법으로서는, 대표적으로 이하에 나타낸 2개의 방법이 있다. 이들 중 하나는 기판 위에 소자층을 직접 형성하는 방법이다. 다른 방법은, 기판과 다른 지지 기판 위에 소자층을 형성하고 나서, 지지 기판으로부터 소자층을 박리하여 기판으로 전치하는 방법이다. 여기서는 자세히 설명하지 않았지만, 상술한 2개의 방법에 더하여, 가요성을 갖지 않는 기판 위에 소자층을 형성하고, 상기 기판을 가요성을 갖도록 연마 등에 의하여 얇게 하는 방법이 있다.

[0545] 기판의 재료가 소자층의 형성 공정의 가열 온도를 견딜 수 있는 경우에는, 기판 위에 직접 소자층을 형성하는 것이 바람직하고, 이 경우에는 제작 공정을 간략화할 수 있다. 이때, 기판을 지지 기판에 고정한 상태에서 소자층을 형성하는 것이 바람직하고, 이 경우에는, 장치 내 및 장치 간에서의 반송을 쉽게 할 수 있다.

[0546] 소자층을 지지 기판 위에 형성한 다음에 기판으로 전치하는 방법을 적용하는 경우에는, 먼저 지지 기판 위에 박리층과 절연층을 적층하고 나서 절연층 위에 소자층을 형성한다. 다음으로, 지지 기판으로부터 소자층을 박리한 다음에 기판으로 전치한다. 이때 선택된 것은 지지 기판과 박리층의 계면, 박리층과 절연층의 계면, 또는 박리층 내에서 박리가 일어나는 재료이다. 이 방법을 사용하면, 지지 기판 또는 박리층에 내열성이 높은 재료를 사용하는 것이 바람직하고, 이 경우에는 소자층의 형성 시에 가해지는 온도의 상항을 높일 수 있고, 신뢰성이 더 높은 소자를 포함하는 소자층을 형성할 수 있다.

[0547] 예를 들어, 텅스텐 등의 고융점 금속 재료를 포함하는 층과 금속 재료의 산화물을 포함하는 층의 적층을 박리층으로서 사용하고, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 및 질화 산화 실리콘층 등의 복수의 층의 적층을 박리층 위의 절연층으로서 사용하는 것이 바람직하다.

[0548] 지지 기판을 소자층으로부터 박리하는 방법으로서는, 기계적 힘을 가하는 것, 박리층을 에칭하는 것, 및 액체를 박리 계면에 침투시키는 것을 예로서 든다. 또는, 열 팽창 계수의 차이를 이용하여, 박리 계면의 2개의 층을 가열하거나 냉각시킴으로써 박리를 수행하여도 좋다.

[0549] 지지 기판과 절연층의 계면에서 박리를 수행할 수 있는 경우에는 반드시 박리층을 제공할 필요는 없다.

[0550] 예를 들어, 유리 및 폴리이미드 등의 유기 수지를 지지 기판 및 절연층으로서 각각 사용할 수 있다. 이 경우, 예를 들어 레이저 광 등에 의하여 유기 수지의 일부를 국소적으로 가열하거나, 또는 예리한 도구로 유기 수지의 일부를 물리적으로 절단 또는 관통시킴으로써 박리의 기점을 형성하여도 좋고, 박리를 유리와 유기 수지의 계면에서 수행하여도 좋다. 상술한 유기 수지로서, 감광성 재료를 사용하면 개구 등을 쉽게 형성할 수 있기 때문에 바람직하다. 상술한 레이저 광은, 예를 들어 가시광에서 자외광까지의 파장 영역을 갖는 것이 바람직하다. 예를 들어, 200㎚ 이상 400㎚ 이하, 바람직하게는 250㎚ 이상 350㎚ 이하의 파장의 광을 사용할 수 있다. 특히, 파장이 308㎚인 엑시머 레이저를 사용하면, 생산성이 높아지기 때문에 바람직하다. 또는, Nd:YAG 레이저의 제3 고조파인 파장 355㎚의 UV 레이저 등의 고체 UV 레이저(반도체 UV 레이저라고도 함)를 사용하여도 좋다.

[0551] 또는, 지지 기판과, 유기 수지로 형성되는 절연층 사이에 발열층을 제공하여도 좋고, 상기 발열층을 가열함으로써 상기 발열층과 절연층의 계면에서 박리가 수행되어도 좋다. 발열층에는, 전류가 공급됨으로써 발열되는 재료, 광을 흡수함으로써 발열되는 재료, 및 전계를 공급함으로써 발열되는 재료 등의 다양한 재료 중 임의의 것을 사용할 수 있다. 예를 들어 발열층에는, 반도체, 금속, 및 절연체 중에서 선택된 재료를 사용할 수 있다.

[0552] 상술한 방법에서, 유기 수지로 형성된 절연층은 박리 후에 기판으로서 사용할 수 있다.

[0553] 상기가 가요성 표시 패널의 제작 방법에 대한 설명이다.

[0554] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0555] (실시형태 6)

[0556] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 포함하는 표시 장치에 대하여 도 30의 (A) 내지 (C)를 참조하여 설명한다.

[0557] <6. 표시 장치의 회로 구성>

[0558] 도 30의 (A)에 도시된 표시 장치는 표시 소자의 화소를 포함하는 영역(이하, 화소부(502)라고 함), 화소부(502) 외부에 제공되고 화소를 구동하는 회로를 포함하는 회로부(이하, 이 회로부를 구동 회로부(504)라고 함), 소자를 보호하는 기능을 갖는 회로(이하, 이 회로를 보호 회로(506)라고 함), 및 단자부(507)를 포함한다. 또한, 보호 회로(506)를 반드시 제공할 필요는 없다.

[0559] 구동 회로부(504)의 일부 또는 전체는, 화소부(502)가 형성된 기판 위에 형성되는 것이 바람직하다. 이에 의하여, 부품 수 및 단자의 수를 줄일 수 있다. 구동 회로부(504)의 일부 또는 전체가, 화소부(502)가 형성된 기판 위에 형성되지 않는 경우, 구동 회로부(504)의 일부 또는 전체를 COG 또는 TAB(tape automated bonding)에 의하여 실장할 수 있다.

[0560] 화소부(502)는, X(X는 2 이상의 자연수임)행 및 Y(Y는 2 이상의 자연수임)열로 배치된 표시 소자들을 구동시키기 위한 복수의 회로(이하, 이 회로를 화소 회로(501)라고 함)를 포함한다. 구동 회로부(504)는, 화소를 선택하는 신호(주사 신호)를 공급하기 위한 회로(이하, 이 회로를 게이트 드라이버(504a)라고 함) 및 화소의 표시 소자를 구동시키는 신호(데이터 신호)를 공급하기 위한 회로(이하, 이 회로를 소스 드라이버(504b)라고 함) 등의 구동 회로를 포함한다.

[0561] 게이트 드라이버(504a)는 시프트 레지스터 등을 포함한다. 게이트 드라이버(504a)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호를 수신하고, 신호를 출력한다. 예를 들어, 게이트 드라이버(504a)는, 스타트 펄스 신호 또는 클럭 신호 등을 수신하고, 펄스 신호를 출력한다. 게이트 드라이버(504a)는, 주사 신호가 공급되는 배선(이하, 주사선(GL_1 내지 GL_X)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 복수의 게이트 드라이버(504a)를 제공하여 주사선(GL_1 내지 GL_X)을 개별적으로 제어하여도 좋다. 또는, 게이트 드라이버(504a)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 게이트 드라이버(504a)로부터는 다른 신호가 공급될 수 있다.

[0562] 소스 드라이버(504b)는 시프트 레지스터 등을 포함한다. 소스 드라이버(504b)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호뿐만 아니라, 데이터 신호가 생성되는 신호(화상 신호)를 수신한다. 소스 드라이버(504b)는 화상 신호로부터 화소 회로(501)에 기록되는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 스타트 펄스 신호 또는 클럭 신호 등의 입력에 의하여 생성되는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 데이터 신호가 공급되는 배선(이하, 데이터선(DL_1 내지 DL_Y)이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(504b)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 소스 드라이버(504b)로부터는 다른 신호가 공급될 수 있다.

[0563] 소스 드라이버(504b)는 예를 들어, 복수의 아날로그 스위치를 포함한다. 소스 드라이버(504b)는, 복수의 아날로그 스위치를 순차적으로 온으로 함으로써 얻어지는 시분할 화상 신호를 데이터 신호로서 출력할 수 있다. 소스 드라이버(504b)는 시프트 레지스터 등을 포함하여도 좋다.

[0564] 주사 신호가 공급되는 복수의 주사선(GL) 중 하나 및 데이터 신호가 공급되는 복수의 데이터선(DL) 중 하나를 통하여, 복수의 화소 회로(501) 각각에, 펄스 신호 및 데이터 신호가 각각 입력된다. 복수의 화소 회로(501) 각각에서의 데이터 신호의 기록 및 유지는, 게이트 드라이버(504a)에 의하여 제어된다. 예를 들어, m행 및 n열(m은 X 이하의 자연수이고, n은 Y 이하의 자연수임)의 화소 회로(501)에는, 주사선(GL_m)을 통하여 게이트 드라이버(504a)로부터 펄스 신호가 입력되고, 주사선(GL_m)의 전위에 따라 데이터선(DL_n)을 통하여 소스 드라이버(504b)로부터 데이터 신호가 입력된다.

[0565] 도 30의 (A)에서의 보호 회로(506)는, 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 주사선(GL)과 접속된다. 또는, 보호 회로(506)는 소스 드라이버(504b)와 화소 회로(501) 사이의 데이터선(DL)과 접속된다. 또는, 보호 회로(506)는 게이트 드라이버(504a)와 단자부(507) 사이의 배선과 접속될 수 있다. 또는, 보호 회

로(506)는 소스 드라이버(504b)와 단자부(507) 사이의 배선과 접속될 수 있다. 또한, 단자부(507)란, 외부 회로로부터 표시 장치에 전력, 제어 신호, 및 화상 신호를 입력하기 위한 단자를 갖는 부분을 말한다.

[0566] 보호 회로(506)는, 이 보호 회로와 접속된 배선에 특정한 범위 외의 전위가 공급되었을 때, 이 보호 회로에 접속된 배선을 다른 배선과 전기적으로 접속시킨다.

[0567] 도 30의 (A)에 도시된 바와 같이, 화소부(502) 및 구동 회로부(504)에 제공되는 보호 회로(506)는, ESD(electrostatic discharge) 등에 의하여 발생되는 과전류에 대한 표시 장치의 저항을 향상시킬 수 있다. 또한, 보호 회로(506)의 구성은 이에 한정되지 않고, 예를 들어, 게이트 드라이버(504a) 또는 소스 드라이버(504b)와 보호 회로(506)가 접속될 수 있다. 또는, 단자부(507)와 보호 회로(506)가 접속될 수 있다.

[0568] 본 발명의 일 형태는 구동 회로부(504)가 게이트 드라이버(504a) 및 소스 드라이버(504b)를 포함하는 도 30의 (A)의 예에 한정되지 않는다. 예를 들어, 게이트 드라이버(504a)만을 형성하여도 좋고, 별도로 준비된 소스 드라이버 회로가 형성된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을 실장하여도 좋다.

[0569] 도 30의 (A)에서의 복수의 화소 회로(501) 각각은 예를 들어, 도 30의 (B)에 도시된 구성을 가질 수 있다.

[0570] 도 30의 (B)에서의 화소 회로(501)는 액정 소자(570), 트랜지스터(550), 및 용량 소자(560)를 포함한다. 트랜지스터(550)로서는, 상기 실시형태에서 설명한 트랜지스터를 사용할 수 있다.

[0571] 화소 회로(501)의 사양에 따라, 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위가 적절히 설정된다. 액정 소자(570)의 배향 상태는 기록되는 데이터에 의존한다. 복수의 화소 회로(501) 각각에 포함되는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위를 공급하여도 좋다. 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공급되는 전위는 행마다 상이하여도 좋다.

[0572] 액정 소자(570)를 포함하는 표시 장치의 구동 방법의 예에는, TN 모드, STN 모드, VA 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(anti-ferroelectric liquid crystal) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS 모드, FFS 모드, 및 TBA(transverse bend alignment) 모드가 포함된다. 표시 장치의 구동 방법의 다른 예에는 ECB(electrically controlled birefringence) 모드, PDLC(polymer-dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 및 게스트-호스트 모드가 포함된다. 이에 한정되지 않고, 다양한 액정 소자 및 구동 방법을 사용할 수 있다.

[0573] *m*행 및 *n*열에서의 화소 회로(501)에서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터선(DL_*n*)과 전기적으로 접속되고, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은 주사선(GL_*m*)과 전기적으로 접속된다. 트랜지스터(550)는, 온 또는 오프가 되어 데이터 신호가 기록될지를 제어한다.

[0574] 용량 소자(560)의 한 쌍의 전극 중 한쪽은, 전위가 공급되는 배선(이하, 전위 공급선(VL)이라고 함)과 전기적으로 접속되고, 용량 소자(560)의 한 쌍의 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽과 전기적으로 접속된다. 전위 공급선(VL)의 전위는, 화소 회로(501)의 사양에 따라 적절히 설정된다. 용량 소자(560)는, 기록된 데이터를 저장하기 위한 저장 용량 소자(storage capacitor)로서 기능한다.

[0575] 예를 들어, 도 30의 (B)에서의 화소 회로(501)를 포함하는 표시 장치에서는, 도 30의 (A)에서의 게이트 드라이버(504a)가 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(550)를 온으로 하고, 데이터 신호가 기록된다.

[0576] 트랜지스터(550)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.

[0577] 또는, 도 30의 (A)에서의 복수의 화소 회로(501) 각각은, 예를 들어 도 30의 (C)에 도시된 구성을 가질 수 있다.

[0578] 도 30의 (C)에서의 화소 회로(501)는, 트랜지스터(552 및 554), 용량 소자(562), 및 발광 소자(572)를 포함한다. 상기 실시형태에서 설명한 트랜지스터를 트랜지스터(552) 및/또는 트랜지스터(554)로서 사용할 수 있다.

[0579] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터 신호가 공급되는 배선(이하, 데이터선(DL_*n*)이

라고 함)과 전기적으로 접속된다. 트랜지스터(552)의 게이트 전극은, 게이트 신호가 공급되는 배선(이하, 주사선(GL_*m*)이라고 함)과 전기적으로 접속된다.

[0580] 트랜지스터(552)는, 온 또는 오프가 되어 데이터 신호가 기록될지를 제어한다.

[0581] 용량 소자(562)의 한 쌍의 전극 중 한쪽은, 전위가 공급되는 배선(이하, 전위 공급선(VL_a)이라고 함)과 전기적으로 접속되고, 용량 소자(562)의 한 쌍의 전극 중 다른 쪽은 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.

[0582] 용량 소자(562)는, 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.

[0583] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 한쪽은, 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(554)의 게이트 전극은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.

[0584] 발광 소자(572)의 양극 및 음극 중 한쪽은, 전위 공급선(VL_b)과 전기적으로 접속되고, 발광 소자(572)의 양극 및 음극 중 다른 쪽은 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.

[0585] 발광 소자(572)로서는, 예를 들어 유기 일렉트로루미네선스 소자(유기 EL 소자라고도 함)를 사용할 수 있다. 또한, 발광 소자(572)는 이에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자이어도 좋다.

[0586] 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에 고전원 전위(V_{DD})가 공급되고, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 다른 쪽에 저전원 전위(V_{SS})가 공급된다.

[0587] 도 30의 (C)에서의 화소 회로(501)를 포함하는 표시 장치에서는, 도 30의 (A)에서의 게이트 드라이버(504a)가 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(552)를 온으로 하고, 데이터 신호가 기록된다.

[0588] 트랜지스터(552)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 또한, 트랜지스터(554)의 소스 전극과 드레인 전극 사이에 흐르는 전류량은, 기록된 데이터 신호의 전위에 따라 제어된다. 발광 소자(572)는 흐르는 전류의 양에 대응하는 휘도로 광을 방출한다. 이 동작을 행마다 순차적으로 수행함으로써, 화상을 표시할 수 있다.

[0589] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0590] (실시형태 7)

[0591] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 각각 포함하는 표시 모듈 및 전자 기기에 대하여, 도 31 내지 도 34의 (A) 및 (B)를 참조하여 설명한다.

[0592] <7-1. 표시 모듈>

[0593] 도 31에 도시된 표시 모듈(7000)에서, 상부 커버(7001)와 하부 커버(7002) 사이에, FPC(7003)와 접속된 터치 패널(7004), FPC(7005)와 접속된 표시 패널(7006), 백라이트(7007), 프레임(7009), 인쇄 회로 기판(7010), 및 배터리(7011)가 제공된다.

[0594] 본 발명의 일 형태의 반도체 장치는 예를 들어, 표시 패널(7006)에 사용될 수 있다.

[0595] 상부 커버(7001) 및 하부 커버(7002)의 형상 및 크기는, 터치 패널(7004) 및 표시 패널(7006)의 크기에 따라 적절히 변경될 수 있다.

[0596] 터치 패널(7004)은, 저항 터치 패널 또는 정전 터치 패널일 수 있고, 표시 패널(7006)과 중첩될 수 있다. 또는, 표시 패널(7006)의 대향 기판(밀봉 기판)은 터치 패널 기능을 가질 수 있다. 또는, 표시 패널(7006)의 각 화소에 포토센서를 제공하여, 광학식 터치 패널을 형성하여도 좋다.

[0597] 백라이트(7007)는 광원(7008)을 포함한다. 본 발명의 일 형태는 광원(7008)이 백라이트(7007) 위에 제공되는 도 31의 구조에 한정되지 않는다. 예를 들어, 백라이트(7007)의 단부에 광원(7008)이 제공되고, 광 확산판이 더 제공되는 구조를 적용하여도 좋다. 또한, 유기 EL 소자 등의 자기 발광의 발광 소자를 사용하는 경우 또는 반사형 패널 등을 적용하는 경우, 백라이트(7007)를 제공할 필요는 없다.

[0598] 프레임(7009)은 표시 패널(7006)을 보호하고, 인쇄 회로 기판(7010)의 동작에 의하여 발생되는 전자기파를 차단하기 위한 전자기 실드로서 기능한다. 프레임(7009)은 방열판(radiator plate)으로서 기능하여도 좋다.

[0599] 인쇄 회로 기판(7010)은 전원 회로 및, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 포함한다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 별도의 배터리(7011)를 사용하여도 좋다. 배터리(7011)는 상용 전원을 사용하는 경우에는 생략할 수 있다.

[0600] 표시 모듈(7000)에, 편광판, 위상차판, 또는 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.

[0601] <7-2. 전자 기기 1>

[0602] 다음으로, 도 32의 (A) 내지 (E)는 전자 기기의 예를 도시한 것이다.

[0603] 도 32의 (A)는 파인더(8100)가 장착된 카메라(8000)의 외관도이다.

[0604] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004) 등을 포함한다. 또한, 탈착 가능한 렌즈(8006)가 카메라(8000)에 장착된다.

[0605] 여기서는, 카메라(8000)의 렌즈(8006)는 교환을 위하여 하우징(8001)으로부터 떼어낼 수 있지만, 렌즈(8006)는 하우징(8001)에 포함되어도 좋다.

[0606] 셔터 버튼(8004)을 눌러 카메라(8000)로 촬상할 수 있다. 또한, 터치 패널로서 기능하는 표시부(8002)를 터치하여 촬상할 수 있다.

[0607] 카메라(8000)의 하우징(8001)은 전극을 포함하는 마운트를 포함하여, 파인더(8100) 또는 스트로보스코프 등을 하우징(8001)에 접속시킬 수 있다.

[0608] 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103) 등을 포함한다.

[0609] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트를 포함하여, 파인더(8100)를 카메라(8000)와 접속시킬 수 있다. 이 마운트는 전극을 포함하고 전극을 통하여 카메라(8000)로부터 수신한 화상 등을 표시부(8102)에 표시할 수 있다.

[0610] 버튼(8103)은 전원 버튼으로서 기능한다. 버튼(8103)으로 표시부(8102)를 온 및 오프로 할 수 있다.

[0611] 본 발명의 일 형태의 표시 장치를 카메라(8000)의 표시부(8002), 및 파인더(8100)의 표시부(8102)에 사용할 수 있다.

[0612] 도 32의 (A)에서 카메라(8000)와 파인더(8100)는 분리되어 있고 탈착 가능한 전자 기기이지만, 카메라(8000)의 하우징(8001)에는 표시 장치를 갖는 파인더가 포함되어도 좋다.

[0613] 도 32의 (B)는 헤드 마운트 디스플레이(8200)의 외관도이다.

[0614] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 포함한다. 장착부(8201)는 배터리(8206)를 포함한다.

[0615] 케이블(8205)을 통하여 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 포함하여, 화상 데이터 등의 영상 데이터를 수신하고, 그것을 표시부(8204)에 표시한다. 본체(8203)의 카메라에 의하여 사용자의 눈알 및 눈꺼풀의 움직임을 파악하고 나서, 그 파악한 데이터를 사용하여 사용자의 시점의 좌표를 산출함으로써, 사용자의 눈을 입력 수단으로서 이용한다.

[0616] 장착부(8201)는 사용자와 접촉하도록 복수의 전극을 포함하여도 좋다. 본체(8203)는 사용자의 눈알의 움직임에 따라 전극을 흐르는 전류를 검지하여 사용자의 눈의 방향을 인식하여도 좋다. 본체(8203)는 상기 전극을 흐르는 전류를 검지하여 사용자의 맥박을 모니터하여도 좋다. 장착부(8201)는 온도 센서, 압력 센서, 또는 가속도 센서 등의 센서를 포함하여 사용자의 생체 정보를 표시부(8204)에 표시시킬 수 있어도 좋다. 본체(8203)는 사용자의 머리 등의 움직임을 검지하여 사용자의 머리 등의 움직임에 맞추어 표시부(8204)에 표시하는 화상을 움직여도 좋다.

[0617] 표시부(8204)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.

[0618] 도 32의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관도이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 밴드 등의 고정구(8304), 및 한 쌍의 렌즈(8305)를 포함한다.

[0619] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 표시부(8302)는 만곡되는 것이 바람직하다. 표시부(8302)가 만곡되면, 사용자는 화상에 대한 높은 현실감을 느낄 수 있다. 본 실시형태에서 예로서 설명한

구조는 하나의 표시부(8302)를 갖지만, 제공되는 표시부(8302)의 수는 하나에 한정되지 않는다. 예를 들어, 2개의 표시부(8302)를 제공하여도 좋고, 이 경우, 하나의 표시부가 사용자의 한쪽 눈에 대응하도록 제공되어, 시차(視差)를 사용한 입체적인 표시 등이 가능해진다.

[0620] 본 발명의 일 형태의 표시 장치를 표시부(8302)에 사용할 수 있다. 본 발명의 일 형태의 반도체 장치를 포함하는 표시 장치는 해상도가 매우 높기 때문에, 도 32의 (E)에 도시된 바와 같이, 렌즈(8305)를 사용하여 화상을 확대하더라도, 사용자는 화소를 인식하지 않아 더 현실적인 화상을 표시할 수 있다.

[0621] <7-3. 전자 기기 2>

[0622] 다음으로, 도 33의 (A) 내지 (G)는 도 32의 (A) 내지 (E)에 도시된 전자 기기의 예와 상이한 전자 기기의 예를 도시한 것이다.

[0623] 도 33의 (A) 내지 (G)에 도시된 전자 기기는, 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 및 마이크로폰(9008) 등을 포함한다.

[0624] 도 33의 (A) 내지 (G)에서의 전자 기기는 다양한 정보(예를 들어, 정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)로 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능으로 다양한 컴퓨터 네트워크와 접속되는 기능, 무선 통신 기능으로 다양한 데이터를 송수신하는 기능, 및 기록 매체에 저장된 프로그램 또는 데이터를 판독하고 표시부에 표시하는 기능 등의 다양한 기능을 갖는다. 또한, 도 33의 (A) 내지 (G)에서의 전자 기기의 기능은 이에 한정되지 않고, 전자 기기는 다양한 기능을 가질 수 있다. 도 33의 (A) 내지 (G)에는 도시되지 않았지만, 전자 기기들은 각각 복수의 표시부를 가져도 좋다. 또한, 전자 기기들 각각에 카메라 등이 제공되어, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 기록 매체(외부 기록 매체 또는 카메라에 내장되는 기록 매체)에 저장하는 기능, 또는 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0625] 도 33의 (A) 내지 (G)에서의 전자 기기에 대하여 이하에서 자세히 설명한다.

[0626] 도 33의 (A)는 텔레비전 장치(9100)를 도시한 사시도이다. 텔레비전 장치(9100)는 예를 들어, 50인치 이상, 또는 100인치 이상의 화면 크기가 큰 표시부(9001)를 포함할 수 있다.

[0627] 도 33의 (B)는 휴대 정보 단말(9101)의 사시도이다. 휴대 정보 단말(9101)은 예를 들어, 전화기, 수첩, 및 정보 열람 시스템 중 하나 이상으로서 기능한다. 구체적으로는, 휴대 정보 단말(9101)은 스마트폰으로서 사용할 수 있다. 또한, 휴대 정보 단말(9101)은 스피커, 접속 단자, 또는 센서 등을 포함하여도 좋다. 휴대 정보 단말(9101)은 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 예를 들어, 3개의 조작 버튼(9050)(조작 아이콘 또는 단순히 아이콘이라고도 함)을 표시부(9001)의 하나의 면에 표시할 수 있다. 또한, 파선의 직사각형으로 가리킨 정보(9051)를 표시부(9001)의 다른 면에 표시할 수 있다. 정보(9051)의 예에는, 이메일, SNS(social networking service) 메시지, 또는 전화의 수신을 알리는 표시, 이메일 또는 SNS 메시지의 제목 및 송신자, 날짜, 시각, 배터리의 잔량, 및 안테나의 수신 강도가 포함된다. 또는, 정보(9051) 대신에 조작 버튼(9050) 등을 표시하여도 좋다.

[0628] 도 33의 (C)는 휴대 정보 단말(9102)의 사시도이다. 휴대 정보 단말(9102)은 표시부(9001)의 3개 이상의 면에 정보를 표시하는 기능을 갖는다. 여기서는, 정보(9052), 정보(9053), 및 정보(9054)가 상이한 면에 표시된다. 예를 들어, 휴대 정보 단말(9102)의 사용자는, 자신의 옷의 가슴 포켓에 휴대 정보 단말(9102)을 넣은 상태로 표시(여기서는, 정보(9053))를 볼 수 있다. 구체적으로는, 착신한 전화의 발신자의 전화 번호 또는 이름 등이, 휴대 정보 단말(9102)의 상방에서 볼 수 있는 위치에 표시된다. 사용자는 휴대 정보 단말(9102)을 포켓으로부터 꺼내지 않고 표시를 보고, 전화를 받을지 여부를 결정할 수 있다.

[0629] 도 33의 (D)는 시계형 휴대 정보 단말(9200)의 사시도이다. 휴대 정보 단말(9200)은 이동 전화, 이메일, 문장의 열람 및 편집, 음악 재생, 인터넷 통신, 및 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다. 표시부(9001)의 표시면이 만곡되고, 만곡된 표시면에 표시가 수행될 수 있다. 휴대 정보 단말(9200)은, 통신 표준에 맞는 근거리 무선 통신을 채용할 수 있다. 예를 들어, 휴대 정보 단말(9200)과 무선 통신이 가능한 헤드셋 간의 상호 통신에 의하여 핸즈프리 통화를 실현할 수 있다. 또한, 휴대 정보 단말(9200)은 접속 단자(9006)를 포함하고, 커넥터를 통하여 다른 정보 단말과 직접 데이터 통신을 수행할 수 있다. 접속 단자(9006)를 통한 충

전도 가능하다. 또한, 접속 단자(9006)를 사용하지 않고 무선 급전에 의하여 충전 동작을 수행하여도 좋다.

[0630] 도 33의 (E), (F), 및 (G)는 각각, 펼친 상태, 펼친 상태로부터 접힌 상태 또는 접힌 상태로부터 펼친 상태로 변화되는 상태, 및 접힌 상태인 폴더블 휴대 정보 단말(9201)의 사시도이다. 휴대 정보 단말(9201)은 접었을 때 휴대성이 높다. 휴대 정보 단말(9201)을 펼치면, 이음매가 없고 큰 표시 영역에 의하여 일람성이 높다. 휴대 정보 단말(9201)의 표시부(9001)는, 힌지(9055)에 의하여 연결된 3개의 하우징(9000)에 의하여 지지된다. 인접한 2개의 하우징(9000) 사이의 힌지(9055)에서 접힘으로써, 휴대 정보 단말(9201)을 펼친 상태로부터 접힌 상태로 가역적으로 변형할 수 있다. 예를 들어, 휴대 정보 단말(9201)은 곡률 반경 1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0631] 도 34의 (A) 및 (B)는, 도 32의 (A) 내지 (E), 및 도 33의 (A) 내지 (G)에 도시된 전자 기기와 상이한 전자 기기의 예를 나타낸 것이다. 도 34의 (A) 및 (B)는 복수의 표시 패널을 포함하는 표시 장치의 사시도이다. 또한, 도 34의 (A)는 복수의 표시 패널을 만 형태를 나타낸 사시도이고, 도 34의 (B)는 복수의 표시 패널을 펼친 형태를 나타낸 사시도이다.

[0632] 도 34의 (A) 및 (B)에 도시된 표시 장치(9500)는 복수의 표시 패널(9501), 힌지(9511), 및 베어링(9512)을 포함한다. 복수의 표시 패널(9501)은 각각 표시 영역(9502) 및 광 투과 영역(9503)을 포함한다.

[0633] 복수의 표시 패널(9501) 각각은 가요성을 갖는다. 인접한 2개의 표시 패널(9501)은 서로 부분적으로 중첩되도록 제공된다. 예를 들어, 인접한 2개의 표시 패널(9501)의 광 투과 영역(9503)을 서로 중첩시킬 수 있다. 복수의 표시 패널(9501)을 사용하여 화면이 큰 표시 장치를 얻을 수 있다. 이 표시 장치는 용도에 따라 표시 패널(9501)을 말 수 있기 때문에 범용성이 높다.

[0634] 또한, 도 34의 (A) 및 (B)에서는 인접한 표시 패널들(9501)의 표시 영역들(9502)이 서로 분리되어 있지만, 이 구조에 한정되지 않고, 예를 들어 인접한 표시 패널들(9501)의 표시 영역들(9502)을 틈 없이 서로 중첩시켜 연속적인 표시 영역(9502)을 얻어도 좋다.

[0635] 본 실시형태에서 설명한 전자 기기는 각각 어떤 종류의 데이터를 표시하기 위한 표시부를 포함한다. 또한, 본 발명의 일 형태의 반도체 장치는 표시부를 갖지 않는 전자 기기에도 사용될 수 있다.

[0636] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 다른 실시예 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0637] (실시예 1)

[0638] 본 실시예에서는, 본 발명의 일 형태의 트랜지스터를 제작하였다. 또한, 트랜지스터의 Id-Vg 특성을 측정하였다. GBT 시험을 수행하였다.

[0639] [트랜지스터의 제작]

[0640] 상술한 트랜지스터(100E)에 상당하는 각 트랜지스터를 제작하였다. 트랜지스터의 전기 특성을 평가하였다. 본 실시예에서는, 이하에서 설명하는 시료 A1 및 A2를 제작하였다.

[0641] 또한, 시료 A1 및 시료 A2는 각각, 채널 길이 L이 3㎛인 트랜지스터 및 채널 길이 L이 6㎛인 트랜지스터를 포함한다. 각 트랜지스터는 채널 폭 W가 50㎛이다.

[0642] [시료 A1 및 시료 A2의 제작 방법]

[0643] 우선, 두께 100㎚의 텅스텐막을 스퍼터링 장치를 사용하여 유리 기판 위에 형성하였다. 이어서, 상기 도전막을 포토리소그래피 공정에 의하여 가공하여 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성하였다.

[0644] 다음으로, 4개의 절연막을 기판 및 도전막 위에 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다(도 7의 (A) 참조). 절연막(106)은 PECVD(plasma-enhanced chemical deposition) 장치를 사용하여 진공에서 연속하여 형성되었다. 절연막(106)으로서는, 두께 50㎚의 질화 실리콘막, 두께 300㎚의 질화 실리콘막, 두께 50㎚의 질화 실리콘막, 및 두께 50㎚의 산화 질화 실리콘막을 이 순서대로 적층하였다.

[0645] 다음으로, 절연막(106) 위에 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)을 이 순서대로 형성하였다(도 7의 (C) 참조). 이어서, 적층된 산화물 반도체막을 섬 형상으로 가공하여 산화물 반도체막(108)을 형성하였다(도 8의 (A) 참조). 두께 20㎚의 In-Ga-Zn막 및 두께 25㎚의 In-Ga-Zn막을 각각 산화물 반도체막(108_1_0) 및 산화물 반도체막(108_2_0)으로서 사용하였다.

[0646] 산화물 반도체막(108_1_0)은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 또한, 퇴적 가스 전체에서의 산소의 비율을 산소 유량비라고 하여도 좋다. 산화물 반도체막(108_1_0) 형성 시의 산소 유량비는 10%이었다.

[0647] 산화물 반도체막(108_2_0)은 산화물 반도체막(108_1_0)의 퇴적 조건하에서 퇴적하였다. 또한, 스퍼터링 가스의 유량을 변경하였다. 구체적으로는, 체임버 내로의 산소 가스의 도입을 정지하고, 유량 200sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하였다. 또한, 산화물 반도체막(108_2_0)의 퇴적 시의 산소 유량비는 100%이었다.

[0648] 다음으로, 가열 처리를 수행하였다. 질소 분위기에 있어서 가열 온도 350℃에서 1시간 동안 가열 처리를 수행하였다. 그 후, 질소와 산소의 혼합 가스 분위기에 있어서 가열 온도 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0649] 다음으로, 절연막(106) 및 산화물 반도체막(108) 위에 도전막을 형성하고 원하는 형상으로 가공함으로써, 도전막(112a 및 112b)을 형성하였다. 도전막에는, 두께 30nm의 제 1 타이타늄막 및 두께 200nm의 구리막을 스퍼터링 장치를 사용하여 이 순서대로 형성하였다(도 8의 (C) 참조). 다음으로, 구리막을 포토리소그래피법에 의하여 에칭하였다. 그 후, 두께 50nm의 제 2 타이타늄막을 스퍼터링 장치를 사용하여 형성하였다. 그리고, 제 1 타이타늄막 및 제 2 타이타늄막을 포토리소그래피법에 의하여 에칭하여, 도 8의 (C)에 나타낸 형상을 갖는 도전막(112a 및 112b)을 형성하였다.

[0650] 다음으로, 산화물 반도체막(108)의 표면(백 채널 측)을 인산을 사용하여 세정하였다.

[0651] 다음으로, 절연막(106), 산화물 반도체막(108), 및 도전막(112a 및 112b) 위에 절연막(114)을 형성하였다. 그 후, 절연막(116)을 절연막(114) 위에 형성하였다(도 9의 (A) 참조). 절연막(114) 및 절연막(116)은 PECVD(plasma-enhanced chemical vapor deposition) 장치를 사용하여 진공에서 연속하여 형성하였다. 두께 30nm의 산화 질화 실리콘막 및 두께 400nm의 산화 질화 실리콘막을 각각 절연막(114) 및 절연막(116)으로서 사용하였다.

[0652] 다음으로, 가열 처리를 수행하였다. 질소 분위기에 있어서 가열 온도 350℃에서 1시간 동안 가열 처리를 수행하였다.

[0653] 다음으로, 도전막(도시되지 않음)을 절연막(116) 위에 형성하였다. 도전막으로서, 두께 6nm의 ITSO막을 스퍼터링 장치를 사용하여 형성하였다.

[0654] 다음으로, 산소를, 플라스마 처리에 의하여 도전막을 통과시킴으로써 절연막(116)에 첨가하였다. 플라스마 처리에서는, 산소 가스를 포함하는 분위기에서 플라스마를 방전시켰다.

[0655] 다음으로, 도전막을 에칭하였다.

[0656] 다음으로, 절연막(116) 위에 절연막을 형성하였다. 절연막으로서, 두께 100nm의 질화 실리콘막을 PECVD(plasma-enhanced chemical vapor deposition) 장치를 사용하여 형성하였다.

[0657] 절연막의 원하는 부분에 개구를 형성하였다. 개구는 드라이 에칭법에 의하여 형성되었다.

[0658] 다음으로, 도전막을 개구를 충전하도록 형성하고 섬 형상으로 가공함으로써, 제 2 게이트 전극으로서 기능하는 도전막을 형성하였다. 도전막으로서, 두께 100nm의 ITSO막을 스퍼터링 장치를 사용하여 형성하였다.

[0659] 다음으로, 다른 절연막을 절연막 및 도전막 위에 형성하였다. 절연막에는 두께 1.5㎛의 아크릴계 감광성 수지를 사용하였다.

[0660] 상술한 공정을 거쳐, 시료 A1 및 시료 A2를 제작하였다.

[0661] [트랜지스터의 Id-Vg 특성]

[0662] 다음으로, 제작된 시료 A1 및 시료 A2의 트랜지스터의 Id-Vg 특성을 측정하였다. 또한, 각 트랜지스터의 Id-Vg 특성을 측정하기 위한 조건으로서는, 제 1 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 게이트 전압(Vg)이라고도 함) 및 제 2 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 백 게이트 전압(Vbg)이라고도 함)을 0.25V씩 -10V에서 +10V까지 변화시켰다. 소스 전극으로서 기능하는 도전막

에 인가되는 전압(이 전압을 소스 전압(Vs)이라고도 함)은 0V(comm)이었다. 드레인 전극으로서 기능하는 도전막에 인가되는 전압(이 전압을 드레인 전압(Vd)이라고도 함)은 0.1V 및 20V이었다.

[0663] 도 35의 (A) 및 (B)는 각각 시료 A1 및 시료 A2의 Id-Vg 특성의 결과를 나타낸 것이다. 또한, 도 35의 (A) 및 (B)에서, 제 1 세로축이 Id(A)를 나타내고, 제 2 세로축이 전계 효과 이동도(μFE)(㎠/Vs)를 나타내고, 가로축이 Vg(V)를 나타낸다. 또한 Vd가 20V일 때, 전계 효과 이동도를 측정하였다.

[0664] 도 35의 (A) 및 (B)에 나타낸 바와 같이, 각각 전계 효과 이동도가 높고 스위칭 특성이 양호한 트랜지스터를 제작할 수 있다.

[0665] [게이트 바이어스 온도 스트레스 시험(GBT 시험)]

[0666] 다음으로, 제작된 시료 A2의 신뢰성을 평가하였다. 신뢰성 평가에는, GBT 시험을 사용하였다.

[0667] 본 실시예에서의 GBT 시험의 조건으로서는, 제 1 게이트 전극으로서 기능하는 도전막 및 제 2 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 게이트 전압(Vg)이라고 함)이 ±30V이고, 소스 전극 및 드레인 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 드레인 전압(Vd) 및 소스 전압(Vs)이라고 함)이 0V(COMMON)이고, 스트레스 온도가 60℃이고, 1시간 동안 스트레스가 가해졌다. 측정은 어두운 환경 및 광 환경(백색 LED로 약 100001x의 광을 조사)하에서 수행되었다. 바꿔 말하면, 트랜지스터의 소스 전극 및 드레인 전극을 같은 전위로 설정하였다. 소스 및 드레인 전극과 상이한 전위를 제 1 게이트 전극 및 제 2 게이트 전극에 소정의 시간 동안(여기서는 1시간) 인가하였다.

[0668] 제 1 게이트 전극 및 제 2 게이트 전극에 인가되는 전위가 소스 및 드레인 전극보다 높으면, 양의 스트레스가 가해진다. 한편, 제 1 게이트 전극 및 제 2 게이트 전극에 인가되는 전위가 소스 및 드레인 전극보다 낮으면, 음의 스트레스가 가해진다. 따라서, 신뢰성 평가는 총 4조건, 즉 포지티브 GBT 스트레스(암), 네거티브 GBT 스트레스(암), 포지티브 GBT 스트레스(광 조사), 및 네거티브 GBT 스트레스(광 조사)하에서 수행하였다. 또한, 포지티브 GBT(암)를 PBTS(Positive Bias Temperature Stress)라고 할 수 있고, 네거티브 GBT(암)를 NBTS(Negative Bias Temperature Stress)라고 할 수 있고, 포지티브 GBT(광 조사)를 PBITS(Positive Bias Illuminations Temperature Stress)라고 할 수 있고, 네거티브 GBT(광 조사)를 NBITS(Negative Bias Illuminations Temperature Stress)라고 할 수 있다.

[0669] 도 36은 시료 A2의 GBT 시험 결과를 나타낸 것이다. 도 36에서는, 트랜지스터의 문턱 전압의 변화량(ΔVth) 및 Shift값의 변화량(ΔShift)을 각각 왼쪽과 오른쪽에 나타내었다.

[0670] Shift값은, 트랜지스터의 드레인 전류(Id)-게이트 전압(Vg) 특성에 있어서, 1×10^{-12}A의 축의 교점의 게이트 전압(Vg), 및 기울기가 가장 높은 드레인 전류(Id)의 대수의 접선이다. 또한, ΔShift는 Shift값의 변화량이다.

[0671] 도 36의 결과로부터, 시료 A2에 포함되는 트랜지스터의 GBT 시험에서는 문턱 전압의 변화량(ΔV_{th}) 및 Shift값의 변화량(ΔShift)이 ±2V 이내였다. 이는 시료 A2에 포함되는 트랜지스터의 신뢰성이 높다는 것을 의미한다.

[0672] (실시예 2)

[0673] 본 실시예에서는, 본 발명의 일 형태를 사용하여 트랜지스터를 제작하였다. 또한, 트랜지스터의 Id-Vg 특성을 측정하고, GBT 시험을 수행하였다.

[0674] [트랜지스터의 제작]

[0675] 상술한 트랜지스터(100E)에 상당하는 각 트랜지스터를 제작하였다. 트랜지스터의 전기 특성을 평가하였다. 본 실시예에서는, 이하에서 설명하는 시료 B1 및 B2를 제작하였다. 또한, 시료 B1 및 시료 B2는, 산화물 반도체막(108_1)의 Zn에 대한 In의 원자수비가 산화물 반도체막(108_2)의 Zn에 대한 In의 원자수비보다 큰 점에서 시료 A1 및 시료 A2와 상이하다.

[0676] 또한, 시료 B1 및 시료 B2는 각각, 채널 길이 L이 3㎛인 트랜지스터 및 채널 길이 L이 6㎛인 트랜지스터를 포함한다. 각 트랜지스터는 채널 폭 W가 50㎛이다.

[0677] [시료 B1 및 B2의 제작 방법]

[0678] 시료 B1 및 시료 B2 각각에 포함되는 산화물 반도체막의 형성 방법은, 시료 A1 및 시료 A2 각각에 포함되는 산화물 반도체막의 형성 방법과 상이하다. 구체적으로, 산화물 반도체막(108_1_0)의 형성에 사용되는 타깃의 원

자수비는 산화물 반도체막(108_2_0)의 형성에 사용되는 타깃의 원자수비와 상이하다.

[0679] 산화물 반도체막(108_1_0)은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kW의 교류 전력을 인가하는 조건하에서 형성하였다. 또한, 퇴적 가스 전체에서의 산소의 비율을 산소 유량비라고 하여도 좋다. 산화물 반도체막(108_1_0) 형성 시의 산소 유량비는 10%이다. 또한, 원자수비가 In:Ga:Zn=4:2:4.1인 타깃을 사용하여 형성되는 In-Ga-Zn 산화물막은 에너지 갭이 약 3.0eV이고 전자 친화력이 약 4.4eV이다.

[0680] 산화물 반도체막(108_2_0)은, 기판 온도를 170℃로 하고, 유량 100sccm의 아르곤 가스 및 유량 100sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=1:1:1[원자수비])에 0.5kW의 교류 전력을 인가하는 조건하에서 형성하였다. 또한, 퇴적 가스 전체에서의 산소의 비율을 산소 유량비라고 하여도 좋다. 산화물 반도체막(108_2_0) 형성 시의 산소 유량비는 50%이다. 또한, 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용하여 형성되는 In-Ga-Zn 산화물막은 에너지 갭이 약 3.2eV이고 전자 친화력이 약 4.7eV이다.

[0681] [트랜지스터의 Id-Vg 특성]

[0682] 다음으로, 시료 B1 및 시료 B2에 포함되는 트랜지스터의 Id-Vg 특성을 측정하였다. 또한, 트랜지스터의 Id-Vg 특성을 측정하기 위한 조건은 시료 A1 및 시료 A2와 비슷하다.

[0683] 도 37의 (A) 및 (B)는 각각 시료 B1 및 시료 B2의 Id-Vg 특성의 결과를 나타낸 것이다. 또한, 도 37의 (A) 및 (B)에서, 제 1 세로축이 I_d(A)를 나타내고, 제 2 세로축이 전계 효과 이동도(μFE)(㎠/Vs)를 나타내고, 가로축이 V_g(V)를 나타낸다. 또한 V_d가 20V일 때, 전계 효과 이동도를 측정하였다.

[0684] 도 37의 (A) 및 (B)에 나타낸 바와 같이, 각각 전계 효과 이동도가 높고 스위칭 특성이 양호한 트랜지스터를 제작할 수 있다.

[0685] [게이트 바이어스 온도 스트레스 시험(GBT 시험)]

[0686] 다음으로, 제작된 시료 B2의 신뢰성을 평가하였다. 신뢰성 평가에는, GBT 시험을 사용하였다. 또한, GBT 시험의 측정 조건은 시료 A1 및 시료 A2의 측정 조건과 비슷하다.

[0687] 도 38은 시료 B2의 GBT 시험 결과를 나타낸 것이다. 도 38에서는, 트랜지스터의 문턱 전압의 변화량(ΔVth) 및 Shift값의 변화량(ΔShift)을 각각 왼쪽과 오른쪽에 나타내었다.

[0688] Shift값은, 트랜지스터의 드레인 전류(Id)-게이트 전압(Vg) 특성에 있어서, 1×10^{-12}A의 축의 교점의 게이트 전압(Vg), 및 기울기가 가장 높은 드레인 전류(Id)의 대수의 접선이다. 또한, ΔShift는 Shift값의 변화량이다.

[0689] 도 38의 결과로부터, 시료 B2에 포함되는 트랜지스터의 GBT 시험에서는 문턱 전압의 변화량(ΔV_{th}) 및 Shift값의 변화량(ΔShift)이 ±3V 이내였다. 이는 시료 B2에 포함되는 트랜지스터의 신뢰성이 높다는 것을 의미한다.

[0690] 본 실시예의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

부호의 설명

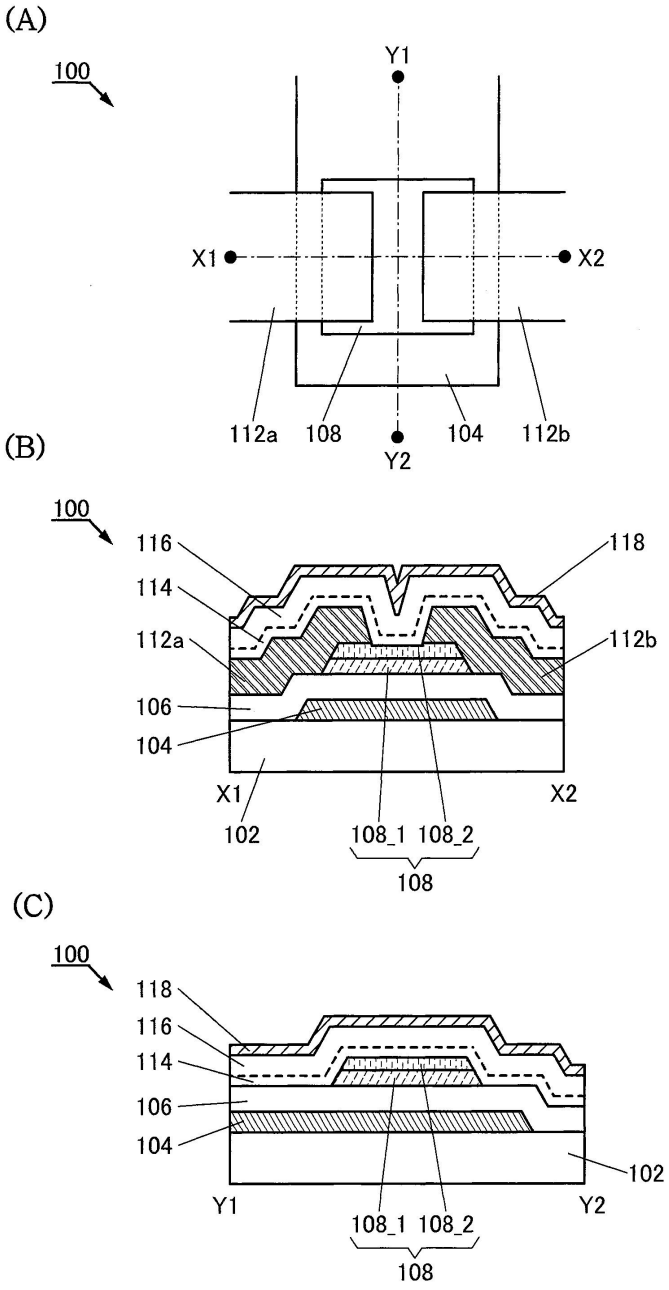
[0691] 100: 트랜지스터, 100A: 트랜지스터, 100B: 트랜지스터, 100C: 트랜지스터, 100D: 트랜지스터, 100E: 트랜지스터, 102: 기판, 104: 도전막, 106: 절연막, 108: 산화물 반도체막, 108_1: 산화물 반도체막, 108_1_0: 산화물 반도체막, 108_2: 산화물 반도체막, 108_2_0: 산화물 반도체막, 109_2: 산화물 반도체막, 112: 도전막, 112a: 도전막, 112a_1: 도전막, 112a_2: 도전막, 112a_3: 도전막, 112b: 도전막, 112b_1: 도전막, 112b_2: 도전막, 112b_3: 도전막, 114: 절연막, 116: 절연막, 118: 절연막, 120: 도전막, 120a: 도전막, 120b: 도전막, 122a: 도전막, 122b: 도전막, 122c: 도전막, 124: 절연막, 126: 절연막, 128: 산화물 반도체막, 130: 도전막, 134: 절연막, 136: 절연막, 138: 도전막, 140: 절연막, 141a: 개구, 141b: 개구, 142a: 개구, 142b: 개구, 144: 도전막, 150: EL층, 160: 발광 소자, 181: 개구, 182: 개구, 184: 개구, 190: 반도체 장치, 191: 타깃, 192: 플라스마, 193: 타깃, 194: 플라스마, 501: 화소 회로, 502: 화소부, 504: 구동 회로부, 504a: 게이트 드라이버, 504b: 소스 드라이버, 506: 보호 회로, 507: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터,

560: 용량 소자, 562: 용량 소자, 570: 액정 소자, 572: 발광 소자, 600: 표시 패널, 601: 트랜지스터, 604: 접속부, 605: 트랜지스터, 606: 트랜지스터, 607: 접속부, 612: 액정층, 613: 도전막, 617: 절연막, 620: 절연막, 621: 절연막, 623: 도전막, 631: 착색층, 632: 차광막, 633a: 배향막, 633b: 배향막, 634: 착색층, 640: 액정 소자, 641: 접착층, 642: 접착층, 643: 도전막, 644: EL층, 645a: 도전막, 645b: 도전막, 646: 절연막, 647: 절연막, 648: 도전막, 649: 접속층, 651: 기판, 652: 도전막, 653: 반도체막, 654: 도전막, 655: 개구, 656: 편광판, 659: 회로, 660: 발광 소자, 661: 기판, 662: 표시부, 663: 도전막, 664: 전극, 665: 전극, 666: 배선, 667: 전극, 672: FPC, 673: IC, 681: 절연막, 682: 절연막, 683: 절연막, 684: 절연막, 685: 절연막, 686: 커넥터, 687: 접속부, 700: 표시 장치, 701: 기판, 702: 화소부, 704: 구동 회로부, 705: 기판, 706: 게이트 드라이버 회로부, 708: FPC 단자부, 710: 신호선, 711: 배선부, 712: 실란트, 716: FPC, 730: 절연막, 732: 밀봉막, 734: 절연막, 736: 착색막, 738: 차광막, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 770: 평탄화 절연막, 772: 도전막, 773: 절연막, 774: 도전막, 775: 액정 소자, 776: 액정층, 777: 도전막, 778: 구조체, 780: 이방성 도전막, 782: 발광 소자, 786: EL층, 788: 도전막, 790: 용량 소자, 791: 터치 패널, 792: 절연막, 793: 전극, 794: 전극, 795: 절연막, 796: 전극, 797: 절연막, 2190: 플라스마, 2192: 양이온, 2501: 퇴적 체임버, 2502a: 타깃, 2502b: 타깃, 2504: 편석 영역, 2504a: 스퍼터링 입자, 2506: 편석 영역, 2506a: 스퍼터링 입자, 2510a: 백킹 플레이트, 2510b: 백킹 플레이트, 2520: 타깃 홀더, 2520a: 타깃 홀더, 2520b: 타깃 홀더, 2530a: 마그넷 유닛, 2530b: 마그넷 유닛, 2530N1: 마그넷, 2530N2: 마그넷, 2530S: 마그넷, 2532: 마그넷 홀더, 2542: 부재, 2560: 기판, 2570: 기판 홀더, 2580a: 자력선, 2580b: 자력선, 6651: 기판, 7000: 표시 모듈, 7001: 상부 커버, 7002: 하부 커버, 7003: FPC, 7004: 터치 패널, 7005: FPC, 7006: 표시 패널, 7007: 백라이트, 7008: 광원, 7009: 프레임, 7010: 인쇄 기판, 7011: 배터리, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 헤드 마운트 디스플레이, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 헤드 마운트 디스플레이, 8301: 하우징, 8302: 표시부, 8304: 고정 밴드, 8305: 렌즈, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 조작 버튼, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9100: 텔레비전 장치, 9101: 휴대 정보 단말, 9102: 휴대 정보 단말, 9200: 휴대 정보 단말, 9201: 휴대 정보 단말, 9500: 표시 장치, 9501: 표시 패널, 9502: 표시 영역, 9503: 영역, 9511: 힌지, 9512: 베어링

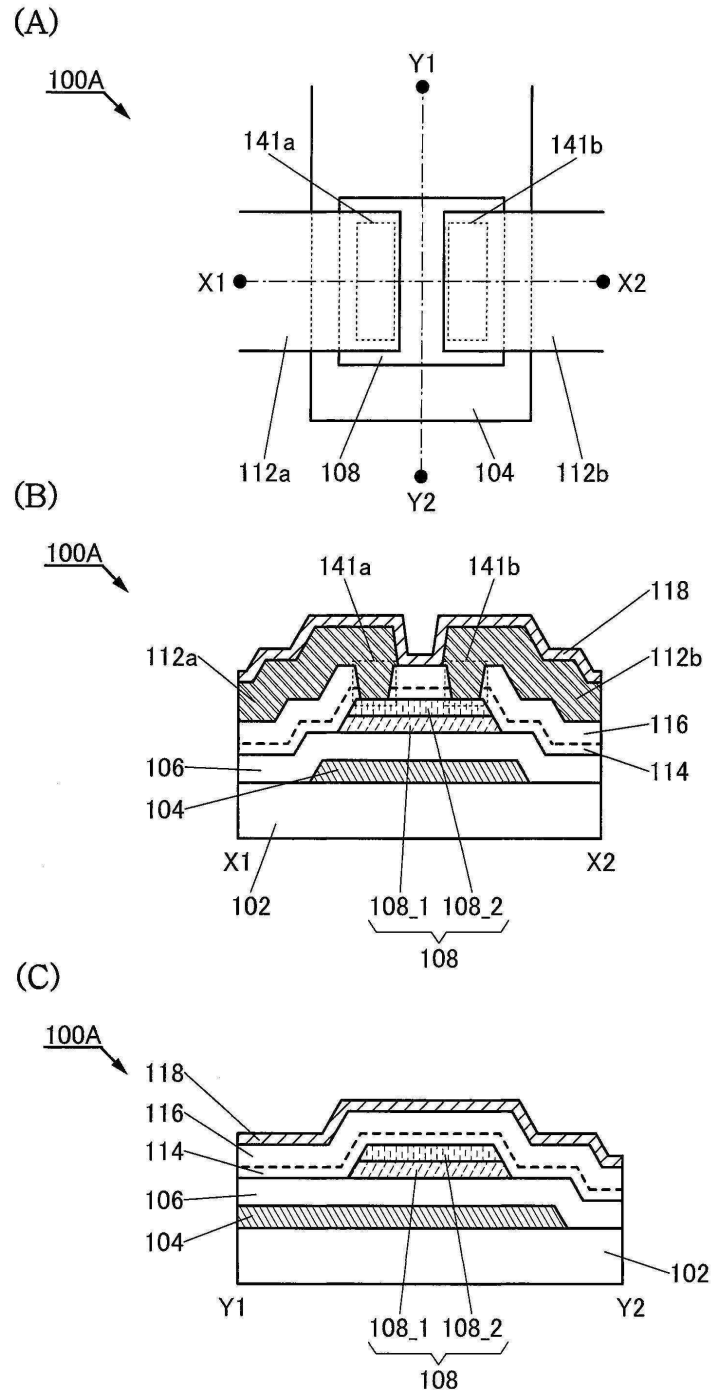
본 출원은 2016년 4월 13일에 일본 특허청에 출원된 일련 번호 2016-080066의 일본 특허 출원 및 2016년 4월 13일에 일본 특허청에 출원된 일련 번호 2016-080137의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

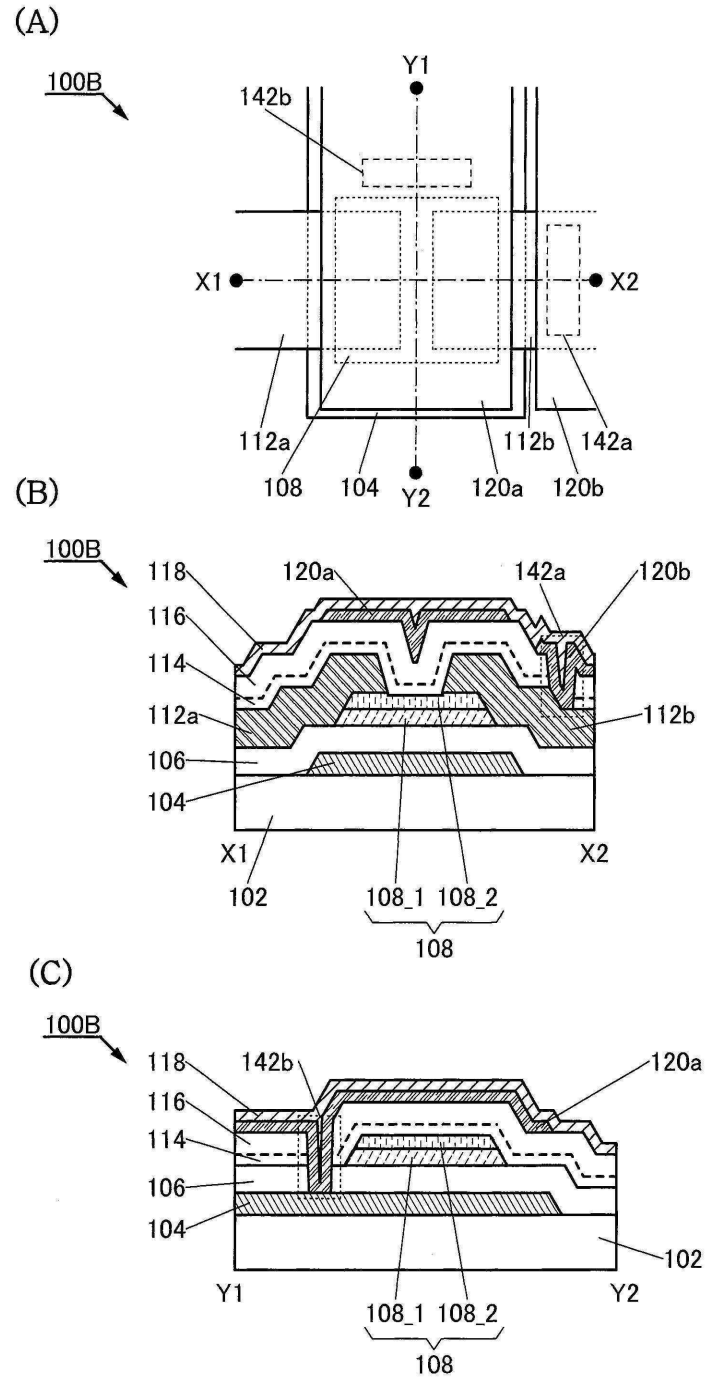
도면1


(A)
100
Y1
X1
X2
112a
108
104
112b
Y2
(B)
100
116
114
112a
106
104
118
112b
X1
X2
102
108_1
108_2
108
(C)
100
118
116
114
106
104
102
Y1
Y2
108_1
108_2
108

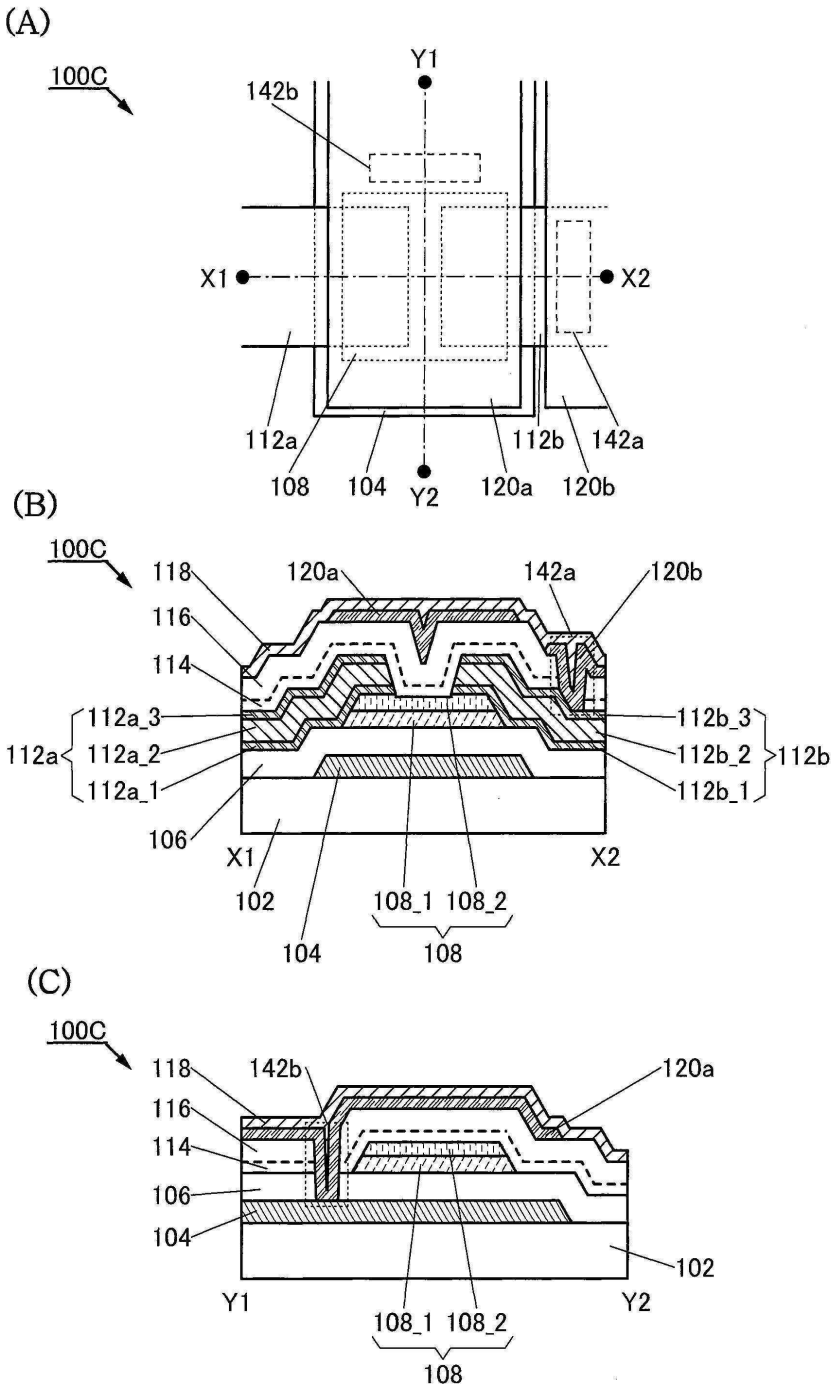
도면2


(A)
100A
Y1
141a
141b
X1
X2
112a
108
104
112b
Y2
(B)
100A
141a
141b
118
112a
112b
116
106
114
104
X1
X2
102
108_1
108_2
108
(C)
100A
118
116
114
106
104
102
Y1
Y2
108_1
108_2
108

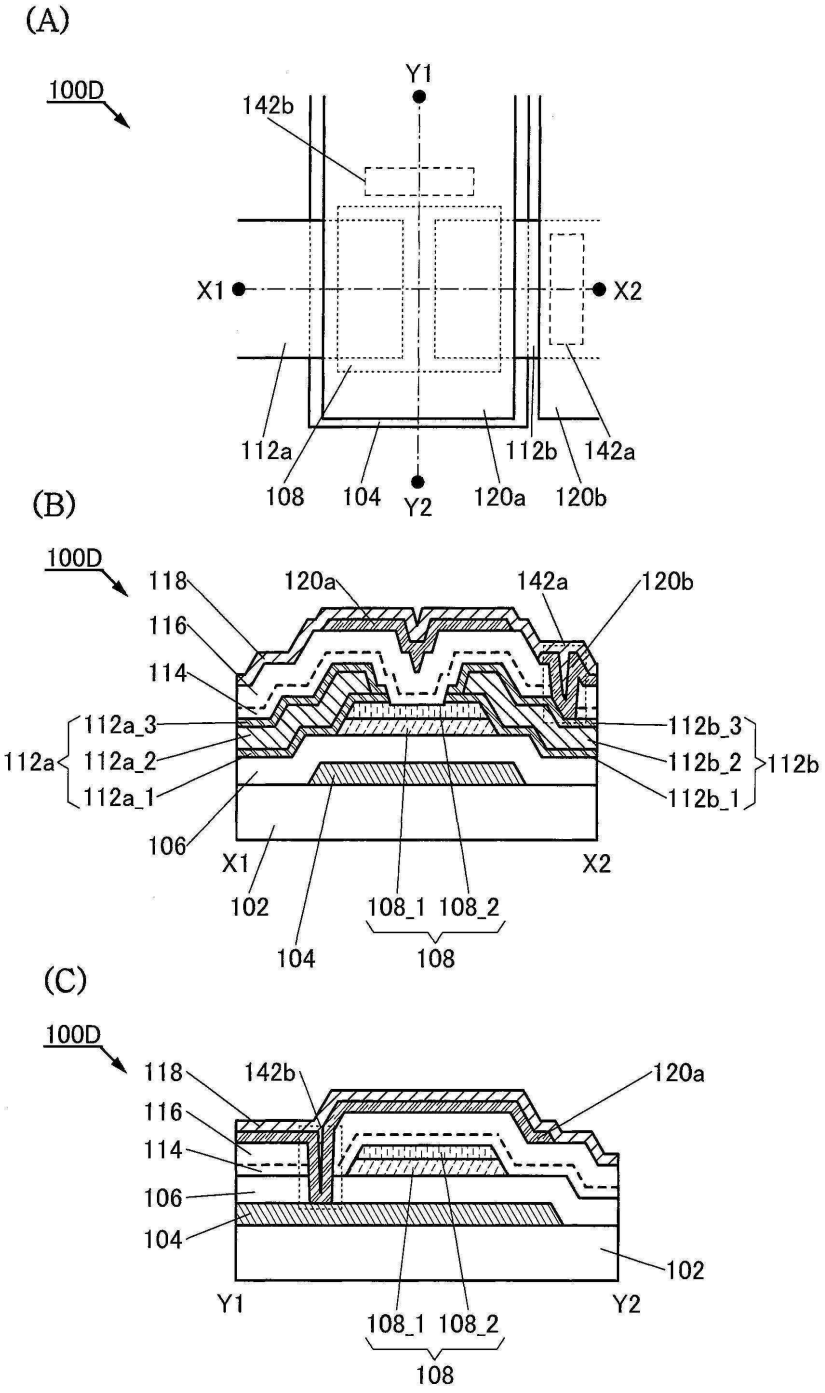
도면3


(A)
100B
142b
Y1
X1
X2
112a
108
104
Y2
120a
112b
120b
142a
(B)
100B
118
116
114
112a
106
104
120a
142a
120b
112b
X1
X2
102
108_1
108_2
108
(C)
100B
118
116
114
106
104
142b
120a
102
Y1
Y2
108_1
108_2
108

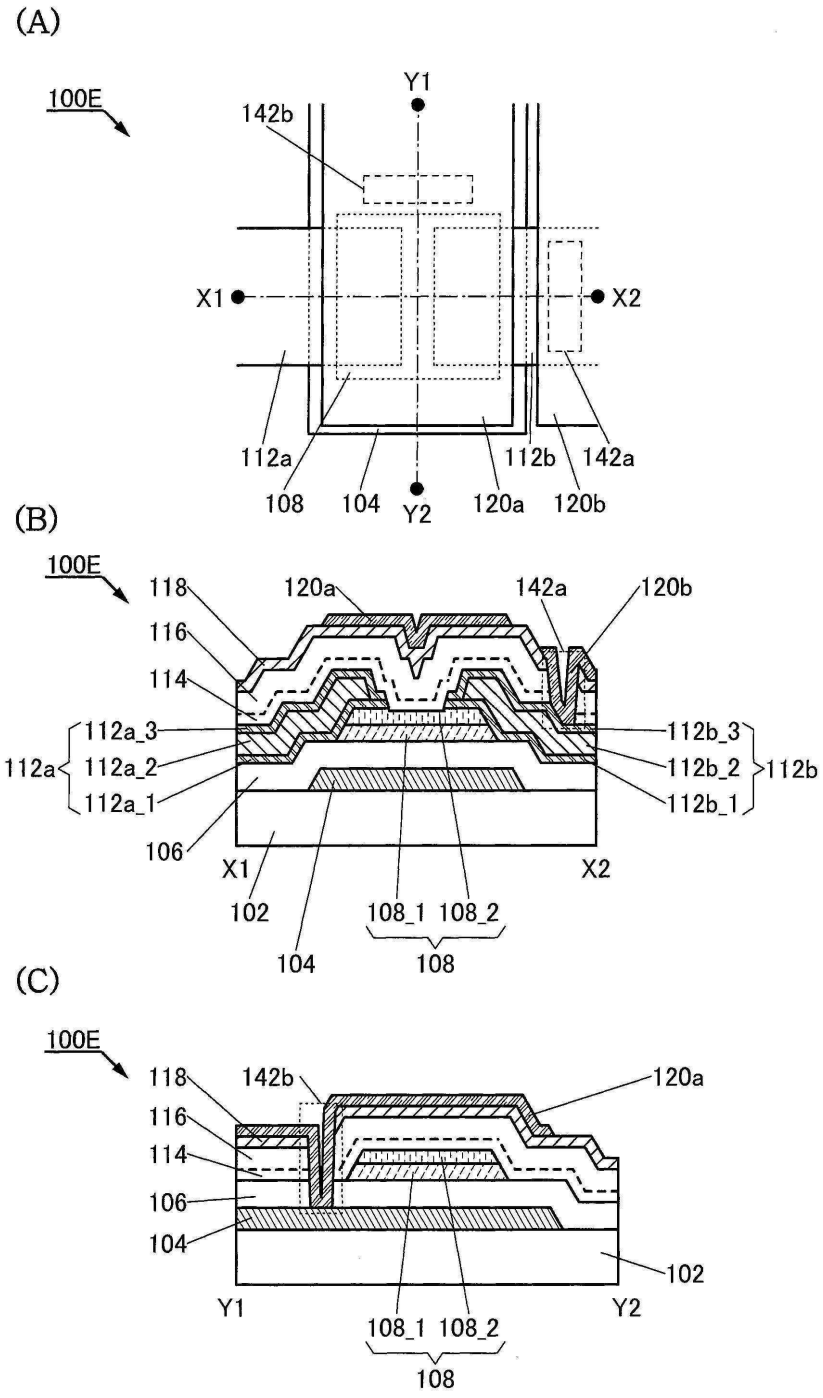
도면4


(A)
100C
142b
Y1
X1
X2
112a
108
104
Y2
120a
112b
142a
120b
(B)
100C
118
120a
142a
120b
116
114
112a_3
112a_2
112a_1
112a
106
112b_3
112b_2
112b_1
112b
X1
X2
102
108_1
108_2
108
104
(C)
100C
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

도면5

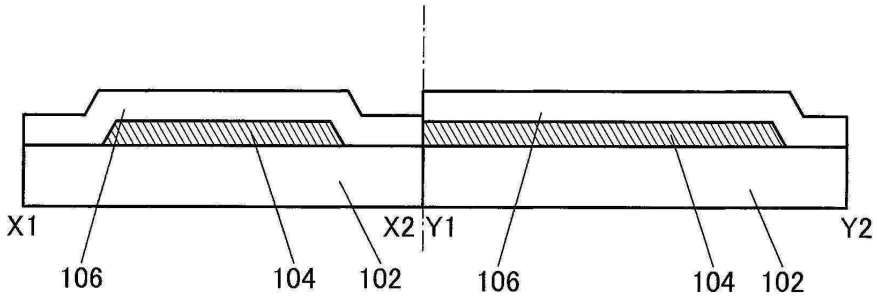

(A)
100D
142b
Y1
X1
X2
112a
108
104
Y2
120a
112b
120b
142a
(B)
100D
118
120a
142a
120b
116
114
112a_3
112a
112a_2
112a_1
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108
(C)
100D
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

도면6

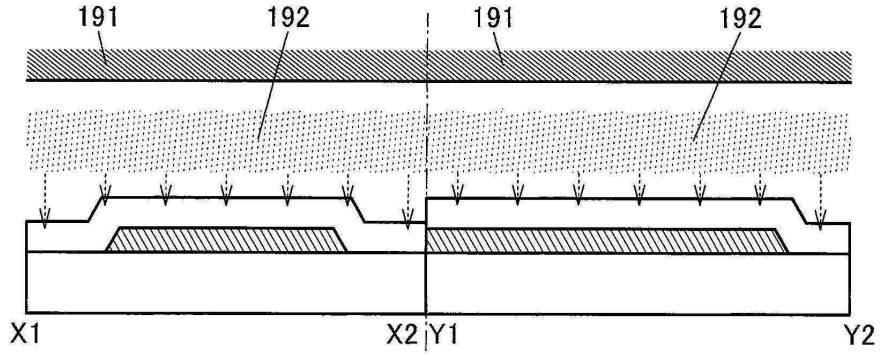

(A)
100E
142b
Y1
X1
X2
112a
108
104
Y2
120a
112b
120b
142a
(B)
100E
118
116
114
120a
142a
120b
112a_3
112a_2
112a_1
112a
112b_3
112b_2
112b_1
112b
106
X1
X2
102
104
108_1
108_2
108
(C)
100E
118
116
114
106
104
142b
120a
102
Y1
Y2
108_1
108_2
108

도면7

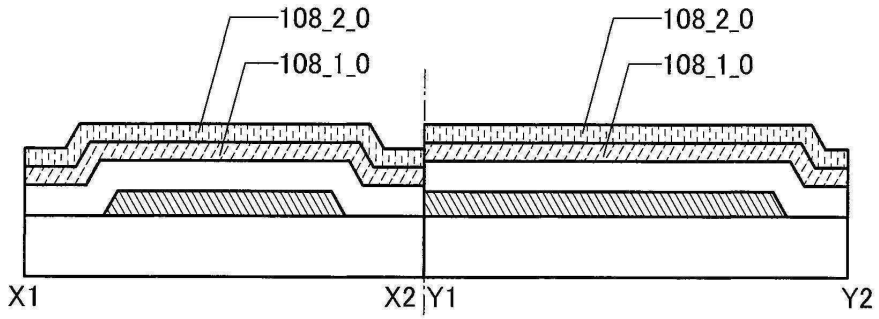
(A)


X1
X2
Y1
Y2
106
104
102
106
104
102

(B)

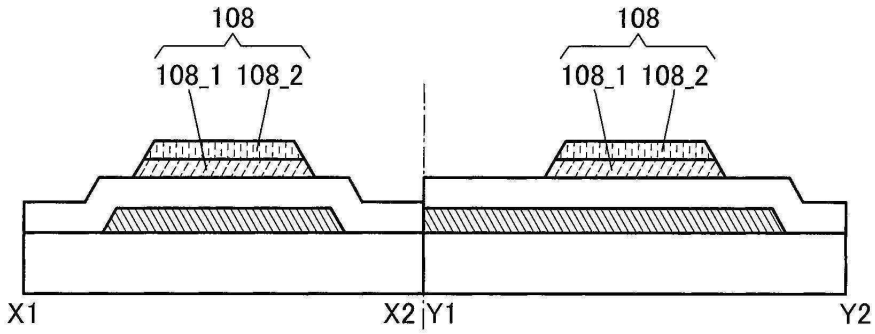

191
192
191
192
X1
X2
Y1
Y2

(C)

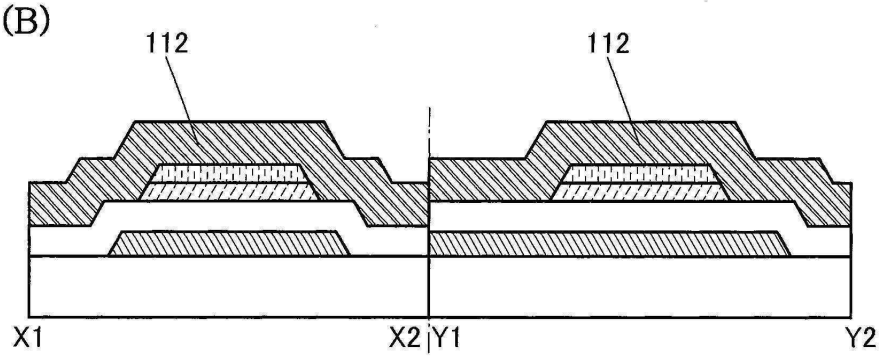

108_2_0
108_1_0
108_2_0
108_1_0
X1
X2
Y1
Y2

도면8

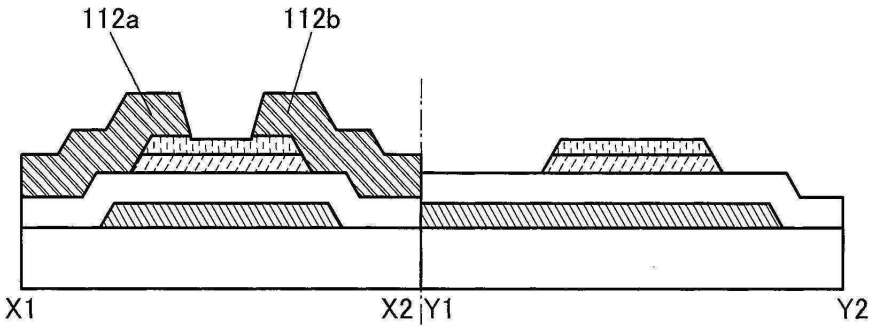
(A)


108
108_1 108_2
108
108_1 108_2
X1
X2
Y1
Y2

(B)

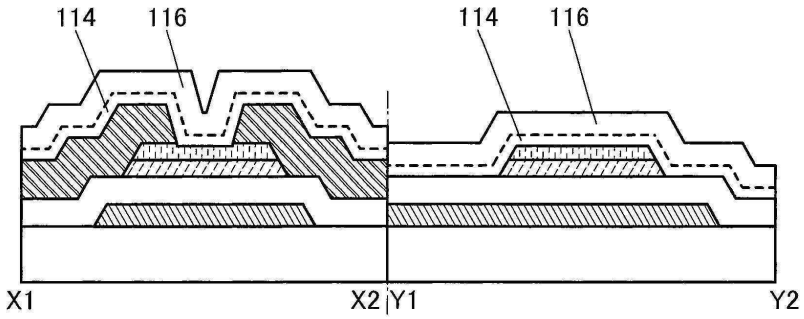

112
112
X1
X2
Y1
Y2

(C)

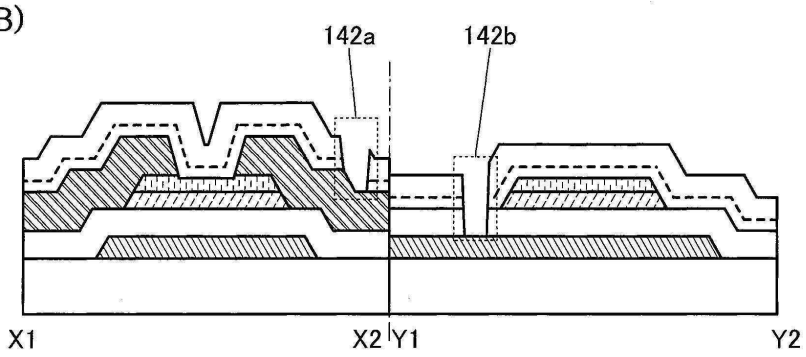

112a
112b
X1
X2
Y1
Y2

도면9

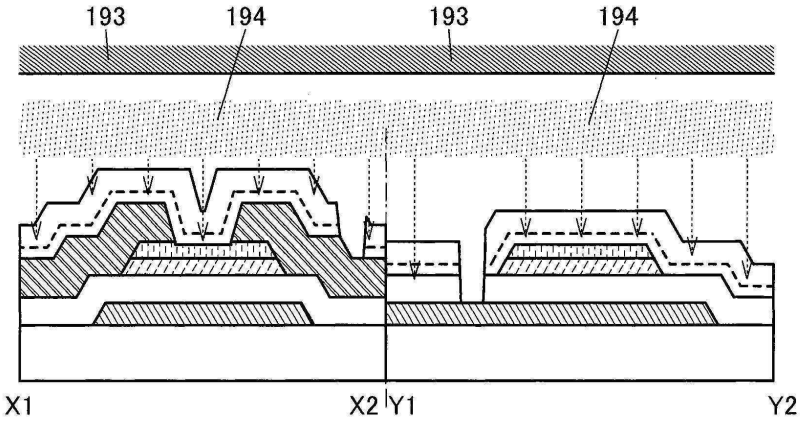
(A)


114
116
114
116
X1
X2
Y1
Y2

(B)

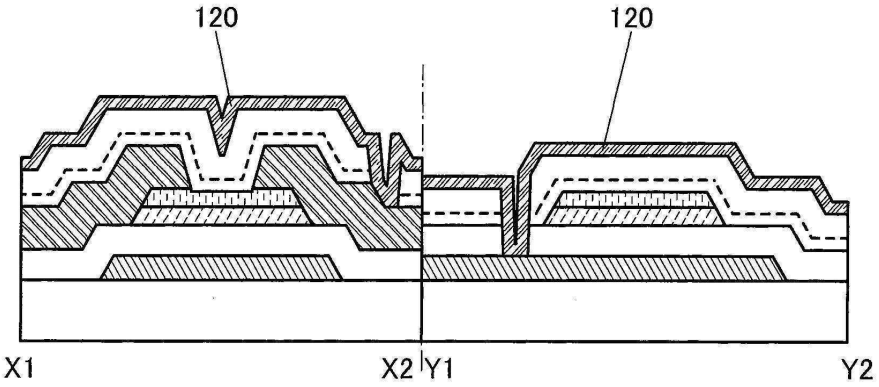

142a
142b
X1
X2
Y1
Y2

(C)

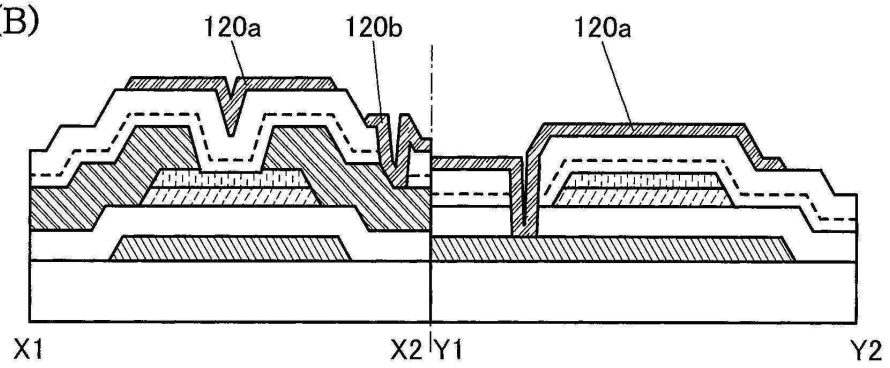

193
194
193
194
X1
X2
Y1
Y2

도면10

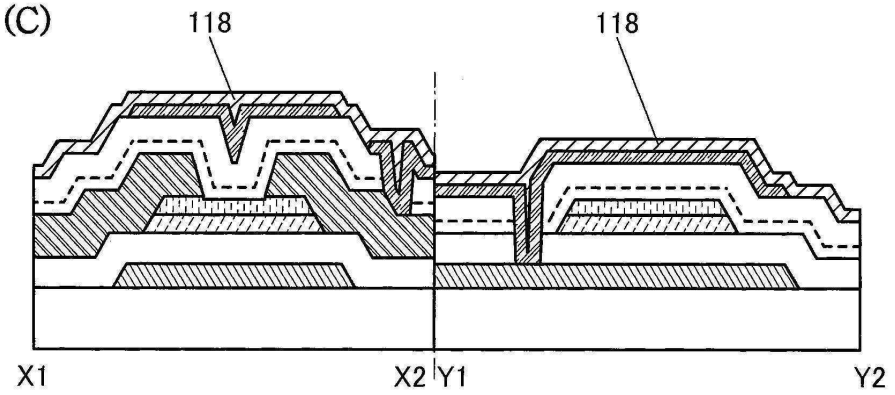
(A)



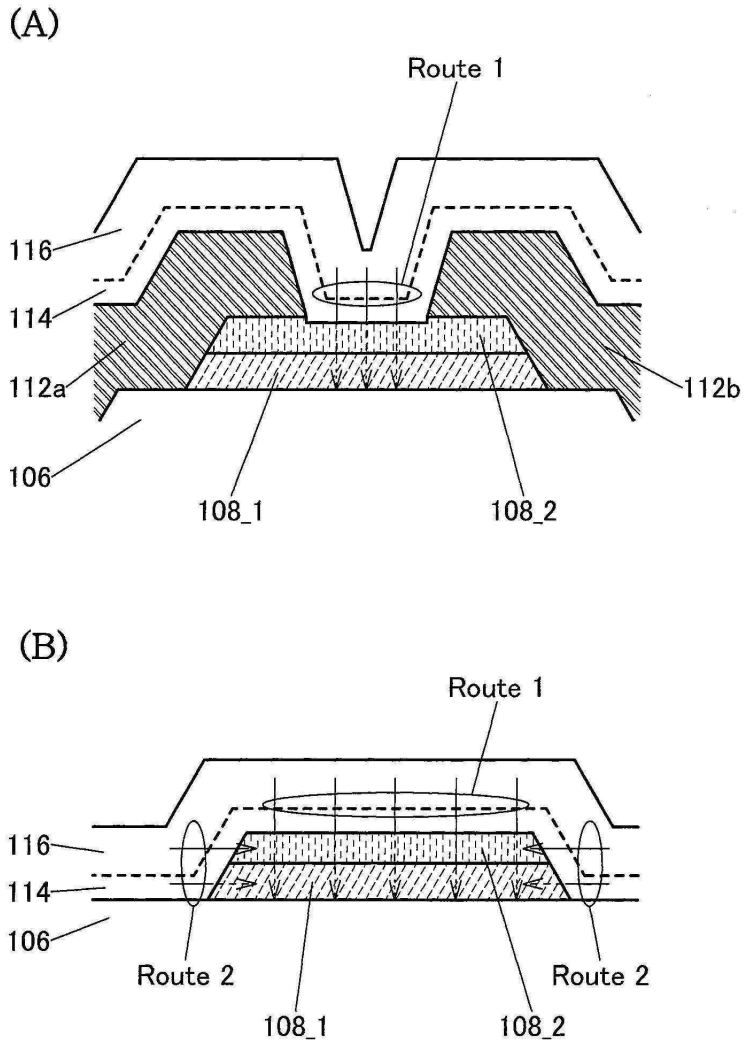
(B)



(C)

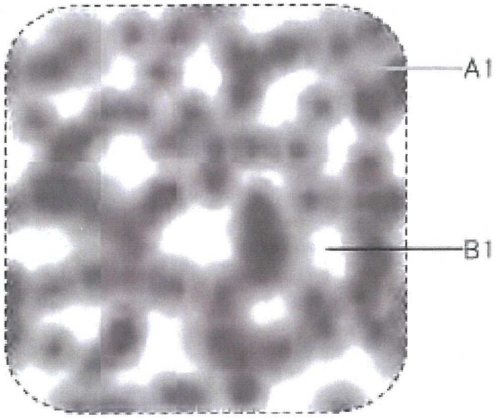


도면11

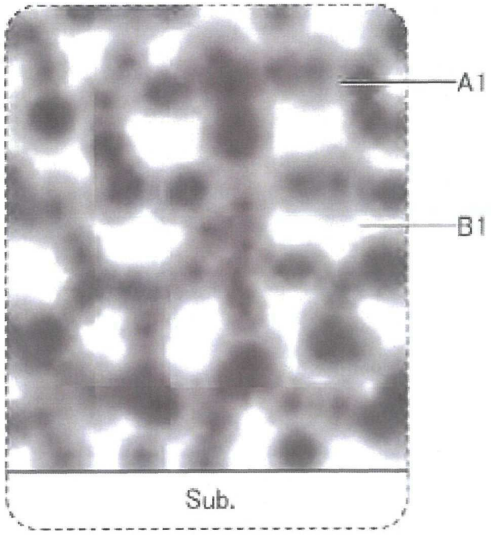

(A)
Route 1
116
114
112a
106
108_1
108_2
112b
(B)
Route 1
116
114
106
Route 2
Route 2
108_1
108_2

도면12

(A)

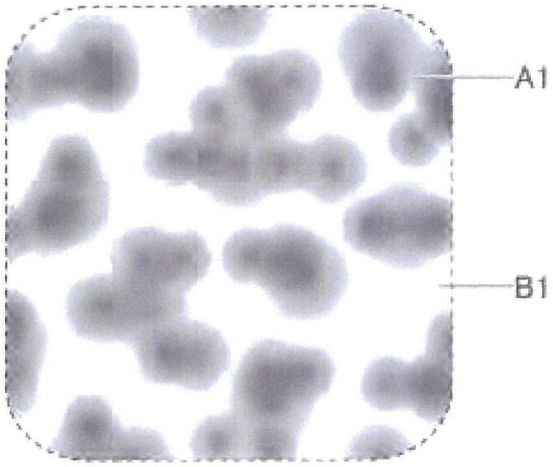


(B)

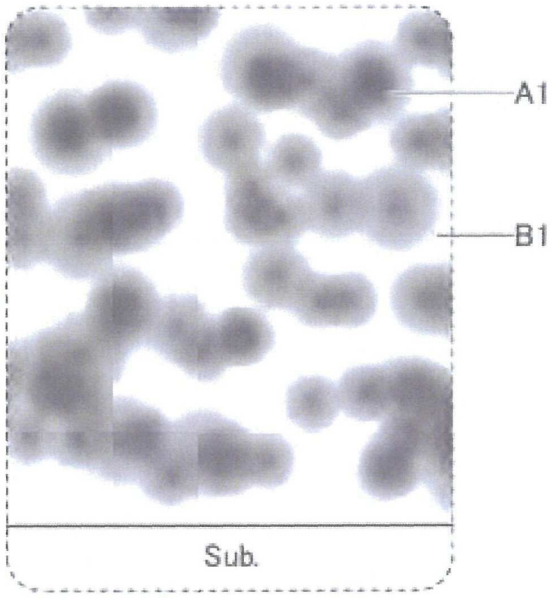


도면13

(A)

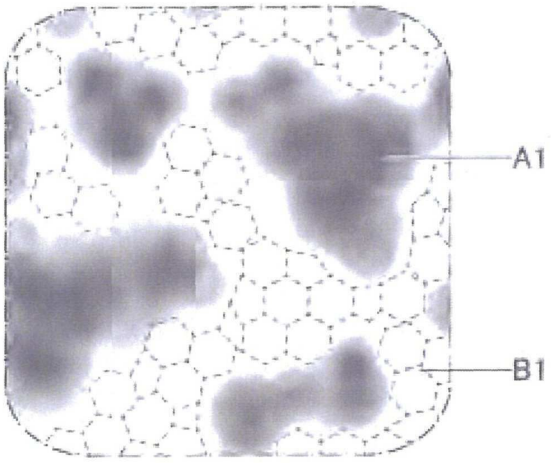


(B)

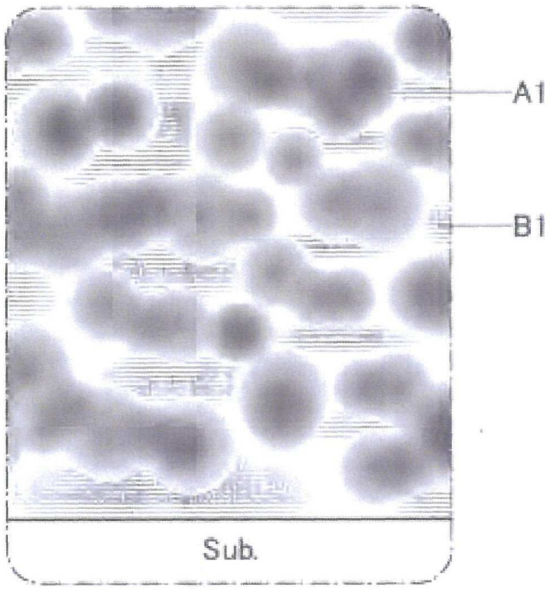


도면14

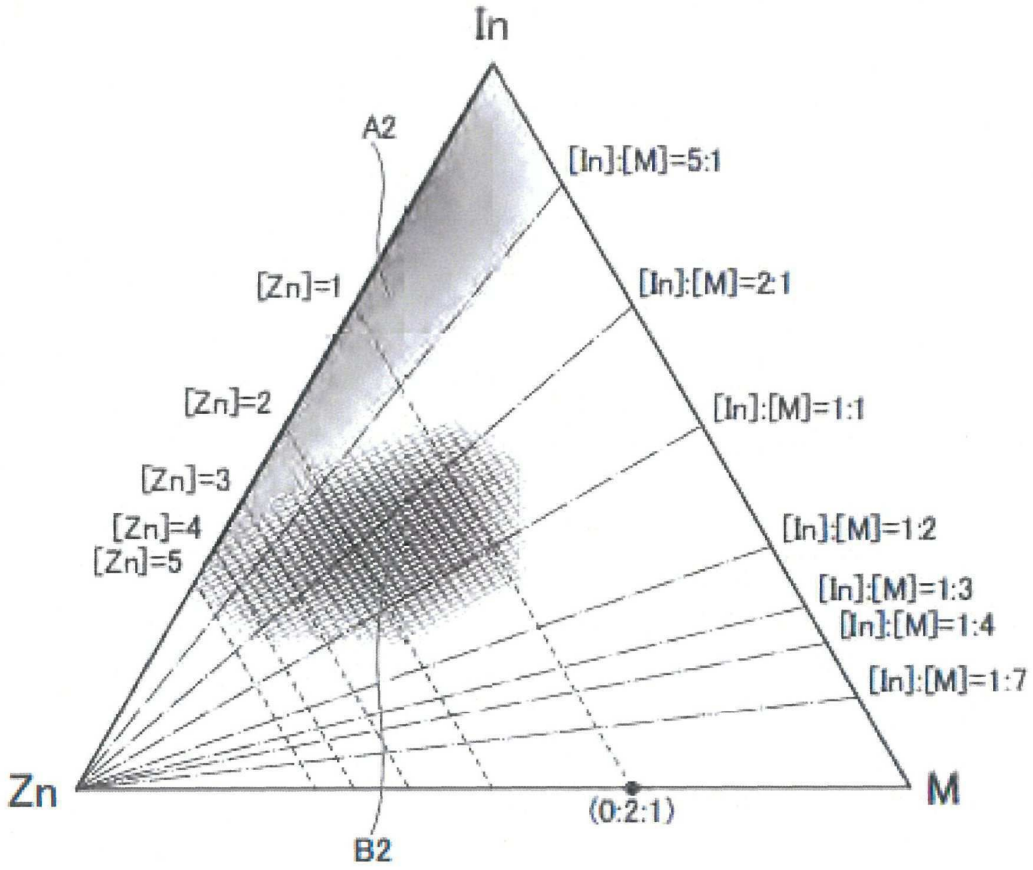
(A)



(B)

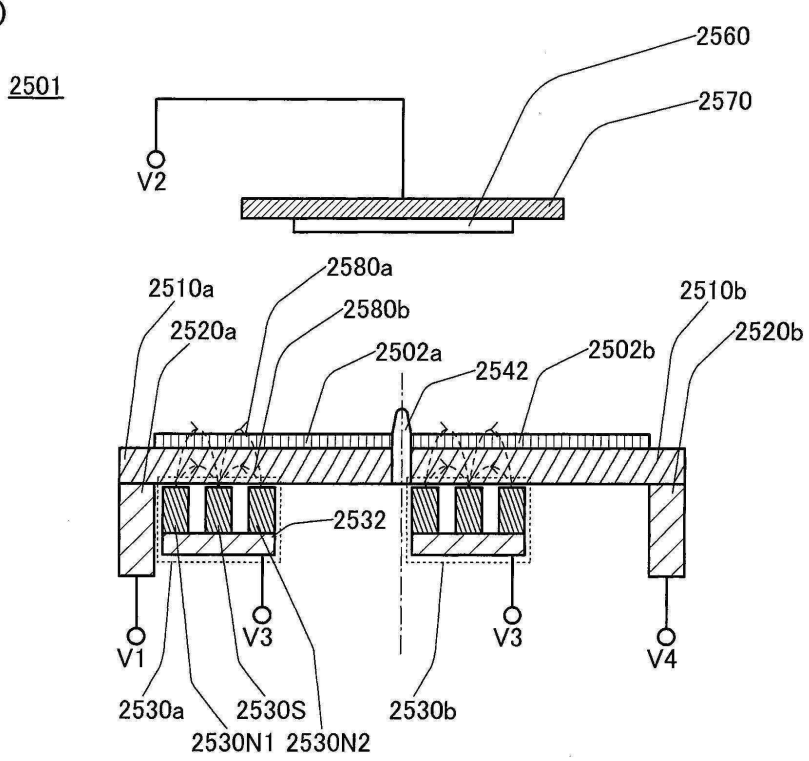


도면15

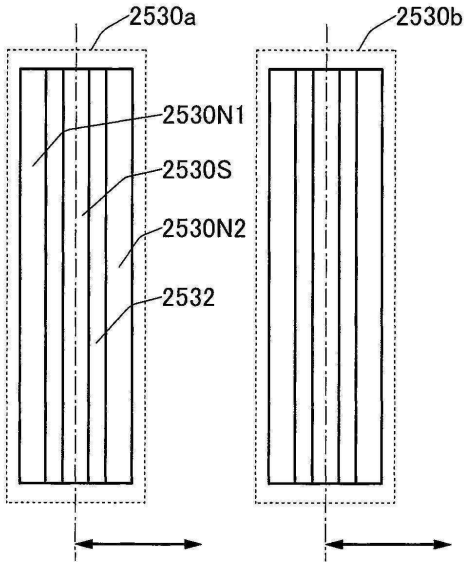

In
A2
[In]:[M]=5:1
[Zn]=1
[In]:[M]=2:1
[Zn]=2
[In]:[M]=1:1
[Zn]=3
[Zn]=4
[Zn]=5
[In]:[M]=1:2
[In]:[M]=1:3
[In]:[M]=1:4
[In]:[M]=1:7
Zn
M
(0:2:1)
B2

도면16

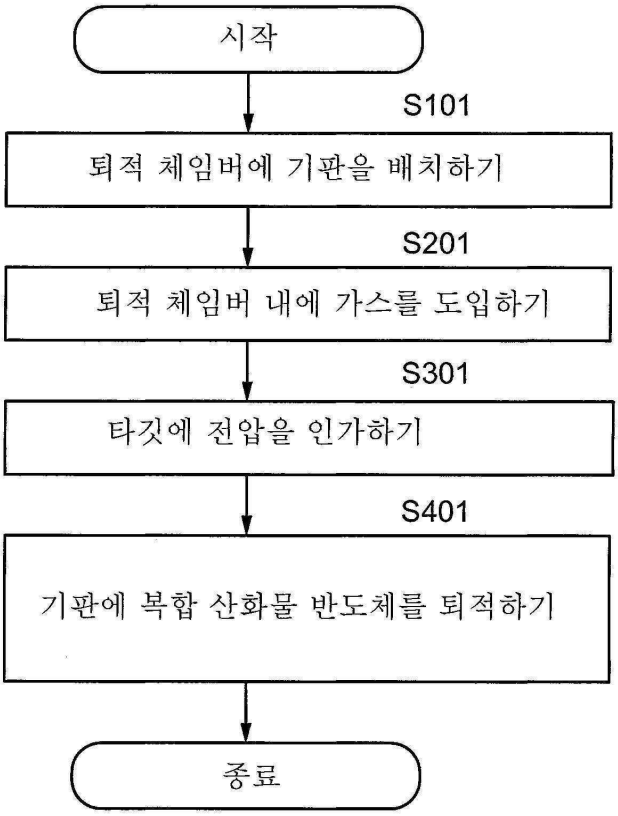
(A)


2501
2560
2570
V2
2580a
2510a
2580b
2510b
2520a
2502a
2542
2502b
2520b
2532
V1
V3
V3
V4
2530a
2530S
2530b
2530N1
2530N2

(B)

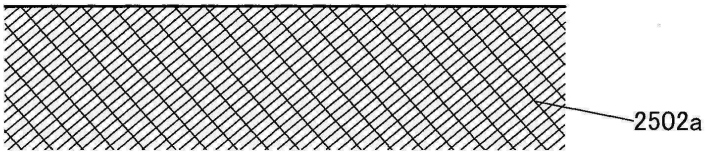

2530a
2530b
2530N1
2530S
2530N2
2532

도면17

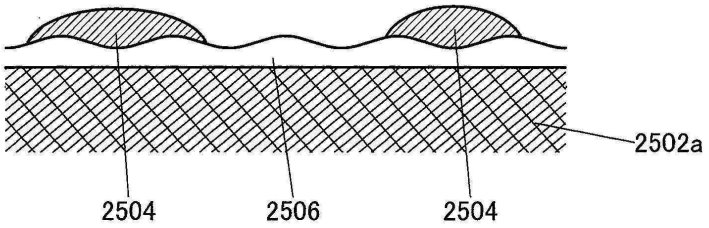

시작
S101
퇴적 체임버에 기판을 배치하기
S201
퇴적 체임버 내에 가스를 도입하기
S301
타깃에 전압을 인가하기
S401
기판에 복합 산화물 반도체를 퇴적하기
종료

도면18

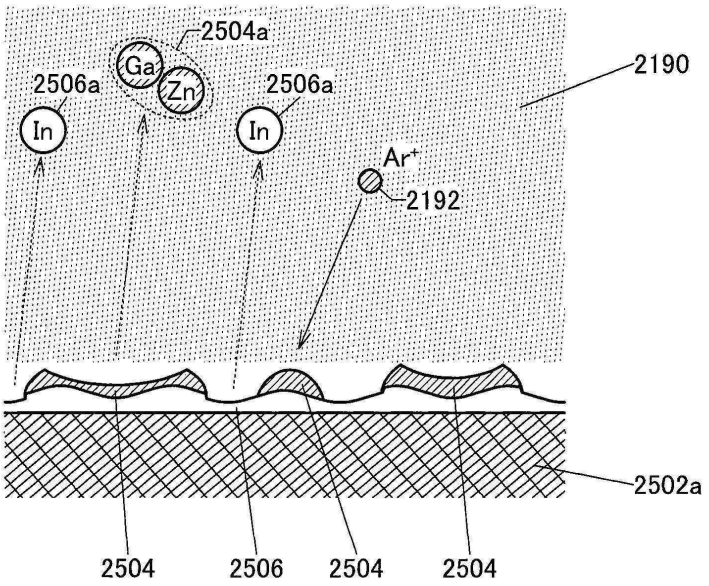
(A)


2502a

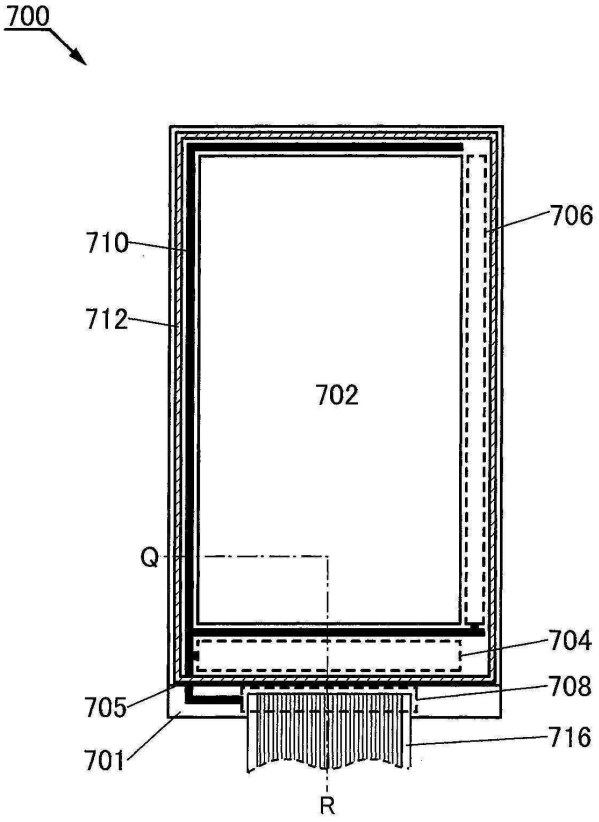
(B)


2502a
2504
2506
2504

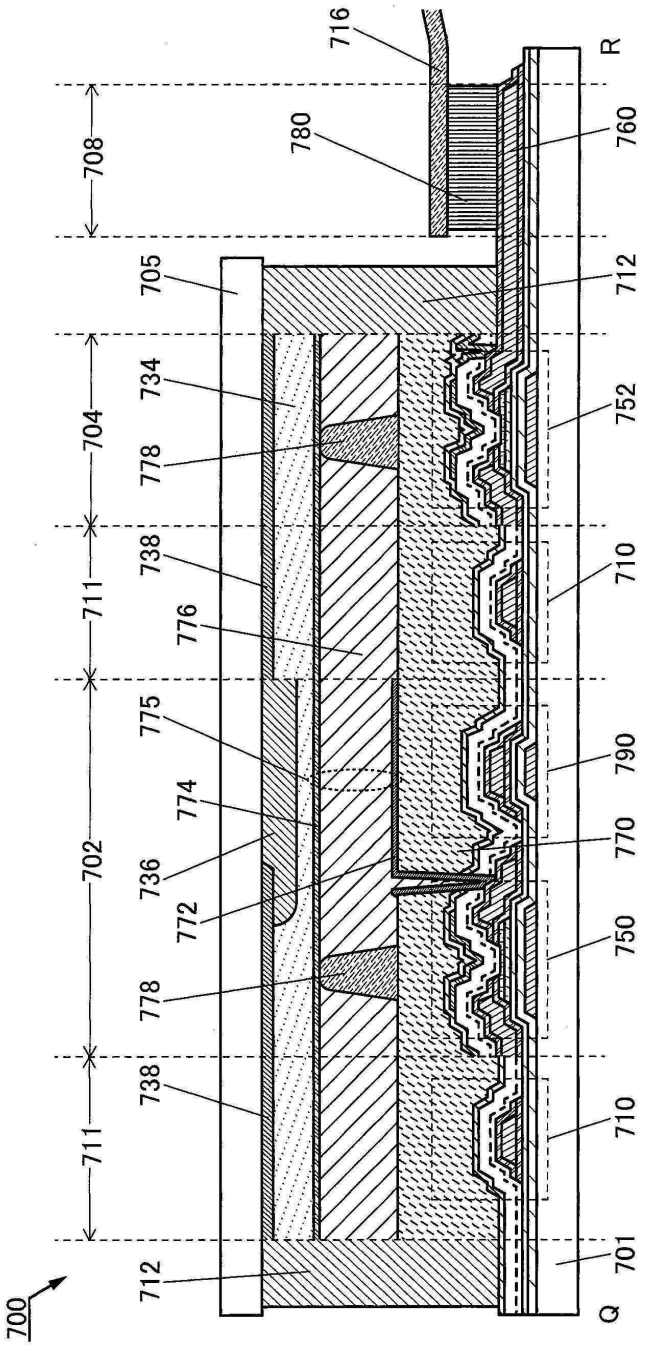
(C)


2504a
Ga
Zn
2506a
In
2506a
In
2190
Ar+
2192
2502a
2504
2506
2504
2504

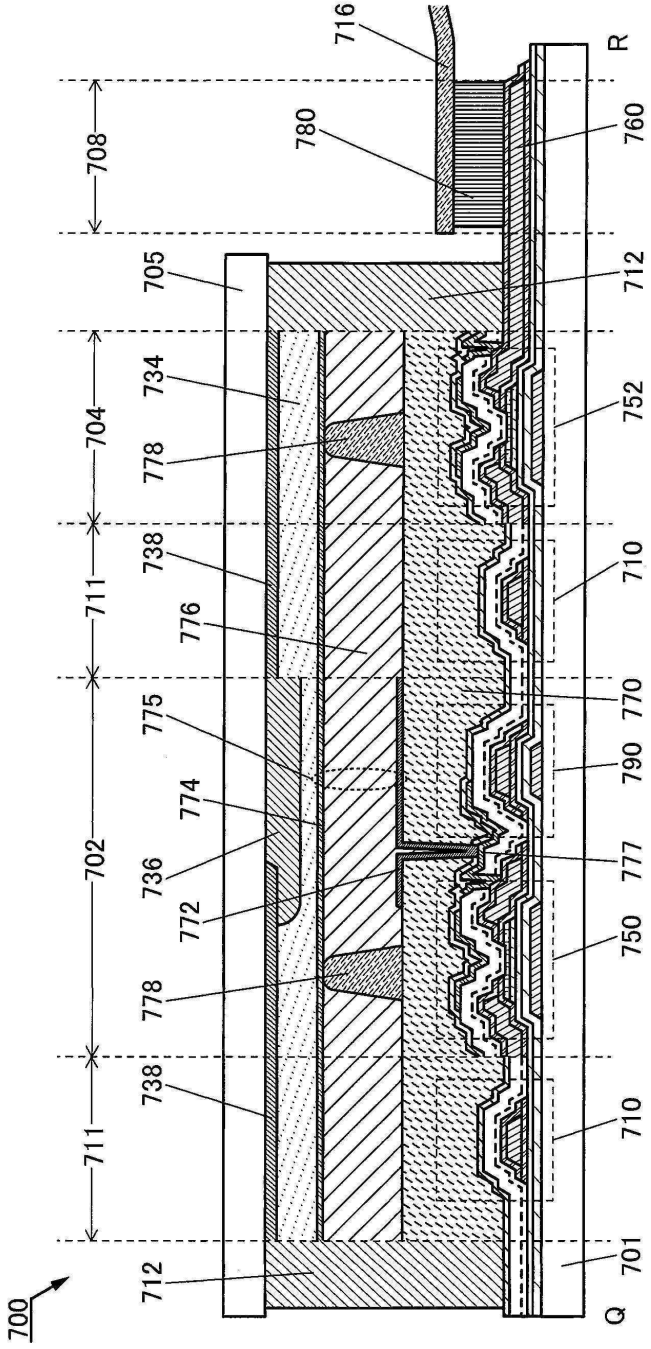
도면19



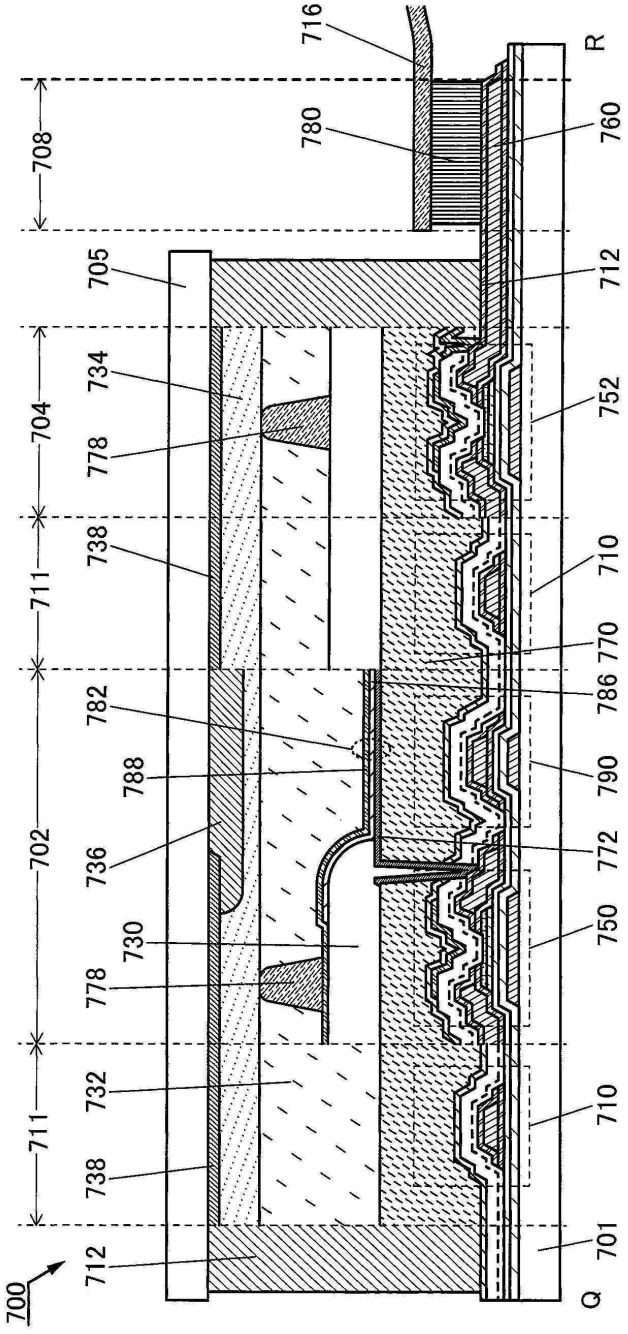
도면20


716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
775
790
774
770
736
772
750
778
738
710
711
712
701
700
Q

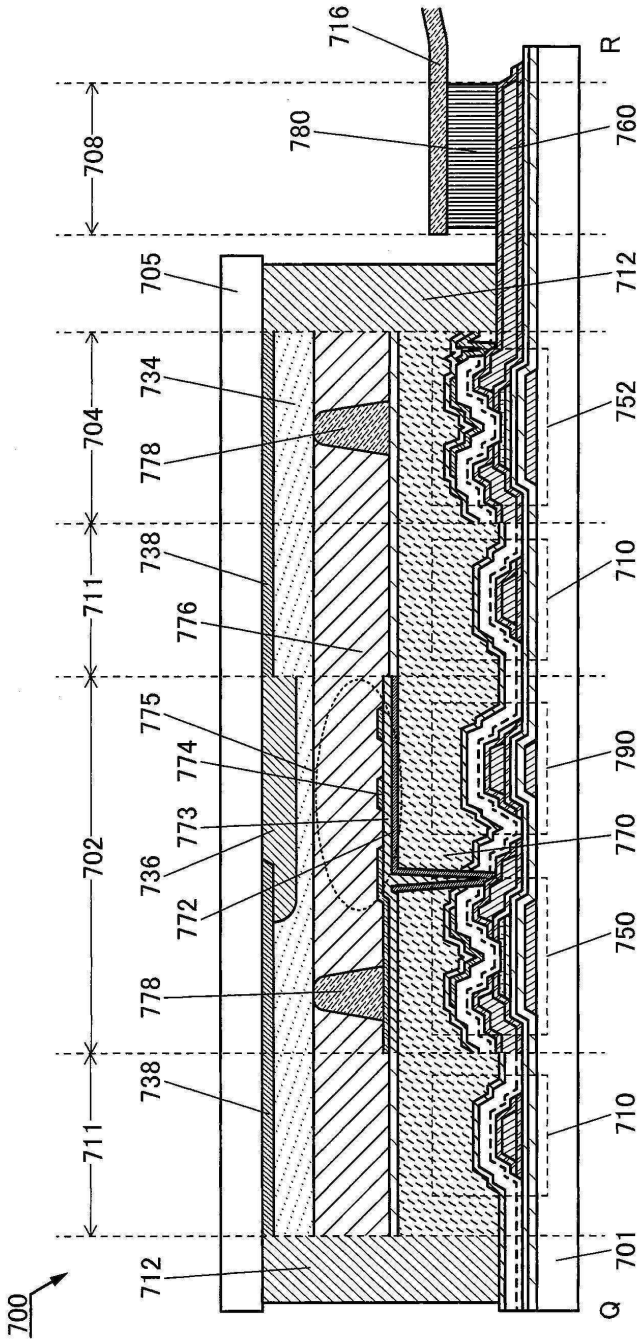
도면21


716
780
R
760
708
705
712
734
752
704
778
738
710
711
776
770
775
790
774
777
736
772
750
778
738
710
711
712
701
700
Q

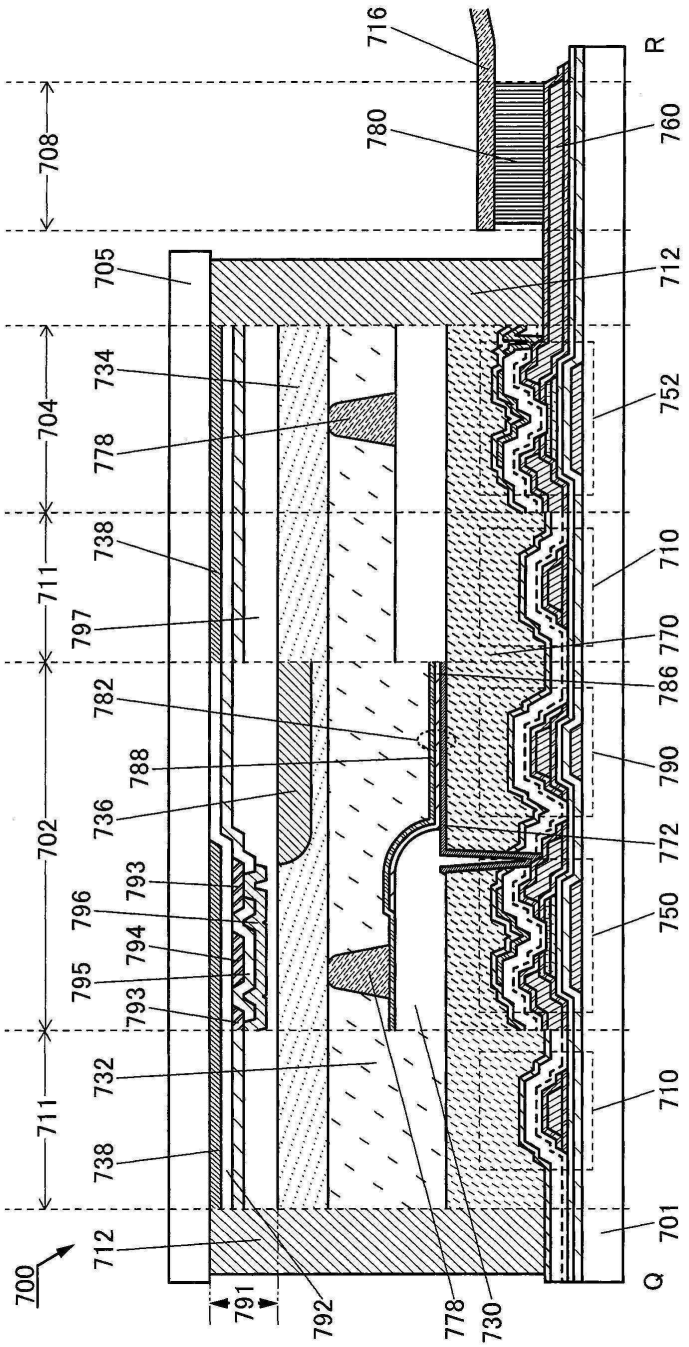
도면22


716
780
760
R
708
705
712
734
752
704
778
738
710
711
770
786
782
790
788
772
702
736
750
730
778
732
710
711
738
701
712
Q
700

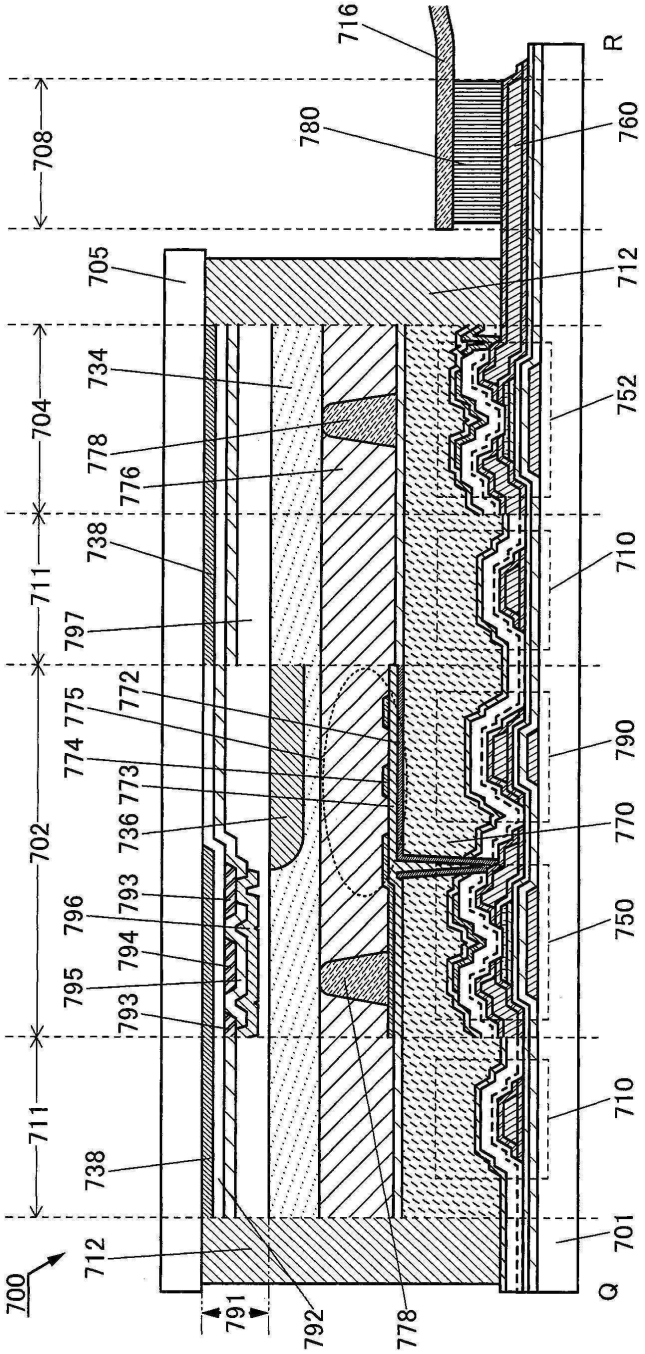
도면23


716
R
780
760
708
705
712
734
752
704
778
738
710
711
776
775
790
774
773
770
702
736
772
750
778
738
710
711
712
701
700
Q

도면24

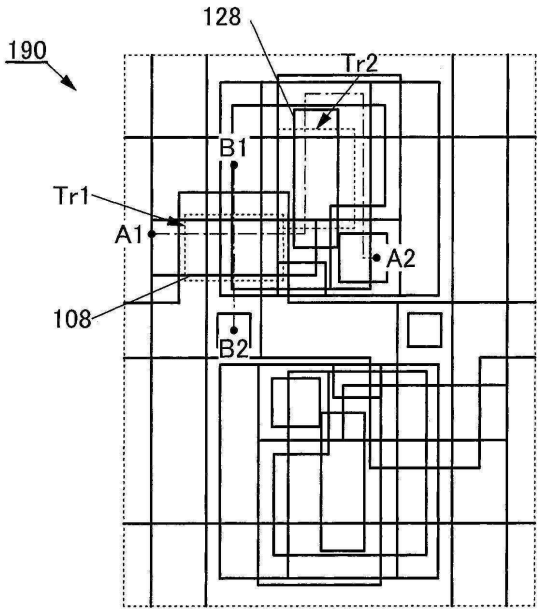

716
780
760
R
708
705
712
734
752
704
778
738
710
711
797
770
786
782
790
788
736
772
793
750
796
794
795
793
732
710
738
701
712
Q
700
791
792
778
730

도면25

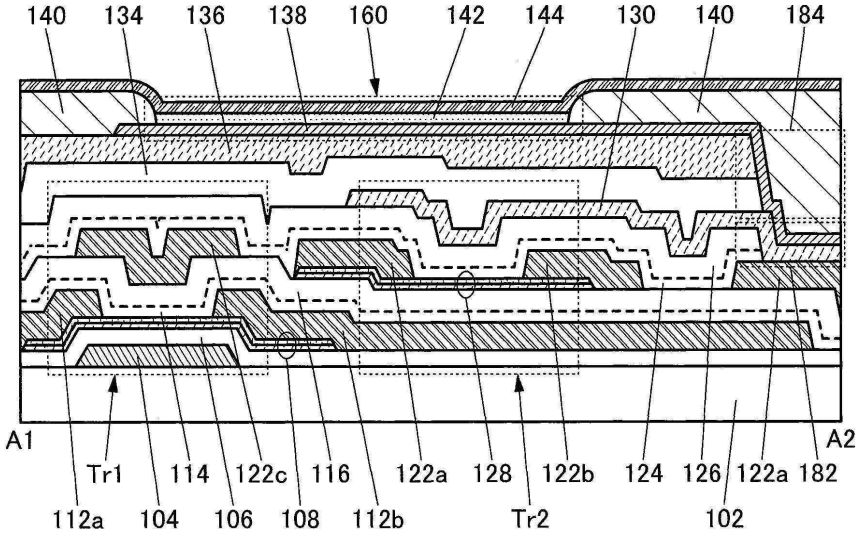

716
R
780
760
708
705
712
734
752
704
778
776
738
710
711
797
772
775
790
774
773
736
770
793
796
794
750
795
793
711
710
738
712
701
700
Q
791
792
778

도면26

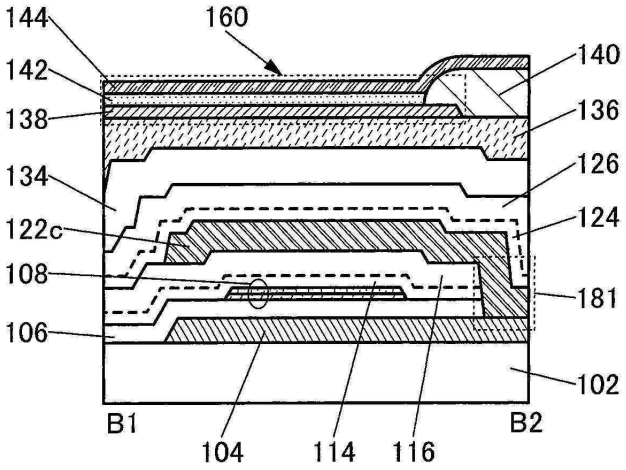
(A)


128
190
Tr2
B1
Tr1
A1
A2
108
B2

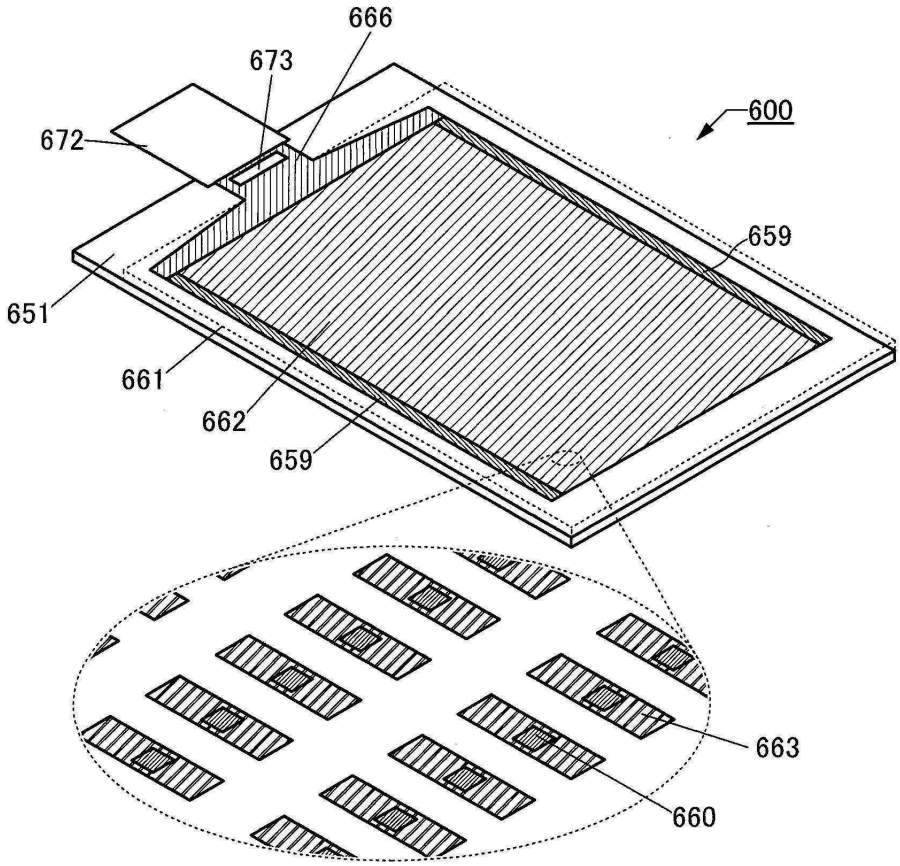
(B)


140
134
136
138
160
142
144
130
140
184
A1
A2
Tr1
114
122c
116
122a
128
122b
124
126
122a
182
112a
104
106
108
112b
Tr2
102

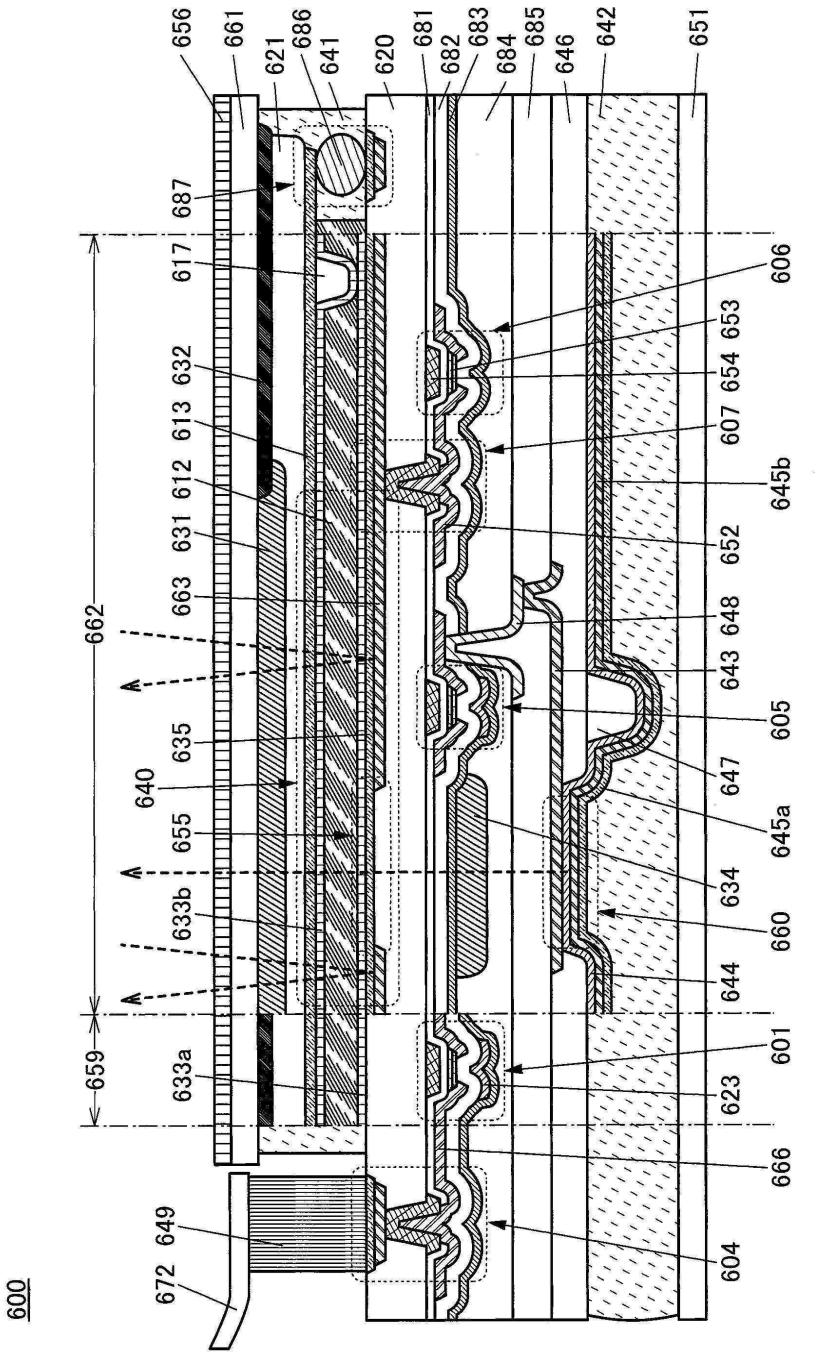
도면27


144
160
142
140
138
136
134
126
122c
124
108
181
106
102
B1
B2
104
114
116

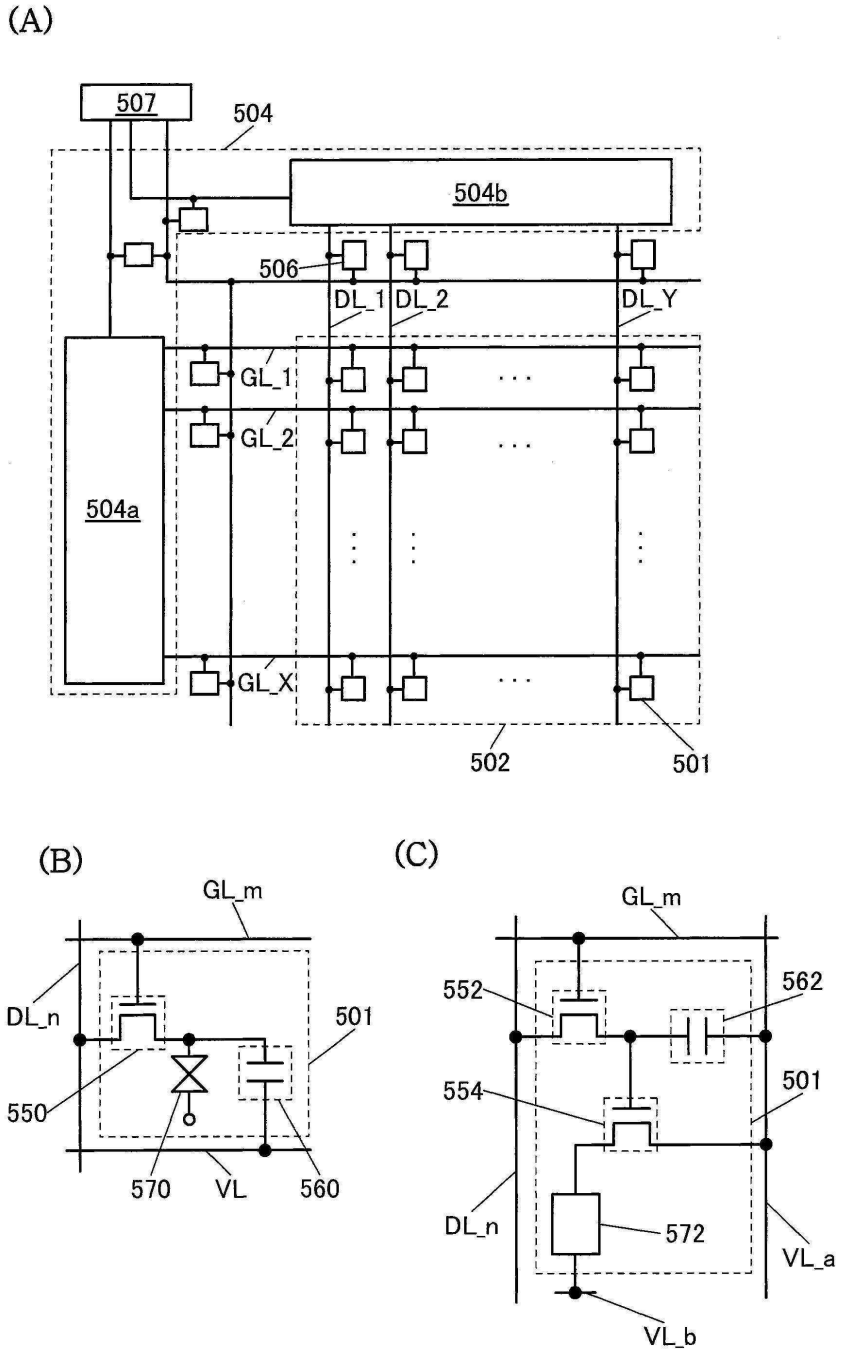
도면28


666
673
672
600
659
651
661
662
659
663
660

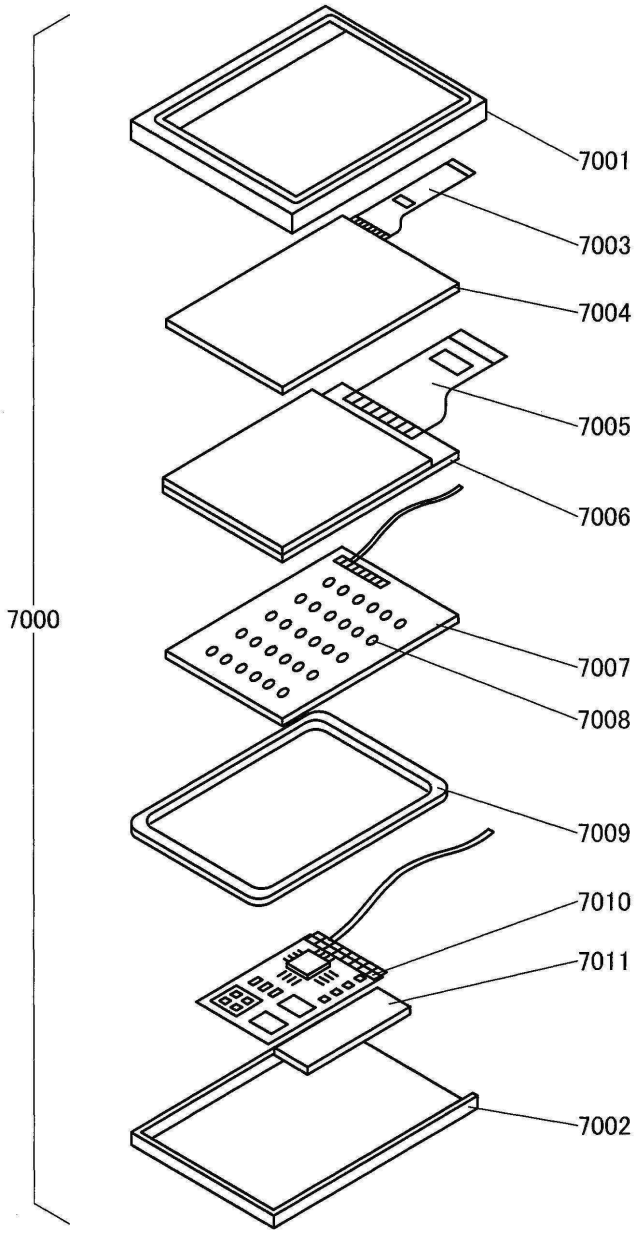
도면29


600
656
661
621
686
641
620
681
682
683
684
685
646
642
651
687
617
606
653
632
654
613
607
612
645b
631
652
663
648
662
643
635
605
640
647
655
645a
634
633b
660
644
659
601
633a
623
666
649
604
672

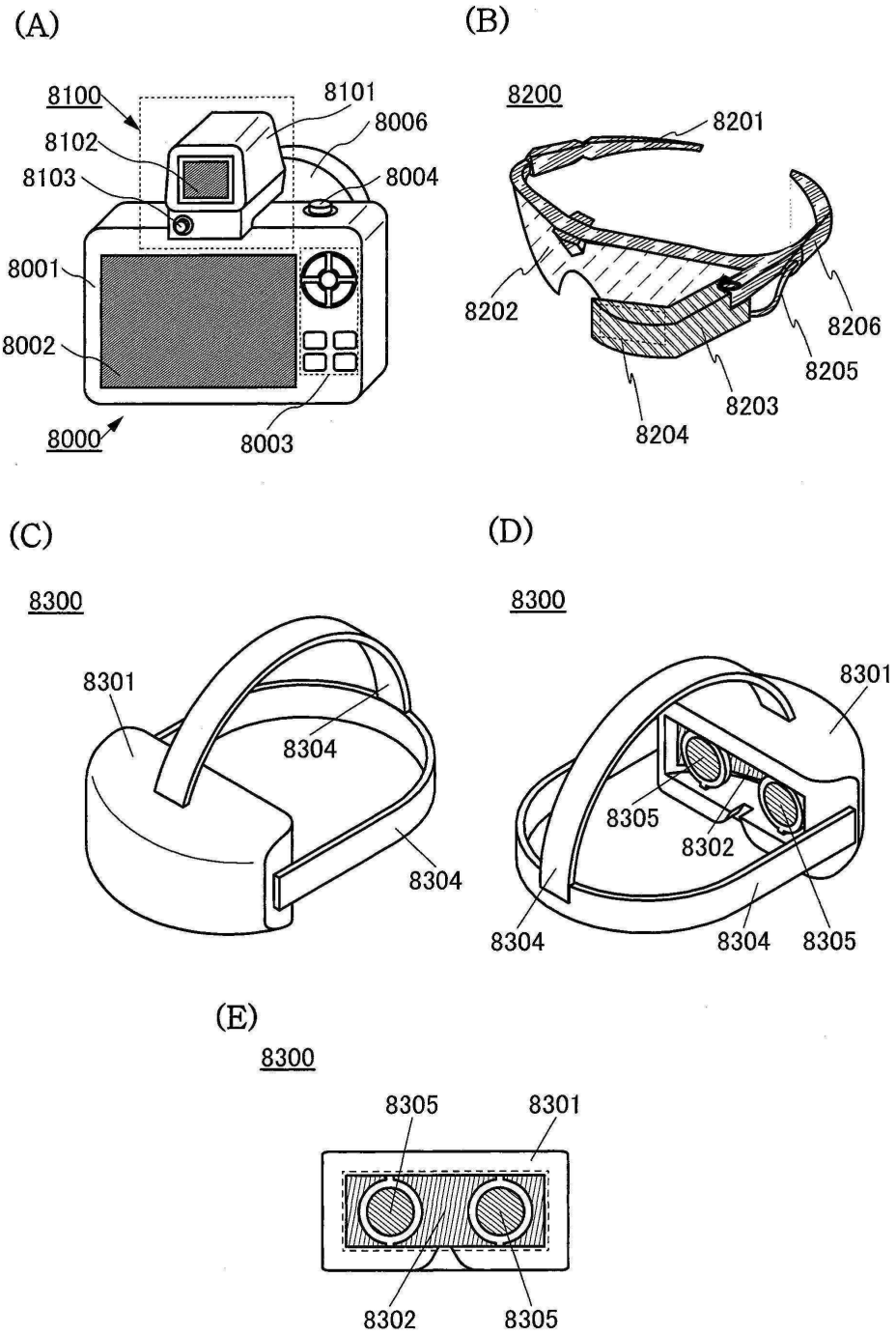
도면30


(A)
507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
504a
GL_X
502
501
(B)
GL_m
DL_n
501
550
570
VL
560
(C)
GL_m
552
562
554
501
DL_n
572
VL_a
VL_b

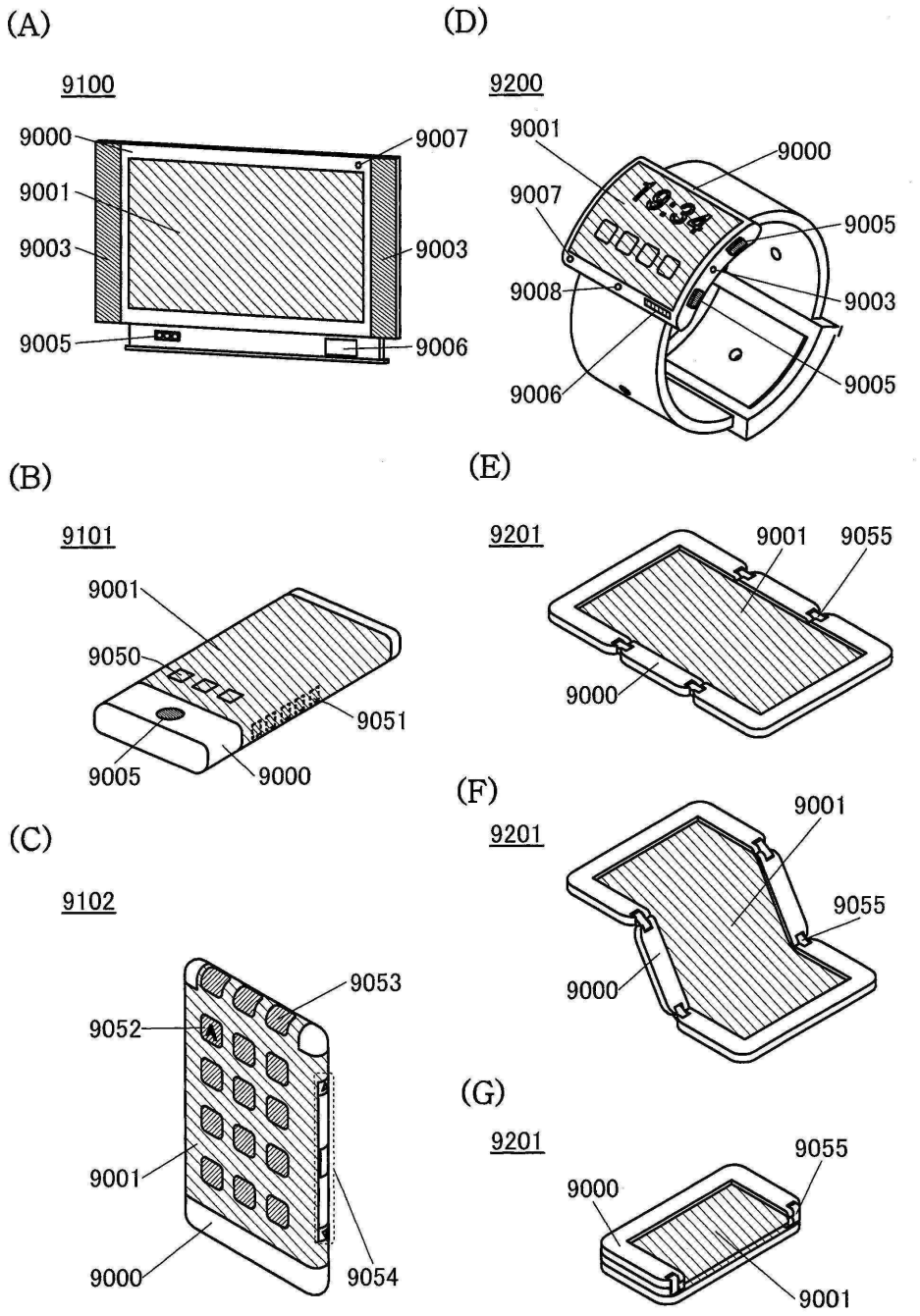
도면31



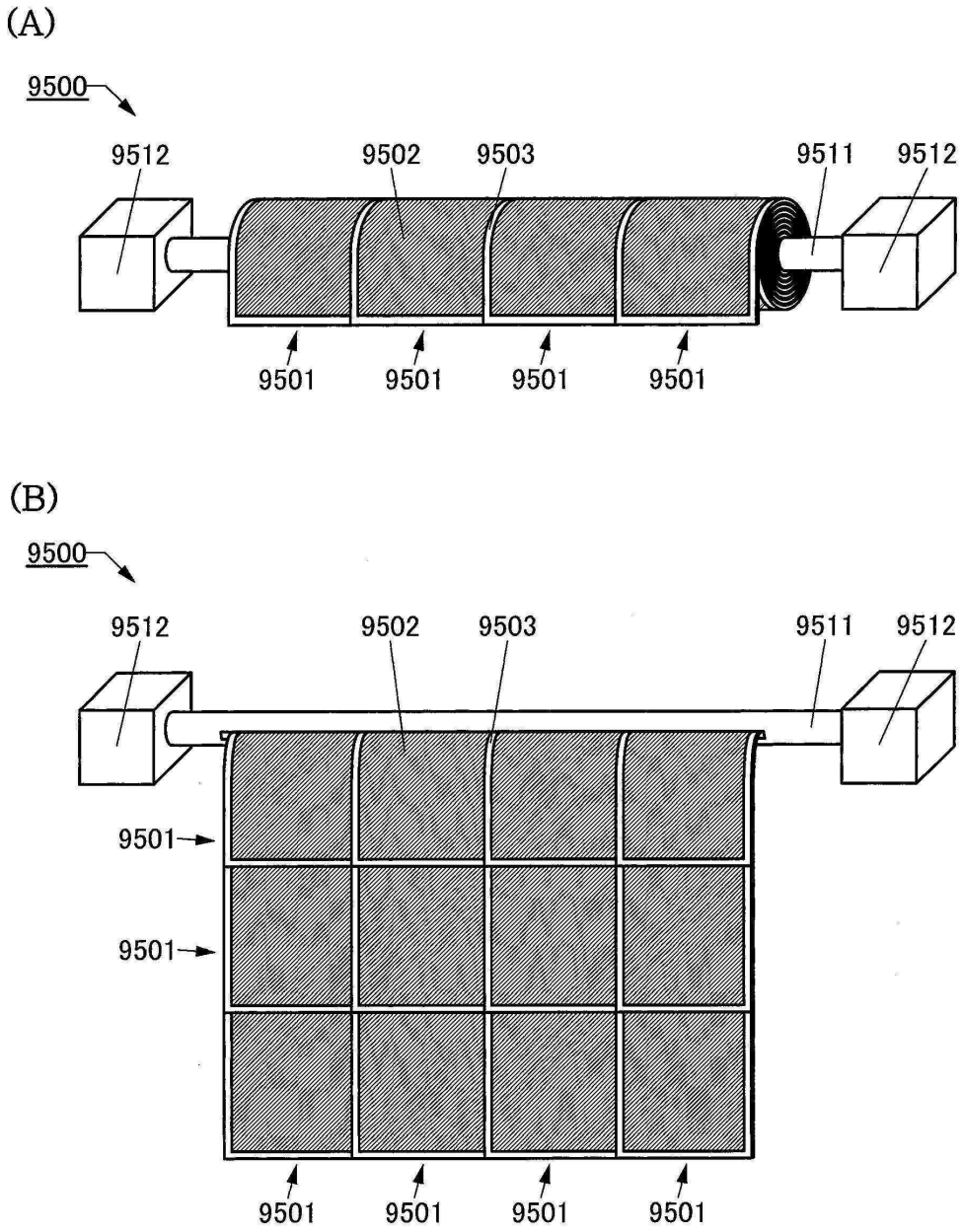
도면32


(A)
8100
8101
8006
8102
8004
8103
8001
8002
8000
8003
(B)
8200
8201
8202
8206
8205
8203
8204
(C)
8300
8301
8304
8304
(D)
8300
8301
8305
8302
8304
8304
8305
(E)
8300
8305
8301
8302
8305

도면33

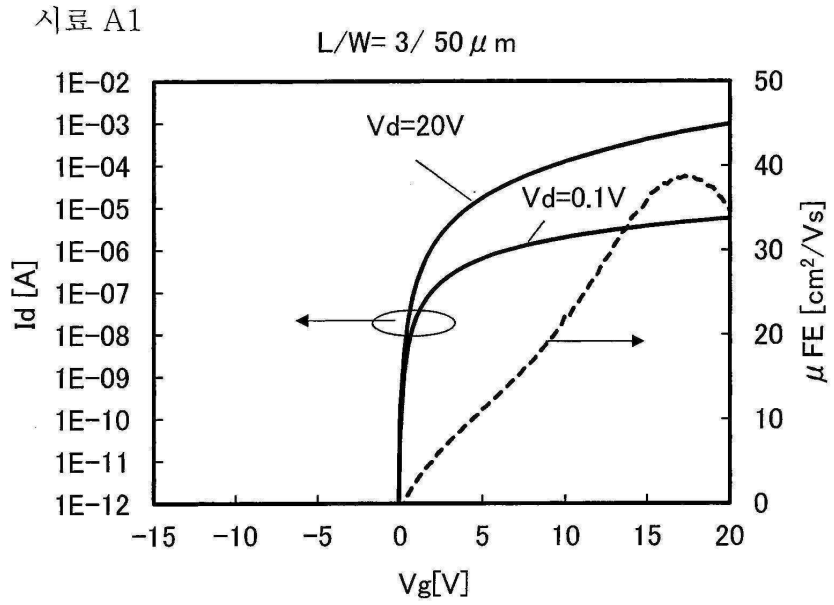

(A)
9100
9000
9007
9001
9003
9003
9005
9006
(D)
9200
9001
9000
9007
9005
9008
9003
9006
9005
(B)
9101
9001
9050
9051
9005
9000
(E)
9201
9001
9055
9000
(C)
9102
9053
9052
9001
9000
9054
(F)
9201
9001
9055
9000
(G)
9201
9055
9000
9001

도면34

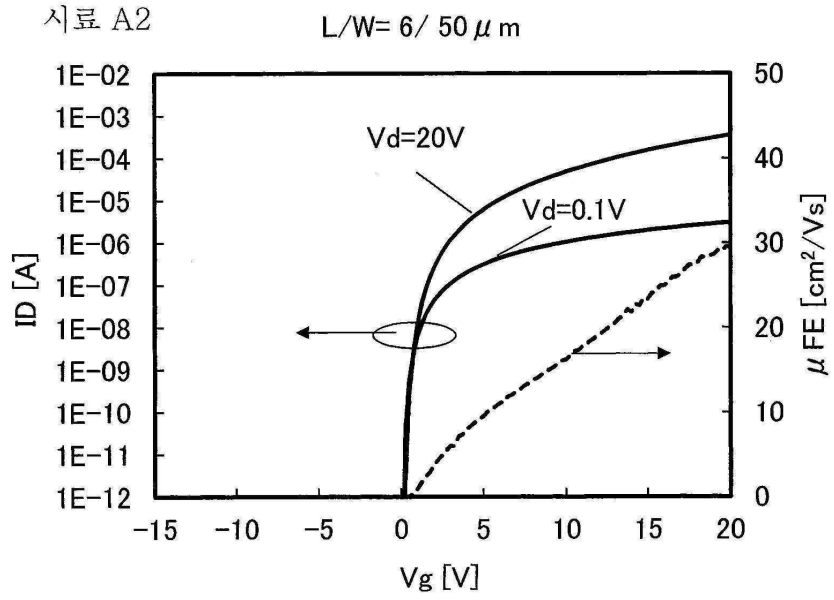

(A)
9500
9512
9502
9503
9511
9512
9501
9501
9501
9501
(B)
9500
9512
9502
9503
9511
9512
9501
9501
9501
9501
9501
9501

도면35

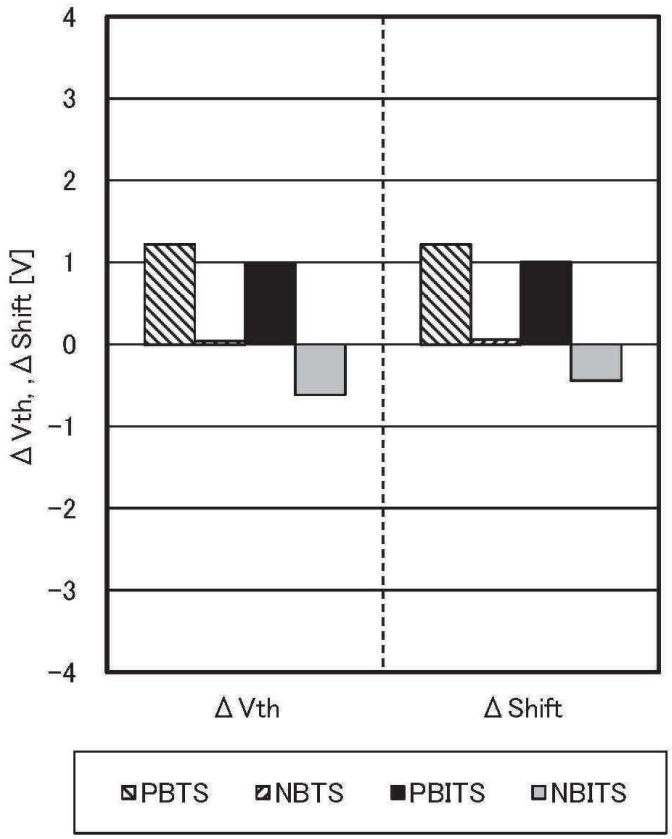
(A)


시료 A1
L/W= 3/ 50 μ m
Vd=20V
Vd=0.1V
Id [A]
μ FE [cm²/Vs]
Vg[V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

(B)


시료 A2
L/W= 6/ 50 μ m
Vd=20V
Vd=0.1V
ID [A]
μ FE [cm²/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

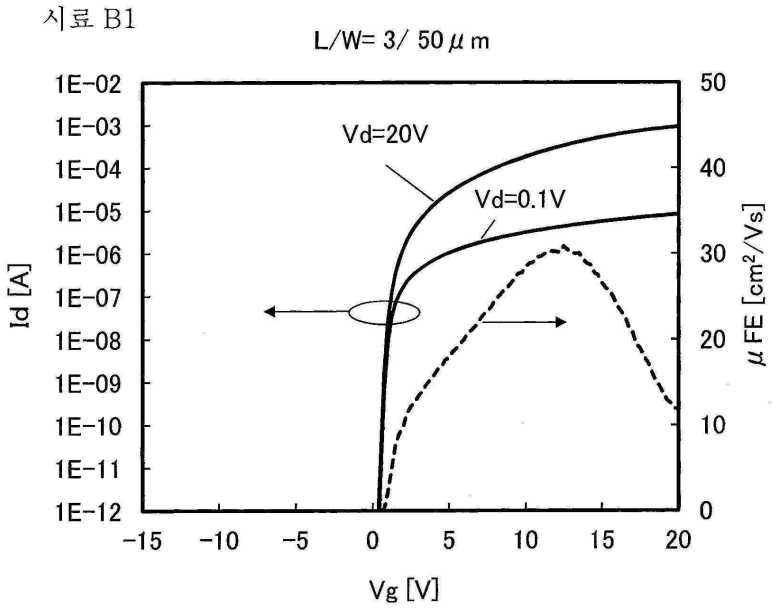
도면36



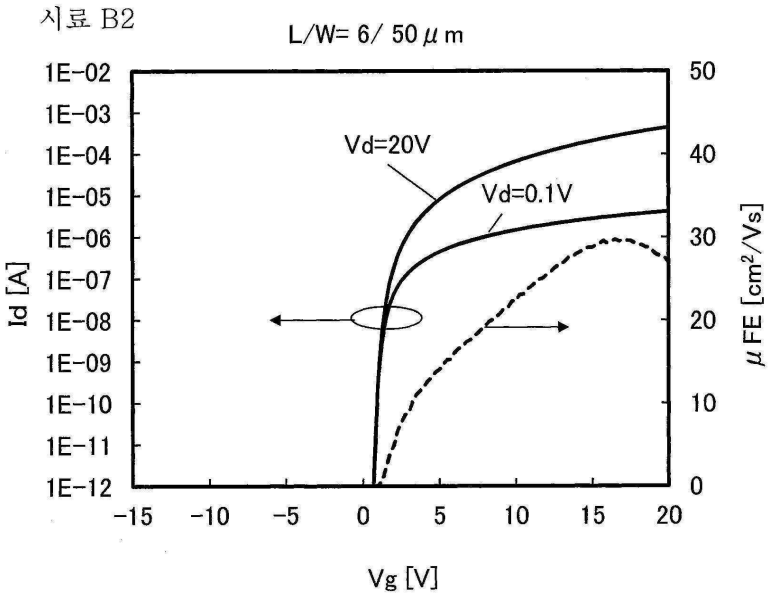
FET 크기: L/W=6/50μm
[GBT 시험]
스트레스 조건: Vg=±30V, Vd=Vs=0V
스트레스 온도: 60℃
스트레스 인가 시간: 1시간
어두움 또는 광(백색 LED, 약 10000lx)

도면37

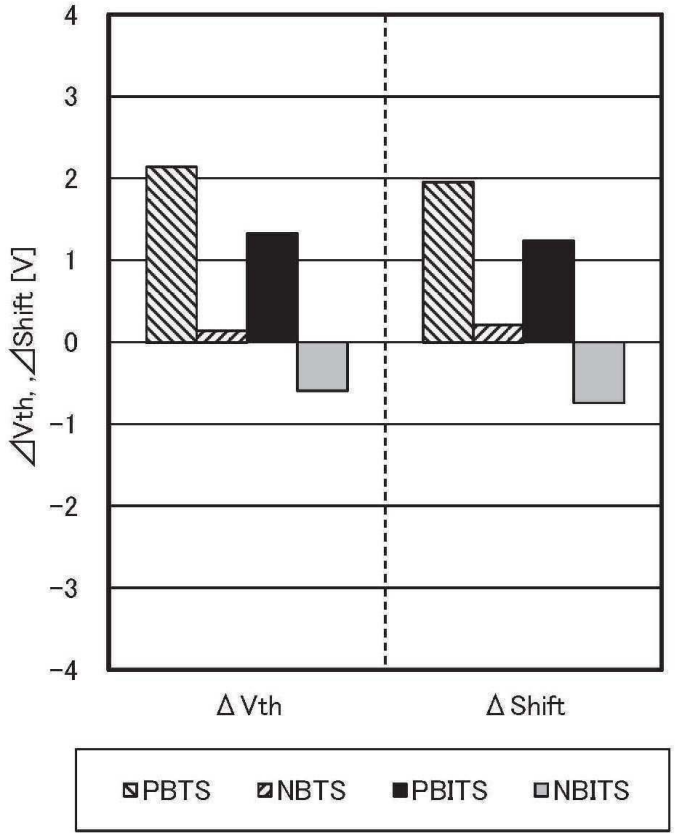
(A)


시료 B1
L/W= 3/ 50 μ m
Vd=20V
Vd=0.1V
Id [A]
μ FE [cm²/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

(B)


시료 B2
L/W= 6/ 50 μ m
Vd=20V
Vd=0.1V
Id [A]
μ FE [cm²/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

도면38



FET 크기: L/W=6/50μm
[GBT 시험]
스트레스 조건: Vg=±30V, Vd=Vs=0V
스트레스 온도: 60℃
스트레스 인가 시간: 1시간
어두움 또는 광(백색 LED, 약 10000lx)