(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월14일
(11) 등록번호 10-2010752
(24) 등록일자 2019년08월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *G02F 1/1345* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/04* (2006.01)
H01L 29/49 (2006.01) *H01L 29/66* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
G02F 1/13454 (2013.01)
(21) 출원번호 10-2018-7004920(분할)
(22) 출원일자(국제) 2010년11월04일
심사청구일자 2018년02월20일
(85) 번역문제출일자 2018년02월20일
(65) 공개번호 10-2018-0021237
(43) 공개일자 2018년02월28일
(62) 원출원 특허 10-2012-7017051
원출원일자(국제) 2010년11월04일
심사청구일자 2015년11월02일
(86) 국제출원번호 PCT/JP2010/070062
(87) 국제공개번호 WO 2011/068017
국제공개일자 2011년06월09일
(30) 우선권주장
JP-P-2009-276918 2009년12월04일 일본(JP)
(56) 선행기술조사문헌
JP2007096055 A*
(뒷면에 계속)
전체 청구항 수 : 총 9 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

심사관 : 고연화

(54) 발명의 명칭 **표시 장치**

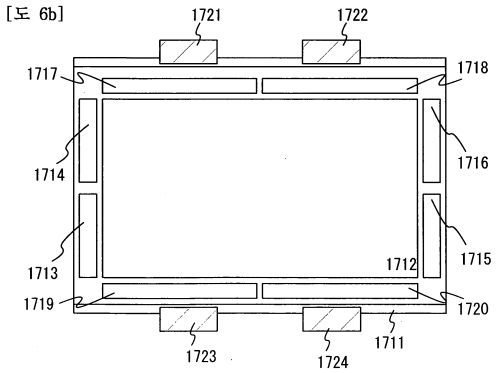
(57) 요 약

본 발명의 일 실시예는 산화물 반도체에서 고 이동성이 달성되는 고 신뢰성의 표시 장치를 제공하는 것이다. 제 1 산화물 부재가 하지 부재 위에 형성된다. 제 1 열처리에 의해 상기 제 1 산화물 부재의 표면으로부터 내부로의 결정 성정이 진행되어, 제 1 산화물 결정 부재가 상기 하지 부재의 적어도 일부에 접하여 형성된다. 제 2 산화물

(뒷면에 계속)

대 표 도

[도 6b]



부재가 상기 제 1 산화물 결정 부재 위에 형성된다. 상기 제 1 산화물 결정 부재를 종으로서 사용하여 제 2 열처리에 의해 결정 성장이 수행되어, 제 2 산화물 결정 부재가 형성된다. 따라서, 적층된 산화물 부재가 형성된다. 고 이동도를 갖는 트랜지스터는 상기 적층된 산화물 재료를 사용하여 형성되고 구동 회로가 상기 트랜지스터를 사용하여 형성된다.

(52) CPC특허분류
G02F 1/1368 (2013.01)
H01L 29/045 (2013.01)
H01L 29/4908 (2013.01)
H01L 29/66742 (2013.01)
H01L 29/7869 (2013.01)

(56) 선행기술조사문헌
JP2007165861 A*
JP2005303150 A
KR1020080029807 A
KR1020080029796 A
JP2008533693 A
JP2005311335 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

표시 장치에 있어서:

상면을 포함하는 제 1 기판;

제 2 기판;

씰재;

상기 제 1 기판 위의 제 1 질화 실리콘층;

상기 제 1 질화 실리콘층 상에 있고 상기 제 1 질화 실리콘층과 접하는 제 1 산화 실리콘층;

상기 제 1 산화 실리콘층 위의 제 2 산화 실리콘층;

상기 제 2 산화 실리콘층 상에 있고 상기 제 2 산화 실리콘층과 접하는 제 2 질화 실리콘층;

상기 제 1 기판 위의 주사선 구동 회로;

상기 제 1 기판에 부착되고 상기 주사선 구동 회로와 전기 접촉하는 FPC; 및

상기 제 1 기판 위에 있고 상기 주사선 구동 회로와 인접한 화소부를 포함하고, 상기 화소부는:

상기 제 1 기판 위에 있고, 상면과 측면을 포함하는 게이트 전극층으로서, 상기 측면은 상기 제 1 기판의 상기 상면에 대해 기울기를 갖는, 상기 게이트 전극층;

상기 게이트 전극층을 개재하여 상기 제 1 기판 위에 있고, 상기 게이트 전극층의 상기 상면과 마주하는 제 1 부분, 및 상기 게이트 전극층의 상기 측면의 상기 기울기에 따라 경사진 제 2 부분을 포함하는 산화물 반도체층;

상기 게이트 전극층과 상기 산화물 반도체층 사이의 게이트 절연층으로서, 상기 게이트 절연층은 상기 제 1 질화 실리콘층 및 상기 제 1 산화 실리콘층을 포함하고, 상기 제 1 산화 실리콘층은 상기 산화물 반도체층과 직접 접하는, 상기 게이트 절연층;

상기 산화물 반도체층 상에 있고 상기 산화물 반도체층과 직접 접하고 상기 제 2 산화 실리콘층 및 상기 제 2 질화 실리콘층 아래에 있는 소스 전극층 및 드레인 전극층;

상기 제 2 질화 실리콘층 상에 있고 상기 제 2 질화 실리콘층과 직접 접하는 유기 절연층;

상기 유기 절연층 위에 있고 상기 유기 절연층, 상기 제 2 질화 실리콘층, 및 상기 제 2 산화 실리콘층의 개구를 통해 상기 산화물 반도체층과 전기 접촉하는 화소 전극; 및

상기 화소 전극 및 상기 유기 절연층 위의 액정층을 포함하고,

상기 주사선 구동 회로 및 상기 화소부는 상기 제 1 기판, 상기 씰재, 및 상기 제 2 기판에 의해 규정되는 공간에 함께 밀봉되고,

상기 산화물 반도체층은 결정성을 갖고,

상기 산화물 반도체층의 결정들의 c축은 상기 제 1 부분 및 상기 제 2 부분 모두에서 상기 산화물 반도체층의 표면에 수직인, 표시 장치.

청구항 2

표시 장치에 있어서:

상면을 포함하는 제 1 기판;

제 2 기판;

씰재;

상기 제 1 기판 위의 제 1 질화 실리콘층;

상기 제 1 질화 실리콘층 상에 있고 상기 제 1 질화 실리콘층과 접하는 제 1 산화 실리콘층;

상기 제 1 산화 실리콘층 위의 제 2 산화 실리콘층;

상기 제 2 산화 실리콘층 상에 있고 상기 제 2 산화 실리콘층과 접하는 제 2 질화 실리콘층;

상기 제 1 기판 위의 주사선 구동 회로;

상기 제 1 기판에 부착되고 상기 주사선 구동 회로와 전기 접촉하는 FPC; 및

상기 제 1 기판 위에 있고 상기 주사선 구동 회로와 인접한 화소부를 포함하고, 상기 화소부는:

상기 제 1 기판 위에 있고, 상면과 측면을 포함하는 게이트 전극층으로서, 상기 측면은 상기 제 1 기판의 상기 상면에 대해 기울기를 갖는, 상기 게이트 전극층;

상기 게이트 전극층을 개재하여 상기 제 1 기판 위에 있고, 상기 게이트 전극층의 상기 상면과 마주하는 제 1 부분, 및 상기 게이트 전극층의 상기 측면의 상기 기울기에 따라 경사진 제 2 부분을 포함하는 산화물 반도체층;

상기 게이트 전극층과 상기 산화물 반도체층 사이의 게이트 절연층으로서, 상기 게이트 절연층은 상기 제 1 질화 실리콘층 및 상기 제 1 산화 실리콘층을 포함하고, 상기 제 1 산화 실리콘층은 상기 산화물 반도체층과 직접 접하는, 상기 게이트 절연층;

상기 산화물 반도체층 상에 있고 상기 산화물 반도체층과 직접 접하고 상기 제 2 산화 실리콘층 및 상기 제 2 질화 실리콘층 아래에 있는 소스 전극층 및 드레인 전극층;

상기 제 2 질화 실리콘층 상에 있고 상기 제 2 질화 실리콘층과 직접 접하는 유기 절연층;

상기 유기 절연층 위에 있고 상기 유기 절연층, 상기 제 2 질화 실리콘층, 및 상기 제 2 산화 실리콘층의 개구를 통해 상기 산화물 반도체층과 전기 접촉하는 화소 전극; 및

상기 화소 전극 및 상기 유기 절연층 위의 액정층을 포함하고,

상기 소스 전극층 및 상기 드레인 전극층은 상기 게이트 전극층과 중첩하고 상기 산화물 반도체층의 측 단부들 상에 있고 상기 산화물 반도체층의 측 단부들과 직접 접하고,

상기 주사선 구동 회로 및 상기 화소부는 상기 제 1 기판, 상기 씰재, 및 상기 제 2 기판에 의해 규정되는 공간에 함께 밀봉되고,

상기 산화물 반도체층은 결정성을 갖고,

상기 산화물 반도체층의 결정들의 c축은 상기 제 1 부분 및 상기 제 2 부분 모두에서 상기 산화물 반도체층의 표면에 수직인, 표시 장치.

청구항 3

표시 장치에 있어서:

상면을 포함하는 제 1 기판;

제 2 기판;

씰재;

상기 제 1 기판 위의 제 1 질화 실리콘층;

상기 제 1 질화 실리콘층 상에 있고 상기 제 1 질화 실리콘층과 접하는 제 1 산화 실리콘층;

상기 제 1 산화 실리콘층 위의 제 2 산화 실리콘층;

상기 제 2 산화 실리콘층 상에 있고 상기 제 2 산화 실리콘층과 접하는 제 2 질화 실리콘층;

상기 제 1 기판 위의 주사선 구동 회로;

상기 제 1 기판에 부착되고 상기 주사선 구동 회로와 전기 접촉하는 FPC; 및

상기 제 1 기판 위에 있고 상기 주사선 구동 회로와 인접한 화소부를 포함하고, 상기 화소부는:

상기 제 1 기판 위에 있고, 상면과 측면을 포함하는 게이트 전극층으로서, 상기 측면은 상기 제 1 기판의 상기 상면에 대해 기울기를 갖는, 상기 게이트 전극층;

상기 게이트 전극층을 개재하여 상기 제 1 기판 위에 있고, 상기 게이트 전극층의 상기 상면과 마주하는 제 1 부분, 및 상기 게이트 전극층의 상기 측면의 상기 기울기에 따라 경사진 제 2 부분을 포함하는 산화물 반도체층;

상기 게이트 전극층과 상기 산화물 반도체층 사이의 게이트 절연층으로서, 상기 게이트 절연층은 상기 제 1 질화 실리콘층 및 상기 제 1 산화 실리콘층을 포함하고, 상기 제 1 산화 실리콘층은 상기 산화물 반도체층과 직접 접하는, 상기 게이트 절연층;

상기 산화물 반도체층 상에 있고 상기 산화물 반도체층과 직접 접하고 상기 제 2 산화 실리콘층 및 상기 제 2 질화 실리콘층 아래에 있는 소스 전극층 및 드레인 전극층;

상기 제 2 질화 실리콘층 상에 있고 상기 제 2 질화 실리콘층과 직접 접하는 유기 절연층;

상기 유기 절연층 위에 있고 상기 유기 절연층, 상기 제 2 질화 실리콘층, 및 상기 제 2 산화 실리콘층의 개구를 통해 상기 산화물 반도체층과 전기 접촉하는 화소 전극; 및

상기 화소 전극 및 상기 유기 절연층 위의 액정층을 포함하고,

상기 주사선 구동 회로 및 상기 화소부는 상기 제 1 기판, 상기 씰재, 및 상기 제 2 기판에 의해 규정되는 공간에 함께 밀봉되고,

상기 산화물 반도체층은 적층 구조를 갖고 c축 배향 결정층을 포함하고,

상기 산화물 반도체층의 결정들의 c축은 상기 제 1 부분 및 상기 제 2 부분 모두에서 상기 산화물 반도체층의 표면에 수직인, 표시 장치.

청구항 4

표시 장치에 있어서:

상면을 포함하는 제 1 기판;

제 2 기판;

씰재;

상기 제 1 기판 위의 제 1 질화 실리콘층;

상기 제 1 질화 실리콘층 상에 있고 상기 제 1 질화 실리콘층과 접하는 제 1 산화 실리콘층;

상기 제 1 산화 실리콘층 위의 제 2 산화 실리콘층;

상기 제 2 산화 실리콘층 상에 있고 상기 제 2 산화 실리콘층과 접하는 제 2 질화 실리콘층;

상기 제 1 기판 위의 주사선 구동 회로;

상기 제 1 기판에 부착되고 상기 주사선 구동 회로와 전기 접촉하는 FPC; 및

상기 제 1 기판 위에 있고 상기 주사선 구동 회로와 인접한 화소부를 포함하고, 상기 화소부는:

상기 제 1 기판 위에 있고, 상면과 측면을 포함하는 게이트 전극층으로서, 상기 측면은 상기 제 1 기판의 상기 상면에 대해 기울기를 갖는, 상기 게이트 전극층;

상기 게이트 전극층을 개재하여 상기 제 1 기판 위에 있고, 상기 게이트 전극층의 상기 상면과 마주하는 제 1 부분, 및 상기 게이트 전극층의 상기 측면의 상기 기울기에 따라 경사진 제 2 부분을 포함하는 산화물 반도체층;

상기 게이트 전극층과 상기 산화물 반도체층 사이의 게이트 절연층으로서, 상기 게이트 절연층은 상기 제 1 질화 실리콘층 및 상기 제 1 산화 실리콘층을 포함하고, 상기 제 1 산화 실리콘층은 상기 산화물 반도체층과 직접 접하는, 상기 게이트 절연층;

상기 산화물 반도체층 상에 있고 상기 산화물 반도체층과 직접 접하고 상기 제 2 산화 실리콘층 및 상기 제 2 질화 실리콘층 아래에 있는 소스 전극층 및 드레인 전극층;

상기 제 2 질화 실리콘층 상에 있고 상기 제 2 질화 실리콘층과 직접 접하는 유기 절연층;

상기 유기 절연층 위에 있고 상기 유기 절연층, 상기 제 2 질화 실리콘층, 및 상기 제 2 산화 실리콘층의 개구를 통해 상기 산화물 반도체층과 전기 접촉하는 화소 전극; 및

상기 화소 전극 및 상기 유기 절연층 위의 액정층을 포함하고,

상기 주사선 구동 회로 및 상기 화소부는 상기 제 1 기판, 상기 씰재, 및 상기 제 2 기판에 의해 규정되는 공간에 함께 밀봉되고,

상기 산화물 반도체층은 결정성을 갖고,

상기 산화물 반도체층의 상기 제 1 부분의 결정들의 c축은 제 1 방향으로 배향되고,

상기 산화물 반도체층의 상기 제 2 부분의 결정들의 c축은 상기 제 1 방향과 다른 방향으로 배향되는, 표시 장치.

청구항 5

제 3 항에 있어서,

상기 산화물 반도체층은 제 1 산화물 성분 및 제 2 산화물 성분을 포함하고,

상기 제 1 산화물 성분의 원자비와 상기 제 2 산화물 성분의 원자비는 서로 다른, 표시 장치.

청구항 6

제 3 항에 있어서,

상기 산화물 반도체층은 제 1 산화물 성분 및 제 2 산화물 성분을 포함하고,

상기 제 2 산화물 성분은 상기 제 1 산화물 성분 상에 있고 상기 제 1 산화물 성분과 접하고,

상기 제 2 산화물 성분은 상기 제 1 산화물 성분을 종(seed)으로서 이용하는 결정 성장에 의해 구조화되는, 표시 장치.

청구항 7

제 3 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층은 상기 게이트 전극층과 중첩하고 상기 산화물 반도체층의 측 단부들 상에 있고 상기 산화물 반도체층의 측 단부들과 직접 접하는, 표시 장치.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 표시 장치.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

대향 전극을 더 포함하고,

상기 대향 전극은 상기 액정층 위에 있는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 산화물 반도체를 사용하는 표시 장치 및 그 제작 방법, 및 상기 표시 장치를 구비하는 전자 기기에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치로 대표되는 것 같이, 유리 기판 등의 위에 형성되는 트랜지스터들은 비정질(amorphous) 실리콘, 다결정 실리콘 등을 사용하여 제작된다. 비정질 실리콘을 포함하는 트랜지스터는 낮은 전계 효과 이동도를 갖지만, 더 큰 유리 기판 위에 형성될 수 있다. 한편, 다결정 실리콘을 포함하는 트랜지스터들은 높은 전계 효과 이동도를 갖지만, 더 큰 유리 기판 위에 형성하기에는 적합하지 않다.

[0003] 상술한 관점에서, 산화물 반도체를 사용하여 트랜지스터를 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체로서 산화아연 또는 In-Ga-Zn-O계 산화물을 사용하여 트랜지스터를 제작하고, 표시 장치의 화소의 스위칭 소자 등에 상기 트랜지스터를 사용하는 기술이 특허문헌 1 및 특허문헌 2로 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 제 2007-123861 호

(특허문헌 0002) 일본 공개특허공보 제 2007-096055 호

발명의 내용

해결하려는 과제

[0005] 산화물 반도체에 채널 영역을 형성하는 트랜지스터의 전계 효과 이동도는 비정질 실리콘에 채널 영역을 형성하는 트랜지스터보다 높다. 비정질 실리콘을 사용한 트랜지스터의 전계 효과 이동도는 보통 0.5cm^2/Vs 정도이지만, 산화물 반도체를 사용하여 형성된 트랜지스터의 전계 효과 이동도는 10cm^2/Vs 내지 20cm^2/Vs이다. 또한, 산화물 반도체를 사용하여 스퍼터링법 등으로 활성층을 형성할 수 있고, 레이저 장치를 사용하여 형성된 다결정 실리콘을 포함하는 트랜지스터보다 제작 공정이 간단하다.

[0006] 유리 기판 또는 플라스틱 기판 위에 이러한 산화물 반도체를 사용하여 제작된 트랜지스터들은 액정 표시 장치들, 유기 EL 표시 장치들, 전자 페이퍼 등에 적용될 것으로 기대된다.

[0007] 한편, 대형의 표시 장치들이 보급되고 있다. 가정용 텔레비전들로서 대각이 40인치로부터 50인치급의 표시 화면의 텔레비전들이 보급되어, 장래에 한층 더 보급될 것으로 기대된다. 전술한 바와 같이, 산화물 반도체를 사용하여 형성된 트랜지스터는 비정질 실리콘을 사용하여 형성된 트랜지스터보다 10배 이상의 전계 효과 이동도를 가져; 산화물 반도체를 사용하여 형성된 상기 트랜지스터는 대형의 표시 장치에 있어서도 화소의 스위칭 소자로서 사용되기에 충분한 특성을 가질 수 있다.

[0008] 그러나, 화소뿐만 아니라 구동 회로도 산화물 반도체를 사용하여 형성된 트랜지스터를 사용하여 형성할 때, 종래의 산화물 반도체로 형성된 트랜지스터는 충분한 성능을 갖지 못한다. 구체적으로, 트랜지스터의 전류 능력을 개선하기 위하여, 종래의 산화물 반도체의 전계 효과 이동도를 몇 배 증가시킬 필요가 있다. 전계 효과 이동도가 10cm^2/Vs인 산화물 반도체를 사용하여 형성된 트랜지스터를 사용하여 드라이버를 형성할 경우, 표시 장치의 크기는 20인치 미만이 되고, 따라서 더 큰 표시 장치가 제작될 때, 드라이버를 별도로 실장할 필요가 있다.

과제의 해결 수단

[0009] 본 명세서에서 개시하는 본 발명의 일 형태는 절연 기판 위에 복수의 화소들, 복수의 신호선들, 복수의 주사선들을 포함하는 액티브 매트릭스형 표시 장치이다. 상기 표시 장치는 상기 절연 기판 위에 적어도 50cm^2/Vs

이상, 바람직하게는 100cm^2/Vs 이상의 전계 효과 이동도를 가지는 산화물 반도체를 사용하여 형성된 트랜지스터를 포함한다. 상기 표시 장치는 또한 각각 구성요소 중 하나로서 트랜지스터를 포함하는 게이트 드라이버 및 소스선을 구동하기 위한 아날로그 스위치를 포함한다.

[0010] 상기 표시 장치의 크기는 적어도 20인치이다.

[0011] 본 명세서에서 개시하는 본 발명의 일 형태는 절연 기판 위에 복수의 화소들, 복수의 신호선들 및 복수의 주사선들을 포함하는 액티브 매트릭스형 표시 장치이다. 상기 표시 장치는 상기 절연 기판 위에 적어도 50cm^2/Vs 이상, 바람직하게는 100cm^2/Vs 이상의 전계 효과 이동도를 가지는 산화물 반도체를 사용하여 형성된 트랜지스터를 포함한다. 상기 표시 장치는 또한 각각 구성요소 중 하나로서 트랜지스터를 포함하는 게이트 드라이버 및 소스 드라이버를 포함한다.

[0012] 상기 표시 장치의 크기는 적어도 20인치이다.

[0013] 전계 효과 이동도를 향상시키는 방법의 하나는 하지 부재(base component) 위에 산화물 성분의 층을 형성하는 단계, 상기 하지 부재에 적어도 부분적으로 접하는 제 1 산화물 결정 부재를 형성하기 위해 가열 처리에 의해 표면에서 내부를 향하여 결정 성장을 수행하는 단계, 및 상기 제 1 산화물 결정 부재 위에 제 2 산화물 결정 부재를 적층하는 단계를 포함하는, 적층된 산화물 재료의 제작 방법이다. 특히, 상기 제 1 산화물 결정 부재과 상기 제 2 산화물 결정 부재이 공통된 c축을 갖는다. 상기 제 1 산화물 결정 부재는 상기 제 1 산화물 결정 부재의 표면에 대하여 수직 방향으로 c축 배향하고 있다는 것을 주의한다. a-b면 상에 서로 인접한 원소들은 동일하다는 것을 주의한다. 또한, 상기 제 1 산화물 결정 부재의 c축 방향은 깊이 방향에 대응한다.

[0014] 상기 제작 방법에 있어서, 결정들이 배향되는 상기 제 1 산화물 결정 부재의 하측 표면의 적어도 일부 또는 전부는 하지 부재과 접하여 제공된다. 산화물 성분의 두께, 가열 처리 조건들 등을 적절히 조절함으로써, 결정들이 배향되는 상기 제 1 산화물 결정 부재의 하측 표면이 제공되어 상기 하지 부재과 상기 제 1 산화물 결정 부재의 하측 표면의 적어도 일부 또는 전부가 접한다.

[0015] 상기 제작 방법으로는, 상기 제 1 산화물 반도체층으로서 상기 상기 제 1 산화물 결정 부재의 증착 후에 어닐링이 수행된 후, 상기 제 1 산화물 결정 부재의 상면 위에 제 2 산화물 성분이 제 2 산화물 반도체층으로서 증착된다. 그 후에 상기 제 1 산화물 반도체층과 상기 제 2 산화물 반도체층의 사이의 계면으로부터 상부층인 상기 제 2 산화물 반도체층의 표면을 향하여 결정이 성장된다. 상기 제 1 산화물 결정 부재는 상기 제 2 산화물 성분의 종결정에 대응한다. 상기 제 1 산화물 결정 부재 위에 다결정층으로서 상기 제 2 산화물 결정 부재를 형성하는 것이 중요하다.

[0016] 산화물 반도체층의 결정성이 높을수록, 높은 전계 효과 이동도를 가지는 트랜지스터를 실현될 수 있다.

[0017] 상기 산화물 반도체층들의 결정성이 높을수록, BT 시험 전후 트랜지스터의 임계값 전압의 변화량을 저감할 수 있어, 높은 신뢰성을 획득할 수 있다.

[0018] 또한, 상기 산화물 반도체층의 결정성이 높을수록, 상기 트랜지스터의 전기 특성의 온도 의존성, 예를 들면 -30℃ 내지 120℃의 온도에서 온 전류 또는 오프 전류 등의 변화량을 저감할 수 있다.

[0019] 상기 구성의 일 특징은, c축 배향 결정이 하지 부재에 접하고 있는 산화물 결정 성분이, 다결정 성분이라는 것이다.

[0020] 본 발명의 기술사상은, 산화물 반도체중에 불순물을 첨가하지 않고, 반대로 원치않게 존재하는 수분 또는 수소와 같은 불순물을 의도적으로 제거함으로써, 산화물 반도체 자체를 고순도화하는 것이다. 즉, 도너 준위를 형성하는 수분 또는 수소를 제거하고, 산소 결손을 저감하고, 산화물 반도체의 주성분인 산소를 충분히 공급함으로써, 산화물 반도체를 고순도화하는 것이다.

[0021] 산화물 반도체를 성막할 때, $10^{20}cm^{-3}$의 밀도의 수소가 SIMS(2차 이온 질량 분석)으로 측정된다. 도너 준위를 형성하는 수분 또는 수소를 의도적으로 제거하고 동시에 산소(산화물 반도체의 성분들 중 하나)를 첨가함으로써 상기 산화물 반도체는 고순도화되고 i형(진성) 반도체가 된다.

[0022] 또한, 본 발명의 기술사상에 있어서는, 산화물 반도체중의 수분 또는 수소의 량은 적을수록 바람직하고, 또한 상기 산화물 반도체중의 캐리어들의 수도 적을수록 바람직하다. 즉, 캐리어 밀도는 $1\times10^{12}cm^{-3}$ 미만, 바람직하게

는 측정 한계 이하인 $1.45\times10^{10}cm^{-3}$ 미만이 요구된다. 또한, 본 발명의 기술사상에서, 이상적인 캐리어 농도는 0 또는 거의 0이다. 특히, 산화물 반도체를 산소 분위기, 질소 분위기, 또는 초건조공기(수분 함유량이 20ppm이하, 바람직하게는 1ppm이하, 더 바람직하게는 10ppb이하의 공기) 분위기에서, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 온도로 가열 처리를 하는 경우, n형 불순물을 형성하는 수분 또는 수소가 제거될 수 있고, 상기 산화물 반도체가 고순도화될 수 있다. 또한, 수분 또는 수소와 같은 불순물을 제거함으로써, 상기 산화물 반도체를 고순도화할 때, 그의 캐리어 밀도를 $1\times10^{12}cm^{-3}$ 미만, 바람직하게는 측정 한계 이하인 $1.45\times10^{10}cm^{-3}$ 미만으로 할 수 있다.

[0023] 또한, 가열 처리가 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하의 고온으로 수행되면, 상기 산화물 반도체가 고순도화되고 또한 결정화되고, 상기 산화물 반도체의 표면에서 내부를 향하여 결정 성장하여, 상기 산화물 반도체는 c축 배향을 가지는 다결정 영역들을 갖는다.

[0024] 본 발명에 사용하는 산화물 반도체는, 상기 c축 배향을 가지는 다결정 영역을 가지는 상기 산화물 반도체를 종결정으로서 사용되고, 그 위에 제 2 산화물 반도체를 형성하고, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 온도로 가열 처리를 함으로써, 상기 제 2 산화물 반도체가 종결정과 유사한 방식으로 c축 배향을 가지는 다결정 영역을 포함할 수 있다. 즉, 종결정과 상기 제 2 산화물 반도체가 같은 방향으로 배향된 c축을 갖는, 이상적인 축 성장 또는 에피택셜 성장이 수행될 수 있다.

[0025] 종결정과 동일한 축을 갖는 상기 제 2 산화물 반도체는 성막 후의 가열 처리에 의한 고상 성장뿐만 아니라, 200℃ 이상 600℃ 이하의 온도로 가열하면서 성막, 대표적으로는 스퍼터링함으로써, 결정이 성장될 수 있다. 또한, 스퍼터링법에 의한 상기 산화물 반도체막의 성막 중에 기판을 200℃ 이상 600℃ 이하로 가열하면, 에피택셜 성장 또는 축 성장할 수 있다.

[0026] 또한, 상기 산화물 반도체의 캐리어들이 저감되고, 또는 바람직하게 모든 캐리어를 제거함으로써, 트랜지스터에 있어서 상기 산화물 반도체는 캐리어를 통과시키는 통로로서 기능한다. 그 결과, 상기 산화물 반도체는 고순도화된 i형(진성) 반도체이며, 캐리어가 없거나 극히 적은 캐리어를 가져, 트랜지스터의 오프 상태에서는 오프 전류를 지극히 낮게 할 수 있다는 것이 본 발명의 기술사상이다.

[0027] 또한, 상기 산화물 반도체는 통로로서 기능하고, 상기 산화물 반도체 자체가 캐리어가 없거나 극히 적은 캐리어를 갖는 고순도화된 i형(진성) 반도체이면, 캐리어들이 소스 전극 및 드레인 전극에 의해 공급된다. 상기 산화물 반도체의 전자 친화력(χ), 페르미 준위, 바람직하게 진성 페르미 준위에 대응하는 페르미 준위, 및 소스 및 드레인 전극들의 일함수들이 적절히 선택될 때, 상기 소스 전극 및 상기 드레인 전극으로부터 캐리어들이 주입될 수 있다. 따라서, n채널 트랜지스터 및 p채널 트랜지스터를 적절히 제작할 수 있다.

[0028] 상기 산화물 결정 부재들 및 산화물 부재들은 모두 금속 산화물을 사용하여 형성되고, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계막; 3원계 금속 산화물인 In-Ga-Zn-O계막, In-Sn-Zn-O계막, In-Al-Zn-O계막, Sn-Ga-Zn-O계막, Al-Ga-Zn-O계막, 또는 Sn-Al-Zn-O계막이나; 2원계 금속 산화물인 In-Zn-O계막, Sn-Zn-O계막, Al-Zn-O계막, Zn-Mg-O계막, Sn-Mg-O계막, 또는 In-Mg-O계막; 또는 In-O계막, Sn-O계막, Zn-O계막 등의 금속 산화물막들 중 임의의 것이 사용될 수 있다. 여기에서, 예를 들면, In-Sn-Ga-Zn-O계막은 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물막을 의미하며, 그 화학량론비는 특히 제한되지 않는다.

[0029] 상기 산화물 결정 부재들 및 산화물 부재들로서, $InMO_3(ZnO)_m$(m>0, 또한 m은 자연수가 아닌)으로 표기되는 박막을 사용할 수 있다. 여기에서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등일 수 있다.

[0030] 또한, In-A-B-O로 표현되는 산화물 반도체 재료를 사용해도 된다. 여기에서, A는 갈륨(Ga)이나 알루미늄(Al)등의 13족 원소, 실리콘(Si)이나 게르마늄(Ge)로 대표되는 14족 원소 등으로부터 선택되는 하나 또는 복수 종류의 원소들을 나타낸다. 또한, B는 아연(Zn)으로 대표되는 12족 원소로부터 선택되는 하나 또는 복수 종류의 원소들을 나타낸다. In, A, B의 함유량은 자유롭게 설정될 수 있고, A 함유량이 0인 경우를 포함한다는 것을 주의한다. 한편, In 및 B의 함유량은 0은 아니다. 즉, 상기의 표기에는, In-Ga-Zn-O나 In-Zn-O등이 포함된다. 또한, 본 명세서의 In-Ga-Zn-O으로 표기되는 산화물 반도체 재료는, $InGaO_3(ZnO)_m$(m>0, m은 자연수가 아님)이며, 이는 m이 자연수가 아닌, ICP-MS 분석이나, RBS 분석을 사용하여 확인할 수 있다.

[0031] 또한, 고순도화하기 위한 단계의 하나로서, 수소 및 수분을 거의 포함하지 않는 분위기 하(질소 분위기, 산소

분위기, 건조공기 분위기(예를 들면, 수분에 관하여는 노점은 -40℃ 이하, 바람직하게는 -50℃ 이하)등)에서 제 1 가열 처리를 행한다. 이 제 1 가열 처리는 산화물 반도체층으로부터 H, OH등을 탈리시키는 탈수화 또는 탈수소화라고도 부를 수 있다. 불활성 분위기 하에서 승온하고, 가열 처리 동안 산소를 포함하는 분위기로 전환하는 경우나, 산소 분위기가 채용되는 경우에서, 상기 제 1 가열 처리는 또한 부가 산화 처리라고 할 수 있다.

[0032] 탈수화 또는 탈수소화를 위한 제 1 가열 처리는 전기로를 사용한 가열 방법, 가열된 기체를 사용하는 GRTA(Gas Rapid Thermal Anneal)법 또는 램프 광을 사용하는 LRTA(Lamp Rapid Thermal Anneal)법 등의 급속 가열 방법 등을 사용할 수 있다. 또한, 제 1 가열 처리로서, 450nm 이하의 파장의 광을 조사하는 가열도 동시에 행할 수 있다. 고순도화를 위한 제 1 가열 처리를 행한 산화물 반도체층은 제 1 가열 처리후의 산화물 반도체층에 대하여 TDS(Thermal Desorption Spectroscopy)로 450℃까지 증가된 온도로 측정을 실시해도 물의 2개의 피크 중 적어도 300℃ 부근의 피크가 검출되지 않는 조건하에서 가열한다. 따라서, 고순도화를 위한 가열 처리가 실시된 산화물 반도체층을 포함하는 트랜지스터에 대하여 TDS로 450℃까지 측정을 실시해도 적어도 300℃ 부근에 물의 피크는 검출되지 않는다.

[0033] 결정 성장의 종이 되는 다결정층이 없는 상태에서 결정 성장이 수행되기 때문에, 제 1 가열 처리는 고온으로 단시간에 수행되고, 표면으로부터의 결정 성장만이 수행되는 것이 바람직하다. 또한, 산화물 반도체층의 표면이 평탄한 경우, 양호한 평판 모양의 다결정층이 획득될 수 있다. 따라서, 가능한 한 하지 부재, 예를 들면 절연층이나 기판의 평탄성이 높은 것이 바람직하다. 하지 부재의 전면에 접하는 다결정층이 용이하게 형성될 수 있기 때문에 평탄성을 증가가 효율적이다. 예를 들면, 산화물 반도체층의 평탄성은 시판되어 있는 실리콘 웨이퍼와 같은 정도의 평탄성; 예를 들면, AFM 측정에 의한 1㎛×1㎛의 영역에 있어서의 표면 거칠기의 고저 차이는 1nm 이하, 바람직하게는 0.2nm이다.

[0034] 다결정층에서, 산화물 반도체중의 In의 전자 구름이 서로 겹쳐서 서로 접속함으로써, 전기 전도율(σ)이 증가된다. 따라서, 다결정층을 가지는 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.

[0035] 제 1 가열 처리에 의해 형성된 평판상의 다결정층을 종으로서 사용하여 결정 성장을 또한 수행하는 방법들 중 하나를 이하에 도 1a, 도 1b, 및 도 1c를 참조하여 설명한다.

[0036] 단계들의 순서의 개요는 다음과 같다: 하지 부재 위에 제 1 산화물 반도체층이 형성되고; 고순도화하기 위한 제 1 가열 처리를 행하고; 고순도화하기 위한 제 1 가열 처리와 동일 공정에서 제 1 산화물 반도체층의 표면 위에 결정 방위가 형성된 다결정층을 형성하고; 그 위에 제 2 산화물 반도체층을 적층하고; 또한 결정화를 위한 제 2 가열 처리를 함으로써, 제 1 산화물 반도체층의 표면 위의 다결정층을 종으로서 사용하여 제 2 산화물 반도체층을 결정화한다.

[0037] 상기 제 1 가열 처리에서는, 결정 성장의 종이 되는 결정층이 없는 상태에서 표면에서 결정 성장이 수행되는 것에 대하여, 상기 제 2 가열 처리에서는, 종이 되는 평판상의 다결정층이 있다. 따라서, 양호한 결정성을 획득할 수 있기 때문에, 결정 성장이 수행될 수 있는 최저온도에서 장시간 동안 제 1 가열 처리가 수행되는 것이 바람직하다. 제 2 가열 처리에 의해 획득되는 결정 성장 방향은 하부로부터 상부 방향, 즉 기판측에서 표면측으로의 방향(재결정 방향이라고도 하는)이며, 제 1 가열 처리에서의 결정 방향과 다르다. 또한, 제 1 가열 처리로 획득된 다결정층은 제 2 가열 처리로 다시 가열되기 때문에, 상기 다결정층의 결정성이 더 향상된다.

[0038] 도 1a는 하지 부재(500) 위에 형성된 제 1 산화물 반도체층에 대하여 결정화를 위한 제 1 가열 처리가 실시된 상태를 나타내고 있다. 제 1 가열 처리는 산소 분위기, 질소 분위기, 또는 초건조 공기 분위기에서, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 온도로 수행된다. 또한, 불활성 가스 분위기 하에서 승온하고, 상기 분위기를 산소를 포함하는 분위기로 전환하는 가열 처리가 수행될 수 있거나, 산소 분위기 하에서 가열 처리가 수행될 수 있다. 제 1 가열 처리 후, 상기 제 1 산화물 반도체층은 표면에 대하여 수직으로 c축 배향하는 평판상의 다결정인 제 1 산화물 결정 부재(501)가 된다.

[0039] 도 1b는 제 2 산화물 반도체층(502)의 성막 직후의 단면도이다. 상기 제 2 산화물 반도체층(502)은 스퍼터링법으로 형성되어, 그 금속 산화물 타겟은, In : Ga : Zn = 1 : 1 : 2 [원자비]의 금속 산화물 타겟이나, In : Ga : Zn = 1:1:4의 금속 산화물 타겟을 사용할 수 있다.

[0040] 도 1c는 상기 제 2 가열 처리 후의 단면도를 도시한다. 제 2 가열 처리에 의해, 상기 제 1 산화물 결정 부재(501)의 다결정층을 종으로서 사용하여 상기 제 2 산화물 반도체층(502)의 표면을 향하여 상부로 결정 성장한다. 그 결과, 제 2 산화물 결정 부재(503b)가 형성되어, 모든 결정 부재들이 c축 배향된다.

[0041] 상기 제 2 가열 처리도 산화물 반도체층으로부터 H, OH 등을 탈리시키는 탈수화 또는 탈수소화라고도 할 수 있다. 불활성 분위기 하에서 승온하고, 분위기를 산소를 포함하는 분위기로 전환하는 경우, 또는 산소 분위기가 채용되는 경우, 상기 제 2 가열 처리는 또한 가산화 처리라고 할 수 있다.

[0042] 또한, 상기 제 1 가열 처리로 획득된 상기 다결정층은 상기 제 2 가열 처리로 다시 가열되어, 한층 더 결정성이 향상된 제 3 산화물 결정 부재(503a)가 획득된다.

[0043] 상기 산화물 반도체층의 수소 농도는 $1\times10^{18}cm^{-3}$ 이하, 바람직하게는 $1\times10^{16}cm^{-3}$ 이하, 더욱 바람직하게는 실질적으로 0이다. 상기 산화물 반도체층의 캐리어 밀도는 $1\times10^{12}cm^{-3}$ 미만, 더 바람직하게는 측정 한계 이하인 $1.45\times10^{10}cm^{-3}$ 미만이다. 즉, 산화물 반도체층의 캐리어 밀도는 가능한 0에 가깝다. 또한, 상기 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 산화물 반도체층 중의 수소 농도는 2차 이온 질량 분석법(SIMS)으로 측정할 수 있다. 상기 캐리어 밀도는 홀 효과(Hall effect) 측정에 의해 측정될 수 있다. 더 낮은 캐리어 밀도(N_d)는 CV 측정(Capacitance-Voltage-Measurement)의 측정 결과 및 수식 1에 의해 획득될 수 있다.

수학식 1

[0044]
$$N_d = -\left(\frac{2}{e\varepsilon_0\varepsilon}\right)\Big/\frac{d(1/C)^2}{dV}$$

[0045] 또한, 도 1c는 상기 하지 부재(500) 상에 접하여 제공된 상기 제 3 산화물 결정 부재(503a) 및 상기 제 2 산화물 결정 부재(503b)가 순차적으로 적층된 2층 구조를 도시한 것이라 말할 수 있다. 상기 제 1 산화물 결정 부재(501)와 상기 제 2 산화물 결정 부재(503b)의 재료들은 표면에 대하여 수직방향으로 c축 배향하는 다결정이 획득될 수 있는 한, 특별하게 한정되지 않는다. 상기 제 1 산화물 결정 부재(501)와 상기 제 2 산화물 결정 부재(503b)의 재료들은 다른 재료를 사용하여도 좋고, 동일한 성분들을 포함할 수 있다. "동일한 성분들을 포함한다"는 같은 원소가 포함된다는 것을 의미한다.

[0046] 동일한 성분들을 포함하는 산화물 반도체 재료들이 사용될 경우, 도 1c에서는 점선으로 도시되는 바와 같이, 상기 제 3 산화물 결정 부재(503a)와 상기 제 2 산화물 결정 부재(503b)의 경계는 불명료해져, 단층 구조가 획득된다는 것을 주의한다.

[0047] 이런 방식으로, 상기 제 3 산화물 결정 부재(503a)와 상기 제 2 산화물 결정 부재(503b)의 적층으로부터 형성되는 다결정층은 2회의 가열 처리를 개별적으로 수행하여 결정 성장에 의해 획득될 수 있다.

[0048] 도 1a에 있어서, 상기 제 1 산화물 반도체층의 표면 위에 비교적 결정 방위가 일치되는 평판상의 결정층의 결정 성장은 표면으로부터 깊이 방향으로 진행하여; 그러므로, 하지 부재의 영향을 받지 않고 상기 다결정층이 형성될 수 있다는 것을 주의한다.

[0049] 제 1 산화물 반도체층, 예를 들면, In-Ga-Zn-O막의 표면 상에 비교적 결정 방위가 일치되는 결정층이 형성되는 메커니즘의 예가 설명된다. 가열 처리에 의해, In-Ga-Zn-O막 중에 포함되는 아연이 확산되고, 표면 근방으로 집중되고, 결정 성장의 종이 된다. 결정 성장시, 가로 방향(표면에 평행한 방향)의 결정 성장이, 깊이 방향(표면에 수직한 방향)의 결정 성장보다 강하게 진행하여, 평판상의 다결정층이 형성된다. 즉, 상기 제 1 산화물 반도체층은 c축의 방향보다 a-b면의 방향으로 결정화하기 쉽다. 또한, 결정들에서 a-b면들은 서로 대응하지 않는다. 또한, In-Ga-Zn-O막의 표면 상위의 공간은 자유공간이며, 이 자유공간에서 상부로 진행하는 결정 성장은 일어나지 않는다. 이들은 TDS 측정이 450℃까지 수행될 때, In이나 Ga의 피크는 검출되지 않지만, 아연의 피크는 진공 가열 조건 하, 특히 300℃ 부근에서 검출되는 것으로부터 추측된다. TDS 측정은 진공중에서 실시되고, 아연의 방출은 200℃부근에서 검출되는 것이 확인될 수 있다는 것을 주의한다.

[0050] 산화물 반도체막의 2회 성막이 수행되고, 결정 성장의 종이 되는 다결정층을 형성한 후, 이후, 제 2 막이 성막되고, 이후 결정 성장을 수행함으로써 큰 두께의 평판상의 층이 형성될 수 있다고 말할 수 있다. 따라서, 본 명세서에서 개시하는 방법이 지극히 유용하다.

[0051] 또한, 상기 방법은 하지 부재의 재료에 상관없이 표면에 평행한 a-b면을 가지고, 표면에 대하여 수직 방향으로 c축 배향을 하고 있는 결정층을 획득할 수 있는 것도 유용하다.

[0052] 금속 산화물, 대표적으로는 In-Ga-Zn-O막을 사용하여 형성되는 디바이스는, 단결정 Si를 사용하여 형성된 디바이스, SiC를 사용하여 형성된 디바이스, 및 GaN을 사용하여 형성된 디바이스와는 전혀 다르다.

[0053] 와이드 갭 반도체로서, SiC(3.26eV) 및 GaN(3.39eV)이 알려져 있다. 그렇지만, SiC 및 GaN은 고가의 재료이다. 또한, SiC 및 GaN은 1500℃ 이상의 처리 온도를 필요로 하여; 유리 기판 위에서의 박막화는 실질적으로 불가능하다.

[0054] 또한, SiC 및 GaN의 결정 구조는 단결정뿐이다. PN 접합의 제어가 필요하고 보다 완전한 단결정이 필요하다. 따라서, 제조 공정에서 의도하지 않게 혼입된 미량의 불순물이 도너들이나 억셉터들로 기능하기 때문에, 캐리어 농도는 하한이 있다. 한편, 금속 산화물은 비정질 구조, 다결정 구조, 또는 단결정 구조를 이용할 수 있다. PN 접합의 제어를 이용하지 않고, Φ_{MS} 대 $\chi_{os} + 1/2Eg^{os}$, Φ_{MD} 대 $\chi_{os} + 1/2Eg^{os}$, 소스 및 드레인의 일함수, 금속 산화물의 전자 친화력, 및 에너지 밴드폭의 특성들을 이용하여 PN 접합과 등가의 밴드 제어를 행하고 있는 것이 금속 산화물의 특징의 하나이다.

[0055] 금속 산화물, 대표적으로는 In-Ga-Zn-O막은 단결정 실리콘의 약 3배이고, SiC와 비교하여 낮은 제조 비용때문에 저렴한 재료인 밴드 갭을 갖는다.

[0056] In-Ga-Zn-O의 밴드갭은 3.05eV이다. 이 값에 기초하여 진성 캐리어 밀도를 계산한다. 고체 중의 전자들의 에너지 분포 f(E)는 다음 식으로 나타내지는 Fermi·Dirac 통계에 기초한다는 것이 알려져 있다.

수학식 2

[0057]
$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}$$

[0058] 캐리어 밀도가 현저하게 높지 않는(축퇴하지 않는) 보통의 반도체의 경우, 다음 관계식이 성립한다.

수학식 3

[0059]
$$|E - E_F| > kT$$

[0060] 따라서, 수학식 (1)의 Fermi·Dirac 분포는 다음 식으로 나타내지는 볼츠만 분포의 식으로 근사될 수 있다.

수학식 4

[0061]
$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right]$$

[0062] 수학식 (3)으로 반도체의 진성 캐리어 밀도(n_i)를 계산하면, 이하의 식이 획득된다.

수학식 5

[0063] $$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right)$$

[0064] 그 후, 수학식 (4)에 Si와 In-Ga-Zn-O의 실효 상태 밀도(Nc 및 Nv) 및 밴드갭(Eg)의 값들을 대입하여, 진성 캐리어 밀도가 계산된다. 그 결과들을 표 1에 나타냈다.

표 1

[0065]

		Si	IGZO
Nc (300K)	[cm^{-3}]	2.8×10^{19}	5.0×10^{18}
Nv (300K)	[cm^{-3}]	1.04×10^{19}	5.0×10^{18}
Eg (300K)	[eV]	1.08	3.05
n_i (300K)	[cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

[0066] In-Ga-Zn-O는 Si와 비교하여 극히 낮은 진성 캐리어 밀도를 갖는다는 것이 발견된다. IGZO의 밴드갭으로서 3.05eV의 값이 선택된 경우, Si의 캐리어 밀도는 In-Ga-Zn-O의 약 10^{17}배 크고, Fermi·Dirac 분포법이 진성 캐리어 농도에 적용가능하다고 가정된다.

[0067] 산화물 반도체의 경우, 실온으로부터 400℃의 가열 온도로 스퍼터링법으로 박막 산화물 반도체막이 형성될 수 있고, 프로세스 최고 온도는 300℃ 이상 800℃ 이하로 설정될 수 있다. 프로세스 최고 온도를 유리의 변형점 이하로 설정할 경우에는, 대면적의 유리 기판 위에 박막 산화물 반도체막이 형성될 수 있다. 따라서, 공업화에는 300℃ 이상 800℃ 이하의 프로세스 최고 온도를 채용하여 밴드갭이 넓은 금속 산화물을 제작하는 것이 중요하다.

[0068] 지금까지 보고된 금속 산화물들은 비정질 상태, 또는, 다결정 상태, 또는, 단결정 상태를 갖고, 1500℃ 정도의 고온에서의 처리에 의해 획득된다. 그러나, 상기된 바와 같이, 금속 산화물의 평판상의 다결정을 형성된 후, 금속 산화물의 평판상의 다결정을 종으로서 결정 성장시키는 방법에 의해 비교적 저온으로 c축 배향을 가지는 박막 다결정이 형성될 수 있다. 또한, 후막 다결정막을 형성할 수 있으면, 보다 넓은 산업 응용이 확장된다. 양질의 후막 다결정막을 획득하기 위하여, 기판의 평탄성 및 평활도가 높은 것이 바람직하다는 것을 주의한다. 왜냐하면, 기판의 적은 요철이, c축의 국소적인 시프트를 유발하고, 결정 성장이 진행됨에 따라서, 인접한 결정들 간의 c축의 방향이 다른 것에 의해 결정의 전이 등의 결함들이 발생되기 때문이다.

발명의 효과

[0069] 평판상의 결정층을 포함하는 산화물 반도체층을 사용하여, 높은 전계 효과 이동도를 가지는 트랜지스터가 획득된다는 것을 주의한다. 또한, 오프 전류가 낮은 트랜지스터가 실현될 수 있다. 또한, 소위 노멀리 오프의 스위칭 소자가 획득될 수 있어, 저소비 전력의 반도체 장치가 제공될 수 있다.

도면의 간단한 설명

[0070] 도 1a 내지 도 1c는 본 발명의 일 실시예를 나타내는 단면도.

도 2a 내지 도 2e는 본 발명의 일 실시예를 나타내는 제작공정들을 도시한 단면도.

도 3a 및 도 3b는 본 발명의 일 실시예를 나타내는 상면도 및 단면도.

도 4a 및 도 4b는 본 발명의 일 실시예의 표시 장치를 도시한 도면.

도 5a 및 도 5b는 본 발명의 일 실시예의 표시 장치의 타이밍을 도시한 도면.

도 6a 및 도 6b는 본 발명의 일 실시예의 표시 장치를 도시한 도면.

도 7은 게이트선의 상승 시간과 표시 장치의 크기 사이의 관계를 도시한 도면.

도 8은 소스선의 기록을 도시한 도면.

도 9는 시프트 레지스터의 일 실시예를 도시한 도면.

도 10a 및 도 10b는 시프트 레지스터의 타이밍을 도시한 도면.

도 11은 소스선의 기록을 도시한 도면.

도 12는 소스선의 기록을 도시한 도면.

도 13은 산화물 반도체를 포함하는 보텀 게이트형 트랜지스터의 종단면도.

도 14는 도 13에 도시된 A-A'단면에 있어서의 에너지 밴드도(모식도).

도 15a는 게이트(GE)에 양의 전위(+V_G)가 인가된 상태를 나타내고, 도 15b는 게이트(GE)에 음의 전위(-V_G)가 인가된 상태를 도시한 도면.

도 16은 진공 준위와 금속의 일함수(ϕM) 사이의 관계 및 진공 준위와, 산화물 반도체의 전자 친화력(χ) 사이의 관계를 도시한 도면.

도 17a 내지 도 17c는 본 발명의 일 실시예의 제작 공정을 도시한 단면도.

도 18a 및 도 18b는 본 발명의 일 실시예를 나타내는 상면도 및 단면도.

도 19a 및 도 19b는 본 발명의 일 실시예를 나타내는 상면도 및 단면도.

도 20은 본 발명의 일 실시예를 나타내는 단면도.

도 21a 내지 도 21e는 전자 기기의 일례를 각각 도시한 도면.

도 22는 전자 기기의 일례를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0071] 이하에서는, 본 발명의 실시예들에 대하여 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정하여 해석 되는 것은 아니다.

[0072] (실시예 1)

[0073] 도 4a 및 도 4b는 본 발명의 실시예를 나타낸다. 도 4a는 유리 기판(1501)상에 화소부(1502), 게이트 드라이버들(1503, 1504), 및 소스선 구동을 위한 아날로그 스위치(1505)를 내장한 표시 장치를 도시한다. 소스선 구동을 위한 아날로그 스위치(1505)를 사용하는 이유는 다음과 같다. 예를 들면 풀 하이 비전 표시 장치(full high-vision display device)의 경우, 소스 신호선들은 5760(1920×RGB)개 존재한다. 소스 드라이버를 동일기판 위에 형성하지 않는 경우에는, 소스 신호선들의 단자들이 각각 소스 드라이버의 단자에 접속된다. 그 때문에 기계적인 충격등에 의해, 단자의 접촉 불량이 발생하기 쉽다고 하는 문제가 있었다. 단자들의 수를 절감하는 것이 접촉 불량저감에 유효하다. 따라서, 아날로그 스위치 어레이를 상기 소스 신호선들과 동일 기판 위에 형성하고, RGB의 각 단자를 시분할 방식으로 선택적으로 소스 드라이버에 접속하여, 단자들의 수를 절감하는 것을 목적으로 하고 있다.

[0074] 도 4b는 상기 아날로그 스위치(1505)의 등가 회로를 나타내고 있다. 도 4b에 나타내는 예에서는, 표시 장치의 외부에 접속되는 단자들의 수는 소스 드라이버의 1920개의 출력 단자들 및 아날로그 스위치 어레이의 게이트들을 제어하는 3개의 단자들의 합 1923개가 되고, 아날로그 스위치 어레이가 소스선 구동을 위해 사용되지 않는 경우, 이러한 단자들의 수의 약 3분의 1이다. 이 단자들은 FPC(1506, 1507, 1508, 1509)에 접속된다. 한편, 시분할을 행할 경우에 비교하여, 아날로그 스위치에 접속되는 소스 드라이버가 3배 빨리 동작할 필요가 있어, 소스 신호선 기록 시간은 3분의 1로 저감할 필요가 있다. 소스 신호선 기록 시간을 시간을 저감하기 위해 아날로그 스위치에 사용될 트랜지스터의 전류 능력을 향상시키는 것이 중요하다.

[0075] 도 5a에 시분할을 행할 때의 타이밍을 도시한다. 시분할을 행하지 않는 경우, 소스선은 1라인 기간에 기록될 수 있다. 시분할을 행할 경우에는, 소스선은 1라인 기간의 1/3이하의 시간에 기록될 필요가 있다. 또한, 최근, 표

시 장치에 있어서는 동영상들의 특성들을 개선하기 위하여 2배속, 4배속 등의 구동 방법이 보급되고 있다. 이들 구동 방법들은 텔레비전의 방송은 1배속이지만, 텔레비전 장치의 내부에서 프레임과 프레임의 사이에 영상들을 만들어 내고, 영상들의 정밀도를 향상시키는 것이 목적이다.

[0076] 이 때문에, 표시 장치는 2배속 또는 4배속으로 동작하는 것이 요구된다. 도 5b에 1배속, 2배속, 및 4배속의 기간들을 도시한다. 도 5a에 있어서 게이트 클록의 펄스폭 "a"가 1수평 라인 기간에 대응하고, 소스선이 기록될 필요가 있다. 도 5b에 나타나 있는 바와 같이 "a"의 값은 1배속(프레임 주파수 60Hz)일 때 15.3μs, 2배속(프레임 주파수 120Hz)일 때 7.63μs, 4배속(프레임 주파수 240Hz)일 때 3.81μs이다.

[0077] 표시 장치는 이 기록 기간들 내에서 소스선의 기록을 종료할 필요가 있다. 산화물 반도체를 포함하는 트랜지스터의 이동도를 개선함으로써, 이것들을 만족하는 것이 가능하게 된다. 본원에서 "표시 장치"는 액정 표시 장치, 유기 EL 표시 장치, 전자 페이퍼 등의 트랜지스터를 포함하는 표시 장치를 의미한다.

[0078] (실시예 2)

[0079] 도 6a 및 도 6b는 소스 드라이버가 제공된 표시 장치의 실시예를 각각 도시한다. 도 6a에 나타내는 것은 유리 기판(1701) 위에 화소부(1702), 게이트 드라이버(1703, 1704), 및 소스 드라이버(1705)가 제공된 예를 도시한다. 게이트 드라이버(1703, 1704), 및 소스 드라이버(1705)에는 FPC들(1706, 1707)로부터 신호들이 공급된다. 게이트 드라이버(1703) 및 게이트 드라이버(1704)를 각각 표시 장치의 좌우 양측에 배치하고, 화소를 구동함으로써; 게이트 드라이버가 한 쪽에만 제공되는 경우와 비교하여 반 정도의 구동 능력으로 구동하는 것이 가능하다.

[0080] 도 6b는 유리 기판(1711) 위에, 화소부(1712), 게이트 드라이버들(1713, 1714, 1715, 1716)를 표시 장치의 상하에, 소스 드라이버(1717, 1718, 1719, 1720)를 표시 장치의 좌우에 배치한 예를 도시한다. 게이트 드라이버들 및 소스 드라이버들에는 FPC들(1721, 1722, 1723, 1724)로부터 신호들이 공급된다. 이러한 배치를 함으로써, 각각의 드라이버가 표시 장치의 1/4만을 구동하는 구동 능력을 가지면, 표시가 가능해진다. 풀 고-해상도 표시 장치의 경우, 표시 장치는 각각 QHD(quarter high definition) 표시 장치를 구동할 능력을 갖는 드라이버들로 구동이 가능하게 된다. 따라서, 본 발명에 따라, 전계 효과 이동도가 50cm^2/Vs 이상, 바람직하게는 100cm^2/Vs으로 향상되는, 산화물 반도체를 포함하는 트랜지스터로 100인치 정도의 풀 고-해상도 표시 장치를 배속 구동하는 것도 가능하게 된다.

[0081] (실시예 3)

[0082] 소스선 구동을 위해 아날로그 스위치를 사용할 경우의 계산 결과를 이하에 나타낸다. 계산은 240Hz(4배속)의 프레임 주파수를 갖는 100인치의 액정 표시 장치의 경우를 상정하고 있다. 전술한 바와 같이 4배속에서는 소스선의 기록을 0.7μs이하로 행할 필요가 있다. 이 때, 샘플링용 아날로그 스위치에 사용하는 트랜지스터는 L/W = 3㎛/1500㎛, 전계 효과 이동도는 100cm^2/Vs, 임계값 1.5V로 했다. 소스 신호선은 0.01Ω/□의 시트 저항, 2.08KΩ의 저항, 18.5pF의 용량, 6㎛의 선폭을 갖는다. 소스선 전위가 기대치의 99.9%까지 기록을 할 수 있는 것을 목표로 한다.

[0083] 도 7에 게이트선의 상승 시간과 표시 장치의 크기의 관계를 나타낸다. 게이트 배선의 최대 지연 시간을 0.5μs라고 하면 100인치의 표시 장치로도 게이트선의 지연시간 요구를 충족시킬 수 있다. 이 계산에서는 게이트선의 시트 저항을 0.1Ω /□ , 용량을 41.3pF, 선폭을 23㎛으로 한다.

[0084] 도 8에 소스선의 기록의 계산 결과를 나타낸다. 샘플링 펄스가 하이인 동안에 기록이 수행되어, 입력 신호의 전위 및 소스선 기록 전위가 근접하도록 동작한다. 도 8에서는 샘플링 펄스의 전위, 입력 신호의 전위, 및 입력 신호와 최대 차이를 갖는 전위를 갖는 소스선의 지점의 전위를 나타내고 있다. 도 8에 나타나 있는 바와 같이, 소스선의 전위가 입력 신호의 상승 후 0.2μs에서 99.9%의 기록이 완료된 것을 나타내고 있다. 이렇게 산화물 반도체를 포함하는 트랜지스터의 이동도를 향상시킴으로써 소스선 구동용 아날로그 스위치를 내장하고, 100인치의 풀 고-해상도 표시 장치를 4배속으로 구동할 수 있다. 여기에서는 표시 장치의 크기를 100인치로서 계산을 행했지만, 이 크기로 한정되는 것은 아니다. 100인치 이하의 표시 장치도 가능하다. 또한, 전계 효과 이동도의 추가 향상이나, 배선 저항의 삭감을 행하면 100인치 이상의 표시 장치도 가능하다.

[0085] (실시예 4)

[0086] 소스선 구동을 위해 소스 드라이버로서 시프트 레지스터를 사용했을 경우의 계산 결과를 나타낸다. 도 9에 나타

나 있는 바와 같은 셋/리셋형의 시프트 레지스터가 사용된다. 또한, 소스 드라이버들은 도 6b에 나타나 있는 바와 같은 배치를 가정해 계산했다. 샘플링은 960개의 시프트 레지스터들을 동시에 수행된다. 풀 고-해상도 표시 장치의 4분의 1의 영역을 하나의 소스 드라이버로 기록하여, 샘플링될 지점은 960×RGB = 2880이다. 96개의 시프트 레지스터들을 동시 샘플링하기 위하여 필요한 시프트 레지스터들의 단계들의 수는 30단계가 된다. 이 경우의 타이밍 차트를 도 10a에 도시한다. 또 도 10a에 따라 설정되는 기간들을 도 10b에 도시한다. 소스 드라이버의 클록 주파수는 도 10b의 시간 기간 B의 2배의 역수에 대응한다.

[0087] 상기 표시 장치를 구동하기 위해 필요한 클록의 주파수는 다음과 같다: 1배속 구동의 경우 579kHz; 2배속 구동의 경우 1.15MHz; 및 4배속 구동의 경우 2.31MHz가 된다. 전계 효과 이동도가 100cm^2/Vs이면 상기 조건하에서 시프트 레지스터들이 동작할 수 있다. 이 경우, 소스선을 기록에 허용되는 시간은 다음과 같다:1배속에서 0.43㎲; 2배속에서 0.22㎲; 4배속에서 0.11㎲가 된다. 소스 드라이버의 능력으로서는 충분하지만, 소스 드라이버의 지연 시간이 문제가 된다. 100인치의 표시 장치의 경우, 실제 구동은 50인치 표시 장치의 경우에 대응하고; 따라서, 이 때의 소스선의 조건들은 다음과 같다:소스 신호선의 시트 저항은 0.01Ω/□; 소스선 저항은 1.04KΩ; 소스선 용량은 9.3pF; 선 폭은 20㎛이다.

[0088] 도 11에 소스선의 지연 시간을 나타낸다. 100인치 표시 장치의 경우, 배선 지연은 30ns이고; 따라서, 허용 시간의 60% 정도로 기록을 완료할 필요가 있다. 따라서, 100인치 표시 장치에서는 기록을 수행하기 곤란하다. 도 11은 표시 장치의 사이즈를 10인치로서, 프레임 주파수를 4배속이라고 한 데이터이다. 여기에서는 샘플링 펄스의 전위, 입력 신호의 전위, 및 입력 신호와 가장 큰 차이를 갖는 전위를 갖는 소스선의 지점의 전위를 나타내고 있다. 샘플링 펄스가 하이인 기간동안 기록이 수행되어, 입력 신호의 전위와 소스선 전위가 같아지도록 동작한다. 입력 신호의 상승 후 약 0.07㎲에서 입력 신호의 전위는 최대값의 99.9%에 달하고, 10인치 표시 장치는 4배속 동작이 가능한 것을 나타내고 있다.

[0089] 도 12는 프레임 주파수가 120Hz, 2배속, 및 표시 장치의 크기를 100인치라고 했을 경우의 계산 결과를 도시한다. 주파수 이외의 조건들은 상기와 같다. 여기에서는 샘플링 펄스의 전위, 입력 신호의 전위, 및 입력 신호와 가장 큰 차이를 갖는 전위를 갖는 소스선의 지점의 전위를 나타내고 있다. 샘플링 펄스가 하이인 기간에 기록이 수행되어, 입력 신호의 전위와 소스선 전위가 같아지도록 동작한다. 입력 신호의 상승 후, 약 0.13㎲에서 입력 신호의 전위는 최대값의 99.9%에 달하고 있다. 이 경우에, 표시 장치가 100인치이여도 허용 시간의 범위에서 99.9%의 기록을 할 수 있는 것을 나타내고 있다. 따라서, 100cm^2/Vs의 이동도로, 표시 사이즈가 100인치인 표시 장치가 소스 드라이버를 내장하고, 2배속으로 동작을 행하는 것이 가능하게 된다.

[0090] (실시예 5)

[0091] 본 실시예에서는, 트랜지스터의 제작 공정의 일례를 도 1a 내지 도 1c, 도 2a 내지 도 2e, 및 도 3a 및 도 3b를 참조하여 나타낸다.

[0092] 우선, 절연 표면을 가지는 기판인 기판(400) 위에, 도전막이 형성된 후, 포토마스크를 사용하여 포토리소그래피 공정에 의해 게이트 전극층(401)을 설치한다.

[0093] 기판(400)으로서는, 대량 생산할 수 있는 유리 기판을 사용하는 것이 바람직하다. 기판(400)으로서 사용하는 유리 기판은 나중의 공정으로 행하는 가열 처리의 온도가 높을 경우에는, 변형점이 730℃ 이상인 것이 사용될 수 있다. 기판(400)에는, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료가 사용된다. 산화붕소와 비교하여 산화바륨(BaO)을 많이 포함함으로써 보다 실용적인 내열 유리 기판이 형성될 수 있다는 것을 주의한다. 따라서, B_2O_3의 양보다 BaO의 양이 더 많도록 B_2O_3 및 BaO를 함유하는 유리 기판을 사용하는 것이 바람직하다.

[0094] 하지층이 되는 절연층을 기판(400)과 게이트 전극층(401)의 사이에 형성해도 된다. 하지층은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 또는 산화질화 실리콘층 중 하나 이상을 사용하여 단층 또는 적층 구조로 형성될 수 있다.

[0095] 게이트 전극층(401)으로서는, 금속 도전층을 사용할 수 있다. 금속 도전층의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기한 원소들을 성분으로 함유하는 합금, 상기한 원소들 중 어느 것을 조합하여 함유하는 합금 등을 사용하는 것이 바람직하다. 예를 들면, 티타늄층 위에 알루미늄층, 상기 알루미늄층 위에 티타늄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층, 상기 알루미늄층 위에 몰리브덴층을 적층한 3층의 적층 구조가 바람직하다. 물론, 금속 도전층으로서 단층, 또는 2층 구조, 또는 4층 이상의 적층들을

갖는 구조로 해도 된다. 나중에 가열 처리를 행할 경우, 게이트 전극층(401)으로서 그 가열 처리 온도를 견딜 수 있는 재료를 선택하는 것이 바람직하다.

[0096] 다음에, 상기 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다. 상기 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 실리콘층, 질화 실리콘층, 산화 하프늄층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층 또는 적층하여 형성할 수 있다. 예를 들면, 질화 실리콘막과 산화 실리콘막의 적층이 사용된다. 게이트 절연층(402)의막 두께는 50nm 이상 200nm이하로 한다.

[0097] 본 실시예에 있어서, 상기 게이트 절연층(402)은 고밀도 플라즈마 장치를 사용하여 형성된다. 여기에서는, 고밀도 플라즈마 장치는 $1\times10^{11}/cm^3$ 이상의 플라즈마 밀도를 달성할 수 있는 장치를 가리킨다. 예를 들면, 3kW 이상 6kW 이하의 마이크로파 전력을 인가하여 플라즈마를 발생시켜서, 절연막이 형성된다.

[0098] 챔버에 소스 가스로서 모노실란 가스(SiH_4)과 아산화질소(N_2O)와 희가스를 도입하고, 10Pa 내지 30Pa의 압력 하에서 고밀도 플라즈마를 발생시켜서 유리 기판과 같은 절연 표면을 가지는 기판 위에 절연막이 형성된다. 그 후에 모노실란 가스의 공급을 정지하고, 대기에 노출하지 않고 아산화질소(N_2O)와 희가스를 도입하여 절연막 표면에 플라즈마 처리를 행해도 된다. 아산화질소(N_2O)와 희가스를 도입하여 절연막 표면에 실시되는 플라즈마 처리는 적어도 절연막이 형성된 후 행한다. 상기 프로세스 순서를 통해 형성된 절연막은 두께가 얇고, 예를 들면 100nm 미만의 두께를 가져도 신뢰성을 확보할 수 있는 절연막에 대응한다.

[0099] 게이트 절연층(402)의 형성시, 챔버에 도입하는 모노실란 가스(SiH_4)와 아산화질소(N_2O)의 유량비는 1:10로부터 1:200의 범위로 한다. 또한, 챔버에 도입하는 희가스로서는, 헬륨, 아르곤, 크립톤, 크세논 등이 사용될 수 있다. 특히, 저렴한 아르곤을 사용하는 것이 바람직하다.

[0100] 또한, 고밀도 플라즈마 장치에 의해 획득된 절연막은 일정한 두께를 가질 수 있기 때문에, 상기 절연막의 단차 피복이 우수하다. 또한, 고밀도 플라즈마 장치를 사용하여 형성되는 절연막은 박막의 두께를 정밀하게 제어할 수 있다.

[0101] 상기 프로세스 순서를 통해 형성된 절연막은 종래의 평행 평판형의 PCVD 장치를 사용하여 형성된 절연막과는 크게 다르다. 동일한 에천트를 사용하여 에칭 레이트를 서로 비교했을 경우에 있어서, 종래의 평행 평판형의 PCVD 장치를 사용하여 형성되는 절연막의 에칭 레이트보다 10% 이상 또는 20% 이상 낮다. 따라서, 고밀도 플라즈마 장치를 사용하여 형성된 획득되는 절연막은 조밀한 막이라고 할 수 있다.

[0102] 본 실시예에서는, 상기 게이트 절연층(402)으로서 고밀도 플라즈마 장치를 사용하여 형성된 두께 100nm의 산화질화 실리콘막(SiO_xN_y라고도 부른다, 다만, x>y>0)이 사용된다.

[0103] 이어서, 상기 게이트 절연층(402) 위에 두께 2nm 이상 15nm 이하의 제 1 산화물 반도체층이 형성된다. 또한, 제 1 산화물 반도체층은 희가스(대표적으로는, 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다.

[0104] 또한, 산화물 반도체막의 성막을 행하기 전, 또는 성막중, 또는 성막 후에, 스퍼터링 장치 내에 잔존하고 있는 수분 등을 제거하는 것이 바람직하다. 스퍼터링 장치내의 잔류 수분을 제거하기 위하여는, 흡착형의 진공 펌프가 사용될 수 있다. 예를 들면, 사용될 수 있는 펌프들의 예들은 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 포함한다. 배기 수단으로서는 콜드트랩이 제공된 터보 펌프일 수 있다. 크라이오 펌프를 사용하여 배기한 스퍼터 장치에서, 수소 원자, 수분(H_2O) 등과 같은 수소 원자를 함유하는 화합물 등이 제거되어, 상기 성막실에서 성막된 산화물 반도체막에 포함되는 불순물의 농도가 저감될 수 있다.

[0105] 본 실시예에서는, 두께 5nm의 제 1 산화물 반도체층이 산소 분위기, 아르곤 분위기, 또는 아르곤 및 산소 분위기의 혼합된 분위기 하에서 다음과 같은 조건들에서 형성된다: 산화물 반도체 타겟(In-Ga-Zn-O계 산화물 반도체 타겟(In_2O_3:Ga_2O_3:ZnO=1:1:2[mol수비], 즉, In:Ga:Zn =1:1:1[원자비])이 사용되고, 상기 기판과 타겟의 사이의 거리는 170mm, 압력은 0.4Pa, 직류(DC)전원은 0.5kW이다. 또한, 산화물 반도체 타겟으로서, In:Ga:Zn =1:1:0.5[원자비] 또는 In:Ga:Zn =1:1:2[원자비]의 조성비를 가지는 타겟이 사용될 수 있다. 본 실시예에서는, 이후 공정에서 가열 처리를 행해 의도적으로 결정화시키기 때문에, 결정화가 생기기 쉬운 산화물 반도체 타겟을 사용하는 것이 바람직하다.

[0106] 또한, 산화물 반도체 타겟중에 함유된 산화물 반도체의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더 바람

직하게는 99.9% 이상이다. 상대 밀도가 높은 타겟을 사용하여, 형성되는 산화물 반도체막 중의 불순물 농도가 저감될 수 있고, 따라서 우수한 전기 특성 또는 높은 신뢰성을 갖는 트랜지스터가 획득될 수 있다.

[0107] 또한, 제 1 산화물 반도체층의 성막을 행하기 전, 스퍼터링 장치 내벽이나, 타겟 표면, 또는 타겟 재료 중에 잔존하고 있는 수분 또는 수소를 제거하기 위하여 예열 처리가 바람직하게 수행된다. 예열 처리로서는 성막 챔버 내를 감압 하에서 200℃ 이상 600℃ 이하로 가열되는 방법, 성막 챔버 내부가 가열되는 동안 질소나 불활성 가스의 도입과 배기를 반복하는 방법 등이 주어질 수 있다.

[0108] 다음에, 상기 제 1 산화물 반도체층은 제 1 가열 처리를 행하여, 적어도 일부가 결정화된다. 상기 제 1 가열 처리에서, 450℃ 이상 850℃ 이하의 온도가 사용된다. 또한, 가열 시간은 1분 이상 24시간 이하로 한다. 제 1 가열 처리에 의해, 표면에서 진행한 결정 성장에 의해 획득된 다결정층인 제 1 산화물 반도체층(403)이 형성된다(도 2a 참조.). 또한, 표면에 형성되는 결정층은 a-b면에 평행한 표면을 가지고, 결정층의 표면에 대하여 수직 방향으로 c축 배향된다. 본 실시예에서는, 제 1 가열 처리에 의해 제 1 산화물 반도체막의 전체가 결정(CG(Co-growing) 결정이라고도 부르는)을 함유하도록 하는 예가 기술된다.

[0109] 제 1 가열 처리에서, 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스에 수분 또는 수소 등이 포함되지 않는 것이 바람직하다는 것을 주의한다. 또한, 가열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N 이상, 바람직하게는 7N 이상으로 하는 것이 바람직하다. 또한, H_2O 농도가 20ppm 이하인 건조 공기 분위기 하에서 상기 제 1 가열 처리가 수행될 수 있다.

[0110] 본 실시예에서는, 상기 제 1 가열 처리로서, 건조 공기 분위기 하에서 700℃에서 1시간 동안 가열 처리가 수행된다.

[0111] 또한, 상기 제 1 가열 처리에서 온도가 상승할 때, 노의 내부가 질소 분위기로 설정되고, 냉각이 수행될 때, 노의 내부가 산소 분위기로 전환될 수 있다. 질소 분위기에서 탈수화 또는 탈수소화를 실행하고 분위기를 산소 분위기로 전환함으로써, 상기 제 1 산화물 반도체층에 산소가 공급될 수 있어, i형 산화물 반도체층이 획득될 수 있다.

[0112] 다음에, 평판상의 다결정인 상기 제 1 산화물 반도체층(403) 위에, 적어도 제 1 산화물 반도체층(403)보다 큰 두께 및 10㎛ 이하의 두께를 갖는 제 2 산화물 반도체층(404)이 형성된다(도 2b 참조.). 제 2 산화물 반도체층(404)의 두께는 제작된 디바이스에 최적인 두께로 실시자들에 의해 적절하게 결정될 수 있다. 예를 들면, 보텀 게이트형 트랜지스터를 제작하는 경우에는, 상기 제 1 산화물 반도체층(403)과 상기 제 2 산화물 반도체층(404)의 합계막 두께는 10nm 이상 200nm 이하일 수 있다.

[0113] 제 2 산화물 반도체층(404)으로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 3원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, 또는 Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, 또는 In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등이 사용될 수 있다.

[0114] 상기 제 1 산화물 반도체층(403)과 상기 제 2 산화물 반도체층(404)은 동일한 성분들을 포함하는 재료들을 사용하거나 동일한 결정 구조들 및 서로 근접한 격자 정수(미스매치가 1%이하)를 가지는 것이 바람직하다. 동일한 성분들을 포함하는 재료들이 사용될 경우, 후속하는 결정화 단계 동안, 상기 제 1 산화물 반도체층(403)의 다결정층을 종으로 하여 결정 성장을 행하기 쉬워진다. 또한, 동일한 성분들을 포함하는 재료들이 사용될 경우에는, 밀착성 등의 계면 특성이나 전기적 특성도 양호하다.

[0115] 다음에, 제 2 가열 처리를 행하고, 상기 제 1 산화물 반도체층(403)의 결정층을 종으로 사용하여 결정 성장이 수행된다. 제 2 가열 처리는, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 650℃ 이하의 온도로 수행된다. 또한, 가열 시간은 1분 이상 24시간 이하로 한다. 상기 제 2 가열 처리에 의해, 상기 제 2 산화물 반도체층이 결정화된다. 이러한 방식으로, 평판상의 결정화된 산화물 반도체 적층(430)을 획득할 수 있다(도 2c 참조.).

[0116] 평판상의 결정은 상기 산화물 반도체층의 표면에 대하여 수직으로 c축 배향한 단결정인 것이 바람직하다. 평판상의 결정이 단결정이 아닐 경우, 채널 형성 영역에 각 결정의 a축 및 b축이 배향하고, 상기 산화물 반도체층의 표면에 대하여 수직으로 c축 배향된 다결정인 것이 바람직하다. 상기 산화물 반도체층의 하지 표면에 요철이 있을 경우, 평판상의 결정은 다결정이라는 것을 주의한다.

[0117] 도 2a , 도 2b ,및 도 2c의 공정을 이해하기 쉽게 상위 개념을 설명하기 위하여, 도 1a, 도 1b, 및 도 1c에 확대 모식도를 나타낸다.

[0118] 도 1a는 하지 부재(500) 위에 결정화를 위한 제 1 가열 처리가 실시된 제 1 산화물 결정 부재(501)를 도시한다. 도 1a는 도 2a에 대응하고 하지 부재(500)는 게이트 절연층(402)에 대응한다. 도 1b는 도 2b에 대응하고 제 2 산화물 반도체층(502)의 성막 직후의 단면도이다. 도 1c는 도 2c에 대응하고 제 2 가열 처리 후의 단면도이다. 상기 제 2 가열 처리에 의해, 결정 방향이 높은 배향성을 가지는 결정층으로 형성되는 제 3 산화물 결정 부재(503a)가 획득된다. 제 1 산화물 부재와 제 2 산화물 부재가 동일한 성분들을 포함하는 산화물 반도체 재료들을 사용하여 형성될 경우, 도 1c에 나타나 있는 바와 같이, 제 3 산화물 결정 부재(503a)의 결정층을 핵으로서 사용하여 제 2 산화물 부재의 표면을 향하여 상방으로 결정 성장을 진행하고, 제 2 산화물 결정 부재(503b)이 형성되어, 모든 결정 부재들이 c축 배향된다. 따라서, 도 1c에서는 점선으로 나타냈지만, 제 3 산화물 결정 부재와 제 2 산화물 결정 부재의 경계는 불명료해진다. 또한, 상기 제 2 가열 처리에 의해, 성막 직후의 제 2 산화물 성분의 내부는 고순도화되어, 비정질 산화물 반도체를 포함하는 층이 된다.

[0119] 다음에, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층으로부터 형성된 산화물 반도체 적층(430)을 포토리소그래피 공정을 사용하여 섬 형상 산화물 반도체 적층(431)으로 가공한다(도 2d 참조). 또한, 섬 형상 산화물 반도체 적층(431)을 형성하기 위한 레지스트 마스크를 잉크젯법을 사용하여 형성될 수 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용할 필요가 없어; 제조 비용을 저감할 수 있다.

[0120] 다음에, 게이트 절연층(402) 및 섬 형상 산화물 반도체 적층(431) 위에 스퍼터링법 등에 의해 금속 도전막이 형성된 후, 포토리소그래피 공정이 수행되어 레지스트 마스크가 형성된다. 이어서, 금속 도전막을 선택적으로 에칭하여 금속 전극층들이 형성된다.

[0121] 소스 전극 및 드레인 전극(같은 층을 사용하여 형성되는 배선을 포함하는)이 되는 금속 도전막의 재료로서는, Al, Cu, Cr, Ta, Ti, Mo, W 등의 금속 재료, 또는 상기 금속 재료들을 주성분으로 하는 합금 재료가 사용된다. 또한, Al, Cu 등의 금속층의 하측 또는 상측에 Cr, Ta, Ti, Mo, 또는 W과 같은 고융점 금속층이 적층되는 구성이 사용될 수 있다. 또한, Al막에 일으키는 힐록이나 위스커(whisker)의 발생을 방지하는 Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y과 같은 원소가 첨가되어 있는 Al 재료를 사용함으로써 내열성을 향상시킬 수 있다.

[0122] 예를 들면, 금속 도전막으로서는 티타늄층 위에 알루미늄층, 상기 알루미늄층 위에 티타늄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층, 상기 알루미늄층 위에 몰리브덴층이 적층된 3층의 적층 구조로 하는 것이 바람직하다. 또한, 금속 도전막으로서 알루미늄층과 텅스텐층을 적층한 2층의 적층 구조, 구리층과 텅스텐층을 적층한 2층의 적층 구조, 알루미늄층과 몰리브덴층을 적층한 2층의 적층 구조로 할 수도 있다. 물론, 금속 도전막으로서 단층 또는 4층 이상의 적층 구조로 해도 된다.

[0123] 이어서, 레지스트 마스크를 제거하고, 포토리소그래피 공정이 수행된다. 레지스트 마스크가 형성되고 선택적으로 에칭되어, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 2e 참조.). 포토리소그래피 공정에서, 어떤 경우들에서, 섬 형상 산화물 반도체 적층(431)의 일부가 에칭되어, 홈부(오목부)를 가지는 산화물 반도체층이 형성될 수 있다는 것을 주의한다.

[0124] 도 2e에 나타나 있는 바와 같이, 상기 게이트 전극층(401)은 상기 소스 전극층(405a)(및 드레인 전극층(405b))과 겹치는 영역을 가지는 것도 특징의 하나이다. 상기 소스 전극층(405a)의 단부와 상기 게이트 절연층(402)의 단차 사이의 영역, 즉 단면도에 있어서, 상기 소스 전극층(405a)의 단부와 상기 게이트 절연층의 평탄면에서 테이퍼면이 되는 지점과의 사이의 영역(여기에서는 도 2e의 L_{ov} 영역)이 포함된다. L_{ov} 영역은 게이트 전극층의 단부의 단차로 인해 발생하는 결정립계에 캐리어들이 흐르지 않도록 하기 위하여 중요하다.

[0125] 또한, 산화물 반도체 적층(432)의 측면에 있어서, 소스 전극층(405a) 또는 드레인 전극층(405b)에 접하는 결정층이 몇몇 경우들에서 비정질 상태이다.

[0126] 또한, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성할 수 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에; 제조 비용을 저감할 수 있다.

[0127] 포토리소그래피 공정에 사용하는 포토 마스크들의 수 및 포토리소그래피 공정들의 수를 삭감하기 위하여, 투과한 광이 복수의 강도를 갖는 노광 마스크인 다계조 마스크의 사용에 의해 에칭 공정을 행할 수 있다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 두께를 가지고, 또한 에칭에 의해 형상이 변경될 수 있어서; 따라서, 상기 레지스트 마스크는 다른 패턴들로 가공하는 복수의 에칭 공정에 사용될 수 있다. 따라서, 한 장의 다계조 마스크에 의해 적어도 2종류 이상의 다른 패턴들에 대응하는 레지스트 마스크가 형성될 수 있다. 따라서 노광 마스크들의 수가 삭감될 수 있고, 대응하는 포토리소그래피 공정들의 수 또한 삭감될 수 있어서, 공정의

간략화가 실현될 수 있다.

[0128] 다음에, 산화물 반도체층의 일부에 접하는 보호 절연막이 되는 산화물 절연층(407)이 형성된다.

[0129] 산화물 절연층(407)은 적어도 1nm의 두께로 스퍼터링법과 같은, 산화물 절연층(407)에 수분 또는 수소와 같은 불순물을 혼입시키지 않는 방법을 적절히 사용하여 형성될 수 있다. 본 실시예에서는, 산화물 절연층(407)으로서 두께 300nm의 산화 실리콘막을 스퍼터링법을 사용하여 성막한다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수 있다. 본 실시예에서는, 기판 온도는 100℃이다. 스퍼터링법에 의한 산화 실리콘막의 성막은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤)와 산소의 분위기 하에서 행할 수 있다. 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들면, 실리콘 타겟을 사용하고, 산소 및 질소 분위기 하에서 스퍼터링법에 의해 산화 실리콘이 형성될 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연층(407)으로서, 무기 절연막이 사용된다. 대표적으로는 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등이 사용된다. 또한, 산화물 절연층(407) 위에 질화 실리콘막 또는 질화 알루미늄막과 같은 보호 절연층이 형성될 수 있다.

[0130] 또한, 상기 산화물 절연층(407) 및 상기 게이트 절연층(402)에 상기 게이트 전극층(401)에 도달하는 콘택트 홀이 형성되고, 상기 게이트 전극층(401)에 전기적으로 접속하고 상기 게이트 전극층(401)에 게이트 전위를 공급하는 접속 전극이 상기 산화물 절연층(407) 위에 형성될 수 있다. 또한, 다음이 채용될 수 있다: 상기 게이트 절연층(402)의 형성 후에 상기 게이트 전극층(401)에 도달하는 콘택트 홀이 형성되고; 그 위에 소스 전극층 또는 드레인 전극층과 같은 재료를 사용하여 접속 전극이 형성되고; 상기 접속 전극 위에 산화물 절연층(407)이 형성되고; 산화물 절연층(407)에 접속 전극에 도달하는 콘택트 홀이 형성되고; 이후 접속 전극과 전기적으로 접속되고 상기 접속 전극에 게이트 전위를 공급하는 전극이 상기 산화물 절연층(407) 위에 형성된다.

[0131] 이상의 공정으로 트랜지스터(470)가 형성된다(도 3b 참조.). 도 3a에 트랜지스터(470)의 상면도의 일 예를 나타낸다. 도 3b는 도 3a의 쇄선 C1-C2으로 절단한 단면도에 대응한다는 것을 주의한다.

[0132] 채널 형성 영역과 겹치는 게이트 전극층의 상면이 평탄하고, 그 평탄면에 수직하게 c축 배향되는 산화물 부재가 포함되고, 상기 소스 전극층 또는 상기 드레인 전극층은 상기 게이트 전극층의 단차와 중첩하는 것이 트랜지스터(470)의 특징들 중 하나이다. 산화물 부재(본 실시예에서는 산화물 반도체 적층(432))에서 기판 측에 오목부 및 볼록부가 있을 경우에는, 결정 성장이 오목부와 만나는 영역은 결정립계가 있는 다결정들이 된다. 따라서, 도 3b에 나타낸 바와 같이 L_{ov} 영역을 형성함으로써, 게이트 전극층의 단부의 요철에서 생기는 결정립계에 캐리어들이 흐르지 않도록 할 수 있다. 따라서, 상기 트랜지스터(470)에 있어서, 상기 소스 전극층 또는 상기 드레인 전극층은 상기 게이트 전극층의 평탄부의 일부 위에 제공되어, 상기 소스 전극층 또는 상기 드레인 전극층이 게이트 전극층과 겹치는 영역을 포함한다.

[0133] 물론, 도 3b에 나타내는 상기 트랜지스터(470)의 구조는 특별하게 한정되지 않는다. 톱 게이트형 트랜지스터 또는 보텀 게이트형 트랜지스터가 채용될 수 있다. 예를 들면, 도 2e에서 상기 소스 전극층 및 상기 드레인 전극층의 형성시의 에칭 데미지를 방지하기 위하여, 채널 형성 영역과 겹치는 산화물 절연층을 채널 스톱퍼로서 형성되는 채널 스톱 구조가 트랜지스터로 채용될 수 있다.

[0134] 또한, 상기 산화물 절연층(407)위에 백 게이트로서 기능할 수 있는 전극층이 제공될 수 있다. 백 게이트의 전위는, 고정 전위, 예를 들면 0V나, 접지 전위라고 할 수 있고, 실시자에 의해 적절하게 결정될 수 있다. 또한, 백 게이트에 인가된 게이트 전압을 제어함으로써, 임계값 전압을 제어할 수 있다. 또한, 임계값 전압을 포지티브로 설정할 때, 인핸스먼트형 트랜지스터로서 기능시킬 수 있다. 또한, 임계값 전압을 네가티브로 설정할 때, 상기 트랜지스터는 공핍형 트랜지스터로서 기능시킬 수도 있다. 예를 들면, 인핸스먼트형 트랜지스터와 공핍형 트랜지스터의 조합을 포함하는 인버터 회로(이하, EDMOS 회로라고 한다)를 구동 회로에 사용될 수 있다. 구동 회로는 적어도 논리 회로부, 및 스위치부 또는 버퍼부를 포함한다. 논리 회로부는 상기 EDMOS 회로를 포함하는 회로 구성을 갖는다.

[0135] 이하에 산화물 반도체를 포함하는 보텀 게이트형의 트랜지스터의 동작 원리에 관하여 설명한다.

[0136] 도 13은 산화물 반도체를 포함하는 트랜지스터의 종단면도를 나타낸다. 게이트 전극(GE) 위에 게이트 절연막(GI)을 개재하여 산화물 반도체층(OS)이 제공되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 제공된다. 또한, 상기 소스 전극(S) 및 상기 드레인 전극(D)에 산화물 반도체층(OS)의 채널 형성 영역과 겹치는 산화물 절연층이 제공된다.

[0137] 도 14a 및 도 14b는 도 13에 나타내는 A-A' 단면에 있어서의 에너지 밴드도들(모식도들)을 나타낸다. 도 14a는 소스와 드레인이 동일한 전위의 전압을 (V_D=0V)인 경우를 나타낸다. 도 14b는 소스에 대하여 드레인에 양의 전위(V_D>0)를 인가한 경우를 나타낸다. 또한, 도 14b는 검은 원(●)은 전자를 나타내고, 흰 원(○)은 정공을 나타내고, 각각은 전하(-q,+q)를 가지고 있다.

[0138] 도 15a 및 도 15b는 게이트 전압이 0V인 경우 도 13의 B-B'의 단면에 있어서의 에너지 밴드도들(모식도들)을 나타낸다. 도 15a는 게이트(G1)에 양의 전위(+V_G)가 인가된 상태를 도시하고, 소스와 드레인간에 캐리어들(전자들)이 흐르는 온 상태를 나타낸다. 도 15b는 게이트(G1)에 음의 전위(-V_G)가 인가된 상태를 도시하고, 오프 상태(소수 캐리어들은 흐르지 않는)일 경우를 나타낸다.

[0139] 산화물 반도체의 두께가 50nm 정도이며, 상기 산화물 반도체를 고순도화함으로써 도너 농도가 $1\times10^{18}/cm^3$ 이하이면, 공핍층은 상기 산화물 반도체 전체에 퍼진다. 즉, 상기 트랜지스터는 완전-공핍형 트랜지스터로 간주할 수 있다.

[0140] 도 16은 진공 준위와 금속의 일함수(ΦM)의 관계, 진공 준위와 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.

[0141] 금속은 축퇴하고 있기 때문에, 전도대와 페르미 준위는 서로 대응한다. 한편, 종래의 산화물 반도체는 일반적으로 n형 반도체이며; 그 경우에는, 페르미 준위(Ef)는 밴드갭 중앙에 위치하는 진성 페르미 준위(Ei)로부터 떨어져서, 전도대 가까이 위치하고 있다. 산화물 반도체에 있어서 수소는 도너이며 산화물 반도체가 n형 반도체가 되는 하나의 요인인 것이 알려져 있다는 것을 주의한다.

[0142] 한편, 본 발명에 따른 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써 획득된 진성(i형) 또는 실질적으로 진성 산화물 반도체이다. 즉, 불순물을 첨가한 것이 아니라 수소나 수분 등의 불순물을 최대한 제거한 것에 의해 획득된 고순도화된 i형(진성) 반도체 또는 그에 가까운 반도체인 것을 특징으로 하고 있다. 페르미 준위(Ef)는 진성 페르미 준위(Ei)와 같은 레벨로 할 수 있다.

[0143] 산화물 반도체는 3.05eV 내지 3.15eV의 밴드갭(Eg)을 갖는다. 산화물 반도체의 밴드갭(Eg)이 3.15eV일 경우, 전자 친화력(χ)은 4.3eV라고 한다. 소스 및 드레인 전극들을 형성하기 위해 사용된 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 거의 같다. 이 경우, 금속과 산화물 반도체 사이의 계면에서, 전자들에 대하여 쇼트키 장벽은 형성되지 않는다.

[0144] 즉, 금속의 일함수(ΦM)와 산화물 반도체의 전자 친화력(χ)이 서로 동일하고 상기 금속과 상기 산화물 반도체가 서로 접촉할 경우, 도 14a에 나타내는 바와 같은 에너지 밴드도(모식도)가 획득된다.

[0145] 도 14b에서, 검은 원(●)은 전자를 나타내고, 드레인에 양의 전위가 인가되는 경우, 전자는 배리어(h)를 넘어서 산화물 반도체에 주입되어, 드레인을 향하여 흐른다. 이 경우, 배리어(h)의 높이는, 게이트 전압과 드레인 전압에 의존하여 변화되지만; 양의 드레인 전압이 인가되었을 경우에는, 배리어의 높이(h)는 전압 인가 없는 도 14a의 배리어의 높이, 즉 밴드갭(Eg)의 1/2보다 작다.

[0146] 이 때, 도 15a에 도시하는 바와 같이 상기 게이트 절연막과 고순도화된 산화물 반도체 사이의 계면에서 산화물 반도체측의 에너지적으로 안정한 바닥으로 전자가 이동한다.

[0147] 또한, 도 15b에서, 게이트 전극(G1)에 음의 전위(역 바이어스)가 인가되는 경우, 소수 캐리어들인 홀들은 실질적으로 제로이기 때문에, 전류의 값은 제로에 극히 가까운 값이 된다.

[0148] 이와 같이 산화물 반도체의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화함으로써, 진성(i형) 또는 실질적으로 진성 산화물 반도체가 획득된다. 결과적으로, 게이트 절연막과의 계면 특성들이 명백해진다. 따라서, 계면 특성은 벌크의 특성과 분리하여 생각할 필요가 있다. 따라서, 게이트 절연막은 산화물 반도체와 양호한 계면을 형성할 필요가 있다. 예를 들면, VHF대 내지 마이크로파대의 전력 주파수로 생성되는 고밀도 플라즈마를 사용한 CVD법으로 형성되는 절연막, 또는 스퍼터링법으로 형성되는 절연막을 사용하는 것이 바람직하다.

[0149] 산화물 반도체를 고순도화하고 산화물 반도체와 게이트 절연막 사이의 계면을 양호하게 함으로써, 소자가 1×10^4

㎛의 채널 폭 W 및 3㎛의 채널 길이를 가져도, 10^{-13}A 이하의 오프 전류, 0.1V/dec.(게이트 절연막의 두께: 100nm)의 서브스레스홀드 스윙(subthreshold swing; S값)의 트랜지스터의 특성이 충분하게 기대된다.

[0150] 이와 같이, 산화물 반도체가 주성분 이외의 불순물이 최대한 포함되지 않도록 산화물 반도체를 고순도화함으로써, 높은 이동도의 트랜지스터가 형성될 수 있고, 트랜지스터의 동작을 양호하게 할 수 있다.

[0151] (실시예 6)

[0152] 실시예 5는 제 1 산화물 부재와 제 2 산화물 부재가 동일한 성분을 포함하는 산화물 반도체 재료들을 사용하여 형성된 경우를 나타냈지만, 본 실시예에서는, 제 1 산화물 부재와 제 2 산화물 부재가 다른 성분들의 산화물 반도체 재료들을 사용하여 형성된 경우를 나타낸다.

[0153] 본 실시예에서는, Ga를 포함하지 않고 1:1[atom비]의 In 및 Zn을 포함하는 금속 산화물 타겟을 사용하여, 5nm의 두께를 갖는 제 1 산화물 반도체층이 형성된다. 보텀 게이트형의 트랜지스터의 경우, Ga의 산화물은 절연물이기 때문에, 상기 제 1 산화물 반도체층으로서 In-Ga-Zn-O막이 사용되는 경우보다 In-Zn-O막이 사용되는 경우에 더 높은 전계 효과 이동도가 획득된다.

[0154] 다음에, 제 1 가열 처리가 행해진다. 제 1 산화물 반도체층이나 하지 부재(520)의 재료, 가열 온도, 및 가열 시간과 같은 조건들에도 따르지만, 제 1 가열 처리에 의해, 제 1 산화물 반도체층의 표면에서 결정 성장시켜서 상기 제 1 산화물 반도체층과 하지 부재(520) 사이의 계면에까지 도달하도록 다결정을 포함하는 제 1 산화물 결정 부재(531)가 형성된다(도 17a 참조.).

[0155] 하지 부재(520)로서, 산화물층, 금속층, 질화물층 등이 주어질 수 있다. 제 1 가열 처리에 의해, 하지 부재의 재료에 관계없이, 비교적 결정 방위가 갖추어진 다결정을 포함하는 제 1 산화물 결정 부재(531)의 결정 성장은 제 1 산화물 반도체층의 표면으로부터 깊이 방향으로 진행한다. 상기 제 1 산화물 결정 부재(531)는 표면에 대하여 수직방향으로 c축 배향된다.

[0156] 도 17b는 제 1 산화물 결정 부재(531) 위에 제 2 산화물 부재(532)를 성막한 직후의 단면도이다. 본 실시예에서, 제 2 산화물 부재(532)로서, In-Ga-Zn-O계 산화물 반도체를 위한 타겟(In_2O_3:Ga_2O_3:ZnO=1:1:2[mol수비])을 사용하여, 두께 50nm의 In-Ga-Zn-O막이 형성된다.

[0157] 이어서, 제 2 산화물 부재(532)를 성막한 후, 제 2 가열 처리를 행한다. 제 2 가열 처리에 의해, 도 17c에 나타나 있는 바와 같이 결정 성장을 행한다. 도 17c에 나타나 있는 바와 같이, 제 1 산화물 결정 부재(531)의 결정층을 종으로서 사용하여 제 2 산화물 부재의 표면을 향하여 상방으로 결정 성장을 진행하고, 제 2 산화물 결정 부재(533b)가 형성된다.

[0158] 제 1 가열 처리로 획득된 제 1 산화물 결정 부재(531)는 제 2 가열 처리에 의해 다시 가열되어, 한층 더 결정성이 향상된 제 3 산화물 결정 부재(533a)가 된다.

[0159] 제 2 산화물 결정 부재(532)으로서, 제 1 산화물 결정 부재(531)의 성분과 다른 성분의 산화물 반도체 재료가 사용된다. 따라서, 도 17c에 나타나 있는 바와 같이, 제 3 산화물 결정 부재(533a)와 제 2 산화물 결정 부재(533b) 사이의 경계가 형성된다. 또한, 제 2 가열 처리에 의해, 게이트 절연층과의 계면 부근을 포함시켜 거의 전체 제 1 산화물 반도체층은 다결정을 포함한다.

[0160] 도 17c의 구조는 하지 부재(520) 상에 접하여 제 1 산화물 결정 부재(533a)가 적층되고 그 위에 제 2 산화물 결정 부재(533b)가 적층된 2층 구조로서 참조될 수 있다. 다른 재료들을 사용함으로써, 트랜지스터의 전계 효과 이동도를 증가시킬 수 있다. 또한, In-Ga-Zn-O막보다 결정화하기 쉬운 In-Zn-O막을 결정 성장의 종으로 사용함으로써, 고효율성을 갖고 그 상방향으로 결정 성장을 행하여, In-Ga-Zn-O막이 다결정을 포함할 수 있다.

[0161] 또한, 결정 성장이 수행되는 제 2 산화물 결정 부재와 하지가 되는 제 1 산화물 결정 부재의 재료들이 같은 경우, 호모에피택시(homoepitaxy)라고 한다. 결정 성장이 수행되는 제 2 산화물 결정 부재와 하지가 되는 제 1 산화물 결정 부재의 재료들이 다른 경우에는 헤테로에피택시(heteroepitaxy)라고 한다. 본 실시예에서는, 각각의 재료들의 선택에 의해 호모에피택시 및 헤테로에피택시 중 어느 것이 채용될 수 있다.

[0162] 제 1 가열 처리의 조건 및 제 2 가열 처리의 조건은 실시예 5에 기술된 조건 범위 내이다.

[0163] 본 실시예는, 실시예 5와 자유롭게 조합시킬 수 있다.

[0164] (실시예 7)

[0165] 본 실시예에서는, c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 트랜지스터를 제작하고, 상기 트랜지스터를 화소부, 또한 구동 회로에 포함하고, 표시 기능을 가지는 반도체 장치(표시 장치라고도 하는)를 제작할 경우에 관하여 설명한다. 또한, 트랜지스터를 사용하여 구동 회로의 일부 또는 전체를 화소부와 동일기판 위에 형성될 수 있어 시스템 온 패널이 획득될 수 있다.

[0166] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 하는), 발광 소자(발광 표시 소자라고도 하는)가 사용될 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범위에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크와 같은, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 사용될 수 있다.

[0167] 또한, 표시 장치는 표시 소자가 밀봉된 패널을 포함한다. 표시 장치는, 상기 표시 장치를 제작하는 과정에 있어서, 표시 소자가 완성되기 전의 소자 기판의 실시예에 관한 것으로서, 상기 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 구체적으로는, 소자 기판은, 표시 소자의 화소 전극만이 형성된 상태일 수 있고, 화소 전극이 되는 도전층이 형성되지만 화소 전극을 형성하기 위하여 에칭되지 않은 상태, 또는 임의의 다른 상태들일 수 있다.

[0168] 본 명세서중에 있어서의 표시 장치는 화상 표시 디바이스 또는 표시 디바이스를 가리킨다.

[0169] 본 실시예에서, 본 발명의 일 실시예인 반도체 장치로서 액정 표시 장치의 예를 나타낸다. 우선, 반도체 장치의 일 실시예인, 액정 표시 패널의 외관 및 단면에 대하여, 도 18a 및 도 18b를 사용하여 설명한다. 도 18a는 제 1 기판(4001) 위에 형성된, c축 배향된 결정층을 가지는 적층된 산화물 재료의 반도체층을 포함하는 트랜지스터들(4010, 4011) 및 액정 소자(4013)를 제 1 기판(4001)과 제 2 기판(4006)의 사이에 씰재(4005)에 의해 밀봉한 패널의 상면도이다. 도 18b는 도 18a의 M-N에 있어서의 단면도에 대응한다.

[0170] 제 1 기판(4001) 위에 제공된 화소부(4002), 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 둘러싸도록 씰재(4005)가 마련되어져 있다. 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 제공된다. 따라서 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004)는 제 1 기판(4001), 씰재(4005), 및 제 2 기판(4006)에 의하여 액정층(4008)과 함께 밀봉되어 있다.

[0171] 또한, 제 1 기판(4001) 위에 제공된 화소부(4002), 신호선 구동 회로(4003), 및 주사선 구동 회로(4004) 각각은 복수의 트랜지스터를 포함한다. 도 18b에는 화소부(4002)에 포함되는 트랜지스터(4010), 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 도시한다. 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 제공된다.

[0172] 트랜지스터(4010, 4011)로서, 실시예 5에 기술된 c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 트랜지스터가 사용될 수 있다. 본 실시예에서, 트랜지스터(4010, 4011)는 n채널 트랜지스터들이다.

[0173] 절연층(4021)의 일부 위에, 구동 회로용의 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 도전층(4040)이 제공된다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 설치함으로써, BT 시험 전후에 있어서의 트랜지스터(4011)의 임계값 전압의 변화량이 저감될 수 있다. 도전층(4040)은 트랜지스터(4011)의 게이트 전극층의 전위와 같거나 다르고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4040)의 전위가 GND, 0V, 또는 플로팅 상태라도 된다.

[0174] 액정 소자(4013)에 포함된 화소 전극층(4030)은 트랜지스터(4010)와 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006)에 제공된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 중첩한 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공되어, 절연층(4032, 4033)을 개재하여 액정층(4008)이 화소 전극층(4030)과 대향 전극층(4031) 사이에 개재된다는 것을 주의한다.

[0175] 제 2 기판(4006)로서, 유리 또는 플라스틱들이 사용될 수 있다는 것을 주의한다. 플라스틱으로서는, FRP(Fiberglass-reinforced plastics)판, PVF(폴리비닐 플루오라이드)막, 폴리에스테르막, 또는 아크릴 수지막이 사용될 수 있다. 또한, 알루미늄 호일을 PVF막들이나 폴리에스테르막들 사이 개재된 구조의 시트가 사용될 수도 있다.

[0176] 절연층을 선택적으로 에칭하는 방식으로서 획득되는 주상 스페이서(4035)는 화소 전극층(4030)과 대향 전극층(4031)의 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 대안으로, 구상의 스페이서가 또한 사용될 수 있다. 대향 전극층(4031)은 트랜지스터(4010)가 형성된 기판 위에 형성된 공통 전위선과 전기적으로 접속된다. 또한,

공통 접속부를 사용하고, 한 쌍의 기판들 간에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 도전성 입자는 씰재(4005)에 함유된다는 것을 주의한다.

[0177] 또한, 배향막이 불필요한 블루상을 나타내는 액정이 사용될 수 있다. 블루상은 액정상들 중 하나이며, 콜레스테릭 액정을 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서 밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위하여 5 wt% 이상의 키랄제를 포함하는 액정 조성물이 액정층(4008)에 사용된다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0178] 블루상을 나타내는 액정이 사용되면, 배향막에 대한 러빙 처리도 불필요하여, 따라서 러빙 처리에 의한 정전파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시킬 수 있다. 특히, 산화물 반도체층을 포함하는 트랜지스터는 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 일탈할 가능성이 있다. 따라서, 산화물 반도체층을 포함하는 트랜지스터를 포함하는 액정 표시 장치에 블루상을 나타내는 액정 재료를 사용하는 것은 보다 효과적이다.

[0179] 본 실시예에서 나타내는 액정 표시 장치는 투과형 액정 표시 장치의 예이지만; 액정 표시 장치는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용될 수 있다는 것을 주의한다.

[0180] 본 실시예에서 나타내는 액정 표시 장치의 예는 기판의 외측(시인측)에 편광판을 설치하고, 기판의 내측에 착색층, 표시 소자에 사용되는 전극층을 순차적으로 설치하는 예를 나타내지만; 편광판은 기판의 내측에 제공될 수 있다. 편광판과 착색층의 적층 구조는 본 실시예에 한정되지 않고, 편광판 및 착색층의 재료들이나 제작 공정의 조건들에 의존하여 적절히 설정될 수 있다. 필요에 따라 블랙 매트릭스로서 기능하는 차광층이 제공될 수 있다.

[0181] 본 실시예에서는, 트랜지스터들의 표면 요철을 저감하고 트랜지스터의 신뢰성을 향상하기 위하여, 트랜지스터들이 보호층이나 평탄화 절연층들로서 기능하는 절연층들(절연층(4020), 절연층(4021))으로 덮인다. 보호층은 대기중에 부유하는 유기 물질이나 금속 물질, 수분과 같은 오염 불순물의 침입을 막기 위한 것으로 제공되고, 조밀한 막이 바람직하다. 보호층은 스퍼터링법을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 또는 질화산화 알루미늄층의 단층 또는 적층으로 형성될 수 있다. 본 실시예에서, 보호층이 스퍼터링법으로 형성되는 예를 나타내지만; 특별하게 한정되지 않고 다양한 종류의 방법들이 사용될 수 있다.

[0182] 여기에서, 보호층으로서 적층 구조를 갖는 절연층(4020)이 형성된다. 절연층(4020)의 제 1 층으로서, 스퍼터링법을 사용하여 산화 실리콘층이 형성된다. 보호층으로서 산화 실리콘층을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용되는 알루미늄층의 힐록 방지에 이로운 효과를 제공한다.

[0183] 보호층의 제 2 층으로서 절연층이 형성된다. 여기에서, 절연층(4020)의 제 2 층으로서, 스퍼터링법을 사용하여 질화 실리콘층이 형성된다. 보호층으로서 질화 실리콘층을 사용하면, 나트륨 이온들과 같은 이온들이 반도체 영역 중에 침입하는 것을 방지하여, 트랜지스터들의 전기 특성들을 변화시키는 것을 억제할 수 있다.

[0184] 평탄화 절연층으로서 절연층(4021)이 형성된다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 에폭시와 같은 내열성을 갖는 유기 재료가 사용될 수 있다. 상기 유기 재료들 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 이들 재료들로 형성되는 복수의 절연층을 적층시킴으로써 절연층(4021)이 형성될 수 있다는 것을 주의한다.

[0185] 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응한다는 것을 주의한다. 실록산계 수지는 치환기로서 유기기(예를 들면 알킬기나 아릴기)나 플루오르기를 포함할 수 있다. 또한, 유기기는 플루오르기를 포함할 수 있다.

[0186] 절연층(4021)의 형성법은 특별하게 한정되지 않고, 그 재료에 따라, 스퍼터법, SOG법, 스핀 코팅법, 딥법, 스프레이 도포법, 액적토출법(예를 들어, 잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄) 등이 채용될 수 있다. 또한, 절연층(4021)은 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용하여 형성될 수 있다. 절연층(4021)을 재료액을 사용하여 형성할 경우, 베이크 공정과 동시에, 반도체층의 어닐링(300℃ 내지 400℃에서)이 행해질 수 있다. 절연층(4021)의 베이킹 공정은 또한 반도체층의 어닐링으로 기능하여, 효율적으로 반도체 장치가 제작될 수 있다.

[0187] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐

아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 나타낸다), 인듐 아연 산화물, 산화 실리콘가 첨가된 인듐 주석 산화물과 같은 투광성 도전성 재료를 사용하여 형성될 수 있다.

[0188] 화소 전극층(4030) 및 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 하는)를 포함하는 도전성 조성물이 사용될 수 있다. 도전성 조성물을 사용하여 형성된 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.

[0189] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이것들의 2종 이상의 공중합체 등을 들 수 있다.

[0190] 별도 형성된 신호선 구동 회로(4003), 및 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호들 및 전위들은 FPC(4018)로부터 공급된다.

[0191] 본 실시예에서, 접속 단자 전극(4015)이, 액정 소자(4013)에 포함된 화소 전극층(4030)과 같은 도전층을 사용하여 형성된다. 단자 전극(4016)은 트랜지스터들(4010, 4011)에 포함된 소스 및 드레인 전극층들과 같은 도전층을 사용하여 형성된다.

[0192] 접속 단자 전극(4015)은 FPC(4018)에 포함된 단자에 이방성 도전층(4019)을 통해 전기적으로 접속된다.

[0193] 도 18a 및 도 18b는 신호선 구동 회로(4003)가 별도로 형성되고 제 1 기판(4001) 상에 실장된 예를 나타내고 있지만; 본 실시예는 이 구성에 한정되지 않는다는 것을 주의한다. 주사선 구동 회로가 화소부(4002)와 같은 기판 위에 형성될 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 화소부(4002)와 같은 기판 위에 형성될 수 있다.

[0194] 또한, 필요하면, 컬러 필터를 화소들의 각각에 설치한다. 또한, 제 1 기판(4001)과 제 2 기판(4006)의 외측에는 편광판이나 확산판을 설치한다. 또한, 백라이트의 광원은 냉음극관이나 LED를 사용하여 형성된다. 따라서, 액정 표시 모듈이 획득된다.

[0195] 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment)모드, ASM(Axially Symmetric aligned Micro-cell)모드, OCB(Optical Compensated Birefringence)모드, FLC(Ferroelectric Liquid Crystal)모드, AFLC(AntiFerroelectric Liquid Crystal)모드 등이 사용될 수 있다.

[0196] 이상의 공정에 의해, 높은 신뢰성의 액정 표시 장치를 제작할 수 있다.

[0197] 실시예 5에 기술된 c축 배향된 결정층을 포함하는 적층된 산화물 재료의 제작 방법을 사용하여 액정 표시 장치의 구동 회로의 트랜지스터를 제작함으로써, 노멀리 오프형 트랜지스터가 구동 회로부에 제공될 수 있고, 소비 전력이 저감될 수 있다.

[0198] 본 실시예는 다른 실시예들에 기재된 구성들과 적절히 조합하여 실시하는 것이 가능하다.

[0199] (실시예 8)

[0200] 반도체 장치의 일 실시예에 대응하는 발광 표시 패널(발광 패널이라고도 하는)의 외관 및 단면에 대하여, 도 19a 및 도 19b를 참조하여 설명한다. 도 19a는 제 1 기판 위에 형성된, c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 트랜지스터 및 발광 소자를 제 1 기판과 제 2 기판의 사이에 씰재에 의해 밀봉한 패널의 평면도이다. 도 19b는 도 19a의 H-I에 따른 단면도이다.

[0201] 제 1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로들(4503a, 4503b), 및 주사선 구동 회로들(4504a, 4504b)을 둘러싸도록 씰재(4505)가 제공된다. 또 화소부(4502), 신호선 구동 회로들(4503a, 4503b) 및 주사선 구동 회로들(4504a, 4504b) 위에 제 2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로들(4503a, 4503b) 및 주사선 구동 회로들(4504a, 4504b)은 제 1 기판(4501), 씰재(4505), 및 제 2 기판(4506)에 의하여 충전재(4507)로 함께 밀봉되어 있다. 화소부(4502), 신호선 구동 회로들(4503a, 4503b) 및 주사선 구동 회로들(4504a, 4504b)이 외기에 노출되지 않도록 기밀성이 높고, 적은 탈가스의 보호막(접합막(laminate film) 또는 자외선 경화 수지막과 같은) 또는 커버재로 패키징(봉입)하는 것이 바람직하다.

[0202] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a, 4503b), 및 주사선 구동 회로들(4504a, 4504b)은 각각 복수의 트랜지스터를 가지고 있어, 도 19b에서, 예로서, 화소부(4502)에 포함되는 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함되는 트랜지스터(4509)를 예시하고 있다.

[0203] 트랜지스터들(4509, 4510)에 대하여, 실시예 5에서 나타낸 c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 높은 신뢰성의 트랜지스터를 채용할 수 있다. 본 실시예에 있어서, 트랜지스터들(4509, 4510)은 n채널 트랜지스터들이다.

[0204] 구동 회로용의 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치는 절연층(4544)의 일부 위에, 도전층(4540)이 제공된다. 상기 도전층(4540)을 상기 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 설치함으로써, BT 시험 전후에 있어서의 트랜지스터(4509)의 임계값 전압의 변화량이 저감될 수 있다. 상기 도전층(4540)은 상기 트랜지스터(4509)의 게이트 전극층과 같은 전위 또는 다른 전위를 갖고 제 2 게이트 전극층으로서 기능할 수 있다. 또한, 도전층(4540)의 전위가 GND, 0V, 또는 상기 도전층(4540)은 플로팅 상태일 수 있다.

[0205] 트랜지스터(4509)에서, 보호 절연층으로서 채널 형성 영역을 포함하는 반도체층에 접하여 절연층(4541)이 형성되어 있다. 절연층(4541)은 실시예 5에 기술된 산화물 절연층(407)과 같은 재료 및 방법으로 형성할 수 있다. 또한, 트랜지스터의 표면 요철을 저감하기 위하여 평탄화 절연층으로서 기능하는 절연층(4544)으로 트랜지스터들을 덮는다. 여기에서는, 절연층(4541)으로서 실시예 5에 기술된 산화물 절연층(407)과 유사한 방식으로 스퍼터링법에 의해 산화 실리콘층이 형성된다.

[0206] 상기 절연층(4541) 위에 평탄화 절연층으로서 상기 절연층(4544)이 형성된다. 상기 절연층(4544)은, 실시예 7에 기술된 절연층(4021)과 같은 재료 및 방법으로 형성될 수 있다. 여기에서는, 절연층(4544)으로서 아크릴을 사용한다.

[0207] 또한, 참조 번호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제 1 전극층(4517)은 트랜지스터(4510)의 소스 또는 드레인 전극층과 전기적으로 접속되어 있다. 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계 발광층(4512), 및 제 2 전극층(4513)의 적층 구조이지만, 상기 구성에 한정되지 않는다는 것을 주의한다. 발광 소자(4511) 등으로부터 추출된 광의 방향에 따라, 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.

[0208] 격벽(4520)은 유기 수지층, 무기 절연층 또는 유기 폴리실록산을 사용하여 형성한다. 상기 격벽(4520)이 감광성의 재료 및 제 1 전극층(4517) 위에 개구부를 사용하여 형성되고, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로 형성되는 것이 특히 바람직하다.

[0209] 전계 발광층(4512)은 단층 또는 복수의 층이 적층되어 형성될 수 있다.

[0210] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호층이 형성될 수 있다. 보호층으로서, 질화 실리콘층, 질화산화 실리콘층, DLC층 등이 형성될 수 있다.

[0211] 또한, 신호선 구동 회로들(4503a, 4503b), 주사선 구동 회로들(4504a, 4504b), 또는 화소부(4502)에 공급되는 각종 신호들 및 전위들은 FPC들(4518a, 4518b)로부터 공급된다.

[0212] 접속 단자 전극(4515)이 발광 소자(4511)에 포함된 제 1 전극층(4517)과 같은 도전층으로부터 형성되고, 단자 전극(4516)은 박막 트랜지스터들(4509, 4510)에 포함된 소스 및 드레인 전극층들과 같은 도전층으로부터 형성된다.

[0213] 접속 단자 전극(4515)은 FPC(4518a)에 포함된 단자와 이방성 도전층(4519)을 통해 전기적으로 접속된다.

[0214] 발광 소자(4511)로부터의 광이 추출되는 방향에 위치된 제 2 기판은 투광성을 가져야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르막, 또는 아크릴막과 같은 투광성 재료가 사용된다.

[0215] 충전재(4507)로서, 질소나 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열경화 수지가 사용될 수 있다. 예를 들면, PVC(폴리염화비닐), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 예를 들면, 충전재로서 질소가 사용된다.

[0216] 또한, 필요하면, 발광 소자의 사출면에 편광판, 또는 원편광판(타원편광판을 포함하는), 위상차판(λ/4판, λ/2판), 컬러 필터와 같은 광학막을 적절히 형성해도 된다. 또한, 편광판 또는 원편광판에 반사방지막을 형성해도 된다. 예를 들면, 표면의 오목부들 및 볼록부들에 의해 반사광을 확산될 수 있고, 눈부심을 저감할 수 있는 안

티글레어 처리를 실시할 수 있다.

[0217] 이상의 공정들에 의해, 높은 신뢰성의 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0218] 본 실시예는 다른 실시예들에 기재한 구성들과 적절히 조합하여 실시하는 것이 가능하다.

[0219] (실시예 9)

[0220] 반도체 장치의 일 실시예로서 전자 페이퍼의 예를 나타낸다.

[0221] 실시예 5에 기술된 방법에 의해 획득되는 c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 트랜지스터는 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용할 수 있다. 전자 페이퍼는 또한 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고 있어, 종이와 같은 정도의 읽기 쉬움, 다른 표시 장치들에 비교해 저소비 전력, 얇고 가볍다는 이점을 가지고 있다.

[0222] 전기 영동 디스플레이들은 여러가지 모드들을 가질 수 있다. 전기 영동 디스플레이들은 플러스의 전하를 가지는 제 1 입자와, 마이너스의 전하를 가지는 제 2 입자를 포함하는 각각의 마이크로캡슐이 용매 또는 용질에 분산된 복수의 마이크로 캡슐들을 포함한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐들 중의 입자들을 서로 반대 방향으로 이동시켜서 일 측면에 모인 입자들의 색만이 표시된다. 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없을 경우에는 이동하지 않는다는 것을 주의한다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(입자들은 또한 무색일 수 있다)으로 한다.

[0223] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역으로 이동함으로써, 소위 유전 영동적 효과를 이용한 디스플레이다.

[0224] 상기 마이크로캡슐들을 용매 중에 분산되게 한 용액이 전자 잉크라 칭한다. 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 가지는 입자들을 사용함으로써, 컬러 표시도 가능하다.

[0225] 액티브 매트릭스 기판 위에 적절히 두개의 전극의 사이에 상기 마이크로캡슐들을 복수 배치하면, 액티브 매트릭스 표시 장치가 완성될 수 있고, 마이크로캡슐들에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시예 5의 c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 트랜지스터에 의해 획득되는 액티브 매트릭스 기판이 사용될 수 있다.

[0226] 마이크로캡슐들 중의 제 1 입자들 및 제 2 입자들은 각각 도전성 재료, 절연성 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들 중 어느 것의 복합 재료로 형성될 수 있다는 것을 주의한다.

[0227] 도 20은 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치에 사용할 수 있는 트랜지스터(581)로서는 실시예 5에 기술된 트랜지스터와 같은 방식으로 제작될 수 있고, c축 배향된 결정층을 가지는 적층된 산화물 재료를 포함하는 높은 신뢰성의 트랜지스터이다.

[0228] 도 20의 전자 페이퍼는 트위스트 볼 표시 시스템을 사용한 표시 장치의 예다. 트위스트 볼 표시 시스템은 흰색과 흑색이 각각 나누어 칠해지는 구형 입자들이 표시 소자로 사용되는 전극층들인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 생기게 하여 구형 입자들의 배향을 제어함으로써, 표시를 행하는 방법을 말한다.

[0229] 트랜지스터(581)는 보텀 게이트 구조의 트랜지스터이며, 반도체층에 접하는 절연층(583)으로 덮여 있다. 트랜지스터(581)의 소스 또는 드레인 전극층은 절연층(583) 및 절연층(585)에 형성된 개구를 통해 제 1 전극층(587)과 접하고 있어 박막 트랜지스터(581)가 제 1 전극층(587)에 전기적으로 접속된다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 가지고, 액체로 채워져 있는 영역들 주변의 캐비티(594)를 각각 포함하는 구형 입자들(589)이 한 쌍의 기판(580, 596)의 사이에 설치된다. 구형 입자들(589)의 주위의 공간은 수지와 같은 충전재(595)로 충전된다(도 20 참조.).

[0230] 제 1 전극층(587)이 화소 전극에 대응하고, 제 2 전극층(588)은 공통 전극에 대응한다. 제 2 전극층(588)은 트랜지스터(581)와 동일 절연 기판 위에 제공되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 간에 제공되는 도전성 입자들을 통해 제 2 전극층(588)은 공통 전위선에 전기적으로 접속할 수 있다.

[0231] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용하는 것도 가능하다. 투명한 액체와 양으로 대전한 흰 미립자들과 음으로 대전한 검은 미립자들이 캡슐화된 직경 10㎛ 내지 200㎛ 정도의 마이크로 캡슐이 사용된다. 제 1 전극층과 제 2 전극층의 사이에 제공되는 마이크로캡슐은 제 1 전극층과 제 2 전극층에 의해, 전계가 인가되면, 흰 미립자들과 검은 미립자들이 반대의 방향으로 이동하여, 흰색 또는 흑색이 표시될 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라고 한다. 전기 영동 표시 소자는 액정 표시 소자에 비하여 반사율이 높기 때문에, 보조 라이트가 불필요하고, 소비 전력이 작아지고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않을 경우에도, 한번 표시한 이미지를 유지하는 것이 가능하다. 따라서, 전파 발신원으로부터 표시 기능을 갖는 반도체 장치(단지 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 할 수 있는)를 멀리 떨어진 경우에도, 표시된 이미지가 저장될 수 있다.

[0232] 이상의 공정에 의해, 높은 신뢰성의 전자 페이퍼를 제작할 수 있다.

[0233] 본 실시예는 다른 실시예들에 기재된 구성들과 적절히 조합하여 실시하는 것이 가능하다.

[0234] (실시예 10)

[0235] 본 명세서에 개시하는 반도체 장치는 여러 가지의 전자 기기(게임기도 포함하는)에 적용할 수 있다. 전자 기기의 예들은, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라, 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토프레임, 휴대전화기(휴대전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

[0236] 본 실시예에서는 실시예 7 내지 실시예 9의 어느 하나로 획득될 수 있는 표시 장치를 탑재한 전자 기기의 예들에 대하여 도 21a 내지 도 21e 및 도 22을 참조하여 설명된다.

[0237] 도 21a는 적어도 표시 장치를 부품으로서 설치하여 제작한 노트형 퍼스널 컴퓨터를 도시하며, 이는 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등을 포함한다. 노트형 퍼스널 컴퓨터는 실시예 7에 나타내는 액정 표시 장치를 포함한다는 것을 주의한다.

[0238] 도 21b는 적어도 표시 장치를 부품으로서 설치하여 제작한 휴대 정보 단말(PDA)이며, 이는 본체(3021)에 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등이 포함된다. 또 조작용의 부속품으로서 스타일러스(3022)가 포함된다. 휴대 정보 단말은 실시예 8에 나타내는 발광 표시 장치를 포함한다는 것을 주의한다.

[0239] 도 21c는 실시예 9에 나타내는 전자 페이퍼를 부품으로서 설치하여 제작한 전자 서적이다. 도 21c는 전자 서적(2700)을 나타내고 있다. 예를 들면, 전자 서적(2700)은, 하우징(2701) 및 하우징(2703)의 2개의 하우징을 포함한다. 하우징(2701) 및 하우징(2703)은 축부(2711)에 의해 결합되어, 상기 축부(2711)를 축으로서 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적(2700)은 종이 서적과 같은 동작을 행하는 것이 가능해진다.

[0240] 하우징(2701)에는 표시부(2705)가 구비되고, 하우징(2703)에는 표시부(2707)가 구비된다. 표시부(2705) 및 표시부(2707)는 한 이미지 또는 다른 이미지를 표시하는 구성으로 할 수 있다. 표시부(2705) 및 표시부(2707)가 다른 이미지들을 표시하는 경우에, 예를 들면 오른쪽의 표시부(도 21c에서는 표시부(2705))에 문장을 표시할 수 있고, 좌측의 표시부(도 21c에서는 표시부(2707))에 이미지들을 표시할 수 있다.

[0241] 도 21c는 하우징(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 하우징(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비하고 있다. 조작키(2723)에 의해, 페이지를 넘길 수 있다. 표시부가 제공되는 하우징의 표면상에 키보드, 포인팅 디바이스 등이 제공될 수 있다는 것을 주의한다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC어댑터 및 USB 케이블과 같은 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비할 수 있다. 또한, 전자 서적(2700)은 전자사전으로서의 기능을 가질 수 있다.

[0242] 전자 서적(2700)은 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 할 수 있다.

[0243] 도 21d는 적어도 표시 장치를 부품으로서 설치하여 제작한 이동 전화이며, 하우징(2800) 및 하우징(2801)의 두 개의 하우징들로 구성되어 있다. 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고 있다. 또한, 하우징(2801)에는 또한 휴대형 정보 단말의 충전을 행하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 하우징(2801)에 내장된다.

[0244] 표시 패널(2802)은 터치 패널을 구비한다. 이미지들로 표시된 복수의 조작키들(2805)을 도 21d에는 점선으로 도시한다. 태양 전지 셀(2810)로부터 출력되는 전압을 각 회로에 필요한 높이로 승압하기 위한 승압 회로도 포함된다는 것을 주의한다.

[0245] 표시 패널(2802)에는, 사용 형태에 따라 표시 방향이 적절히 변화될 수 있다. 또한, 이동 전화가 표시 패널(2802)과 동일면 상에 카메라용 렌즈(2807)를 구비하고 있기 때문에, 영상 전화가 사용될 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화뿐만 아니라, 영상 전화들, 녹음, 재생 등에 사용될 수 있다. 또한, 하우징(2800)과 하우징(2801)은 슬라이드되어 도 21d와 같이 전개하고 있는 상태로부터 겹친 상태로 할 수 있고, 따라서, 휴대 전화의 크기가 감소되어 휴대에 적합한 휴대 전화를 제공할 수 있다.

[0246] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블들과 접속가능하여, 충전 및 퍼스널 컴퓨터와의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하고, 보다 대량의 데이터 보존 및 이동이 가능하다.

[0247] 또한, 상기 기능들에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0248] 도 21e는 적어도 표시 장치를 부품으로서 설치하여 제작한 디지털 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치들(3054), 표시부(B)(3055), 배터리(3056) 등을 포함한다.

[0249] 도 22는 텔레비전 장치(9600)를 나타내고 있다. 텔레비전 장치(9600)에서, 하우징(9601)에 표시부(9603)가 갖추어져 있다. 표시부(9603)에 의해, 이미지들을 표시하는 것이 가능하다. 여기에서는, 스탠드(9605)에 의해 하우징(9601)이 지지된다.

[0250] 텔레비전 장치(9600)의 조작은 하우징(9601)의 조작 스위치나, 별도의 리모트 컨트롤러(9610)에 의해 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 리모트 컨트롤러(9610)에, 상기 리모트 컨트롤러(9610)로부터 출력하는 데이터를 표시하는 표시부(9607)가 제공될 수 있다.

[0251] 텔레비전 장치(9600)는 수신기나 모뎀등을 구비한다. 수신기에 의해, 일반의 텔레비전 방송의 수신할 수 있다. 또한, 텔레비전 장치(9600)가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속됨으로써, 일방향(송신자로부터 수신자에게) 또는 쌍방향(송신자와 수신자간, 또는 수신자들끼리 등)의 정보 통신을 행하는 것도 가능하다.

[0252] 표시부(9603)에는, 화소들의 스위칭 소자로서, 실시예 5에 기술된 복수의 트랜지스터가 제공된다. 그 표시부(9603)와 동일 절연 기판 위에 형성하는 구동 회로로서, 실시예 5에 기술된 높은 이동도의 트랜지스터가 제공된다.

[0253] 본 실시예는, 실시예 1 내지 실시예 9의 어느 하나와 자유롭게 조합할 수 있다.

[0254] 본 발명은 본원에 참조로서 그 전체 내용이 통합된 2009년 12월 4일 일본 특허청에 제출된 일본 특허 출원 번호 제 2009-276918 호에 기초한다.

부호의 설명

[0255]

400: 기판
401: 게이트 전극층
402: 게이트 절연층
403: 제 1 산화물 반도체층
404: 제 2 산화물 반도체층
405a: 소스 전극층
405b: 드레인 전극층
407: 산화물 절연층
430: 산화물 반도체 적층
431: 섬 형상 산화물 반도체 적층
432: 산화물 반도체 적층
470: 트랜지스터
500: 하지 부재
501: 제 1 산화물 결정 부재
502: 산화물 반도체층
503a: 산화물 결정 부재

503b: 산화물 결정 부재

531: 산화물 결정 부재

533a: 산화물 결정 부재

580: 기판

583, 585 : 절연층

589: 구형입자

590b: 백색영역

595: 충전재

1501: 유리 기판

1503, 1504 : 게이트 드라이버

1506, 1507, 1508, 1509 : FPC

1702: 화소부

1705: 소스 드라이버

1711: 유리 기판

1713, 1714, 1715, 1716 : 게이트 드라이버

1717, 1718, 1719, 1720 : 소스 드라이버

1721, 1722, 1723, 1724 : FPC

2701, 2703 : 하우징

2711: 축부

2723: 조작키

2800, 2801 : 하우징

2803: 스피커

2805: 조작키

2807: 카메라용 렌즈

2810: 태양 전지 셀

3001: 본체

3003: 표시부

3021: 본체

3023: 표시부

3025: 외부 인터페이스

3053: 접안부

3055: 표시부(B)

3057: 표시부(A)

4002: 화소부

4004: 주사선 구동 회로

4006: 기판

520: 하지 부재

532: 산화물 부재

533b: 산화물 결정 부재

581: 트랜지스터

587, 588: 전극층

590a: 흑색영역

594: 캐비티

596: 기판

1502: 화소부

1505: 아날로그 스위치

1701: 유리 기판

1703, 1704: 게이트 드라이버

1706, 1707: FPC

1712: 화소부

2700: 전자 서적

2705, 2707 : 표시부

2721: 전원

2725: 스피커

2802: 표시 패널

2804: 마이크로폰

2806: 포인팅 디바이스

2808: 외부 접속 단자

2811: 외부 메모리 슬롯

3002: 하우징

3004: 키보드

3022: 스타일러스

3024: 조작 버튼

3051: 본체

3054: 조작 스위치

3056: 배터리

4001: 기판

4003: 신호선 구동 회로

4005: 씰재

4008: 액정층

4010, 4011 : 트랜지스터

4013: 액정 소자

4015: 접속 단자 전극

4016: 단자 전극

4018: FPC

4019: 이방성 도전층

4020, 4021 : 절연층

4030: 화소 전극층

4031: 대향 전극층

4032, 4033 : 절연층

4035 : 스페이서

4040 : 도전층

4501 : 기판

4502 : 화소부

4503a, 4503b : 신호선 구동 회로

4504a, 4504b : 주사선 구동 회로

4505 : 씰재

4506: 기판

4507 : 충전재

4509, 4510 : 트랜지스터

4511 : 발광 소자

4512: 전계 발광층

4513 : 전극층

4515: 접속 단자 전극

4516 : 단자 전극

4517: 전극층

4518a, 4518b : FPC

4519: 이방성 도전층

4520 : 격벽

4540: 도전층

4541, 4544 : 절연층

9600: 텔레비전 세트

9601 : 하우징

9603: 표시부

9605: 스탠드

9607: 표시부

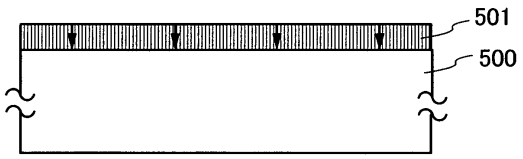
9609: 조작키

9610: 리모트 컨트롤러

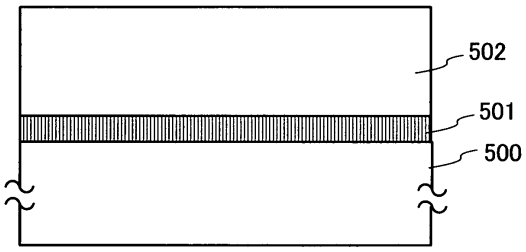
도면

도면1

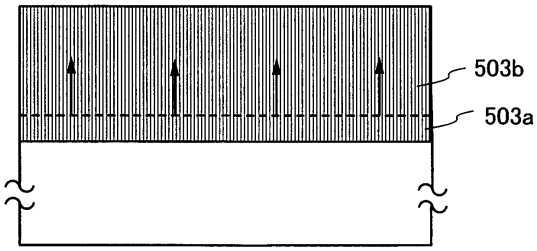
(a)



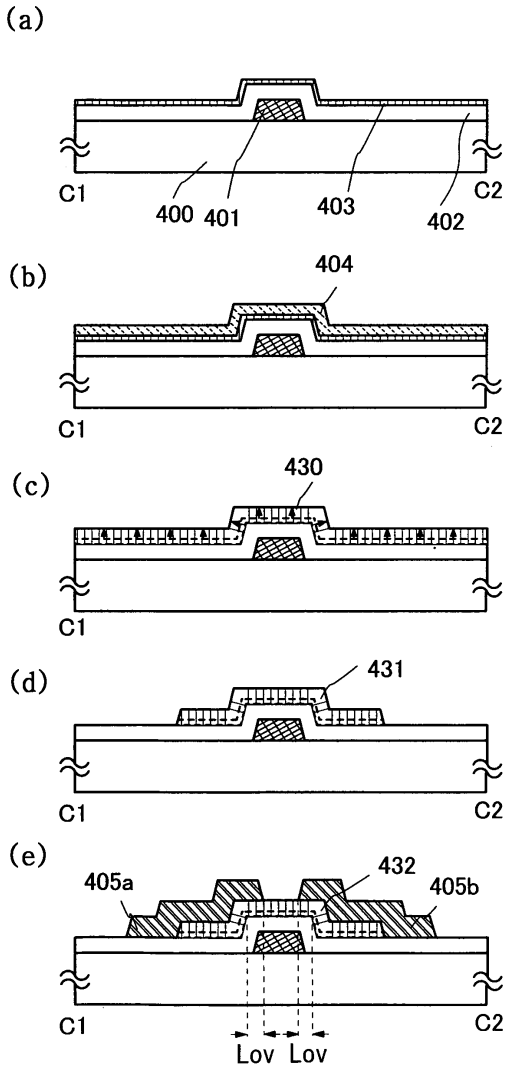
(b)



(c)

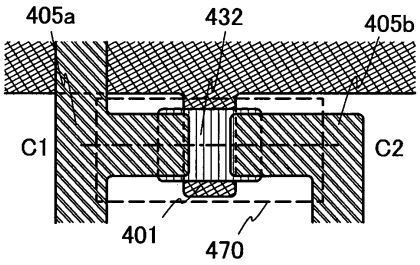


도면2

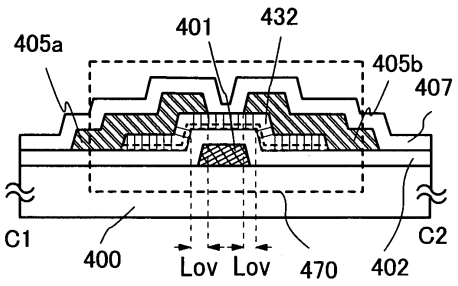

(a)
C1
400
401
403
402
C2
(b)
404
C1
C2
(c)
430
C1
(d)
431
C1
C2
(e)
405a
432
405b
C1
C2
Lov
Lov

도면3

(a)

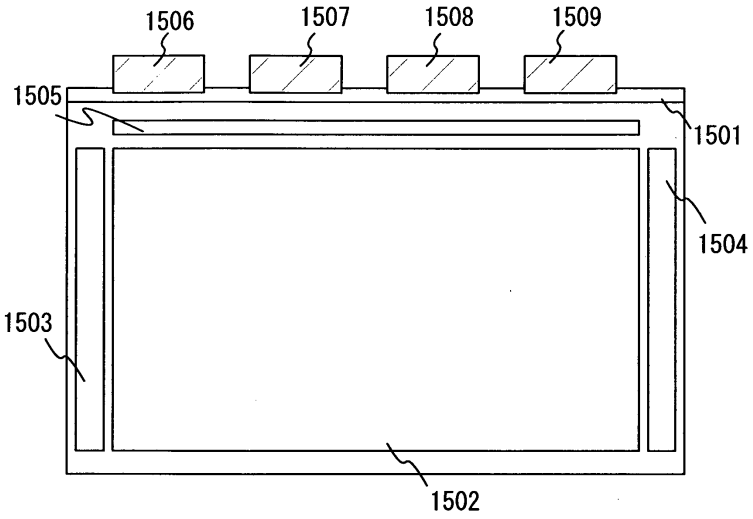

405a
432
405b
C1
C2
401
470

(b)

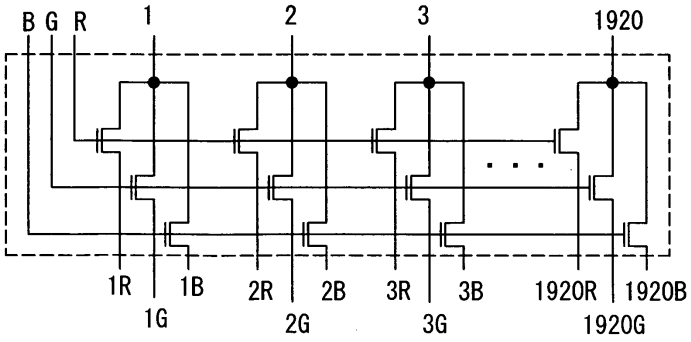

405a
401
432
405b
407
C1
C2
400
Lov
Lov
470
402

도면4

(a)

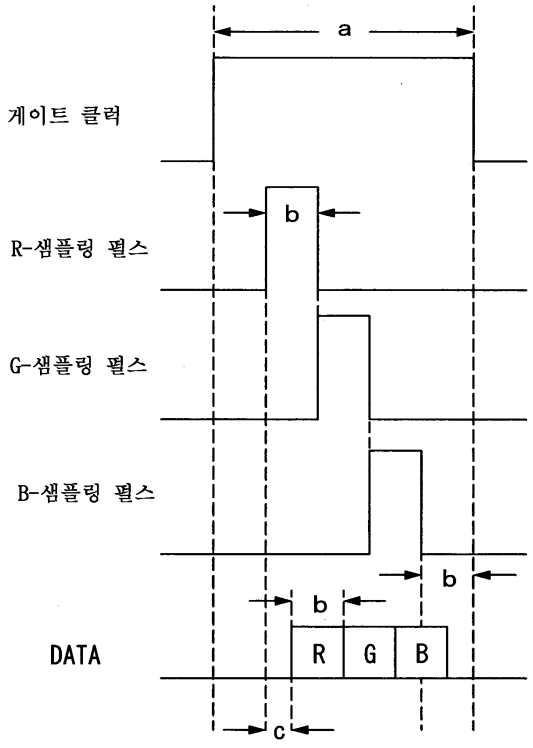

1506
1507
1508
1509
1505
1501
1504
1503
1502

(b)


B G R
1
2
3
1920
1R
1G
1B
2R
2G
2B
3R
3G
3B
1920R
1920G
1920B

도면5

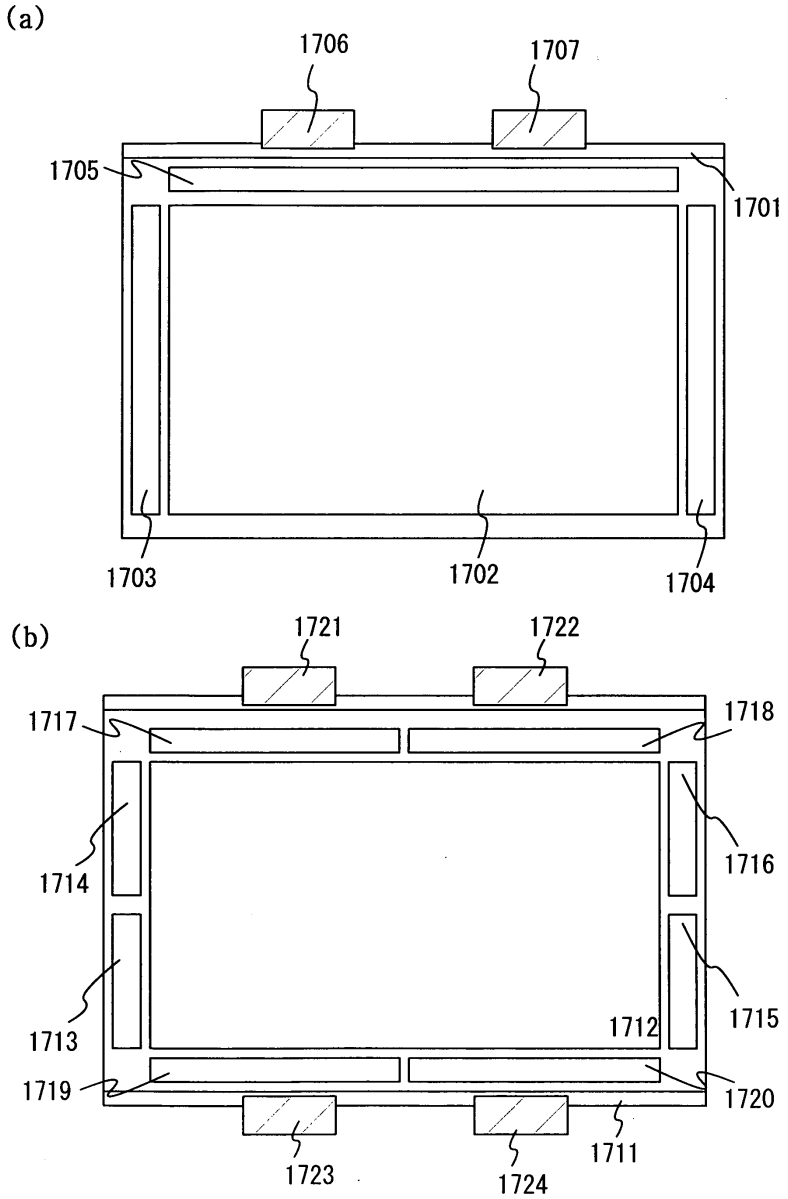
(a)



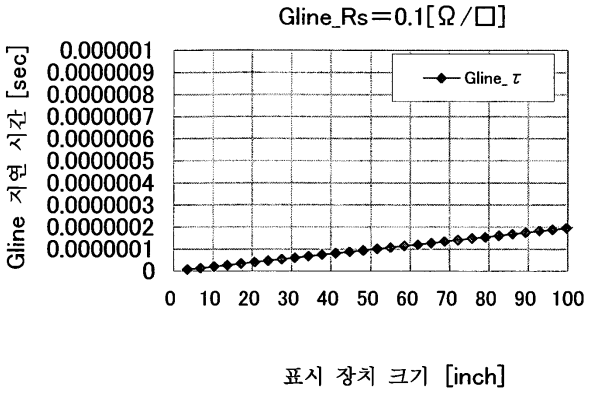
(b)

	프레임 주파수 (Hz)		
	60	120	240
a (us)	15.3	7.63	3.81
b (us)	3.56	1.66	0.703
c (us)	1.2	0.6	0.3

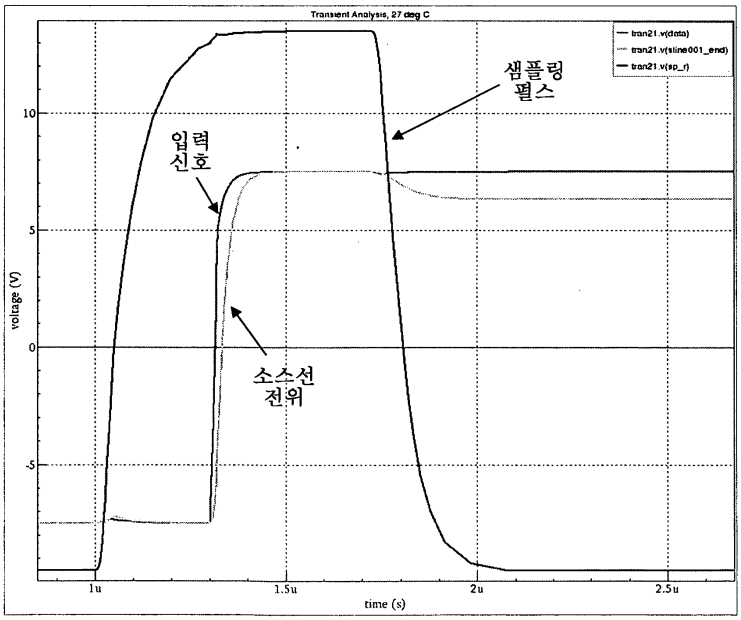
도면6


(a)
1706
1707
1705
1701
1703
1702
1704
(b)
1721
1722
1717
1718
1714
1716
1713
1712
1715
1719
1720
1723
1724
1711

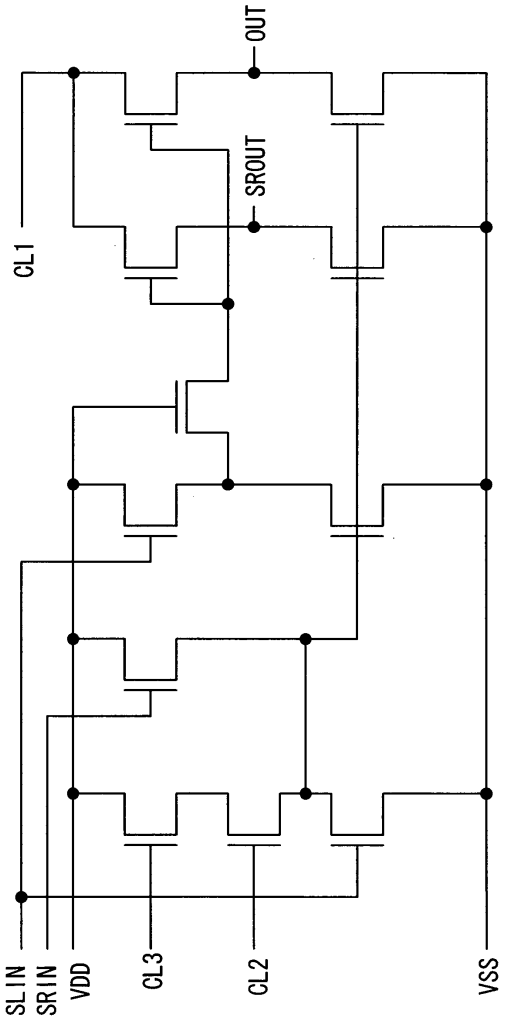
도면7


Gline_Rs=0.1[Ω/□]
Gline 지연 시간 [sec]
0.000001
0.0000009
0.0000008
0.0000007
0.0000006
0.0000005
0.0000004
0.0000003
0.0000002
0.0000001
0
Gline_τ
0 10 20 30 40 50 60 70 80 90 100
표시 장치 크기 [inch]

도면8

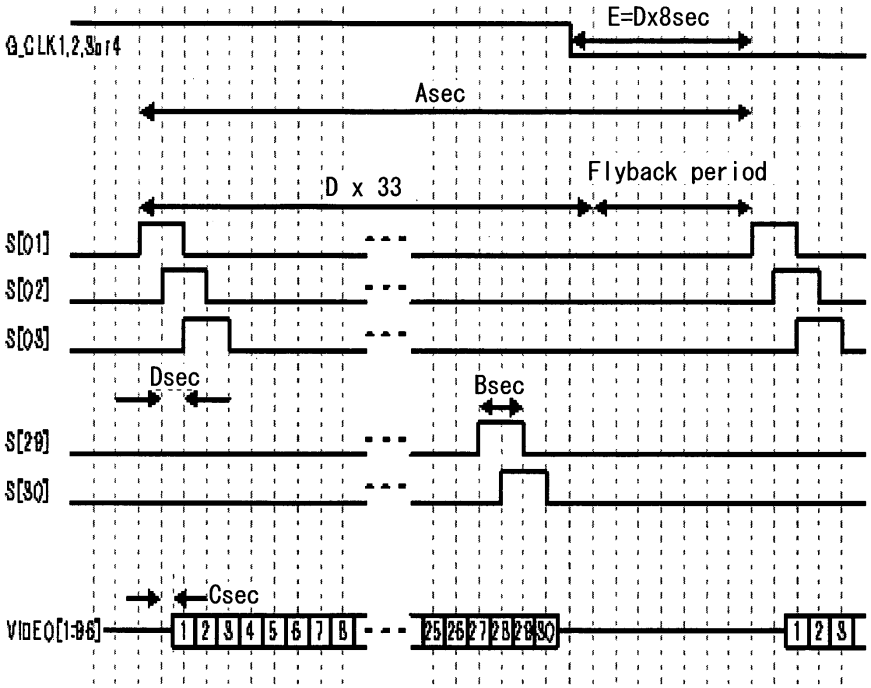

Transient Analysis, 27 deg C
tran21.v(data)
tran21.v(sline001_end)
tran21.v(sp_r)
샘플링
펄스
입력
신호
소스선
전위
voltage (V)
time (s)
10
5
0
-5
1u
1.5u
2u
2.5u

도면9


OUT
SROUT
CL1
SLIN
SRIN
VDD
CL3
CL2
VSS

도면10

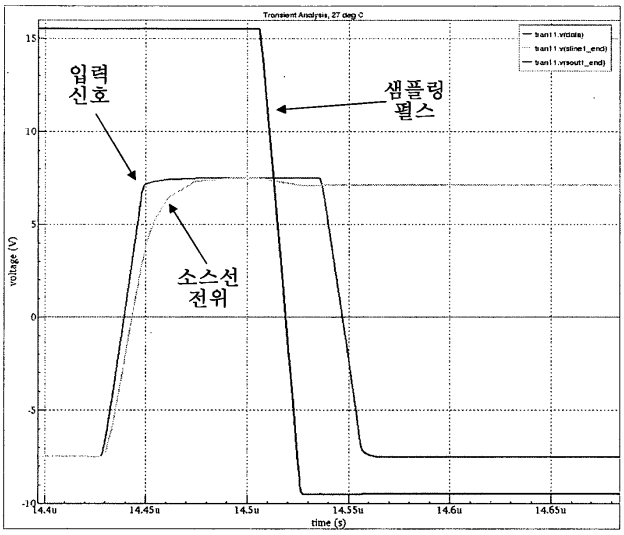
(a)



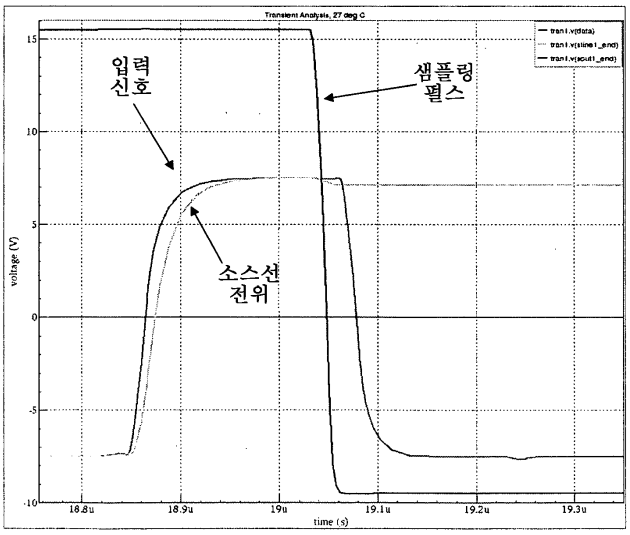
(b)

	프레임 주파수 (Hz)		
	60	120	240
A [usec]	17.29	8.645	4.3225
B [usec]	0.864	0.432	0.216
C [usec]	100	50	25
D [usec]	0.432	0.216	0.108
E [usec]	3.456	1.728	0.864

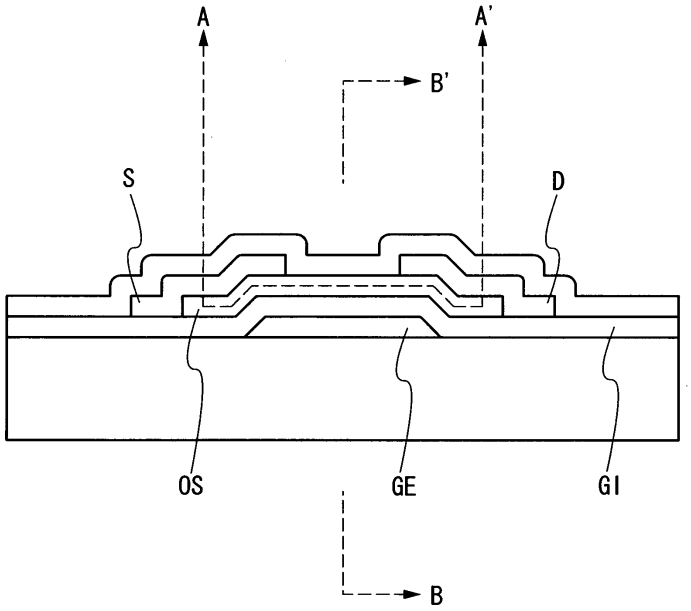
도면11


Transient Analysis, 27 deg C
tran1.vt(data)
tran1.vt(sline1_end)
tran1.vt(sout1_end)
입력
신호
샘플링
펄스
소스선
전위
voltage (V)
time (s)
14.4u
14.45u
14.5u
14.55u
14.6u
14.65u

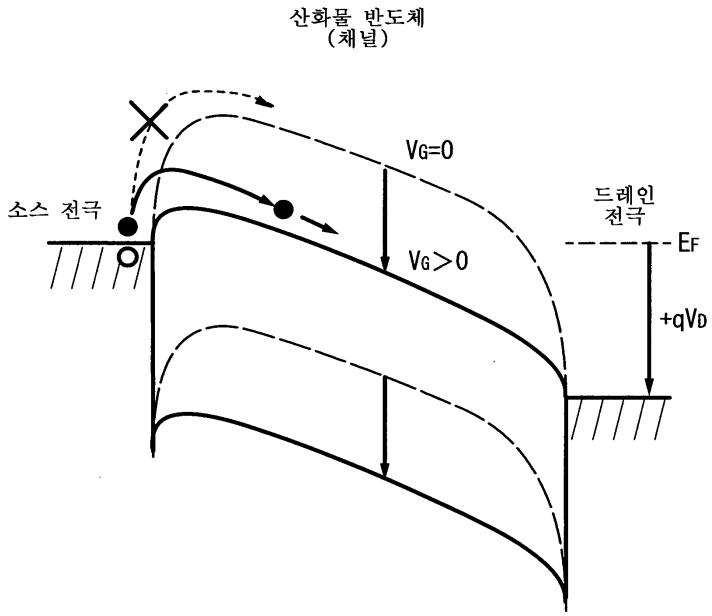
도면12


Transient Analysis, 27 deg C
tran1.v(data)
tran1.v(sline1_end)
tran1.v(sout1_end)
입력
신호
샘플링
펄스
소스선
전위
voltage (V)
time (s)
18.8u
18.9u
19u
19.1u
19.2u
19.3u

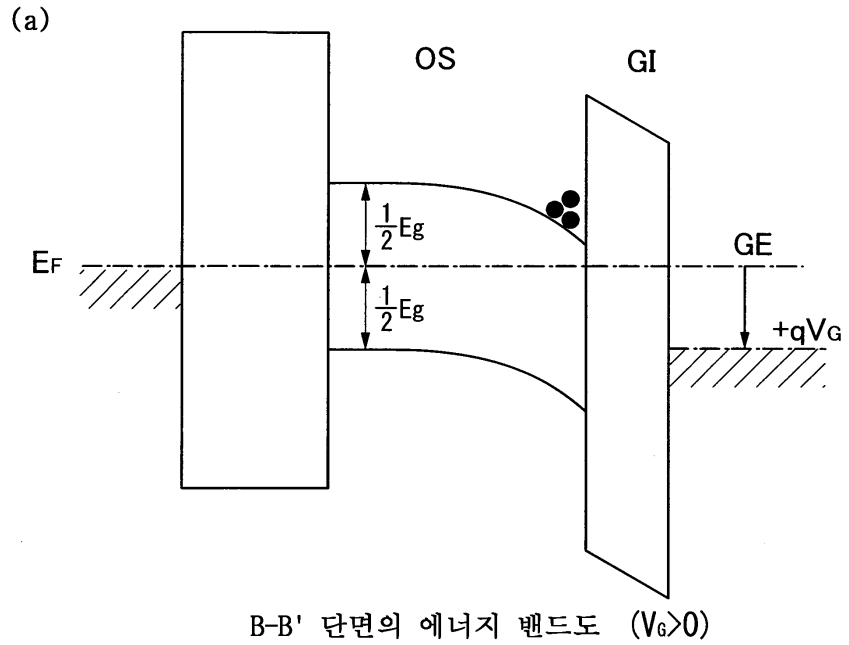
도면13



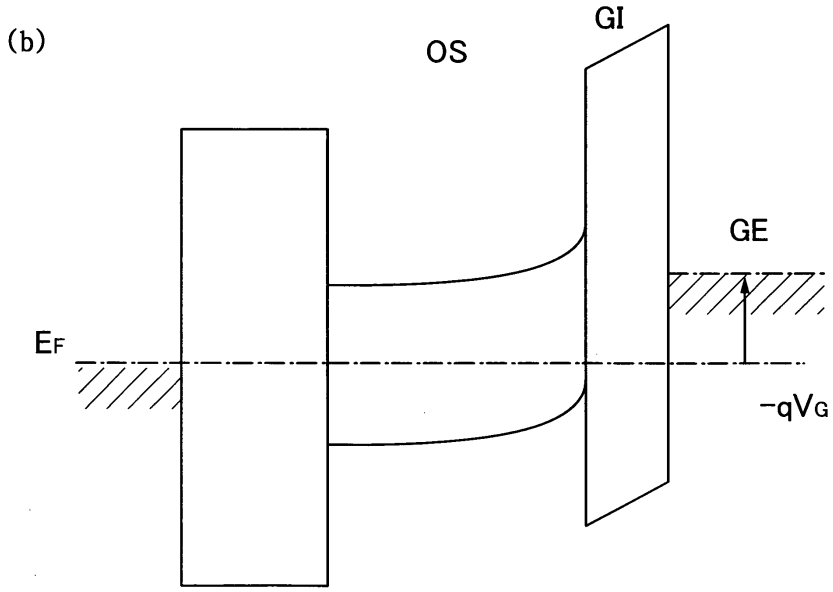
도면14



도면15

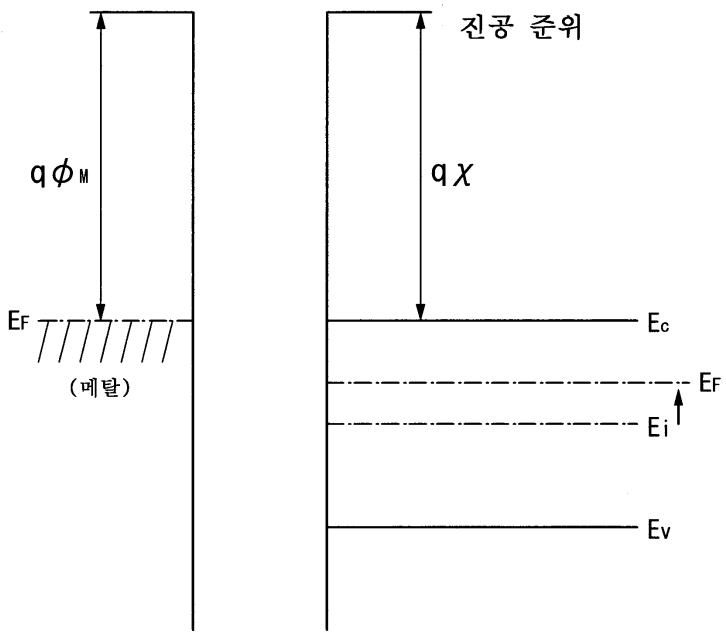


B-B' 단면의 에너지 밴드도 (V_G>0)



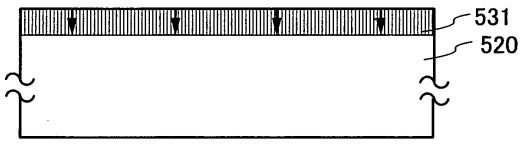
B-B' 단면의 에너지 밴드도 (V_G<0)

도면16

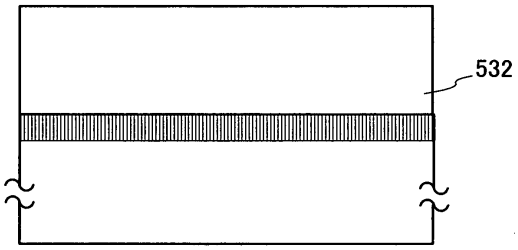


도면17

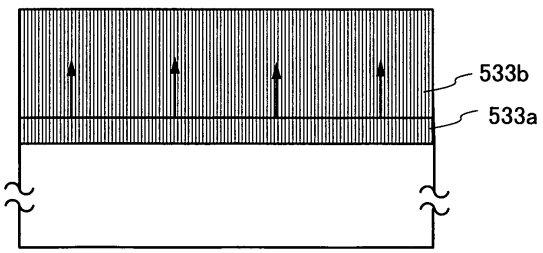
(a)



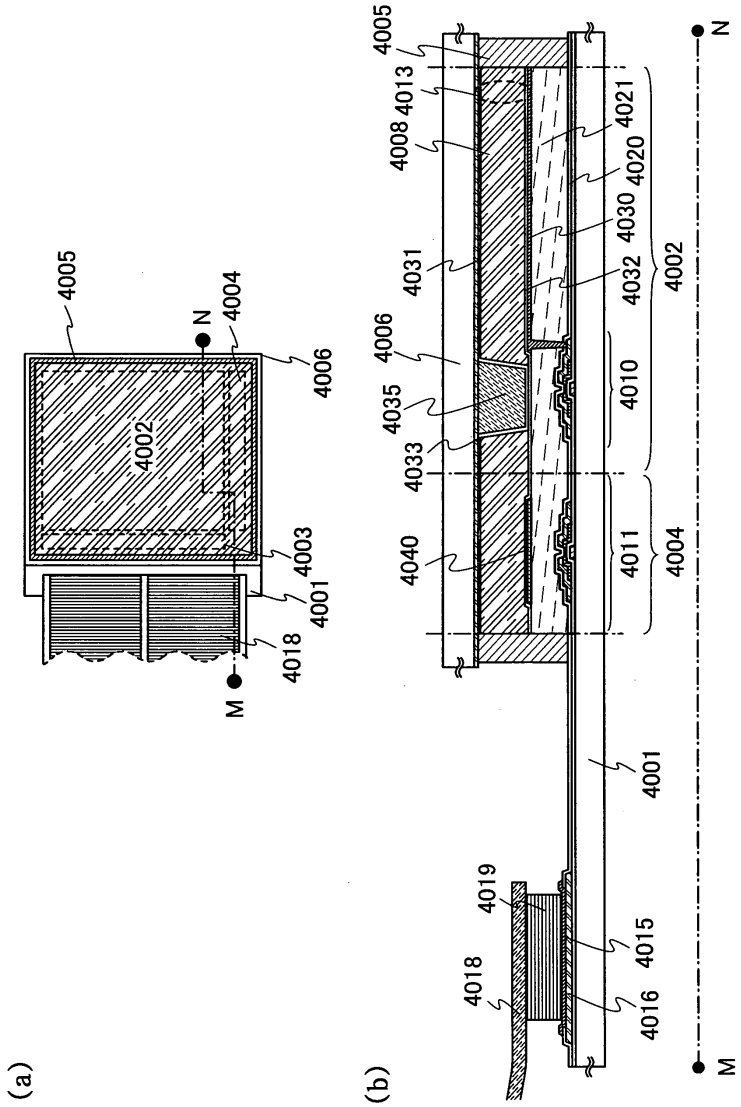
(b)



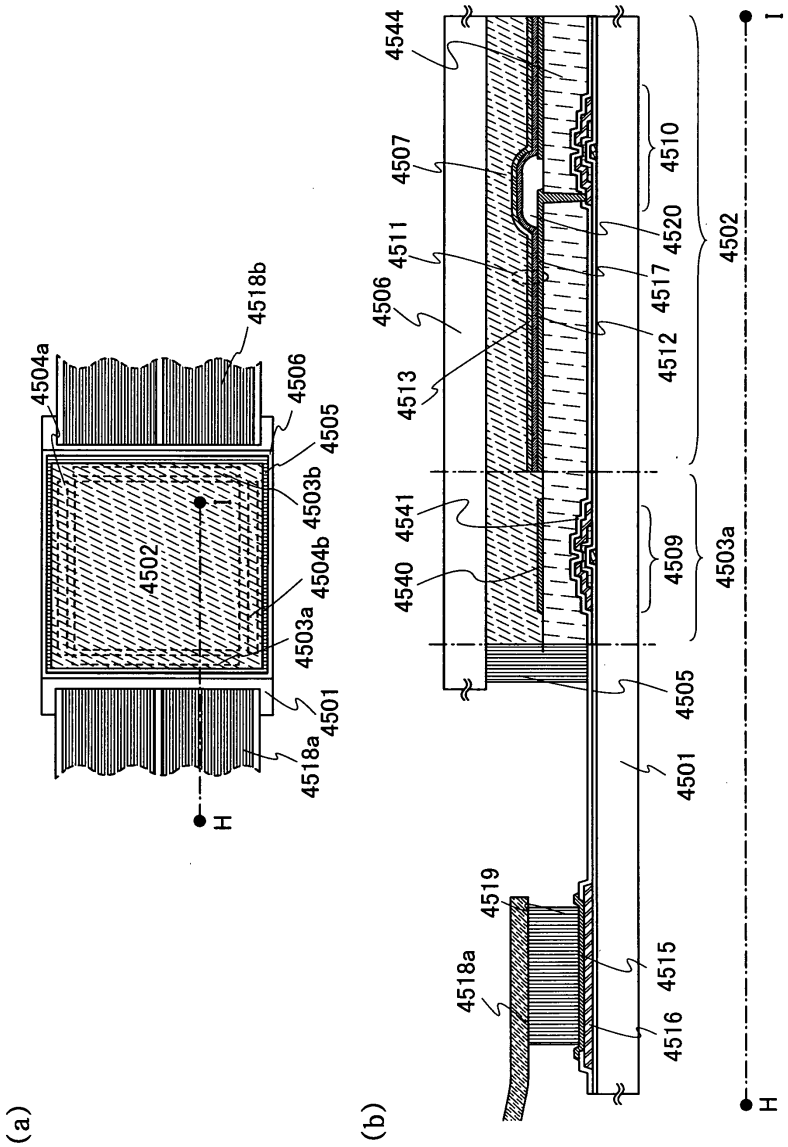
(c)



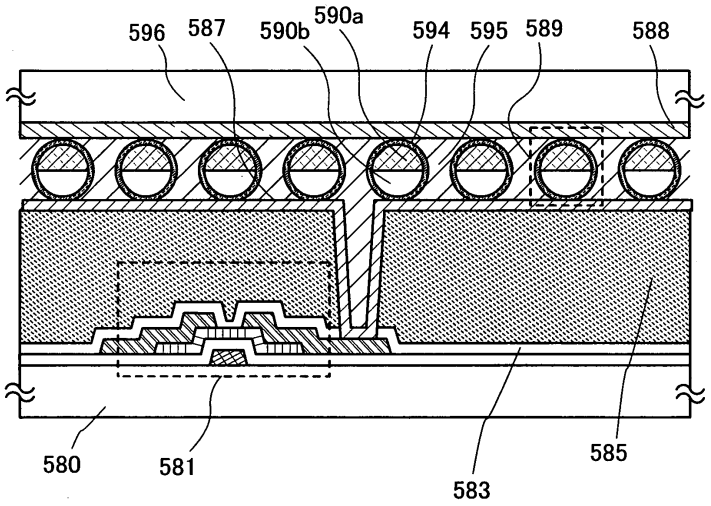
도면18


(a)
4005
N
4004
4006
4002
4003
4001
4018
M
(b)
4005
N
4008
4013
4021
4020
4030
4031
4032
4002
4006
4010
4035
4033
4040
4011
4004
4001
4019
4015
4018
4016
M

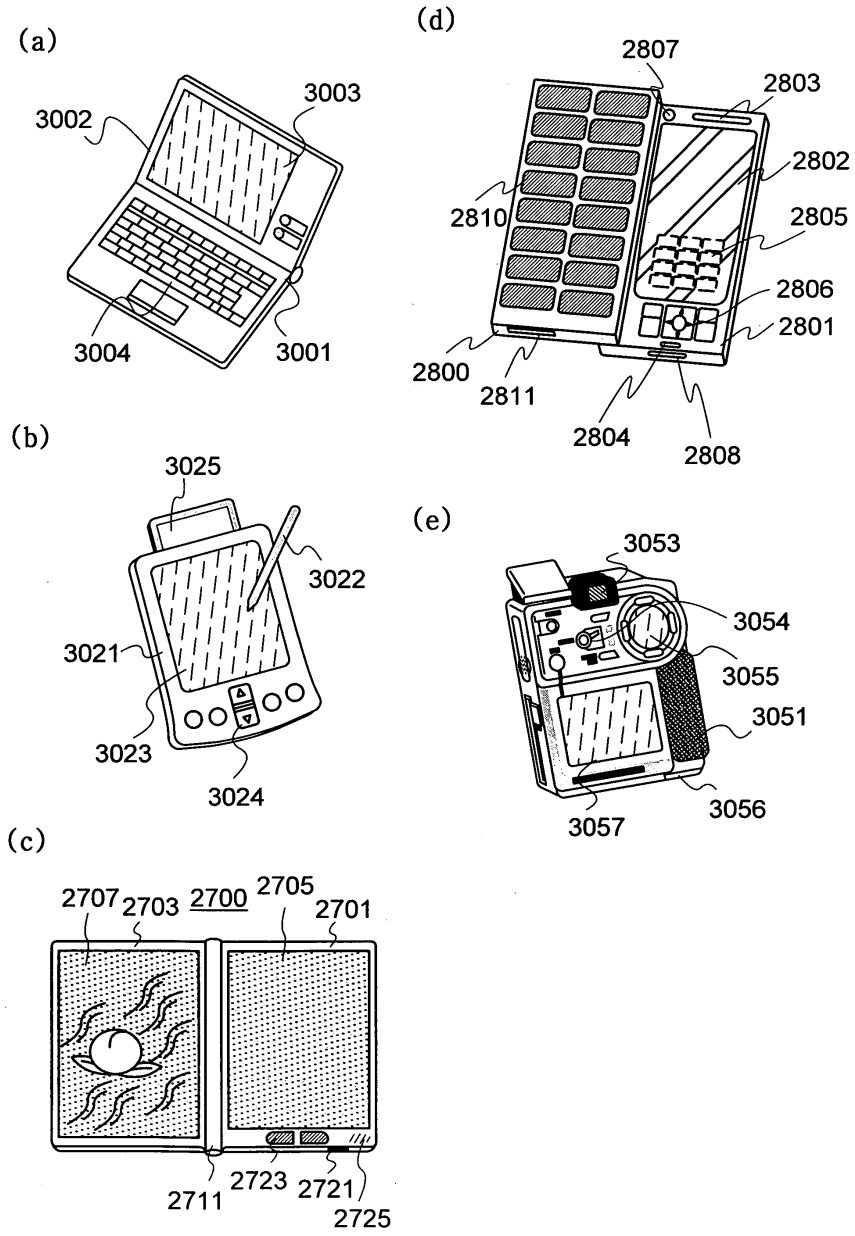
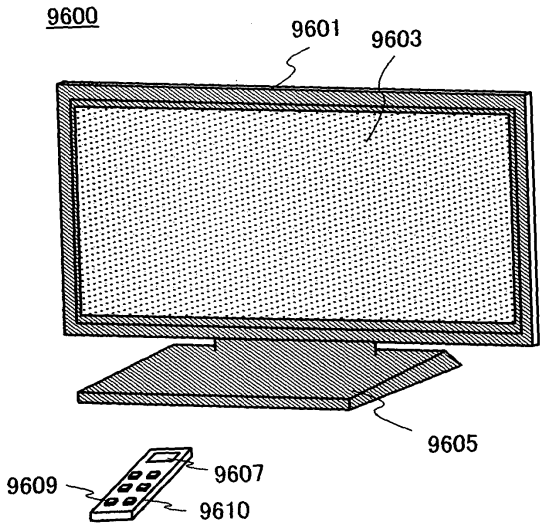
도면19


(a)
4504a
4518b
4506
4505
4503b
4504b
4502
4503a
4501
4518a
H
(b)
4544
4507
4511
4506
4513
4541
4540
4519
4518a
4510
4520
4517
4512
4502
4509
4503a
4505
4501
4515
4516
I
H

도면20


596
587
590b
590a
594
595
589
588
580
581
583
585

도면21


(a)
3002
3003
3004
3001
(b)
3025
3022
3021
3023
3024
(c)
2707
2703
2700
2705
2701
2711
2723
2721
2725
(d)
2807
2803
2802
2810
2805
2806
2801
2800
2811
2804
2808
(e)
3053
3054
3055
3051
3057
3056

도면22