



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I548889 B

(45)公告日：中華民國 105 (2016) 年 09 月 11 日

(21)申請案號：101120578

(22)申請日：中華民國 101 (2012) 年 06 月 08 日

(51)Int. Cl. : G01R35/00 (2006.01)

H01L21/66 (2006.01)

(30)優先權：2011/06/09 美國

13/156,651

(71)申請人：泰瑞達公司(美國) TERADYNE, INC. (US)

美國

(72)發明人：飛利浦 布萊德利 A PHILLIPS, BRADLEY A. (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW 452906

TW 517474

US 7756030B2

US 7957461B2

審查人員：李泉河

申請專利範圍項數：21 項 圖式數：7 共 36 頁

(54)名稱

測試設備的校準

TEST EQUIPMENT CALIBRATION

(57)摘要

校準測試設備可包含以下步驟：對準該測試設備中之一第一通道群的時序；對準該測試設備中之一第二通道群的時序，其中該第二通道群異於該第一通道群；決定介於一第一通道與一第二通道間之一時序未對準，其中該第一通道係來自該第一通道群，且該第二通道係來自該第二通道群；以及針對該第一群或該第二群之至少一個中的通道補償該未對準。

Calibrating test equipment may include: aligning timing of a first group of channels in the test equipment; aligning timing of a second group of channels in the test equipment, with the second group of channels being different from the first group of channels; determining a misalignment in timing between a first channel and a second channel, with the first channel being from the first group of channels, and the second channel being from the second group of channels; and compensating, for the misalignment, channels in at least one of the first group or the second group.

指定代表圖：

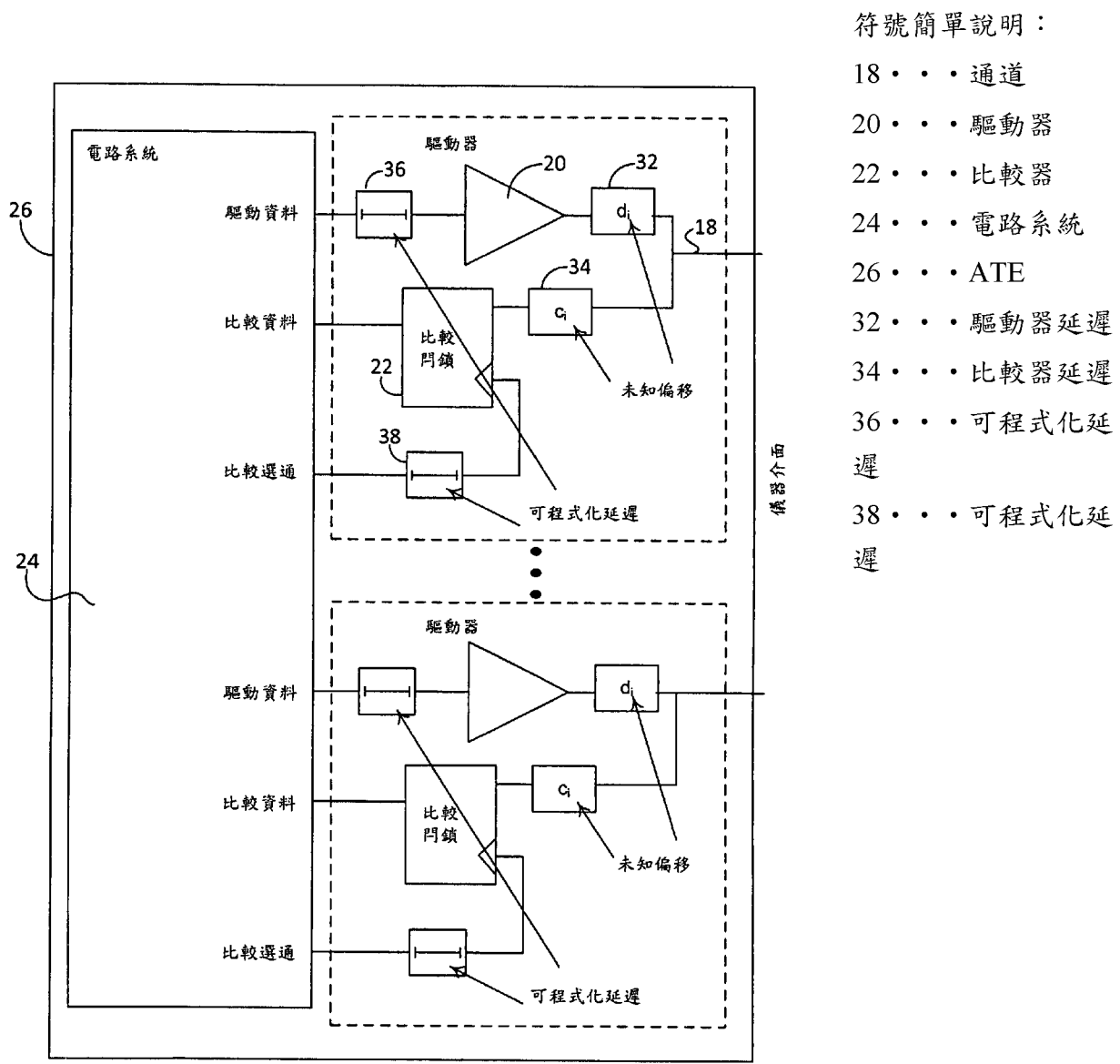


圖3

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：[01120578]

※申請日：101.6.08

※IPC分類：G01R 35/00

一、發明名稱：(中文/英文)

H01L 21/66

測試設備的校準

Test Equipment Calibration

## 二、中文發明摘要：

校準測試設備可包含以下步驟：對準該測試設備中之一第一通道群的時序；對準該測試設備中之一第二通道群的時序，其中該第二通道群異於該第一通道群；決定介於一第一通道與一第二通道間之一時序未對準，其中該第一通道係來自該第一通道群，且該第二通道係來自該第二通道群；以及針對該第一群或該第二群之至少一個中的通道補償該未對準。

## 三、英文發明摘要：

Calibrating test equipment may include: aligning timing of a first group of channels in the test equipment; aligning timing of a second group of channels in the test equipment, with the second group of channels being different from the first group of channels; determining a misalignment in timing between a first channel and a second channel, with the first channel being from the first group of channels, and the

second channel being from the second group of channels; and compensating, for the misalignment, channels in at least one of the first group or the second group.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

|    |             |
|----|-------------|
| 18 | 通 道         |
| 20 | 驅 動 器       |
| 22 | 比 較 器       |
| 24 | 電 路 系 統     |
| 26 | ATE         |
| 32 | 驅 動 器 延 遲   |
| 34 | 比 較 器 延 遲   |
| 36 | 可 程 式 化 延 遲 |
| 38 | 可 程 式 化 延 遲 |

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

此專利申請案一般係關於一校準系統。

### 【先前技術】

數位自動測試設備(ATE)面臨各種互相衝突的目標，包括嚴密的時序準確度、低成本及高通道密度。校準可影響這類 ATE 的性能，包括時序準確度。

在 ATE 中，時序準確度指的是將符合預先定義之時序限制的訊號施加至一待測裝置(DUT)。例如，一訊號的上升邊緣可需要在一特定時序段內到達該 DUT，以準確地測試該 DUT。隨著 DUT 的操作速度增加，時序準確度變得更為重要，因為在測試期間，對訊號的時間變異而言，典型存有較小的容許度。

ATE 的時序準確度受到其硬體及用來校準該 ATE 之技術的支配。對特定的 ATE 而言，不同的校準方法可產生不同的時序準確度。因此，在不常花費大成本進行 ATE 之硬體升級的情況下，適當的校準為一改善時序準確度的方式。

一些 ATE 使用一機載校準矩陣，以執行通道至通道的時序對準。這一類校準矩陣 10 之一實例係顯示於圖 1。在此，透過校準矩陣 10 進行的測量提供通道至通道的時序偏移資訊，其可用來校準個別的 ATE 通道。一使用外部設備的校準替代方法係顯示於圖 2。在此，外部示波器 12 與探針機械臂 14 一起直接測量每一 ATE 通道 16 的時序偏移。

此資訊可用於校準個別的 ATE 通道。

圖 1 和 2 所示的方法各具有其優缺點。

### 【發明內容】

此專利申請案敘述用於校準測試設備的方法及器械。

在一實例中，一校準測試設備的方法包含以下步驟：  
對準該測試設備中之一第一通道群的時序；對準該測試設備中之一第二通道群的時序，其中該第二通道群異於該第一通道群；決定介於一第一通道與一第二通道間之一時序未對準，其中該第一通道係來自該第一通道群，且其中該第二通道係來自該第二通道群；以及針對該第一群或該第二群之至少一個中的通道補償該未對準。此實例可單獨或結合地包括一或多個下列特徵。

每一通道可包括一驅動器，以輸出一訊號至一連接至該測試設備的裝置以及一比較器，以接收一來自連接至該測試設備之該裝置的訊號。對準一通道群的時序可包含以下步驟：決定與該通道之驅動器相關的第一延遲；決定與該通道之比較器相關的第三延遲；以及補償該些第一延遲與該些第三延遲；其中該通道群為該第一群或該第二群。

決定該些第一延遲及決定該些第三延遲可包含以下步驟：執行指令，以解出與該些第一延遲、該些第三延遲及測量得到之該通道的比較器時序相關的一組線性方程式。決定該些第一延遲及決定該些第三延遲可包含以下步驟：致能該群中的複數個通道，同時禁能該群中剩餘的通道，

其中該組線性方程式係關於禁能通道的該些第一延遲、第二延遲及測量得到之致能通道的比較器時序。可選擇該複數個通道，以便循環通過該群中的通道來產生足夠數目的方程式。作為校準的一部分，可電連接該通道群中的通道。

補償該些第一延遲及該些第二延遲可包含以下步驟：將補償該些第一及第二延遲的延遲寫入至該些通道的暫存器中（即程式化該些延遲至該些通道中）。決定介於該第一通道及該第二通道間之時序未對準可使用一機械化校準裝置自動執行。決定介於該第一通道及該第二通道間之時序未對準可使用一裝置介面板(DIB)來執行，其中該 DIB 使該第一通道及該第二通道短路。該未對準可藉由解出一組線性方程式來決定，該組線性方程式係使用該第一通道及該第二通道間的關係來決定。

在另一實例中，一用於校準通道的系統包括：一裝置介面板(DIB)，其包括(i)至一測試儀器之相應通道的介面，以及(ii)延伸在該介面與短路點間的電路路徑，其中該電路路徑是為了將一第一通道群電連接至一第一短路點及將一第二通道群電連接至一第二短路點，且該第二通道群異於該第一通道群。該系統亦可包括一器械，其用於決定介於一第一通道與一第二通道間之一時序未對準，其中該第一通道係來自該第一通道群，且其中該第二通道係來自該第二通道群以及一計算裝置，其係經過程式化，以(i)對準該測試設備中之該第一通道群的時序；(ii)對準該測試設備中之該第二通道群的時序；以及(iii)針對該第一群或該第二群

之至少一個中的通道補償該未對準。此實例可單獨或結合地包括一或多個下列特徵。

每一通道可包括一驅動器，以輸出一訊號至一連接至該測試設備的裝置以及一比較器，以接收一來自連接至該測試設備之該裝置的訊號。對準一通道群可包含以下步驟：決定與該通道之驅動器相關的第一延遲；決定與該通道之比較器相關的第二延遲；以及補償該些第一延遲與該些第二延遲；其中該通道群為該第一群或該第二群。

決定該些第一延遲及決定該些第二延遲可包含以下步驟：解出與該些第一延遲、該些第二延遲及測量得到之該通道的比較器時序相關的一組線性方程式。補償該些第一延遲及該些第二延遲可包含以下步驟：將補償該些第一及第二延遲的延遲寫入至該些通道的暫存器中。該器械可包括一機械性校準裝置。該器械可包括一第二 DIB，其中該第二 DIB 係用於電連接該第一通道及該第二通道，且該計算裝置經過程式化，以藉由解出一組線性方程式來決定該未對準，該組線性方程式係使用該第一通道及該第二通道間的關係來決定。

在另一實例中，敘述一用於校準通道的方法，其中每一該通道具有一驅動器延遲及一比較器延遲。該方法包含以下步驟：(i)將該通道組織成通道群，其中每一群均電連接至一短路點，以及(ii)針對每一通道群：致能複數個通道，同時禁能剩餘的通道；在該禁能通道處測量一由該致能通道組成之複合訊號的時序；產生一個系統方程式，其中對

每一禁能通道而言，一比較器時間等同於針對所有致能通道之一驅動器時間之一平均值；解出該系統方程式，以針對每一通道獲得該驅動器延遲及該比較器延遲以及使用該驅動器延遲及該比較器延遲來校準每一群中的通道。該方法可進一步包含以下步驟：從每一群中選定一通道；對準該選定通道；以及以該選定通道的對準為基礎，對準一群中的所有通道。此實例可單獨或結合地包括一或多個下列特徵。

該些群可連接至位於一裝置介面板(DIB)上之一短路點，而該裝置介面板則是連接至一含有該些通道的儀器。對準該選定通道可包含以下步驟：使用一機械性校準裝置及一示波器測量該選定通道的未對準。在一裝置介面板(DIB)上可電連接該選定通道。

在一實例中，一用於校準測試設備的器械包括：第一機構，其用於(i)對準該測試設備中之一第一通道群的時序，以及(ii)對準該測試設備中之一第二通道群的時序，其中該第二通道群異於該第一通道群；以及第二機構，其用於決定介於一第一通道與一第二通道間之一時序未對準，其中該第一通道係來自該第一通道群，且其中該第二通道係來自該第二通道群。該第一機構亦可用於針對該第一群或該第二群之至少一個中的通道補償該未對準。

可結合包括發明內容這一段在內之本專利申請案中所述的任二或多個特性，以形成在此專利申請案中未具體敘述的實施例。

前文的部分內容可實施為由指令構成的電腦程式產品，其係儲存在一或多個非暫時性、機器可讀取的儲存媒介上，並可在一或多個處理裝置上執行。前文的全部或部分內容可實施為一設備、方法或系統，其可包括一或多個處理裝置及儲存可執行指令的記憶體，以實現其功能。

一或多個實例的細節在附圖與下文敘述中提出。由以下的說明、圖式及申請專利範圍，可明白本發明的其他特性、實施態樣與優點。

### 【實施方式】

半導體製造商通常會在不同生產階段測試半導體裝置。在製造期間，於單一矽晶圓上製成大量的積體電路。將晶圓切割成稱為晶粒的個別積體電路。將每一晶粒載入一框架，附接接合導線來將晶粒連接至由框架開始延伸的導線。接著將加載的框架封裝在塑膠或另一封裝材料中，以製成成品。

在製造過程中，盡可能早地偵測並丟棄缺陷零件，對製造商而言是一經濟誘因。因此，許多半導體製造商在將晶圓切割為晶粒前，係在晶圓層級進行積體電路的測試。標記出缺陷電路，且通常在封裝前將之丟棄，從而省下封裝缺陷晶粒的成本。作為最終檢查，許多製造商在裝運前會測試每一成品。

為了測試大量的半導體零件，製造商一般是使用自動測試設備(「ATE」或「測試器」)。響應測試程式中的指令，

一測試器自動產生欲施加至積體電路的輸入訊號，並監控輸出訊號。測試器將輸出訊號與預期的響應相比較，以決定待測裝置(DUT)是否有缺陷。

習慣上會將零件測試器設計成兩個不同部分。一第一部分稱為「測試頭」，其包括位置接近 DUT 的電路系統(例如，驅動電路系統、接收電路系統及短電氣路徑對其有利的其他電路系統)。一第二部分稱為「測試器主體」，其係經由纜線連接至測試頭，並包含可不接近 DUT 的電子設備。

特殊機械移動，並將多個裝置接連地電連接至測試器。在半導體晶圓層級係使用一「探測器」來移動裝置。在封裝裝置層級係使用一「機械手」來移動裝置。探測器、機械手及其他用於相對測試器定位 DUT 的裝置通常已知為「周邊設備」。周邊設備通常包括為了測試而放置 DUT 的一地點。周邊設備將 DUT 饋送至測試地點，測試器測試 DUT，且周邊設備移動 DUT 遠離測試地點，以便可對另一 DUT 進行測試。

ATE 包括多個通道，訊號經此在 ATE 及 DUT 之間傳送。參照圖 3，每一這類通道 18 包括驅動器 20 及比較器 22。驅動器從 ATE 26 傳送訊號至 DUT(未顯示)。比較器接收來自 DUT 的訊號，將接收到的訊號與已知(選通)值相比較，並將這類比較結果傳送至內含於 ATE 中的電路系統 24。通道間的時序延遲可影響 ATE 所作出之測量的準確度。可校準通道，以減少這類時序延遲。校準可包括例如決定二或多個通道間的時序差及將延遲寫入至視為「較快」

的通道的暫存器中，以本質上使通道的傳輸時序相等。

本文所述之校準程序可包含以下步驟：校準個別的通道群；從每一群選定一通道；校準那些選定的通道；以及校準在個別群中的通道，以匹配選定通道的校準。可使用電腦及/或其他電子設備自動校準群內的通道，並可至少部分地使用例如探針及示波器(「觀測設備」)來校準由群選定的通道。

參照圖 4，在一實例中，這一類用於校準測試設備(例如，ATE)的程序可包含以下步驟：對準測試設備中之第一通道群 28 中的通道時序；對準測試設備中之接續通道群中的通道時序(包括第二群 30 中的通道)，其中第二通道群異於第一通道群；決定介於第一通道 28a 及接續通道(包括第二通道 30a)間之一時序未對準，其中第一通道係來自第一通道群，且第二通道係來自第二通道群；以及針對第一群或第二群之至少一個中的通道補償未對準。如上文所指示的，補償可包含例如將延遲寫入至一或多個經補償的通道的暫存器中。

在一實例實施方式中，本文所述之校準程序可包含將一特殊校準裝置介面板(DIB)安裝至 ATE。一般而言，DIB 是一客製化電路板，其將測試器通道接合至一特定的終端客戶裝置。特殊的校準 DIB 通常設計為不連接 DUT，反而是提供用於校準的連接(例如，通道間的迴路返回連接，直接通往可探測的墊等)。在此實例中，DIB 將通道群短路在一起，並執行一連串的測量，以將之用在每一群內使通道

彼此對準。此程序在本文稱為「短路校準」。

一探針機械臂及一示波器係用於決定 ATE 上之每  $N(N \geq 1)$ (例如，八)個通道(例如，通道 28a、30a 等)中的一個的時序偏移。例如，探針機械臂及示波器可用於藉由比較訊號傳輸時間來決定每一短路通道群中之一通道的時序偏移。訊號傳輸的時間差係用於獲得針對 ATE 上之通道的時序修正。可將這些時序修正引入不同的通道，以提供更好的通道時序對準。例如，可將時序延遲寫入至位於「較快」通道中的暫存器內。相對於完全的機械式校準，包括短路校準部件及機械式校準部件兩者之此類型的「混合」校準可得到節省時間的結果，因為機械臂僅探測所有通道的  $1/N$ (例如， $1/8$ )。

在此處所提供的實例中，校準程序係根據數位測試器通道的簡單模型呈現，如圖 3 所示，且假設其具有零延遲。驅動器亦在使用比較器時提供 50 歐姆的終端負載。

為了校準 ATE，對所有通道而言，決定用於驅動器延遲( $d_i$ )<sup>32</sup>及比較器延遲( $c_i$ )<sup>34</sup>的值，以便其可使用可程式化延遲 36、38 來進行修正。如下文所述，這些值可使用短路校準來決定。須注意傳播延遲係受到驅動器之經程式化的電壓位準及至比較器的輸入擺幅的影響。為了校準通道群，短路的 DIB 將通道電互連，以產生彼此短路的通道群。這一類 DIB 之一實例示於圖 4。在圖 4 的實例中，每一群有八個通道；不過，在一群中可包括任何適當數目的通道。如圖 4 所示，在一實例中，通道 28 彼此短路，而非接地。

當八個通道之一將(開路)振幅  $V$  的訊號驅動至通道群 28 之中時，該訊號在短路節點受到分割，導致振幅  $V/8$  的訊號抵達每一剩餘的七個比較器。不過，在此實例中，為了正確地校準一比較器(例如， $c_5$ )，較佳的是可讓接收到的訊號具有  $V/2$  的振幅，就如同以  $50\ \Omega$  的源驅動比較器一般。為了達成此目的，同時開啟來自四個通道的驅動器(例如，通道 28 的驅動器  $d_1$  至  $d_4$ )並將剩餘的驅動器關斷(例如，通道 28 的驅動器  $d_5$  至  $d_8$ )。在這個情況下所發生的事係顯示於圖 5，其所繪示的圖顯示驅動器振幅對延遲時間，固有( $d_n$ )及經程式化( $t_{progn}$ )兩者均有，還有比較器(例如， $c_5$ )所接收的複合訊號(例如，經反射的的驅動器訊號的總和)的時序圖。

在此實例中，抵達比較器  $c_5$  的複合訊號具有  $V/2$  的振幅。此外，此複合驅動邊緣的時序近乎等於四個有貢獻的驅動器的時序平均，如下所示

$$t_{avg} = \frac{1}{4}(t_{d1} + t_{d2} + t_{d3} + t_{d4}), \quad (1)$$

其中  $t_{di} = d_i + t_{progi}$  且  $t_{progi}$  為第  $i^{th}$  個驅動器之經寫入至第  $i-1^{th}$  個通道的暫存器中的延遲。可使用比較器的時序搜尋此邊緣。更具體地說，由於比較器亦具有未知的時序偏移，可建構下列使所測量之比較器時序， $t_{meas}$ ，與偏移產生關聯的方程式：

$$t_{meas} = -c_i + 0.25t_{d1} + 0.25t_{d2} + 0.25t_{d3} + 0.25t_{d4} \quad (2)$$

方程式(2)為一線性方程式，其表示驅動與比較時序偏移間的關係。可針對四個驅動通道之任一給定選擇產生一類似方程式(2)的方程式。也就是說，有四個測量值(對應於四個非驅動通道上的比較器)，並可針對許多其他的驅動器組合重複相同順序(從一組八個中有 70 種方式來選出四個驅動器)。藉由針對許多驅動器排列方式重複此測量順序及每一次建構四個線性方程式，可累積足夠的方程式來解出驅動及比較偏移，並使用此資訊進行通道校準。下文提供一產生這一類具有可解線性方程式之系統的實例。

用於八方短路的線性系統相當大(最少有 16 個方程式和 16 個未知數，若使用所有可行的測量值則導致高達 280 個方程式)。為了簡化，下列實例顯示針對四方短路的數學，其繪示於圖 6。上文的技術不管對四方短路或八方短路都同樣起作用，除了同一時間有效是兩個驅動器而非四個(如八方短路中的情況)。在圖 6 的實例中，於單一短路群內，驅動/比較組態有六個可行的配對：

- 0 和 1 驅動、2 和 3 比較
- 0 和 2 驅動、1 和 3 比較
- 0 和 3 驅動、1 和 2 比較
- 1 和 2 驅動、0 和 3 比較
- 1 和 3 驅動、0 和 2 比較
- 2 和 3 驅動、0 和 1 比較

每一組態產生兩個測量值，從而得到兩個方程式，如下：

$$\begin{aligned}
 t_1 &= -c_2 + 0.5t_{d0} + 0.5t_{d1} \\
 t_2 &= -c_3 + 0.5t_{d0} + 0.5t_{d1} \\
 t_3 &= -c_1 + 0.5t_{d0} + 0.5t_{d2} \\
 &\vdots \\
 t_{12} &= -c_1 + 0.5t_{d2} + 0.5t_{d3}
 \end{aligned} \tag{3}$$

方程式(3)之結果的線性系統尚有一階次未定。為了讓系統可解，加上下列的額外限制式：

$$t_{d0} = 0 \tag{4}$$

自由階次相當於驅動中的常數偏移及群中所有通道的比較偏移。這是陳述通道群無法在未針對一共用參考值進行一些測量的情況下彼此對準的另一種方式。此共用參考值可藉由以外部示波器測量取自每一通道群之一驅動器來獲得。

由方程式(3)和(4)可建構出完整的線性系統。以矩陣形式表示此線性系統則如下列所示：

$$\begin{bmatrix}
 0 & 0 & -1 & 0 & 0.5 & 0.5 & 0 & 0 \\
 0 & 0 & 0 & -1 & 0.5 & 0.5 & 0 & 0 \\
 0 & -1 & 0 & 0 & 0.5 & 0 & 0.5 & 0 \\
 0 & 0 & 0 & -1 & 0.5 & 0 & 0.5 & 0 \\
 0 & -1 & 0 & 0 & 0.5 & 0 & 0 & 0.5 \\
 0 & 0 & -1 & 0 & 0.5 & 0 & 0 & 0.5 \\
 -1 & 0 & 0 & 0 & 0 & 0.5 & 0.5 & 0 \\
 0 & 0 & 0 & -1 & 0 & 0.5 & 0.5 & 0 \\
 -1 & 0 & 0 & 0 & 0 & 0.5 & 0 & 0.5 \\
 0 & 0 & -1 & 0 & 0 & 0.5 & 0 & 0.5 \\
 -1 & 0 & 0 & 0 & 0 & 0 & 0.5 & 0.5 \\
 0 & -1 & 0 & 0 & 0 & 0 & 0.5 & 0.5 \\
 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0
 \end{bmatrix}
 \begin{bmatrix}
 c_0 \\
 c_1 \\
 c_2 \\
 c_3 \\
 t_{d0} \\
 t_{d1} \\
 t_{d2} \\
 t_{d3}
 \end{bmatrix}
 =
 \begin{bmatrix}
 t_1 \\
 t_2 \\
 t_3 \\
 t_4 \\
 t_5 \\
 t_6 \\
 t_7 \\
 t_8 \\
 t_9 \\
 t_{10} \\
 t_{11} \\
 t_{12} \\
 0
 \end{bmatrix}
 \quad (5)$$

方程式(5)的系統可使用標準的奇異值技術來求解，以獲得用於驅動時序延遲( $t_{dn}$ )及比較時序延遲( $c_n$ )的值。例如，可使用可為 ATE 之一部分或與之通訊的電腦或其他可程式化處理裝置或電路系統來解出方程式。

上述系統為超定系統(十三個方程式和八個未知數)。奇異值技術將有效地執行一多維最小平方擬合，以找出減少誤差(例如，最小誤差)的解。所得的驅動時序偏移及比較時序偏移可用來決定可程式化延遲(例如，圖 3 的  $d_n$  及  $c_n$  值)，以將延遲寫入至該些通道之驅動及比較部分中之適當的暫存器，以提供適當的群內通道校準。

可接著自每一通道群選出單一通道(例如，通道 50...56)。使用探針機械臂及示波器(或其他這類的測量裝置)來決定用於每一這些選定通道的時序偏移。使用三種技術決定所得到的額外時序偏移可被寫入至每一通道之驅動和比較部分中的適當暫存器內，以提供適當的群內通道校準。也就是說，由於一群中的所有通道均經過對準，相同的時序偏移遂被寫入至該群中的每一通道內的暫存器中，以將

一群的通道與另一群的通道對準。以此方式，在不需要測量所有通道的情況下，便使通道群對準。

上文所述的程序可不考慮短路 DIB 上之訊號路徑的長度。為了補償這些長度，可由所有的時間修正扣除 DIB 上的軌跡長度。此長度典型可特徵化在工作檯上，以用於後續的使用，或可使用 TDR(時域反射器)在校準時間進行測量，然而可由於從八方短路返回的奇反射而使 TDR 複雜化。一般而言，TDR 為一順著訊號路徑傳送電脈衝並「傾聽」離開線路末端之回音的程序。回音的時序可用來決定訊號路徑的電長度。

如上文所提及，本文所述之程序係基於複合四個驅動邊緣的時序將是個別貢獻者的平均值的假設。這一點是真的，倘若(i)所有四個有貢獻的邊緣具有一致的轉動率，以及(ii)驅動器已然對準為足夠接近，以致其過渡區重疊。第一假設可藉由反覆(亦即，重複)該程序來滿足。隨著有貢獻的邊緣對準得更為接近，歸因於不同轉動率的誤差項收斂至零。因此，若每一次反覆均使用先前反覆的結果來設定驅動邊緣時序，則本質上可消除轉動率誤差。結果顯示，為了使程序完全收斂，三次反覆便綽綽有餘，而兩次反覆可能就已足夠。第二假設可以簡單的預先校準粗略地對準驅動器來滿足。針對大多數情況，驅動器均可充分對準。

下表比較本文所述之混合校準程序與單一步驟程序(例如，僅使用示波器校準)的品質。特別的是，在使用混合校準來校準八個通道群以及使用機械式探針及示波器校準那

相同的八個通道群間進行比較。下表總結此比較結果。

|      |                                |
|------|--------------------------------|
|      | 驅動 EPA 百分比差，所有通道，混合校準相對於觀測設備校準 |
| 展開   | +20%                           |
| 標準偏差 | +16%                           |

就這一點而言，EPA(邊緣位置準確度)為數位儀器之時序性能的標準測量值。為了測量 EPA，相對一固定參考值來測量驅動邊緣或比較選通的時序。記錄下與經程式化位置之間的差量。針對各種條件(波形圖案、週期、電壓位準等)，EPA 為這些差量跨所有通道的展開。典型地，EPA 會詳細指明其 +/- 數—例如，在保證此展開小於 300 ps 的儀器上，EPA 的規格將列示為 +/-150 ps。

使用本文所述之混合校準的優點之一在於可改善執行時間，從而縮短校準時間。下表顯示針對一及兩個板系統，用於示波器校準(「完全觀測設備校準」)對上本文所述之混合校準程序(「觀測設備+短路校準」)的執行時間之間的百分比差的比較。

|  |                                      |                                      |
|--|--------------------------------------|--------------------------------------|
|  | 觀測設備+短路校準，1 個板：相對於完全觀測設備校準，1 個板的百分比差 | 觀測設備+短路校準，2 個板：相對於完全觀測設備校準，2 個板的百分比差 |
|  | 74%                                  | 79%                                  |

在每第八個通道上之用於混合校準的總時間約為在一個板上用於完全示波器校準之時間的 75%，同時具有增加

盡可能多的通道進行校準的優點。這是因為混合校準系統的短路校準部件可並聯地處理指定的通道群。結果，其運轉時間典型不會隨著增加的通道數而顯著地增加。同樣值得注意的是，純粹的示波器校準僅測量驅動器。比較器係在一單獨步驟中進行測量(可能需要約 1 至 2 分鐘的額外時間)。短路校準已包括驅動及比較時序兩者的校準。

短路校準程序可延伸至任何甚至尺寸大於二的短路群。不過，實際上的考量可限制能校準的群尺寸。在一些情況下，使用當前技術，由每一通道貢獻之驅動訊號的尺寸可變得非常小，使雜訊成為一個關注點。在其他情況下，使用當前技術，可能使用於超過約八個通道之 DIB 上之可接受的短路節點的布局變得困難，因為這樣可能需要很多軌跡在 DIB 上一個太小的區域內收斂。這些議題可使用較高成本的解決方案來滿足。

如同在本文所提及的，當(理論上)僅需要 16 個經適當選擇的測量值時，以八方短路可得到高達 280 個不同的測量值。此數目隨著增加的群尺寸呈超指數的增長。一實施方式在其計算中可使用所有的 280 個測量值。篩選一適當子集可改善運轉時間，並可有利於較大的群(例如，16 方通道群短路，其具有超過 100,000 個可用的驅動/比較測量值)。

在短路群中選擇致能一半的驅動器係基於使比較電壓擺幅等於一半的驅動擺幅的需求(就好像比較器是在 50  $\Omega$  的環境下操作)。不過，藉由致能不同數目的驅動器，將使不同的擺幅到達比較器，允許針對電壓位準在時序上的效

應進行可行的校準。

在一些實施方式中，可排除示波器。藉由使用具有選定通道互連的第二短路 DIB，可彼此對準一任意大的通道數。換言之，可使用第二 DIB 來代替上述的機械式探針及示波器，以決定針對在使用第一 DIB 校準之通道群中之選定通道的校準值。例如，如圖 7 所示，此第二短路 DIB 40 可短路來自第一 DIB 44 上之每一八個短路群 42 的一個通道。一系統方程式(例如，方程式(5))可以上述方式針對 DIB 40 的那些選定通道作出決定，且通道間的時序偏移可藉由解出該系統方程式來決定。以此方式使用多個測量層可排除對示波器的需求。此程序可延伸至  $N(N \geq 2)$  個以此方式使用的 DIB，以獲得用於不同通道的驅動/比較偏移。

本文所述之特徵(例如，解出方程式(5))可至少部分地經由電腦程式產品，亦即，有形地以一或多個非暫時性的資訊載體(例如，以一或多個有形、非暫時性的機械可讀儲存媒介)體現的電腦程式來實現，該電腦程式產品係用於藉由資料處理設備(例如，可程式化處理器、電腦或多台電腦)的操作來執行，或為了控制資料處理設備的操作。

可以包括編譯或解譯語言之任何形式的程式語言寫入的電腦程式可部署為任何形式，包括單獨程式或一模組、零件、副程式或其他適用於運算環境中的單元。可將電腦程式部署為在一個電腦或多個電腦上執行，該多個電腦可位於同一現場或分散在多個現場並以網路互連。

與實施控制特性相關的動作可藉由一或多個可程式化

處理器來執行，該一或多個可程式化處理器執行一或多個電腦程式，以執行校準程序的功能。全部或部分的程序可實施為特殊目的邏輯電路系統，例如，FPGA(現場可程式化閘陣列)及/或 ASIC(特殊應用積體電路)。

舉例來說，適於執行電腦程式的處理器包括通用及特殊目的之微處理器這兩種、及任何種類之數位電腦的任何一或多個處理器。一般而言，處理器將接收來自唯讀儲存區或隨機存取儲存區或兩者的指令與資料。電腦元件(包括伺服器)包括一或多個用於執行指令的處理器及一或多個用於儲存指令與資料的儲存區裝置。一般而言，電腦亦將包括一或多個機械可讀取的儲存媒介，或在操作上與之相耦合以接收資料或傳送資料或兩者皆是，該一或多個機械可讀取的儲存媒介為例如用於儲存資料的大量儲存裝置(例如，磁碟、磁光碟或光碟)。適於體現電腦程式指令與資料之機械可讀取的儲存媒介包括所有形式的非揮發性儲存區，舉例來說，包括半導體儲存區裝置(例如，EPROM、EEPROM 及快閃儲存區裝置)；磁碟(例如，內部硬碟或可移除磁碟)；磁光碟；以及 CD-ROM 與 DVD-ROM 碟。

本文所述之不同實施例的元件可相結合，以形成在上文未具體提出的其他實施例。在未不利影響操作的情況下，元件可不列入本文所述的結構中。此外，各種分開的元件可結合為一或多個個別元件，以執行本文所述的功能。

本文所述之不同實施方式的元件可相結合，以形成在上文未具體提出的其他實施方式。未在本文具體陳述的其

他實施方式亦屬於下列申請專利範圍的範圍內。

### 【圖式簡單說明】

圖 1 為一先前技術系統的方塊圖，其使用一校準矩陣來執行校準。

圖 2 為一先前技術校準系統的方塊圖，其使用一機械性探針及一觀測設備來執行校準。

圖 3 為含有多個用於測試裝置之通道的自動測試設備(ATE)的方塊圖。

圖 4 為一裝置介面板(DIB)的方塊圖，其含有八個通道短路群。

圖 5 包含顯示驅動器振幅對延遲時間之時序圖的圖，固有及經程式化兩者均有。

圖 6 為一 DIB 的方塊圖，其含有四個通道短路群。

圖 7 為一方塊圖，其顯示在沒有機械性探針及觀測設備的輔助下，多個用來校準 ATE 之測試通道的 DIB。

### 【主要元件符號說明】

|    |       |
|----|-------|
| 10 | 校準矩陣  |
| 12 | 示波器   |
| 14 | 探針機械臂 |
| 16 | 通道    |
| 18 | 通道    |
| 20 | 驅動器   |

|     |          |
|-----|----------|
| 22  | 比較器      |
| 24  | 電路系統     |
| 26  | ATE      |
| 28  | 第一通道群    |
| 28a | 第一通道     |
| 30  | 第二通道群    |
| 30a | 第二通道     |
| 32  | 驅動器延遲    |
| 34  | 比較器延遲    |
| 36  | 可程式化延遲   |
| 38  | 可程式化延遲   |
| 40  | 第二短路 DIB |
| 44  | 第一 DIB   |
| 50  | 通道       |
| 56  | 通道       |

## 七、申請專利範圍：

1.一種校準測試設備的方法，該方法包含以下步驟：

對準該測試設備中之一第一通道群的時序；

對準該測試設備中之一第二通道群的時序，該第二通道群異於該第一通道群；

決定介於一第一通道與一第二通道間之一時序未對準，該第一通道係來自該第一通道群，且該第二通道係來自該第二通道群；以及

針對該第一通道群或該第二通道群之至少一群中的通道補償該未對準。

2.如申請專利範圍第 1 項所述之方法，其中每一通道包括一驅動器，其輸出一訊號至一連接至該測試設備的裝置，以及一比較器，其接收一來自連接至該測試設備之該裝置的訊號；且

其中對準一通道群的時序包含以下步驟：

決定與該些通道之驅動器相關的第一延遲；

決定與該些通道之比較器相關的第二延遲；以及

補償該些第一延遲與該些第二延遲；

其中該通道群為該第一通道群或該第二通道群。

3.如申請專利範圍第 2 項所述之方法，其中決定該些第一延遲及決定該些第二延遲包含以下步驟：執行指令，以解出與該些第一延遲、該些第二延遲、及該些通道之測量得到的比較器時序相關的一組線性方程式。

4.如申請專利範圍第 3 項所述之方法，其中決定該些第

一延遲及決定該些第二延遲包含以下步驟：致能該通道群中的複數個通道，同時禁能該通道群中剩餘的通道，該組線性方程式係關於禁能通道的該些第一延遲、第二延遲、及致能通道之測量得到的比較器時序。

5.如申請專利範圍第4項所述之方法，其進一步包含以下步驟：選定該複數個通道，以便循環通過該通道群中的通道來產生足夠數目的方程式。

6.如申請專利範圍第2項所述之方法，其中作為校準的一部分，電連接該通道群中的通道。

7.如申請專利範圍第3項所述之方法，其中補償該些第一延遲及該些第二延遲包含以下步驟：將補償該些第一及第二延遲的延遲寫入至該些通道的暫存器中。

8.如申請專利範圍第1項所述之方法，其中決定介於該第一通道及該第二通道間之時序未對準係使用一機械式校準裝置自動執行。

9.如申請專利範圍第1項所述之方法，其中決定介於該第一通道及該第二通道間之時序未對準係使用一裝置介面板(DIB)來執行，該DIB短路該第一通道及該第二通道，並藉由解出一組線性方程式來決定該未對準，該組線性方程式係使用該第一通道及該第二通道間的關係來決定。

10.一種用於校準通道的系統，該系統包括：

一裝置介面板(DIB)，其包括(i)至一測試儀器之相應通道的介面，以及(ii)延伸在該介面與短路點間的電路路徑，該電路路徑是為了將一第一通道群電連接至一第一短路點

及將一第二通道群電連接至一第二短路點，該第二通道群異於該第一通道群；

一器械，其用於決定介於一第一通道與一第二通道間之一時序未對準，該第一通道係來自該第一通道群，且該第二通道係來自該第二通道群；以及

一計算裝置，其經過程式化，以(i)對準該測試設備中之該第一通道群的時序，(ii)對準該測試設備中之該第二通道群的時序，以及(iii)針對該第一通道群或該第二通道群之至少一群中的通道補償該未對準。

11.如申請專利範圍第 10 項所述之系統，其中每一通道包括一驅動器，其輸出一訊號至一連接至該測試設備的裝置，以及一比較器，其接收一來自連接至該測試設備之該裝置的訊號；且

其中對準一通道群包含以下步驟：

決定與該些通道之驅動器相關的第一延遲；

決定與該些通道之比較器相關的第二延遲；以及

補償該些第一延遲與該些第二延遲；

其中該通道群為該第一通道群或該第二通道群。

12.如申請專利範圍第 11 項所述之系統，其中決定該些第一延遲及決定該些第二延遲包含以下步驟：解出與該些第一延遲、該些第二延遲、及該些通道之測量得到的比較器時序相關的一組線性方程式。

13.如申請專利範圍第 12 項所述之系統，其中補償該些第一延遲及該些第二延遲包含以下步驟：將補償該些第一

及第二延遲的延遲寫入至該些通道的暫存器中。

14.如申請專利範圍第 10 項所述之系統，其中該器械包括一機械式校準裝置。

15.如申請專利範圍第 10 項所述之系統，其中該器械包括一第二 DIB，該第二 DIB 係用於電連接該第一通道及該第二通道，且該計算裝置經過程式化，以藉由解出一組線性方程式來決定該未對準，該組線性方程式係使用該第一通道及該第二通道間的關係來決定。

16.一種用於校準通道的方法，每一該些通道具有一驅動器延遲及一比較器延遲，該方法包含以下步驟：

將該些通道組織成通道群，每一通道群均電連接至一短路點；

針對每一通道群：

致能複數個通道，同時禁能剩餘的該些通道；

在該禁能通道處測量由該致能通道組成之一複合訊號的時序；

產生一系統方程式，其中針對每一禁能通道，一比較器時間等同於用於所有致能通道之一驅動器時間之一平均值；

解出該系統方程式，以針對每一通道獲得該驅動器延遲及該比較器延遲；以及

使用該驅動器延遲及該比較器延遲來校準每一通道群中的該些通道；

自每一通道群選定一通道；

對準該些選定通道；以及

以該些選定通道的對準為基礎，對準一通道群中的所有通道。

17.如申請專利範圍第 16 項所述之方法，其中該些通道群係連接至一裝置介面板(DIB)上之一短路點，該裝置介面板係連接至一含有該些通道的儀器。

18.如申請專利範圍第 16 項所述之方法，其中對準該些選定通道包含以下步驟：使用一機械式校準裝置及一示波器測量該些選定通道的未對準。

19.如申請專利範圍第 18 項所述之方法，其中該些選定通道係在一裝置介面板(DIB)上電連接。

20.一種用於校準測試設備的器械，該器械包括：

第一機構，其用於(i)對準該測試設備中之一第一通道群的時序，以及(ii)對準該測試設備中之一第二通道群的時序，該第二通道群異於該第一通道群；以及

第二機構，其用於決定介於一第一通道與一第二通道間之一時序未對準，該第一通道係來自該第一通道群，且該第二通道係來自該第二通道群；

其中該第一機構亦用於針對該第一通道群或該第二通道群之至少一群中的通道補償該未對準。

21.一或多個非暫時性機械可讀儲存媒介，其儲存可執行的指令，以校準組織成通道群的複數通道，每一通道群均電連接至一短路點，該些指令可由一或多個處理裝置執行，以執行包含下列的操作：

針對每一通道群：

產生一系統方程式，其中針對每一禁能通道，一比較器時間等同於用於所有致能通道之一驅動器時間之一平均值；

解出該系統方程式，以針對每一通道獲得該驅動器延遲及該比較器延遲；以及

使用該驅動器延遲及該比較器延遲來校準每一通道群中的該些通道；

自每一通道群選定一通道；以及

以該些選定通道之一對準為基礎，對準一通道群中的所有通道。

八、圖式：

(如次頁)

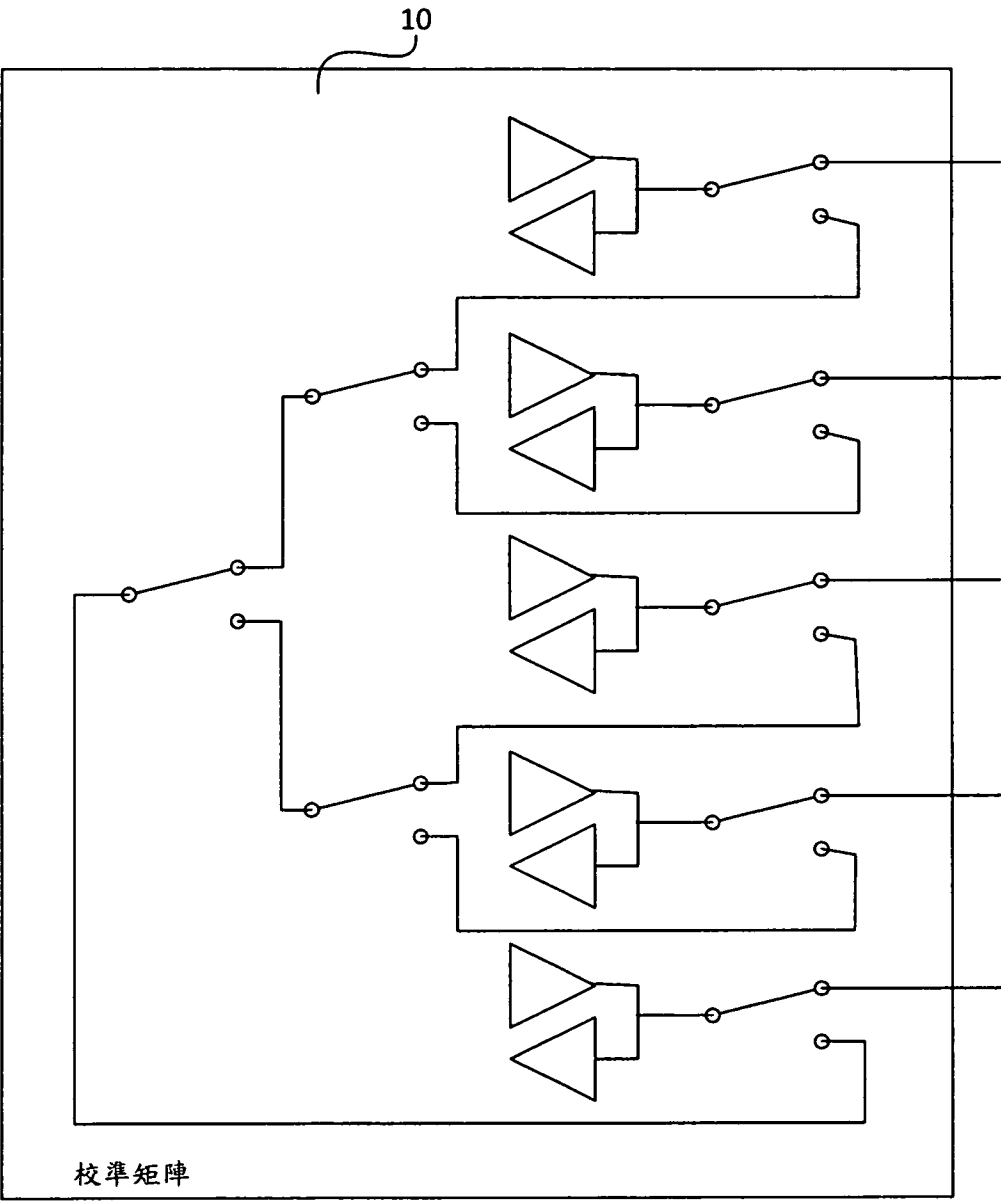


圖1

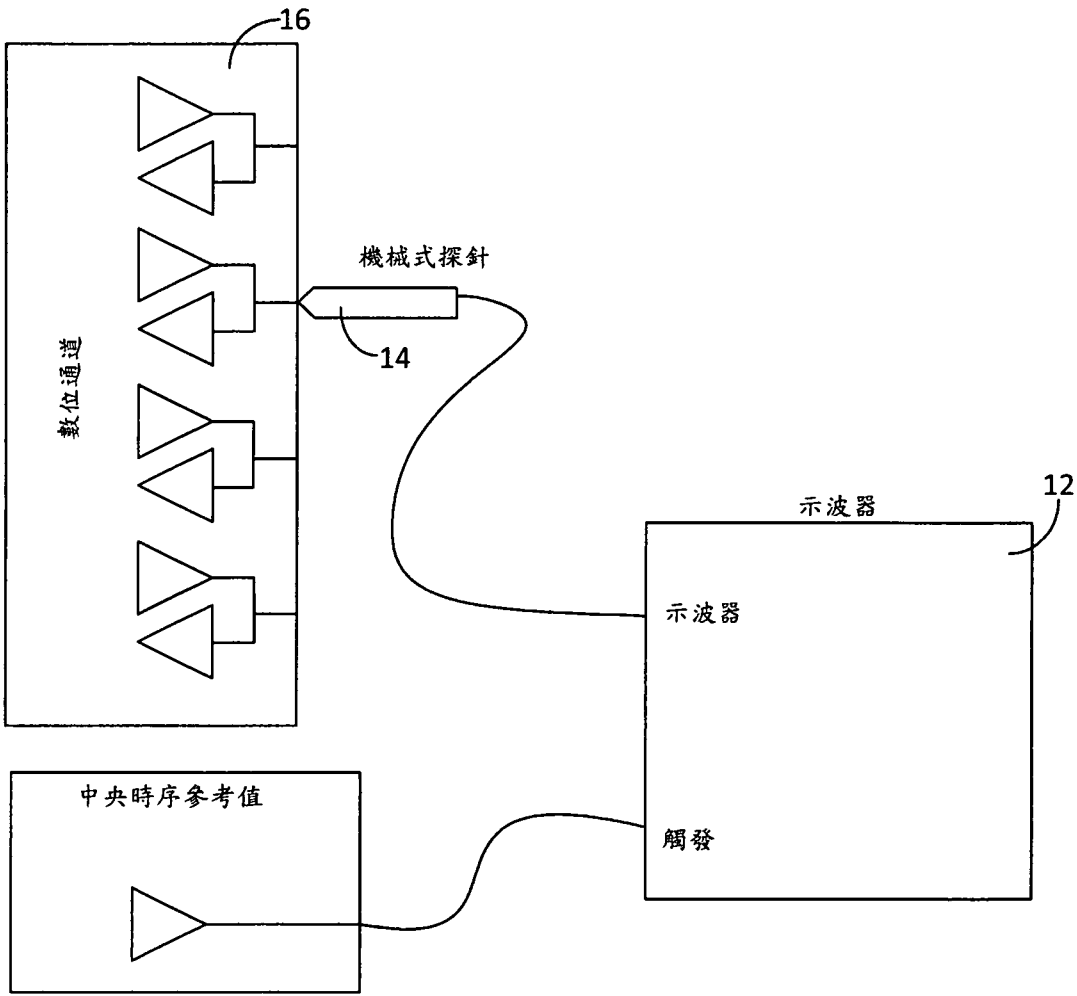


圖2

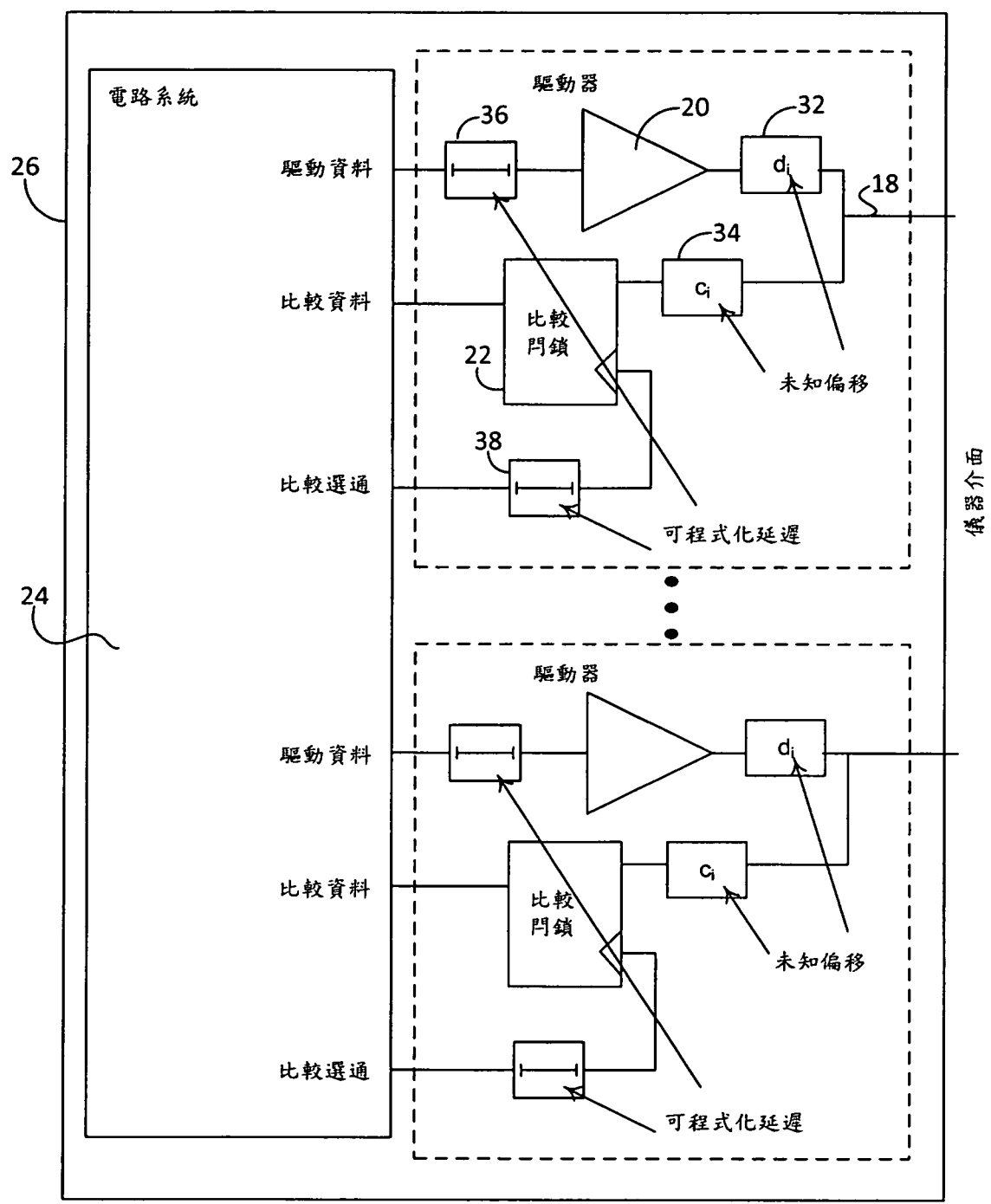


圖3

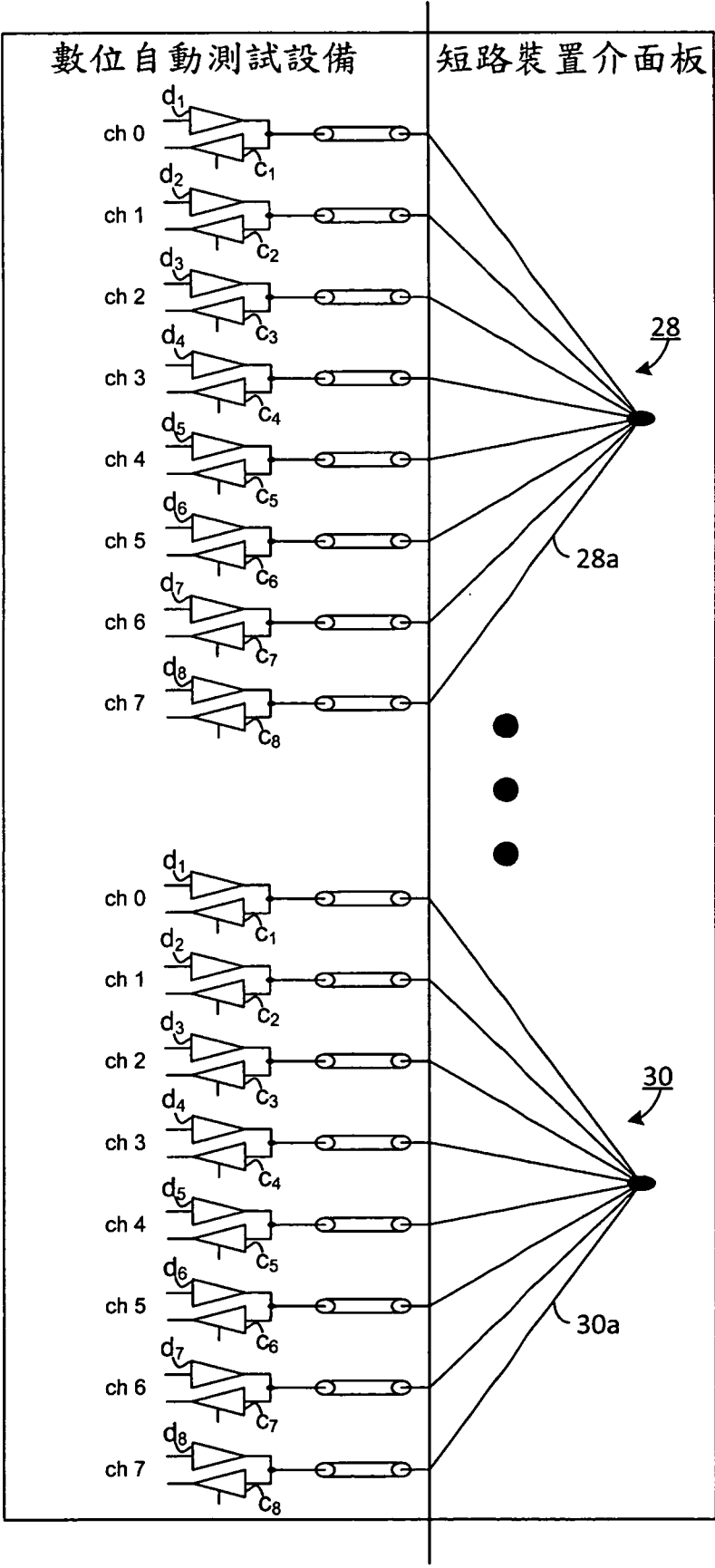


圖4

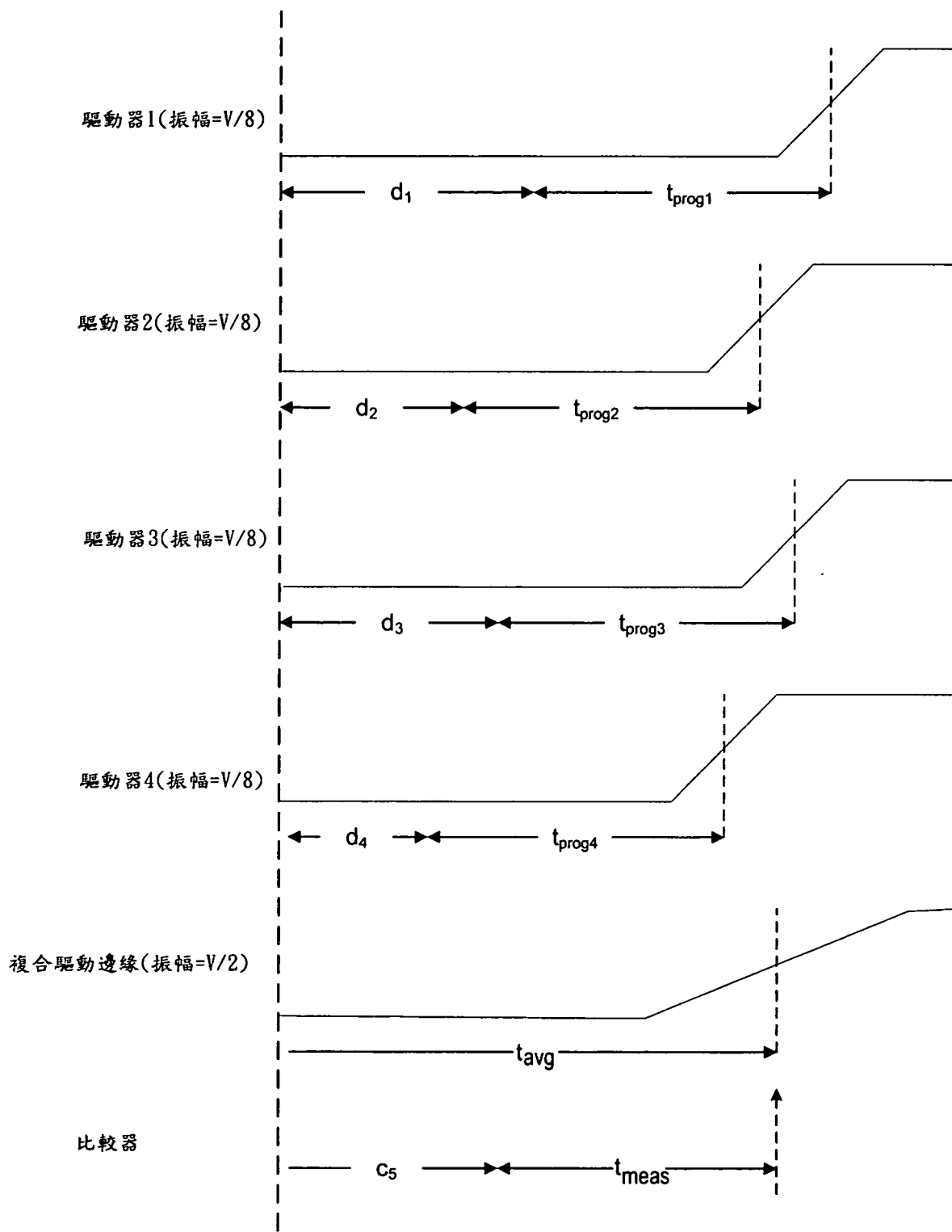


圖5

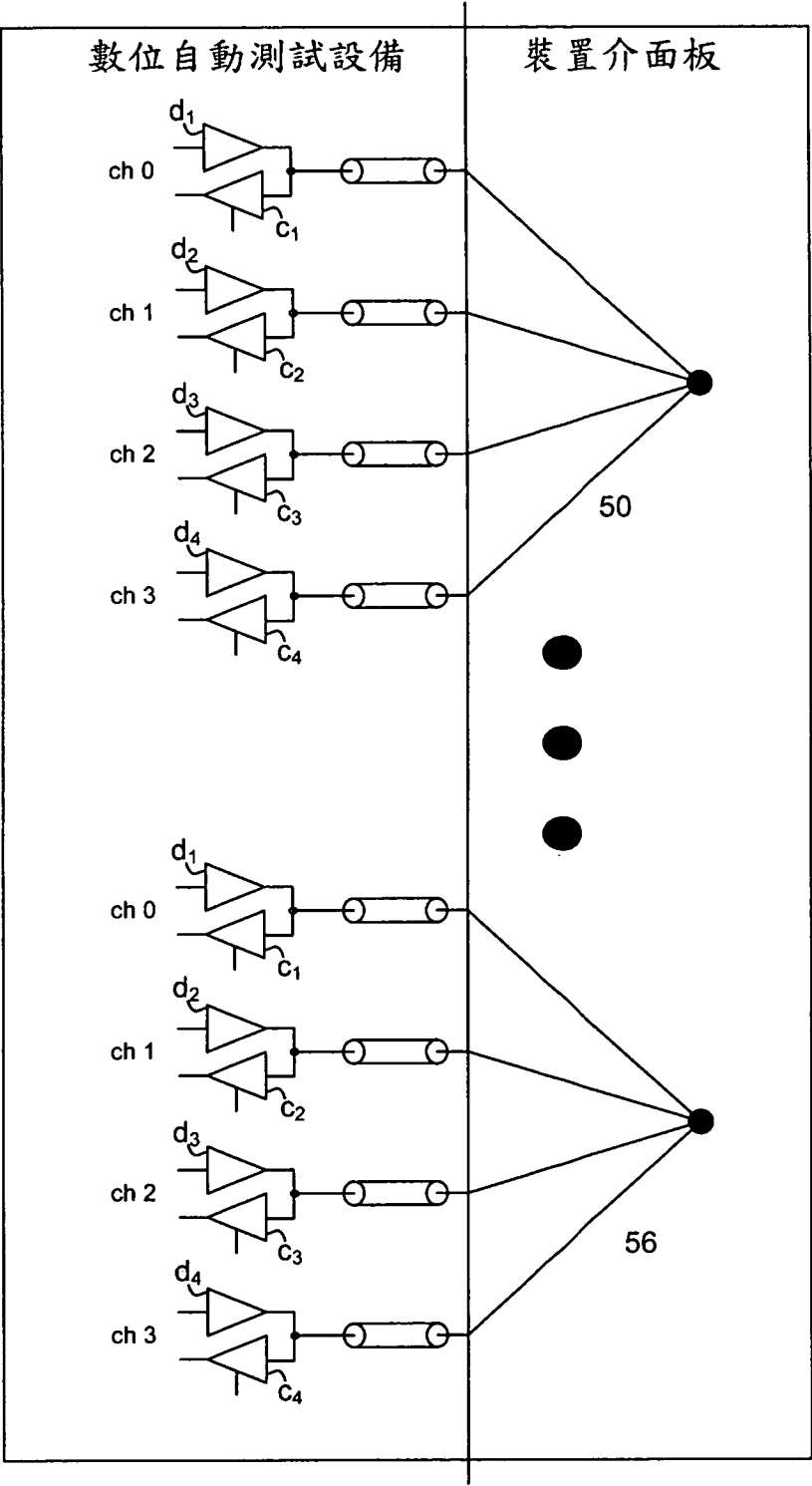


圖6

