



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0015364

(43) 공개일자 2015년02월10일

(51) 국제특허분류(Int. Cl.)

H04L 25/02 (2006.01) H04L 7/02 (2006.01)

(21) 출원번호 10-2014-0084632

(22) 출원일자 2014년07월07일

심사청구일자 2014년07월07일

(30) 우선권주장

1020130091079 2013년07월31일 대한민국(KR)

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 성북구 길음로 16, 605동 1301호(길음동, 길음뉴타운)

이연호

경기도 부천시 소사구 부광로15번길 9, 102동 505(괴안동, 역곡현대 7차 아파트)

송준영

서울특별시 동대문구 약령시로 25, 103동 902호(제기동, 벽산아파트)

(74) 대리인

송인호, 민영준, 최관락

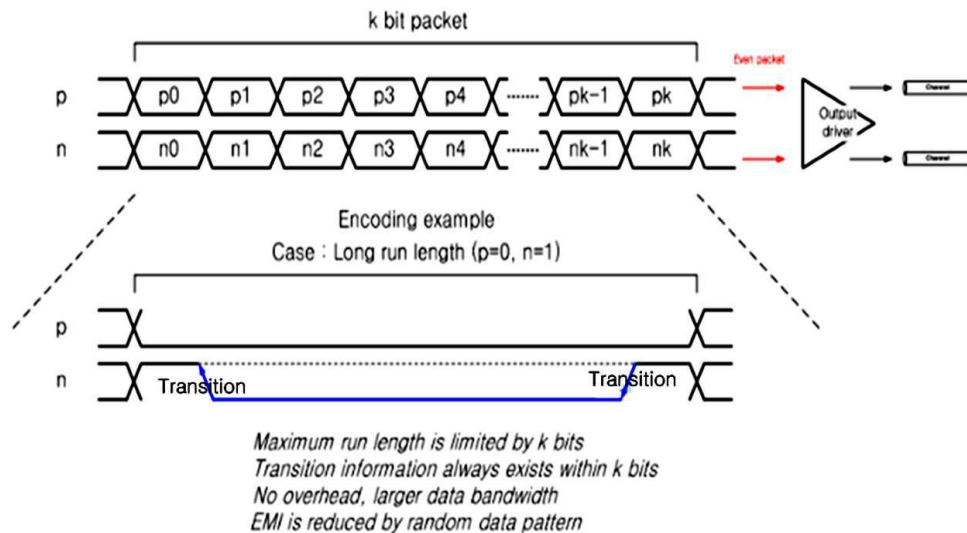
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 자동 데이터 속도 추적을 위한 장치 및 시스템

(57) 요약

본 발명은 자동 데이터 속도 추적을 위한 장치 및 시스템을 개시한다. 본 발명에 따른 송신 장치는 병렬화된 n 비트 단위의 입력 데이터를 미리 설정된 신호법에 따라 제1 신호 및 제2 신호로 변환하는 인코더-상기 인코더는 상기 입력 데이터가 동일한 비트 값이 연속되는 데이터인 경우, 상기 제1 신호 및 제2 신호 중 하나가 다른 신호에 대해 차동 규칙을 갖지 않고 천이 정보를 갖도록 변환하여 출력함-; 상기 제1 신호 및 제2 신호를 직렬화하는 직렬화기; 및 상기 직렬화된 제1 신호 및 제2 신호를 전송하는 전송부를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

자동 데이터 속도 추적을 위한 송신 장치로서,

병렬화된 n 비트 단위의 입력 데이터를 미리 설정된 신호법에 따라 제1 신호 및 제2 신호로 변환하는 인코더-상기 인코더는 상기 입력 데이터가 동일한 비트 값이 연속되는 데이터인 경우, 상기 제1 신호 및 제2 신호 중 하나가 다른 신호에 대해 자동 규칙을 갖지 않고 천이 정보를 갖도록 변환하여 출력함-;

상기 제1 신호 및 제2 신호를 직렬화하는 직렬화기; 및

상기 직렬화된 제1 신호 및 제2 신호를 전송하는 전송부를 포함하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 2

제1항에 있어서,

상기 직렬화기로부터 상기 제1 신호 및 상기 제2 신호를 차동 신호로 입력 받아 반전된 제1 신호 및 제2 신호를 출력하는 차동 출력 드라이버를 더 포함하되,

상기 전송부는 상기 반전된 제1 신호 및 제2 신호를 수신 장치로 전송하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 3

제2항에 있어서,

상기 차동 출력 드라이버는,

복수의 스위치로 이루어지는 차동 회로 및 상기 제1 신호와 제2 신호가 동일한 경우 턴온(활성화)되는 제어 회로를 포함하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 4

제3항에 있어서,

상기 차동 회로는 게이트에 상기 직렬화기로부터의 제1 신호가 입력되고, 소스가 전류원에 연결된 제1 트랜지스터와, 게이트에 상기 직렬화기로부터의 제2 신호가 입력되고, 소스가 전류원에 연결된 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 드레인에 제1 출력단이 연결되며, 제2 트랜지스터의 드레인에 제2 출력단이 연결되며,

상기 제어 회로는 게이트에 스트로브 신호(Strobe)가 입력되고, 소스가 전류원에 연결된 제3 트랜지스터를 포함하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 5

제4항에 있어서,

상기 직렬화기로부터의 제1 신호와 제2 신호가 동일한 경우, 상기 스트로브 신호에 의해 상기 제3 트랜지스터가 턴온되는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 6

제2항에 있어서,

상기 수신 장치는,

상기 반전된 제1 신호 및 제2 신호를 차동 데이터로 입력 받아 디코딩하는 디코더;

상기 디코더에 의해 복원된 입력 데이터를 수신하는 비직렬화기; 및

상기 디코더에 의해 복원된 천이 정보를 수신하여 클록을 복원하는 지연 고정 라인을 포함하되,

상기 비직렬화기는 상기 지연 고정 라인에서 상기 천이 정보에 의해 복원된 클록을 이용하여 상기 입력 데이터를 병렬화하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 7

제6항에 있어서,

상기 디코더는 상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 입력 데이터를 복원하는 입력 데이터 복원부; 및

상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 상기 천이 정보를 복원하는 천이 정보 복원부를 포함하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 8

제7항에 있어서,

상기 입력 데이터 복원부는 SR NAND 래치를 포함하고, 상기 천이 정보 복원부는 두 개의 출력을 갖는 NAND 논리 게이트를 포함하는 자동 데이터 속도 추적을 위한 송신 장치.

청구항 9

자동 데이터 속도 추적을 위한 송수신 시스템으로서,

병렬화된 n 비트 단위의 입력 데이터를 미리 설정된 신호법에 따라 제1 신호 및 제2 신호로 변환하고-상기 인코더는 상기 입력 데이터가 동일한 비트 값이 연속되는 데이터인 경우, 상기 제1 신호 및 상기 제2 신호 중 하나가 다른 신호에 대해 차동 규칙을 갖지 않고 천이 정보를 갖도록 변환하여 출력함-, 상기 제1 신호 및 제2 신호를 직렬화하고, 상기 직렬화된 제1 신호 및 제2 신호를 전송하는 송신 장치; 및

상기 제1 신호 및 제2 신호를 차동 데이터로 입력 받아 디코딩하고, 상기 디코딩에 의해 복원된 입력 데이터를 수신하고, 상기 디코딩에 의해 복원된 천이 정보를 수신하여 클록을 복원하는 수신 장치를 포함하는 자동 데이터 속도 추적을 위한 송수신 시스템.

청구항 10

제9항에 있어서,

상기 송신 장치는 상기 직렬화된 제1 신호 및 상기 제2 신호를 차동 신호로 입력 받아 반전된 제1 신호 및 제2 신호를 출력하는 차동 출력 드라이버를 포함하며, 상기 반전된 제1 신호 및 제2 신호가 상기 수신 장치로 전송되는 자동 데이터 속도 추적을 위한 송수신 시스템.

청구항 11

제9항에 있어서,

상기 차동 출력 드라이버는,

복수의 스위치로 이루어지는 차동 회로 및 상기 제1 신호 및 상기 제2 신호가 동일한 경우 턴온(활성화)되는 제어 회로를 포함하는 자동 데이터 속도 추적을 위한 송수신 시스템.

청구항 12

제11항에 있어서,

상기 차동 회로는 게이트에 상기 직렬화기로부터의 제1 신호가 입력되고, 소스가 전류원에 연결된 제1 트랜지스터와, 게이트에 상기 직렬화기로부터의 제2 신호가 입력되고, 소스가 전류원에 연결된 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 드레인에 제1 출력단이 연결되며, 제2 트랜지스터의 드레인에 제2 출력단이 연결되며,

상기 제어 회로는 게이트에 스트로브 신호(Strobe)가 입력되고, 소스가 전류원에 연결된 제3 트랜지스터를 포함

하는 자동 데이터 속도 추적을 위한 송신 시스템.

청구항 13

제12항에 있어서,

상기 직렬화된 제1 신호와 제2 신호가 동일한 경우, 상기 스트로브 신호에 의해 상기 제3 트랜지스터가 턴온되는 자동 데이터 속도 추적을 위한 송신 시스템.

청구항 14

제10항에 있어서,

상기 수신 장치는 SR NAND 래치를 이용하여 상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 입력 데이터를 복원하며, NAND 논리 게이트를 이용하여 상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 상기 천이 정보를 복원하는 자동 데이터 속도 추적을 위한 송신 시스템.

명세서

기술 분야

[0001] 본 발명은 자동 데이터 속도 추적을 위한 장치 및 시스템에 관한 것으로서, 보다 상세하게는 기준 클록 없이 수신 장치에서 클록 및 입력 데이터를 복원할 수 있도록 하는 장치 및 시스템에 관한 것이다.

배경 기술

[0002] 자동 데이터 속도 추적을 위한 송수신 장치는 기준 클록이나 기준 클록 전송 라인 없이 클록을 복원해주는 장치로서 복원해 내는 방식에 따라 성능이나 전송 속도, 복잡도 등이 결정된다.

[0003] 기존에 가장 많이 사용되는 자동 데이터 속도 추적 방식은 일정한 주기마다 클록을 데이터 대신 보냄으로써 수신단에서 전송된 일정한 주기의 클록을 이용하여 데이터 속도에 맞는 클록을 복원해 내는 방식인 클록 임베디드 방식이다.

[0004] 이 방식은 쉽게 데이터의 전송 속도를 알 수 있다는 장점이 있지만, 일정한 주기마다 데이터 대신에 클록을 보내기 때문에 전송 속도의 제한을 가져오게 된다.

[0005] 이렇게 덧붙여지는 비트 수를 오버헤드(overhead)라 하는데, 이러한 오버헤드를 줄이기 위한 여러 가지 방식들이 개발되었다.

[0006] 다른 자동 데이터 속도 추적 방식으로는 데이터의 규칙성을 찾아내어 클록을 복원해내는 방식이 있는데, 이러한 방식 또한 규칙성을 찾기 위해 천이 정보가 있어야 하기 때문에 오버헤드가 추가되는 8B10B 인코딩과 같은 방식이 도입된다. 그리고 이러한 방식은 규칙성을 찾기 위해 큰 면적과 전력소모를 초래한다.

발명의 내용

해결하려는 과제

[0007] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 오버헤드 없이 런-렌스를 제한하는 변환 방식을 통해 데이터 전송 속도 제한, 회로의 복잡도, 면적, 소모 전력 및 DC 균형과 같은 기존의 한계점을 완화할 수 있는 자동 데이터 속도 추적 장치 및 시스템을 제안하고자 한다.

과제의 해결 수단

[0008] 상기한 기술적 과제를 해결하기 위해, 본 발명의 바람직한 일 실시예에 따르면, 자동 데이터 속도 추적을 위한 송신 장치로서, 병렬화된 n 비트 단위의 입력 데이터를 미리 설정된 신호법에 따라 제1 신호 및 제2 신호로 변환하는 인코더-상기 인코더는 상기 입력 데이터가 동일한 비트 값이 연속되는 데이터인 경우, 상기 제1 신호 및 제2 신호 중 하나가 다른 신호에 대해 차동 규칙을 갖지 않고 천이 정보를 갖도록 변환하여 출력함-; 상기 제1 신호 및 제2 신호를 직렬화하는 직렬화기; 및 상기 직렬화된 제1 신호 및 제2 신호를 전송하는 전송부를 포함하

는 자동 데이터 속도 추적을 위한 송신 장치가 제공된다.

- [0009] 상기 직렬화기로부터 상기 제1 신호 및 상기 제2 신호를 차동 신호로 입력 받아 반전된 제1 신호 및 제2 신호를 출력하는 차동 출력 드라이버를 더 포함하되, 상기 전송부는 상기 반전된 제1 신호 및 제2 신호를 수신 장치로 전송할 수 있다.
- [0010] 상기 차동 출력 드라이버는, 복수의 스위치로 이루어지는 차동 회로 및 상기 제1 신호와 제2 신호가 동일한 경우 턴온(활성화)되는 제어 회로를 포함할 수 있다.
- [0011] 상기 차동 회로는 게이트에 상기 직렬화기로부터의 제1 신호가 입력되고, 소스가 전류원에 연결된 제1 트랜지스터와, 게이트에 상기 직렬화기로부터의 제2 신호가 입력되고, 소스가 전류원에 연결된 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 드레인에 제1 출력단이 연결되며, 제2 트랜지스터의 드레인에 제2 출력단이 연결되며, 상기 제어 회로는 게이트에 스트로브 신호(Strobe)가 입력되고, 소스가 전류원에 연결된 제3 트랜지스터를 포함할 수 있다.
- [0012] 상기 직렬화기로부터의 제1 신호와 제2 신호가 동일한 경우, 상기 스트로브 신호에 의해 상기 제3 트랜지스터가 턴온될 수 있다.
- [0013] 상기 수신 장치는, 상기 반전된 제1 신호 및 제2 신호를 차동 데이터로 입력 받아 디코딩하는 디코더; 상기 디코더에 의해 복원된 입력 데이터를 수신하는 비직렬화기; 및 상기 디코더에 의해 복원된 천이 정보를 수신하여 클록을 복원하는 지연 고정 라인을 포함하되, 상기 비직렬화기는 상기 지연 고정 라인에서 상기 천이 정보에 의해 복원된 클록을 이용하여 상기 입력 데이터를 병렬화할 수 있다.
- [0014] 상기 디코더는 상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 입력 데이터를 복원하는 입력 데이터 복원부; 및 상기 반전된 제1 신호 및 제2 신호를 차동 신호로 입력 받아 상기 천이 정보를 복원하는 천이 정보 복원부를 포함할 수 있다.
- [0015] 상기 입력 데이터 복원부는 SR NAND 래치를 포함하고, 상기 천이 정보 복원부는 두 개의 출력을 갖는 NAND 논리 게이트를 포함할 수 있다.
- [0016] 본 발명의 다른 측면에 따르면, 자동 데이터 속도 추적을 위한 송수신 시스템으로서, 병렬화된 n 비트 단위의 입력 데이터를 미리 설정된 신호법에 따라 제1 신호 및 제2 신호로 변환하고-상기 인코더는 상기 입력 데이터가 동일한 비트 값이 연속되는 데이터인 경우, 상기 제1 신호 및 상기 제2 신호 중 하나가 다른 신호에 대해 차동 규칙을 갖지 않고 천이 정보를 갖도록 변환하여 출력함-, 상기 제1 신호 및 제2 신호를 직렬화하고, 상기 직렬화된 제1 신호 및 제2 신호를 전송하는 송신 장치; 및 상기 제1 신호 및 제2 신호를 차동 데이터로 입력 받아 디코딩하고, 상기 디코딩에 의해 복원된 입력 데이터를 수신하고, 상기 디코딩에 의해 복원된 천이 정보를 수신하여 클록을 복원하는 수신 장치를 포함하는 자동 데이터 속도 추적을 위한 송수신 시스템이 제공된다.

발명의 효과

- [0017] 본 발명에 따르면, 데이터 전송에 있어 오버헤드 없이 데이터를 전송함으로써 전송라인을 줄이면서도 데이터 전송 속도 제한과 DC 균형에 관한 문제를 완화할 수 있고, 기존의 오버헤드 없이 규칙성을 찾아내어 클록을 복원하는 기술에 비하여 간단하게 구현하여 시스템의 복잡도, 면적, 전력 소모가 감소하는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0018] 도 1은 자동 데이터 속도 추적을 위한 신호법의 변환 대응도.
- 도 2는 본 발명의 일 실시예에 따른 천이 정보가 삽입된 신호를 설명하기 위한 도면.
- 도 3은 본 발명에 따른 자동 데이터 속도 추적을 위한 송신 장치의 블록도.
- 도 4은 본 발명의 일 실시예에 따른 차동 출력 드라이버의 상세 구성을 도시한 도면.
- 도 5는 본 발명에 따른 자동 데이터 속도 추적을 위한 수신 장치의 블록도.
- 도 6은 본 발명의 일 실시예에 따른 입력 데이터 복원부의 상세 구성을 도시한 도면.
- 도 7은 본 발명의 일 실시예에 따른 천이 정보 복원부의 상세 구성을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0020] 이하, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면 번호에 상관없이 동일한 수단에 대해서는 동일한 참조 번호를 사용하기로 한다.
- [0021] 도 1은 자동 데이터 속도 추적을 위한 신호법의 변환 대응도이다.
- [0022] 도 1에서 P branch와 N branch 각각은 기본적으로 차동(differential) 신호를 나타내며, 본 실시예에 따른 송신 장치에서 수신 장치로 전송하는 데이터를 변환하는 규칙을 나타낸 것이다.
- [0023] 본 발명의 일 실시예에 따르면, 소정 비트 수의 데이터가 하나의 패킷으로 묶여 변환되어 전송되며, 도 1은 3 비트가 하나의 패킷으로 묶여 변환되는 경우를 예로 설명한 것이다.
- [0024] 이때의 하나로 묶이는 패킷의 비트 수는 송수신 장치 간 약속에 따라 증가시키거나 감소시킬 수 있다.
- [0025] 화살표 왼쪽이 변환 전 비트 값, 즉 입력(input) 데이터를 나타내며 화살표 오른쪽은 변환 후 비트 값을 나타낸다. 도 2는 본 발명의 일 실시예에 따른 천이 정보가 삽입된 신호를 설명하기 위한 도면이다.
- [0026] 본 발명의 바람직한 일 실시예에 따르면, 도 1 및 도 2와 같이 입력 데이터가 연속된 신호인 경우, 차동 채널에 해당하는 두 개의 신호 중 하나에 차동 신호 규칙을 깨는 방식으로 천이 정보를 삽입함으로써 데이터 중간에 클럭 정보를 삽입하지 않고도 수신단에서 클럭 정보를 복원할 수 있도록 한다.
- [0027] 여기서 연속된 신호는 동일한 비트 값이 천이 정보 없이 연속되는 데이터로 정의될 수 있다. 바람직하게, n 비트가 하나의 패킷으로 묶이는 경우, 본 발명에 따른 송신 장치는 동일한 비트 값이 연속되는 데이터의 일부 비트 값을 차동 규칙이 깨지도록 다른 비트 값으로 변환한다.
- [0028] 차동 채널을 위해, 입력 데이터 000에 대해, P branch에서 000은 111로 변환되고, N branch에서는 000으로 되어야 하나, 상기한 바와 같이, 수신단에서 클럭 정보를 복원하기 위해, 본 실시예에 따른 송신 장치는 차동 규칙을 깨는 방식으로 P branch에서 000을 101로 변환한다.
- [0029] 또한, 입력 데이터 111에 대해, P branch에서 111은 000으로 변환되고, N branch에서는 111로 유지되어야 하나, 수신단에서 클럭 정보를 복원하기 위해, 본 실시예에 따른 송신 장치는 차동 규칙을 깨는 방식으로 N branch에서 111을 101로 변환한다.
- [0030] 본 발명에 따르면 입력 데이터를 n 비트 단위로 패킷화하는 경우, 송신 장치는 입력 데이터가 0이 연속되거나 1이 연속되는 경우, 차동 채널의 제1 신호는 0 또는 1이 연속되도록 하고, 제2 신호는 차동 규칙을 갖지 않는, 즉, 천이 정보를 갖도록 변환하게 된다.
- [0031] 상기한 도 1에서 제1 신호는 N branch, 제2 신호는 P branch에 해당하는 신호일 수 있다.
- [0032] 이처럼 차동 채널의 두 개의 신호 중 하나를 차동 규칙이 깨지도록 변환하는 것은 아래에서 설명하는 것과 같이 수신 장치의 디코더에서 차동 데이터 입력의 효과를 가질 수 있도록 하기 위함이다.
- [0033] 이러한 변환 방식으로 변환하면 송신 장치에서 오버헤드 없이 런-렝스를 제한함으로써 기준 클럭에 대한 정보를 수신 장치에 전송할 수 있다.
- [0034] 도 3은 본 발명에 따른 자동 데이터 속도 추적을 위한 송신 장치의 블록도이다.
- [0035] 도 3에 도시된 바와 같이, 본 발명에 따른 송신 장치는 인코더(300), 제1 직렬화기(302), 제2 직렬화기(304) 및 전송부(306)를 포함할 수 있다.
- [0036] 인코더(300)에는 전단에서 병렬화된 n 비트의 입력 데이터가 입력되며, 도 1과 같이 미리 설정된 신호법에 따라 입력 데이터를 제1 신호 및 제2 신호로 변환하여 출력한다.
- [0037] 이때, 인코더(300)는 입력 데이터가 동일한 비트 값이 연속되는 경우, 제1 신호 또는 제2 신호 중 하나가 차동

규칙이 깨지도록 적어도 일부의 비트 값이 다른 비트 값을 갖도록 변환한다. 이와 같이 변환된 신호가 천이 정보로 정의될 수 있다.

- [0038] 인코더(300)에 의해 출력된 제1 신호는 제1 직렬화기(302)에 의해 직렬화되고, 제2 신호는 제2 직렬화기(304)에 의해 직렬화되어 전송부(306)를 통해 채널로 전송된다.
- [0039] 본 발명의 바람직한 일 실시예에 따르면, 제1 및 제2 직렬화기(302,304)는 가변 지연 라인(VDL) 및 차동 출력 드라이버(Differential Output Driver)에 연결될 수 있다.
- [0040] 도 4은 본 발명의 일 실시예에 따른 차동 출력 드라이버의 상세 구성을 도시한 도면이다.
- [0041] 도 4를 참조하면, 복수의 스위치로 이루어지는 차동 회로(400) 및 상기 차동 회로의 2개의 입력이 동일한 경우에 턴온(활성화)되는 제어 회로(402)를 포함할 수 있다.
- [0042] 보다 상세하게, 본 실시예에 따른 차동 회로(400)는 게이트에 제1 신호가 입력되고, 소스가 전류원에 연결된 제1 트랜지스터(410)와, 게이트에 제2 신호가 입력되고, 소스가 전류원에 연결된 제2 트랜지스터(412)를 포함할 수 있다.
- [0043] 여기서, 제1 트랜지스터(410)의 드레인에 제1 출력단(414)이 연결되며, 제2 트랜지스터의 드레인에 제2 출력단(416)이 연결된다.
- [0044] 한편, 본 실시예에 따른 제어 회로(402)는 게이트에 스트로브 신호(Strobe)가 입력되고, 소스가 전류원에 연결된 제3 트랜지스터(418)를 포함할 수 있다.
- [0045] 본 발명의 바람직한 일 실시예에 따르면, 제어 회로(402)는 제1 트랜지스터(410)와 제2 트랜지스터(412)의 게이트에 동일한 신호가 입력될 때 잡음이 발생하는 것을 방지하기 위한 회로이다.
- [0046] 도 4에 도시된 바와 같이, 제1 및 제2 트랜지스터(410,412)에 동일한 신호(0)가 입력되는 경우, 제3 트랜지스터(418)의 게이트에 하이 신호(1)가 입력되어 턴온되며, 이에 따라 차동이 깨지면서 잡음이 입력되는 것을 방지한다.
- [0047] 도 4와 같은 차동 출력 드라이버를 이용하기 경우, 잡음이 입력되는 것이 방지되며, 제1 및 제2 트랜지스터(410,412)의 게이트에 입력되는 제1 신호 및 제2 신호는 반전되어 제1 및 제2 출력단(414,416)을 통해 출력된다.
- [0048] 도 3에서, 본 발명에 따른 송신 장치는 위상 고정 루프(308) 및 가변 지연 라인(310)을 더 포함할 수 있다.
- [0049] 위상 고정 루프(308)는 기준 클록을 이용하여 인코더(300)에 미리 설정된 비트 수가 하나의 패킷으로 묶일 수 있도록 분주된 클록을 제공한다.
- [0050] 또한, 가변 지연 라인(310)은 위상 고정 루프로부터 하프레이트의 클록을 공급받아 스큐(skew)를 보상한다.
- [0051] 도 5는 본 발명에 따른 자동 데이터 속도 추적을 위한 수신 장치의 블록도이다.
- [0052] 도 5에 도시된 바와 같이, 본 발명에 따른 수신 장치는 디코더(500), 비직렬화기(병렬화기Deserializer, 502) 및 지연 고정 라인(Delay Locked Loop based Clock and Data Recovery, 504)을 포함할 수 있다.
- [0053] 디코더(500)는 송신 장치에 전송된 제1 신호 및 제2 신호를 입력 받아 원래 데이터인 입력 데이터를 복원하고, 또한 천이 정보를 복원한다.
- [0054] 본 실시예에 따른 디코더(500)는 입력 데이터 복원부 및 천이 정보 복원부를 포함할 수 있다.
- [0055] 도 6은 본 발명의 일 실시예에 따른 입력 데이터 복원부의 상세 구성을 도시한 도면이다.
- [0056] 도 6에 도시된 바와 같이, 입력 데이터 복원부는 CML(Current Mode Logic) 앰프와 SR 래치를 결합한 구조를 가질 수 있다.
- [0057] 보다 바람직하게, 입력 데이터 복원부는 NAND 논리 게이트로 이루어진 SR NAND 래치일 수 있다.
- [0058] 이하에서는, 도 1에서 입력 데이터가 000인 경우에 대해 입력 데이터 복원부의 동작을 설명한다.
- [0059] 입력 데이터가 000인 경우 P branch에 해당하는 신호는 101로 변환되고, N branch에 해당하는 신호는 000이 된다.

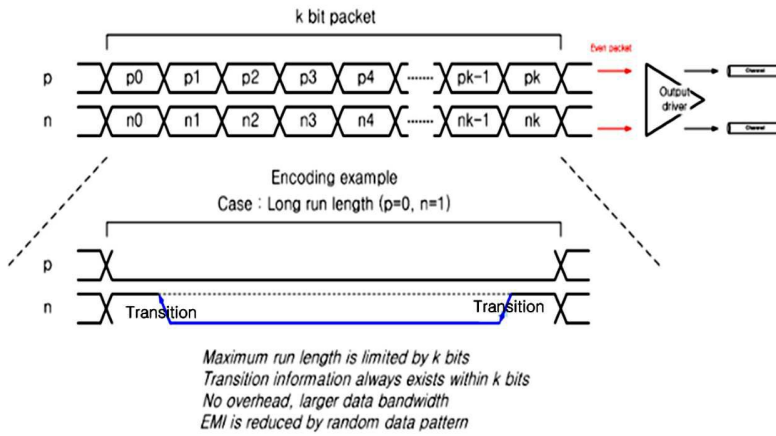
- [0060] 상기한 도 4에서의 차동 출력 드라이버에 의해 101은 010으로, 000은 111로 반전되어 수신단의 디코더(500)로 입력된다.
- [0061] 본 실시예에 따른 SR 래치는 제1 신호와 제2 신호가 서로 차동 신호인 경우, 예를 들어, 제1 신호가 0(Low)이고, 제2 신호가 1(High)인 경우 예는 제1 출력단(Outp)으로 1을 출력하며, 제2 출력단(Outn)으로 0을 출력한다.
- [0062] 이후, 제1 신호가 1, 제2 신호가 1인 경우, SR 래치는 이전 상태를 유지하면서 제1 출력단으로 1을, 제2 출력단으로 0을 출력한다.
- [0063] 다음으로, 제1 신호로 0, 제2 신호로 1이 입력되는 경우 제1 신호는 1을 출력하고, 제2 출력단으로 0을 출력한다.
- [0064] 여기서, 제2 출력단(outn)에서 출력되는 000이 복원된 입력 데이터이다.
- [0065] 본 발명의 바람직한 일 실시예에 따르면, 도 6과 같은 SR 래치를 통해 원 신호를 복원하는 것과 동시에, 클록 복원을 위해 도 7과 같은 회로를 이용한다.
- [0066] 도 7은 본 발명의 일 실시예에 따른 천이 정보 복원부의 상세 구성을 도시한 도면이다.
- [0067] 도 7에 도시된 바와 같이, 본 실시예에 따른 천이 정보 복원부는 NAND 논리 게이트로 이루어질 수 있다.
- [0068] 도 7을 참조하면, 입력 데이터가 000인 경우에 대해 차동 채널의 P branch에 0, 1, 0이 순차적으로 입력되고, N branch에 1, 1, 1이 순차적으로 입력되는 경우, 각각 제1 출력단(outp)에서는 1, 0, 1이 출력되고, 제2 출력단(outn)에서는 0, 1, 0이 출력된다.
- [0069] 이와 같이, 도 7의 NAND 논리 게이트를 통해 송신 장치에서 추가적으로 삽입된 천이 정보를 복원해 낼 수 있으며, 두 개의 출력 신호는 지연 고정 라인(504)으로 입력된다.
- [0070] 지연 고정 라인(504)은 입력 신호에 의해 클럭을 복원하고, 디코더(500)의 SR 래치에서 출력되어 비직렬화기(502)로 입력된 데이터를 순차적으로 읽을 수 있다.
- [0071] 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대해 통상의 지식을 가진 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

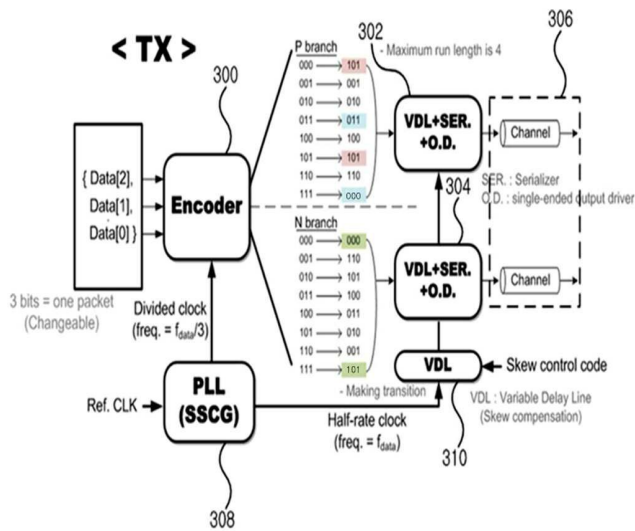
도면1

P branch		N branch
000 → 101 → ①'		000 → 000 → ①'
001 → 110		001 → 001
010 → 101 → ①		010 → 010 → ①
011 → 100		011 → 011
100 → 011		100 → 100
101 → 010 → ②		101 → 101 → ②
110 → 011		110 → 110
111 → 000 → ②'		111 → 101 → ②'

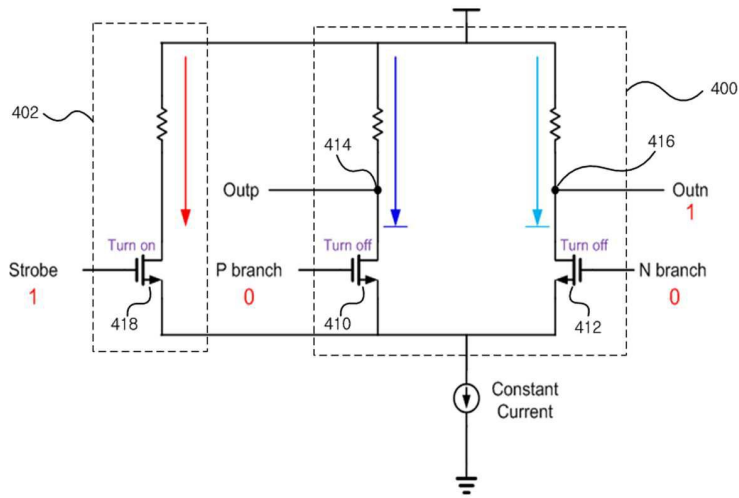
도면2



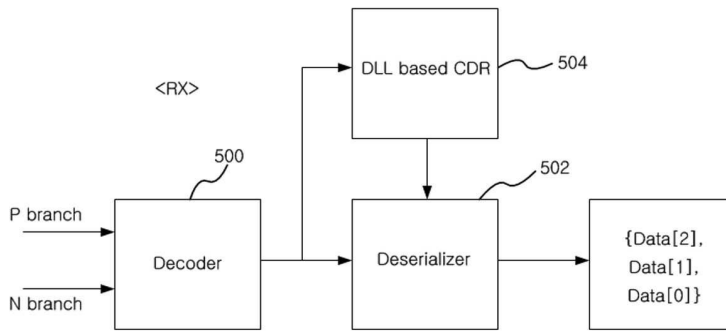
도면3



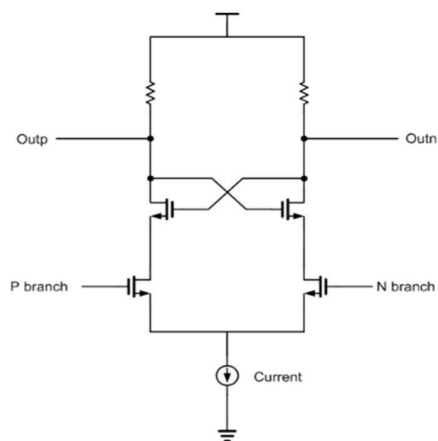
도면4



도면5



도면6



도면7

