

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3880836号
(P3880836)

(45) 発行日 平成19年2月14日(2007.2.14)

(24) 登録日 平成18年11月17日(2006.11.17)

(51) Int. Cl.

F I

H O 4 L 12/56 (2006.01)

H O 4 L 12/56 3 O O B

請求項の数 8 外国語出願 (全 19 頁)

(21) 出願番号	特願2001-337986 (P2001-337986)	(73) 特許権者	500587067
(22) 出願日	平成13年11月2日(2001.11.2)		アギア システムズ インコーポレーテッド
(65) 公開番号	特開2002-232479 (P2002-232479A)		アメリカ合衆国、18109 ペンシルヴァニア、アレントアウン、アメリカン パークウェイ エヌイー 1110
(43) 公開日	平成14年8月16日(2002.8.16)		
審査請求日	平成15年11月7日(2003.11.7)	(74) 代理人	100064447
(31) 優先権主張番号	60/245416		弁理士 岡部 正夫
(32) 優先日	平成12年11月2日(2000.11.2)	(74) 代理人	100085176
(33) 優先権主張国	米国 (US)		弁理士 加藤 伸晃
(31) 優先権主張番号	10/001654	(74) 代理人	100106703
(32) 優先日	平成13年10月31日(2001.10.31)		弁理士 産形 和央
(33) 優先権主張国	米国 (US)	(74) 代理人	100096943
			弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 音声パケットプロセッサおよびその処理方法

(57) 【特許請求の範囲】

【請求項1】

プロトコルデータユニット(PDU)を送受する高速パターンプロセッサおよびルーティングスイッチプロセッサを採用する音声アプリケーションと共に用いる音声パケットプロセッサであって：

前記高速パターンプロセッサから前記PDUを受信し、前記PDUを処理のためにキューイングするように構成された音声パケットコントローラであって、前記PDUが音声データを含まない場合は、処理をバイパスし、前記PDUを前記RSPに再送信するように動作する音声パケットコントローラ；

前記音声パケットコントローラから音声データを含む非同期転送モード(ATM)アダプテーション層2(AAL2)セルから成る前記PDUを受信し、前記AAL2セルを少なくとも一つの共通部サブ層(CPS)パケットにパッキングし、この少なくとも一つのCPSパケットを前記ルーティングスイッチプロセッサに送信するように構成された音声パケットパーサ；および

前記音声パケットコントローラからCPSパケットから成る前記PDUを受信し、前記CPSパケットを少なくとも一つのAAL2セルに組み立て、前記少なくとも一つのAAL2セルを前記ルーティングスイッチプロセッサに送信するように構成された音声パケットアセンブラを備えることを特徴とする音声パケットプロセッサ。

【請求項2】

キャリアクラス音声ゲートウェイであって：このキャリアクラス音声ゲートウェイが：

10

20

ファブリック網とインタフェースし、非同期転送モード（ＡＴＭ）アダプテーション層２（ＡＡＬ２）セルおよびプロトコルデータユニット（ＰＤＵ）を送受するファブリックインタフェースコントローラ；

受信された音声通信をデジタル化し、共通部サブ層（ＣＰＳ）パケット内に格納し、これらＣＰＳパケットを送信音声通信に変換するデジタル信号処理（ＤＳＰ）モジュール；および

前記ＤＳＰモジュールおよび前記ファブリックインタフェースコントローラとインタフェースし、前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵを送受するパケット処理システムを備え、前記パケット処理システムが；

前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵを受信し、前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵに関してパターン認識および分類を遂行する高速パターンプロセッサ（ＦＰＰ）、および

音声パケットプロセッサを備え；この音声パケットプロセッサが；

前記ＦＰＰから前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵを受信し、前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵを処理のためにキューイングし、および前記ＰＤＵが音声データを含まない場合は、処理をバイパスし、前記ＰＤＵを前記ＲＳＰに再送信するように動作する音声パケットコントローラ、

前記音声パケットコントローラから音声データを含む前記ＡＡＬ２セルを受信し、前記ＡＡＬ２セルを少なくとも一つのＣＰＳパケットにパーシングし、前記少なくとも一つのＣＰＳパケットを送信する音声パケットパーサ；および

前記音声パケットコントローラからＣＰＳパケットを受信し、前記ＣＰＳパケットを少なくとも一つのＡＡＬ２セルに組み立て、前記少なくとも一つのＡＡＬ２セルを送信する音声パケットアセンブラを備え、前記パケット処理システムがさらに

前記音声パケットプロセッサから前記少なくとも一つのＣＰＳパケット、前記少なくとも一つのＡＡＬ２セルあるいは前記ＰＤＵを受信し、ルーティング機能および／あるいはトラヒック管理を遂行し、前記少なくとも一つのＣＰＳパケットを前記ＤＳＰモジュールに送信し、前記少なくとも一つのＡＡＬ２セルあるいは前記ＰＤＵを前記ファブリックインタフェースコントローラに送信するルーティングスイッチプロセッサ（ＲＳＰ）を備えることを特徴とするキャリアクラス音声ゲートウェイ。

【請求項３】

前記音声パケットコントローラ、前記音声パケットパーサおよび前記音声パケットアセンブラが、前記ＣＰＳパケット、前記ＡＡＬ２セルあるいは前記ＰＤＵの少なくとも一部を処理することを特徴とする請求項２記載のキャリアクラス音声ゲートウェイ。

【請求項４】

前記音声パケットパーサが、前記少なくとも一つのＣＰＳパケットを、ＡＡＬ２送信流内に組み込まれるように、前記ルーティングスイッチプロセッサから前記音声パケットアセンブラに向けて再ルーティングすることによって、さらに、ＣＰＳパケットのスイッチングを遂行するように構成されることを特徴とする請求項２記載のキャリアクラス音声ゲートウェイ。

【請求項５】

プロトコルデータユニット（ＰＤＵ）を採用する音声アプリケーションに用いるための音声パケットプロセッサであって、この音声パケットプロセッサが；

前記ＰＤＵを受信し、前記ＰＤＵを処理のためにキューイングし、前記ＰＤＵがＡＡＬ２タイプのセルでも、ＣＰＳパケットでもない場合、処理をバイパスし、前記ＰＤＵを再送信するように構成された音声パケットコントローラ；

前記音声パケットコントローラから音声データを含む非同期転送モード（ＡＴＭ）アダプテーション層２（ＡＡＬ２）セルから成る前記ＰＤＵを受信し、前記ＡＡＬ２セルを少なくとも一つの共通部サブ層（ＣＰＳ）パケットにパーシングし、前記少なくとも一つのＣＰＳパケットを送信するように構成された音声パケットパーサ；および

前記音声パケットコントローラからＣＰＳパケットから成る前記ＰＤＵを受信し、前記

10

20

30

40

50

C P S パケットを少なくとも一つの A A L 2 セルに組み立て、前記少なくとも一つの A A L 2 セルを送信するように構成された音声パケットアセンブラを備えることを特徴とする音声パケットプロセッサ。

【請求項 6】

前記音声パケットパーサが、前記少なくとも一つの C P S パケットを、A A L 2 送信流内に組み込まれるように、前記音声パケットアセンブラに向けて再ルーティングすることによって、さらに、C P S パケットのスイッチングを遂行するように構成されることを特徴とする請求項 5 記載の音声パケットプロセッサ。

【請求項 7】

前記音声パケットパーサが、C P S パケットのチャンネル識別子を、チャンネル識別子のマッピングのために修正することにより、C P S パケット交換をさらに行うことを特徴とする請求項 4 に記載のキャリアクラス音声ゲートウェイ。

10

【請求項 8】

前記音声パケットパーサが、前記少なくとも一つの C P S パケットのチャンネル識別子を、チャンネル識別子のマッピングのために修正するよう、さらに構成されていることを特徴する請求項 6 記載の音声パケットプロセッサ。

【発明の詳細な説明】

【0001】

【関連する仮特許出願】

本出願は、本発明と譲受人を同一とする、2000年11月2日付けでLeslie Zsoharら
を譲受人として出願された“VOICE PAYLOAD PROCESSOR (音声ペイロードプロセッサ)”
なる名称の米国仮特許出願No. 60/245,416の利益を請求するため、この全文
についても参照されたい。

20

【0002】

【関連する特許出願】

本出願は、2001年3月2日付けで出願された“A VIRTUAL SEGMENTATION SYSTEM AND
METHOD OF OPERATION THEREOF (仮想セグメント化システムおよびこれを動作する方法)
”なる名称の米国特許出願Serial No: 9/798,472、および2001年3月3
0日付けで出願された“A VIRTUAL SEGMENTATION SYSTEM AND METHOD OF OPERATION THER
EOF (仮想セグメント化システムおよびこれを動作する方法)”なる名称の米国特許出願
Serial No: 09/822,655と関連する。上に掲載の特許出願は、本発明と譲受
人を同一とする係属中の出願であるため、これらの全文についても参照されたい。

30

【0003】

【発明の属する技術分野】

本発明は、一般的には、ネットワークプロセッサ、より詳細には、音声パケットプロセッサおよびこれを動作する方法に関する。

【0004】

【従来の技術】

電気通信は、現在、インターネットトラヒックの爆発的成長によってもたらされた革命の渦中にある。この成長の背後には、数百万もの新たなユーザ、マルチメディアのようなより豊富な内容に対する需要、および音声とデータトラヒックのインターネットおよび関連するバックボーン網上への統合がある。ますます多くの音声トラヒックが、新たなインターネットプロトコル(I P)網および非同期転送モード(A T M)網上を運ばれることが見込まれる。

40

【0005】

事実、公衆交換電話網(“S P T N”)は、クローズドシステムから、電気通信キャリアがオープンソフトウェアプラットフォームによって提供される新たなサービス商品にて自身を差別化することが許されるオープンネットワークアーキテクチャへと急速な進化を遂げつつある。ユーザは、一層のサービスの多様性と同時に、現在のP S T Nと同等な信頼性も要求する。加えて、電気通信キャリアは、数10億ドルもの従来の設備を放棄すること

50

には消極的である。ただし、電気通信キャリアは、P S T Nが今日のユーザの需要を扱うことができるように進化する必要性については認識している。

【 0 0 0 6 】

デジタル網の能力の長所を活かすために、電気通信キャリアは、現在、P S T Nを、増加するデータトラフィックを収容することが可能なより柔軟で拡張性のあるソリューションに変換するために、キャリアクラス音声ゲートウェイを採用している。キャリアクラス音声ゲートウェイ製品は、典型的には、C l a s s 5 中央局スイッチとトラフィックを運ぶパケットあるいはセルベースのデジタル網の中間に位置する。キャリアクラス音声ゲートウェイの2つの主要な機能は、用いられているシグナリングプロトコルに基づいて呼を設定する機能と、時分割多元 (T D M) 音声サンプルをデジタルパケットあるいはセルに変換する機能にある。

10

【 0 0 0 7 】

【 発明が解決しようとする課題 】

現在、キャリアクラス音声ゲートウェイを採用するデジタル網上で音声運ぶための優勢なフォーマットには、Voice of IP (VoIP)、A T M アダプテーション層 2 (A A L 2) を用いるVoice over ATM (VoATM) および A A L 1 を用いる V o A T M が含まれる。現在利用可能なシステムは、V o I P 処理のために必要とされる要求されるヘッダを付加することや、A A L 1 を用いる V o A T M に対して必要とされるセグメント化・再組み立て (S A R) 機能を遂行することはできる。ただし、A A L 2 を用いる V o A T M に対して必要とされる S A R の実現するためには、A A L 2 のプロトコルおよびフォーマットのために、追加の複雑化およびより大きな処理要件が要求される。A T M 網自身も、セルの送信と関連する速度要件に起因して追加のタイミング制約を課す。残念なことに、現在のキャリアクラス音声ゲートウェイは、A A L 2 の複雑さおよびタイミング要件を克服し、A A L 2 に対するセグメント化・再組み立て機能 (S A R) を実現するには至っていない。

20

従って、当分野においては、従来の技術のこれら欠点を克服するシステムに対する必要性が存在する。

【 0 0 0 8 】

【 課題を解決するための手段 】

従来の技術の上述の欠点を解決するために、本発明は、プロトコルデータユニット (P D U) を送受する高速パターンプロセッサおよびルーティングスイッチプロセッサを採用する音声アプリケーションと共に用いるための音声パケットプロセッサ、およびこれを動作する方法を開示する。一つの実施例においては、この音声パケットプロセッサは、高速パターンプロセッサから P D U を受信し、これら P D U を処理のためにキューイングするように構成された音声パケットコントローラを備える。この音声パケットプロセッサは、さらに、音声パケットコントローラから音声データを含む非同期転送モード (A T M) アダプテーション層 2 (A A L 2) セルから成る P D U を受信し、これら A A L 2 セルを少なくとも一つの共通部サブ層 (C P S) パケットにパッシングし、この少なくとも一つの C P S パケットをルーティングスイッチプロセッサに送信するように構成された音声パケットパーサを備える。加えて、この音声パケットプロセッサは、音声パケットコントローラから C P S パケットから成る P D U を受信し、これら C P S パケットを少なくとも一つの A A L 2 セルに組み立て、この少なくとも一つの A A L 2 セルをルーティングスイッチプロセッサに送信するように構成された音声パケットアセンブラを備える。

30

40

【 0 0 0 9 】

もう一つの実施例によると、本発明は、プロトコルデータユニット (P D U) を送受する高速パターンプロセッサおよびルーティングスイッチプロセッサを採用する音声アプリケーションと共に用いるための音声パケットプロセッサを動作する方法を開示する。この方法は： (1) 音声パケットコントローラ内で、高速パターンプロセッサからの P D U を受信し、これら P D U を処理のためにキューイングするステップ、 (2) 音声パケットパーサ内で、音声パケットコントローラからの音声データを含む非同期転送モード (A T M) アダプテーション層 2 (A A L 2) セルから成る P D U を受信し、これら A A L 2 セルを

50

少なくとも一つの共通部サブ層（ＣＰＳ）パケットにパーシングし、この少なくとも一つのＣＰＳパケットをルーティングスイッチプロセッサに送信するステップ、および（３）音声パケットアセンブラ内で、音声パケットコントローラからのＣＰＳパケットから成るＰＤＵを受信し、これらＣＰＳパケットを少なくとも一つのＡＡＬ２セルに組み立て、この少なくとも一つのＡＡＬ２セルをルーティングスイッチプロセッサに送信するステップを含む。

【００１０】

本発明は、さらに、一つの実施例においては、キャリアクラス音声ゲートウェイを提供する。このキャリアクラス音声ゲートウェイは、ファブリック網とインタフェースし、非同期転送モード（ＡＴＭ）アダプテーション層２（ＡＡＬ２）セルおよびプロトコルデータユニット（ＰＤＵ）を送受するためにファブリックインタフェースコントローラ、および受信される音声通信をデジタル化し、共通部サブ層（ＣＰＳ）パケット内に格納し、これらＣＰＳパケットを送信音声通信に変換するデジタル信号処理（ＤＳＰ）モジュールを備える。このキャリアクラス音声ゲートウェイは、さらに、ＤＳＰモジュールおよびファブリックインタフェースコントローラとインタフェースし、ＣＰＳパケット、ＡＡＬ２セルあるいはＰＤＵを送受するパケット処理システムを備える。

10

【００１１】

このパケット処理システムは、ＣＰＳパケット、ＡＡＬ２セルあるいはＰＤＵを受信し、これらＣＰＳパケット、ＡＡＬ２セルあるいはＰＤＵに関してパターン認識および分類を遂行する高速パターンプロセッサ（ＦＰＰ）を備える。このパケット処理システムは、さらに：（１）ＦＰＰからＣＰＳパケット、ＡＡＬ２セルあるいはＰＤＵを受信し、これらＣＰＳパケット、ＡＡＬ２セルあるいはＰＤＵを処理のためにキューイングする音声パケットコントローラ、（２）音声パケットコントローラから音声データを含むＡＡＬ２セルを受信し、これらＡＡＬ２セルを少なくとも一つのＣＰＳパケットにパーシングし、この少なくとも一つのＣＰＳパケットを送信する音声パケットパーサ、および（３）音声パケットコントローラからＣＰＳパケットを受信し、これらＣＰＳパケットを少なくとも一つのＡＡＬ２セルに組み立て、この少なくとも一つのＡＡＬ２セルを送信する音声パケットアセンブラを備える、音声パケットプロセッサを含む。

20

【００１２】

加えて、このパケット処理システムは、さらに、音声パケットプロセッサから少なくとも一つのＣＰＳパケット、少なくとも一つのＡＡＬ２セルあるいはＰＤＵを受信し、ルーティング機能および／あるいはトラヒック管理を遂行し、前記少なくとも一つのＣＰＳパケットをＤＳＰモジュールに送信し、前記少なくとも一つのＡＡＬ２セルあるいはＰＤＵをファブリックインタフェースコントローラに送信するルーティングスイッチプロセッサ（ＲＳＰ）を備える。本発明の目的に対しては、“あるいは”なる用語の使用は、一方あるいは他方あるいはこれらの組合せを意味する。

30

【００１３】

上では、本発明の好ましい実施例（特徴）および代替実施例の概要が、当業者が以下の本発明の詳細な説明をより良く理解できる説明された。以下では、本発明のクレームの主題を形成する本発明の追加の実施例（特徴）も説明される。当業者においては、ここに開示された概念および具体例を基礎として、本発明の同一の目的を遂行する他の構造を容易に設計あるいは上述の構造に修正を加えることができ、当業者においては容易に理解できるように、これら同等な構造も本発明の精神および範囲から広義の意味において逸脱するものではない。

40

本発明のより完全な理解が以下の説明を付属の図面を参照しながら読むことで得られるものである。

【００１４】

【発明の実施の形態】

図１は、本発明の原理に従って構成されたキャリアクラス音声ゲートウェイ１３０の一つの実施例を採用する電気通信網１００のブロック図を示す。この電気通信網１００は一般

50

的には網 100 を通じて音声通信を送受するように設計される。

【0015】

図示されるように、電気通信網 100 は電話デバイス 110、中央局スイッチ 120、キャリアクラス音声ゲートウェイ 130、およびファブリック網 170 を備える。中央局スイッチ 120 は従来の中央局スイッチから成り、電話デバイス 110 に結合可能である。もう一つの実施例においては、中央局スイッチ 120 は従来のクラス 5 中央局スイッチから成る。電話デバイス 110 は従来の旧式の簡易電話機 (POTS) から成り、中央局スイッチ 120 は任意の数の電話デバイス 110 に接続することができる。

【0016】

キャリアクラス音声ゲートウェイ 130 はシグナリングプロトコルを採用する中央局スイッチ 120 とインタフェースし、音声通信、例えば、時分割多重 (TDM) 音声サンプルを送受するように構成される。シグナリングプロトコルは、例えば、中央局スイッチ 120 とキャリアクラス音声ゲートウェイ 130 によって呼を設定および切断するために用いられる。一つの実施例によると、このシグナリングプロトコルは、Signaling System No. 7 (SS7) から成る。本発明の目的に対しては、“構成される”なる語句は、あるデバイス、システムもしくはサブシステムが、ある記述されるタスクを達成するために必要とされるソフトウェア、ハードウェア、ファームウェアもしくはこれらの組合せを含むことを意味する。

【0017】

キャリアクラス音声ゲートウェイ 130 は、さらに、音声通信をデータパケットあるいはセルにあるいはこの逆に変換し、データパケットあるいはセルをファブリック網 170 に送信あるいはこれから受信するように構成される。ファブリック網 170 は、任意のタイプのデジタル網、例えば、非同期転送モード (ATM) 網であり得る。ファブリック網 170 は、さらに、同一のタイプの複数のデジタル網から成ることも、あるいは異なるタイプのデジタル網の組合せから成ることもあり得る。

【0018】

説明の実施例においては、キャリアクラス音声ゲートウェイ 130 は、デジタル信号処理 (DSP) モジュール 140、パケット処理システム 150 およびファブリックインタフェースコントローラ 160 を備える。DSP モジュール 140 は、受信された音声通信をデジタル化し、共通部サブ層 (CPS) パケット内に格納するように構成される。CPS パケットの説明については図 2 を参照されたい。ファブリックインタフェースコントローラ 160 は、ファブリック網 170 とインタフェースし、ATM アダプテーション層 2 (AAL2) セルおよびプロトコルデータユニット (PDU) を送受するように構成される。本発明の目的に対しては、“プロトコルデータユニット”なる用語は、ある特定のプロトコルと関連するデータのユニットを構成するパケットあるいはセルを意味する。パケット処理システム 150 は、DSP モジュール 140 およびファブリックインタフェースコントローラ 160 とインタフェースし、CPS パケット、AAL2 セルおよび PDU を送受するように構成される。パケット処理システム 150 は、さらに、CPS パケット、AAL2 セルおよび PDU に関して分類、セグメント化と再組立およびルーティング機能を遂行するように構成される。パケット処理システム 150 の実施例のより詳細な説明については図 4 を参照されたい。

【0019】

図 2 は音声通信において用いられる CPS パケット構造を示す。CPS パケット構造は 2 つの基本セクション、すなわち：ヘッダとペイロードから成る。第一のセクションはヘッダであり、チャンネル識別子、長さ指標、ユーザ・ツウ・ユーザ指標およびヘッダ誤り制御を含む。テーブル 2.1 は図 2 の CPS パケットヘッダの内容について説明する。

欄	ビット数	説明
C I D	8	チャネル識別子ー零は許されない（P A D 識別に対して予約）
L I	6	長さ指標ーC P S パケットペイロード内のオクテット数より 1 だけ少ない値にセット。
U U I	5	ユーザ・ツウ・ユーザ指標ー2 4 と 3 1 は管理（タイプ 3）パケットを表す。
H E C	5	ヘッダ誤り制御

10

テーブル2. 1ーCPSパケットのヘッダ

【 0 0 2 0 】

第二のセクションはC P S パケットのペイロードを含む。ペイロードは1～6 4 バイトのデータ、例えば、デジタル化された音声通信を含む。C P S パケットに関する背景情報については、“ATM Theory and Applications”, by David E. McDysan and Darren L. Spohn, McGraw-Hill (Signature ed. 1998) および “ATM Volume 1, Foundation for Broadband Networks”, by Uylless D. Black, Prentice-Hall (2ⁿ d ed. 1999) において説明されているため、これらを参照されたい。

20

【 0 0 2 1 】

図3 A はATM網において用いられるA A L 2 タイプのセルに対するA T M セルの構造を示す。A A L 2 タイプのセルは、典型的には、通常、ボイスオーバA T M (V o A T M) と呼ばれるA T M 網を通じての音声トラヒックに対して用いられる。ただし、勿論、本発明は音声トラヒックに対するA T M セルに制限されるものではない。さらに、本発明は音声トラヒックのみを含むA A L 2 タイプのセルに制限されるものでもない。他の実施例においては、本発明は、音声データ、マルチメディアデータあるいはこれらの組合せを含むA A L 2 タイプのセルも処理する。

30

【 0 0 2 2 】

A A L 2 タイプのセルに対するA T M セルの構造は、3つの基本セクション、すなわち：A T M ヘッダ、A A L 2 ヘッダおよびペイロードから成る。第一のセクションはA T M ヘッダであり、これは標準のA T M セルヘッダであり、5 バイトから成る。テーブル3 . 1 は、図3 A のA T M ヘッダの内容を説明する。

欄	ビット数	説明
G F C	4	一般フロー制御
V P I	8	仮想経路識別子
V C I	16	仮想チャネル識別子
P T	3	ペイロードタイプ
C L P	1	セル損失優先
H E C	8	ヘッダ誤り検査

10

テーブル3. 1 ATMヘッダ

【0023】

ATMヘッダ識別子は、宛先、セルのタイプおよび優先を識別する。宛先は仮想経路識別子(VPI)と仮想チャネル識別子(VCI)の組合せによって識別される。一般フロー制御(GFC)欄は、マルチプレクサによってATM端末の速度を制御するために用いられる。もう一つの実施例においては、GFC欄の全体あるいはGFC欄の一部が、可能なVPI値の数を増加するためにVPI欄の一部として用いられる。ペイロードタイプ(Payload Type、PT)は、そのATMセルがユーザデータ、シグナリングデータ、あるいは保守情報のいずれを含むかを示す。セル損失優先(CLP)ビットは、セルの優先を示す。低い優先のセルは輻湊期間において高い優先のセルより先に放棄される。さらに、ヘッダ誤り検査(HEC)は、ATMヘッダ内の誤りを検出および訂正するために用いられる。

20

【0024】

AAL2セルの第二のセクションはAAL2ヘッダであり、図3Bにおいて説明されている。AAL2セルの最後のセクションはペイロードである。このペイロードは47 - バイトから成り、データ、例えば、図2のCPSパケットあるいはCPSパケットの一部を含む。標準のATMセルにおいては、各ATMセルは53 - バイトの固定サイズを持ち、この内の5 - バイトはATMヘッダに当てられ、48 - バイトはペイロードに当てられる。ただし、AAL2セルは、ペイロードの1バイトをAAL2ヘッダ用に使い、このためペイロードは47 - バイトに低減される。ATMセルおよびAAL2タイプのセルに関する背景情報に関しては、“ATM Theory and Applications”, by David E. McDysan and Darren L. Spohn, McGraw-Hill (Signature ed. 1998)および“ATM Volume 1, Foundation for Broadband Networks”, by Uyless D. Black, Prentice-Hall (2nd ed. 1999)において説明されているため、これらを参照されたい。

30

【0025】

図3Bは図3AのAAL2タイプのセルのAAL2ヘッダの構造を示す。AAL2ヘッダは、オフセット、通し番号(SN)および奇数パリティビット(P)を含む。テーブル3.2は図3BのAAL2ヘッダの内容を説明する。

40

欄	ビット数	説明
オフセット	6	CPSパケットヘッダのヘッドとCPSパケットの開始あるいはペイロード内のPAD欄の開始のいずれかとの間のバイトの数。
SN	1	通し番号—交互する0と1
P	1	奇数パリティ

10

テーブル3. 2 AAL2ヘッダ

【0026】

音声トラヒックに対して用いられるAAL2タイプのセルは、典型的には、47 - バイトのAAL2ペイロード内に格納されたCPSパケットを持つ。ただし、CPSパケットは1 - バイト～64 - バイトの間で変動するデータを含み、AAL2タイプのセルはデータに対しては最大で47 - バイトを持つため、1つのCPSパケットを伝送するために、複数のAAL2タイプのセルが用いられることもある。例えば、ある1つのCPSパケットが64 - バイトのデジタル化された音声データを含む場合、第一のAAL2タイプのセルが、そのCPSヘッダの3 - バイトと、そのCPSペイロードの最初の44 - バイトを含み；第二のAAL2タイプのセルが、そのCPSペイロードの残りの20 - バイトを含むことが考えられる。この場合、この第二のAAL2タイプのセルはのペイロードは、まだ、27バイトが空いた状態となる。この第二のAAL2タイプのセルを、ペイロードが部分的に使用されている状態にて送信する代わりに、この第二のAAL2タイプのセルの残りのペイロードには、第二のCPEパケットが満たされる。本発明の目的に対しては、この第二のAAL2タイプのセルは、マルチパックドAAL2セル（Multi-packed AAL2 cell）と呼ばれる。マルチパックドAAL2セルは、CPSペイロードのサイズによっては複数のCPSパケットを含くこともある。加えて、あるAAL2タイプのセルのAAL2ペイロードが完全には使用されないが（満たされないが）、それでもそのAAL2タイプのセルを送信する必要がある場合は、そのAAL2ペイロードの残りの部分に零を付加（パディング）することで所定のATMセルサイズが維持される。

20

30

【0027】

図4は、本発明の原理に従って構成されたパケット処理システムアーキテクチャ400の一つの実施例のブロック図を示す。このパケット処理システムアーキテクチャ400は、一つの実施例においては、図1に示すキャリアクラス音声ゲートウェイ内に採用される。パケット処理システムアーキテクチャ400は、複数の通信プロトコルに対する高速処理を、完全なプログラマビリティにて、達成するユニークなハードウェアとソフトウェアの組合せを提供する。このユニークな組合せは、今までは特定用途向け集積回路（ASIC）プロセッサ回路によってしか実現できなかった速度と、従来の縮小命令セット計算（RISC）プロセッサに匹敵するプログラマビリティを提供する。

40

【0028】

図4に示す実施例においては、パケット処理システムアーキテクチャ400は、物理インタフェース410、高速パターンプロセッサ（FPP）420、音声パケットプロセッサ（VPP）425、ルーティングスイッチプロセッサ（RSP）430、およびシステムインタフェースプロセッサ（SIP）440を備える。このパケット処理システムアーキテクチャ400は、さらに、RSP430とファブリック網460に結合されたファブリ

50

ックインタフェースコントローラ４５０を備える。図には示されない他の要素も、本発明の範囲から逸脱することなく、このパケット処理システムアーキテクチャ４００内に含めることができることに注意する。

【 0 0 2 9 】

物理インタフェース 410 は、外部網あるいはデバイスへの結合を提供する。一つの実施例においては、物理インタフェース 410 は P O S - P H Y / U T O P I A レベル 3 インタフェースから成る。F P P 420 は、一つの実施例においては、物理インタフェース 410 に結合され、物理インタフェース 410 から P D U、C P S パケット、A A L 2 セルあるいはこれらの組合せを含むデータ流を受信する。F P P 420 は、P D U、C P S パケットおよび A A L 2 セルを分析および分類し、その後これらパケットを V P P 425 に出力することで処理を終える。

【 0 0 3 0 】

F P P 4 2 0 は、強力な高水準関数プログラミング言語（F P L）と協力して、複雑なパターンあるいはシグニチャ（署名）認識を実現し、これらシグニチャを含む処理ブロックに関して動作する能力を持つ。F P P 4 2 0 は、データ流のペイロードおよびヘッダの全てのバイトに関してパターン分析を遂行する能力を有する。パターン分析の結論は、その後、システム論理、すなわち V P P 4 2 5 および R S P 4 3 0 に供給され、処理ブロックの操作およびキューイング機能のために用いられる。F P P 4 2 0、V P P 4 2 5 および R S P 4 3 0 は、スイッチング、ルーティング、セグメント化および再組立に対する解決を与える。F P P 4 2 0 は、さらに、V P P 4 2 5、R S P 4 3 0 および S I P 4 4 0 へのグルーレスインタフェースを提供し、次世代テラビットスイッチおよびパケット処理システムにおけるワイヤスピード処理に対する完全な解決を提供する。

【 0 0 3 1 】

図４に示すように、F P P 4 2 0は、第一の通信リンク４７０を用いて、物理インタフェース４１０からのデータ流を受信する。この第一の通信リンク４７０は、例えば、産業標準のU T O P I A レベル３ / U T O P I A レベル２ / P O S - P H Y レベル３インタフェースから成る。加えて、F P P 4 2 0は、第二の通信リンク４７２を用いて、パケットおよび結論をV P P 4 2 5に送信する。この第二の通信リンク４７２は、例えば、P O S - P H Y レベル３インタフェースから成る。

【 0 0 3 2 】

F P P 4 2 0 はさらに管理経路インタフェース (M P I) 4 7 5、機能バスインタフェース (F B I) 4 8 0 および構成バスインタフェース (C B I) 4 8 5 を備える。M P I 4 7 5 は、F P P 4 2 0 によってローカルマイクロプロセッサから管理フレームを受信するために用いられる。一つの実施例においては、これはS I P 4 4 0 を通じて扱われる。F B I 4 8 0 は、F P P 4 2 0 とS I P 4 4 0 を、あるいは幾つかの状況においては、F P P 4 2 0 とカスタム論理とを、機能呼の外部処理のために接続するために用いられる。C B I 4 8 5 は、F P P 4 2 0 および他のデバイス (例えば、物理インタフェース 4 1 0、V P P 4 2 5 およびR S P 4 3 0) をS I P 4 4 0 に接続するために用いられる。本発明の範囲から逸脱することなく、他のインタフェース (図示せず)、例えば、メモリインタフェースを設けることもできる。

【 0 0 3 3 】

F P P 4 2 0 は、プログラマブルであり、多様なアプリケーションおよびプロトコルに対して性能を柔軟に最適化できるという点で追加の利点を持つ。F P P 4 2 0 は固定機能ASICではなく、プログラマブルプロセッサであるため、開発される新たなプロトコルあるいはアプリケーション、並びに要求される新たな網機能に対応することができる。F P P 4 2 0 は、さらに、多様な探索アルゴリズムを収容し、これら探索アルゴリズムを大きなリストに効果的に適用することもできる。

【 0 0 3 4 】

VPP452は、FPP420およびRSP430と協力して機能し、FPP420によって分類されたPDU、CPSパケットおよびAAL2セルを処理する。VPP425は

、一つの実施例においては、A A L 2 セルを生成および終端する能力、C P S パケットと A A L 2 セルの間で変換する能力、および C P S パケットをスイッチングする能力を有する。A A L 2 セルおよび / あるいは C P S パケットは、次に、要求される追加の処理を行なうために R S P 4 3 0 に送られる。V P P 4 2 5 は、さらに、P D U に関する処理をバイパスし、これら P D U を分類情報と共に R S P 4 3 0 に送信することもできる。加えて、V P P 4 2 5 は、第三の通信リンク 4 7 4 を用いて、パケット、セルおよび結論を R S P 4 3 0 に送信する。この第三の通信リンク 4 7 4 は、例えば、P O S - P H Y レベル 3 インタフェースから成る。

【0035】

R S P 4 3 0 もプログラマブルであり、F P P 4 2 0 および V P P 4 2 5 と協力して、F P P 4 2 0 によって分類された P D U、および V P P 4 2 5 によって処理された C P S パケットおよび A A L 2 セルを処理する。R S P 4 3 0 は、一つの実施例においては、F P P 4 2 0 および V P P 4 2 5 から受信される分類情報を用いて、P D U のペイロードの開始オフセットおよび長さを決定するが、これによって、その P D U に対する分類の結論が得られる。この分類情報は、その P D U に対して選択されたポートおよび関連する R S P 4 3 0 を決定するためにも用いられる。R S P 4 3 0 は、さらに、さらなる処理のため

10

【0036】

R S P 4 3 0 は、さらに、ランダム早期放棄 (R E D)、重み付けランダム早期放棄 (R E D)、早期パケット放棄 (R P D) および部分パケット放棄 (P P D) などの方針を含むプログラマブルトラヒック管理を提供する。R S P 4 3 0 は、さらに、待ち行列毎にプログラマブルなサービス品質 (Q o S) およびサービスクラス (C o S) パラメータを含むプログラマブルトラヒックシェーピング (整形) を提供する。これら Q o S パラメータには、固定ビットレート (C B R)、未指定ビットレート (U B R)、および可変ビットレート (V B R) が含まれる。同様に、C o S パラメータには、固定優先、ラウンドロビン、重み付けラウンドロビン (W R R)、重み付けフェアキューイング (W F Q) および保障フレームレート (G F R) が含まれる。

20

【0037】

代替として、R S P 4 3 0 は、ヘッダあるいはテラの追加あるいは削除、内容の書き換えあるいは修正、タグの追加、検査合計および C R C の更新を含むプログラマブルパケット修正を提供することもできる。R S P 4 3 0 は、C 言語に類似するセマンティクス (意味) を持つスクリプティング (記述) 言語を用いてプログラムすることができる。このようなスクリプト (記述) 言語は当分野において周知である。R S P 4 3 0 には、ファブリックインタフェースコントローラ 4 5 0 およびファブリック網 4 6 0 も接続される。ファブリックインタフェースコントローラ 4 5 0 は、典型的には通信網から成るファブリック網 4 6 0 への物理インタフェースを提供する。

30

【0038】

もう一つの実施例においては、R S P 4 3 0 は、ファブリックインタフェースコントローラ 4 5 0 に加えて、物理インタフェース 4 1 0 あるいはデバイス (図示せず) に接続される。この実施例においては、R S P 4 3 0 は、物理インタフェース 4 1 0 および / あるいはファブリックインタフェースコントローラ 4 5 0 の両方を用いて、P D U、C P S パケット、A A L 2 セルあるいはこれらの組合せを送受する。一つの関連する実施例においては、物理インタフェース 4 1 0 とファブリックインタフェースコントローラ 4 5 0 は、同一のデバイスから成る。さらにもう一つの実施例においては、物理インタフェース 4 1 0 とファブリックインタフェースコントローラ 4 5 0 は同一のデバイスあるいは網に結合される。

40

【0039】

S I P 4 4 0 は、F P P 4 2 0、V P P 4 2 5、R S P 4 3 0、物理インタフェース 4 1 0、およびファブリックインタフェース 4 5 0 の初期化および構成の集中化を可能にする。S I P 4 4 0 は、一つの実施例においては、方針 (policing) を提供し、状態情報を管

50

理し、ホストコンピュータへの周辺コンポーネント相互接続（P C I）接続を提供する。S I P 4 4 0 は、例えば、Agere Systems, Inc. から市販されるPayloadPlus（登録商標）Agere System Interfaceから成る。

【0040】

図5は本発明の原理に従って構成された音声パケットプロセッサ（V P P）500の一つの実施例のブロック図を示す。V P P 500は、P D Uを送受する高速パターンプロセッサ（F P P）およびルーティングスイッチプロセッサ（R S P）、例えば、図4のF P P 420およびR S P 430と共に用いられる。もう一つの実施例においては、V P P 500は、P D Uを送受することができる任意のデバイスと共に用いられる。本発明の目的に対しては、P D U（プロトコルデータユニット）は、C P Sパケット、A A L 2セル、他のA T Mセル、あるいはある特定のプロトコルと関連するデータのユニットを構成する任意の他のパケットあるいはセルを包含する。

10

【0041】

説明の実施例においては、V P P 500は、F P PからP D Uを受信し、これらP D Uを処理のためにキューイングするように構成された音声パケットコントローラ510を備える。F P Pは、これらP D Uに関して初期処理を遂行し、これらP D Uの少なくとも一部分を、音声パケットコントローラ510に送信する。例えば、F P Pは、A A L 2セルのA T Mヘッダを除去し、A A L 2ヘッダおよびA A L 2ペイロードを音声パケットコントローラ510に送る。F P Pは、さらに、宛先識別（I D）をV P P 500に送る。この宛先識別（I D）は、V P P 500からR S Pへと送られるP D Uの追跡およびルーティングのために用いられる。この宛先I Dは、例えばP D Uの仮想接続と関連付けられる。もう一つの実施例においては、音声パケットコントローラ510は、P D UをV P P 500に送信することができる任意のデバイスからA A L 2セルおよび/あるいはC P Sパケットから成るP D Uを受信する。

20

【0042】

音声パケットコントローラ510は、さらに、P D UがA A L 2タイプのセルあるいはC P Sパケットでない場合は、それらP D Uの処理をバイパスし、それらP D Uをバイパス待ち行列520に送るようにも構成される。もう一つの実施例においては、音声パケットコントローラ510は、P D Uが音声データを含まない場合は、それらP D Uの処理をバイパスし、それらP D Uをバイパス待ち行列560に送信するように構成される。このバイパス待ち行列560は、R S Pに送信されるべきP D Uを保持するために用いられるバーストマッチング（整合）メモリ待ち行列から成る。一つの実施例においては、V P P 500は、バイパス待ち行列560に送られるP D Uの追跡およびルーティングのためにバイパス宛先I Dを採用する。

30

【0043】

F P Pは、さらに、音声パケットコントローラ510に送られる各P D Uと共にバイパス指標を送る。このバイパス指標は、音声パケットコントローラ510が、そのP D Uを処理すべきか、あるいは、そのP D Uの処理をバイパスし、そのP D UをR S Pに送信するためにバイパス待ち行列560に送るべきかを示す。音声パケットコントローラ510は、もう一つの実施例においては、各P D Uに対して処理タイプを決定し、その処理タイプに基づいて、そのP D Uを処理に対してキューイングするか、あるいは、処理をバイパスし、そのP D UをそのままR S Pに再送信するかを決定する。もう一つの実施例においては、これらP D UはそれらP D Uを受信する能力を持つ任意のデバイスにそのまま送信される。

40

【0044】

説明の実施例においては、V P P 500は、さらに、音声パケットコントローラ510からP D Uを処理のために受信するように構成された再組み立てバッファ520を備える。この再組み立てバッファ520は、さらに、P D Uを送信のために保持するように、P D Uを後続の関連するP D Uのために保持するように、およびP D Uが正しい順番で処理されることを確保するために並べ換え機構を提供するように、構成される。例えば、この再

50

組み立てバッファ 520 は、あるカプセル化された CPS パケットの一部を含む一つの AAL2 セルを受信し、この AAL2 セルをそのカプセル化された CPS パケットの残りの部分を含む関連する一つあるいは複数の AAL2 が到着するまで保持し、その後、これらセルを処理のために送信する。この再組み立てバッファ 520 は、順番を、関連するセル、セルのタイプ、セルあるいはパケットのペイロード内に含まれる情報、あるいはチャネル番号に基づいて維持する。ただし、勿論、本発明は、順番を上記の態様にて維持することに制限されるものではなく、本発明の広義の範囲から逸脱することなく、他のタイプの方法も可能である。

【0045】

VPP500 は、さらに、音声パケットパーサ 530 および音声パケットアセンブラ 540 を備える。音声パケットパーサ 530 は、音声パケットコントローラ 510 から音声データを含む AAL2 セルから成る PDU を受信するように構成される。説明の実施例においては、この音声パケットパーサ 530 は、音声データを含む AAL2 セルから成る PDU を再組み立てバッファ 520 から受信する。音声パケットパーサ 530 は、さらに、AAL2 セルを少なくとも一つの CPS パケットにパッシングし、この少なくとも一つの CPS パケットを RSP に送信するように構成される。一つの関連する実施例においては、音声パケットパーサ 530 は、AAL2 セルから成る PDU の少なくとも一部分を受信し、これをパッシングする。もう一つの実施例においては、音声パケットパーサ 540 は、この少なくとも一つの CPS パケットを、CPS パケットを受信する能力を持つデバイスに送信する。AAL2 セルおよび CPS パケットの構造のより詳細な説明については図 2、3A および 3B を参照されたい。

【0046】

AAL2 セルを少なくとも一つの CPS パケットにパッシングする過程には、一つあるいは複数の AAL2 セルから情報を抽出し、CPS パケットを作成する過程が含まれる。音声パケットパーサ 530 は、一つの実施例においては、マルチパックド AAL2 セルのパッシングも行なう。前述のように、マルチパックド AAL2 セルは、一つの AAL2 セル内にカプセル化された複数の CPS パケットあるいは複数の CPS パケットの一部を含む AAL2 セルから成る。いったん音声パケットパーサ 530 がある完全な CPS パケットをパッシングすると、音声パケットパーサ 530 は、さらに、その CPS パケットに関して誤り検査を遂行する。さらに、VPP500 は、音声パケットパーサ 530 内での PDU の追跡およびルーティングのためにパーサ宛先 ID を採用する。

【0047】

音声パケットアセンブラ 540 は、音声パケットコントローラ 510 から CPS パケットから成る PDU を受信するように構成される。説明の実施例においては、音声パケットアセンブラ 540 は、CPS パケットから成る PDU を再組み立てバッファ 520 から受信する。音声パケットアセンブラ 540 は、さらに、これら CPS パケットを少なくとも一つの AAL2 セルに組み立て、この少なくとも一つの AAL2 セルを RSP に送るように構成される。一つの関連する実施例においては、音声パケットアセンブラ 540 は、CPS パケットの少なくとも一部を受信し、これを組み立てる。もう一つの実施例においては、音声パケットアセンブラ 540 は、この少なくとも一つの AAL2 セルを AAL2 セルを受信する能力を持つデバイスに送信する。CPS パケットおよび AAL2 セルの構造のより詳細な説明については図 2、3A および 3B を参照されたい。

【0048】

ある CPS パケットを少なくとも一つの AAL2 セルに組み立てる過程には、CPS パケットを用いて、AAL2 セルに対する AAL2 ヘッダおよび AAL2 ペイロードを作成する過程が含まれる。その CPS パケットのサイズが AAL2 セルのペイロード容量を超える場合は、もう一つの AAL2 セルに対するもう一つの AAL2 ヘッダおよび AAL2 ペイロードが作成される。追加の AAL2 セルがその CPS パケット全体がこれら AAL2 セルに格納されるまで作成される。この組み立て過程には、これに AAL2 セルの各々に対して ATM ヘッダを作成する過程も含まれる。もう一つの実施例においては、音声パケ

ットアセンブラ 540 は、さらに、マルチパックド AAL2 セルを組み立てるように構成される。さらに、VPP500 は、音声パケットアセンブラ 540 内で PDU を追跡およびルーティングするためにアセンブラ宛先 ID を採用する。

【0049】

音声パケットアセンブラ 540 は、さらに、組み立てられた AAL2 セルを送信するために仮想接続タイマを採用するように構成される。音声パケットアセンブラ 540 が AAL2 セルのペイロードの一部を一つの CPS パケットにて満たし、音声パケットアセンブラ 540 がその CPS パケットと関連する仮想接続に対するセット時間内にもう一つの CPS パケットを受信しなかった場合、音声パケットアセンブラ 540 はその AAL2 セルを送信する。一つの関連する実施例においては、音声パケットアセンブラ 540 は、その AAL2 セルの残りのペイロードに零を詰めた後にその AAL2 セルを送信する。

10

【0050】

VPP500 は、一つの好ましい実施例においては、CPS パケットのスイッチングを遂行するために音声パケットパーサ 530 を採用する。CPS パケットのスイッチングは、音声パケットパーサ 530 が、最初に、一つあるいは複数の AAL2 セルを少なくとも一つの CPS パケットにパーシングする過程を伴う。音声パケットパーサ 530 は、次に、RSP に向けられていたこの少なくとも一つの CPS パケットを、音声パケットアセンブラ 540 に向けて再ルーティングする。音声パケットパーサ 530 は、一つの実施例においては、その少なくとも一つの CPS パケットのチャネル識別子を、チャネル識別子マッピングのために修正する。こうすることで、この少なくとも一つの CPS パケットは、新たなチャネル識別子にスイッチされる。音声パケットアセンブラ 540 は、次に、この少なくとも一つの CPS パケットを、一つあるいは複数の AAL2 セルに組み立て、AAL2 送信流に組み込む。受信デバイスは、次に、この一つあるいは複数の AAL2 セルからのこの少なくとも一つの CPS パケットをパーシングし、この CPS パケットを新たなエンドデバイスあるいはチャネルに送信する。ただし、勿論、本発明はチャネル識別子を変更することにのみ制限されるものではなく、他の実施例として、CPS パケットあるいは AAL2 セル内の他のあるいは追加の情報を CPS パケットのスイッチングのために修正することもできる。

20

【0051】

VPP500 は、さらに、音声パケットパーサ 530 からの CPS パケット、音声パケットアセンブラ 540 からの AAL2 セルおよびバイパス待ち行列 560 からの PDU を受信する出力待ち行列 550 を備える。出力待ち行列 550 は、CPS パケット、AAL2 セルおよび PDU を受信するために用いられるマルチプレクサ (mux)、および RSP への送信および速度整合 (rate-matching) のための待ち行列構造を含む。出力待ち行列 550 は、次に、これら CPS パケット、AAL2 セルおよび PDU を RSP に送信する。もう一つの実施例においては、出力待ち行列 550 は、これら CPS パケット、AAL2 セルおよび PDU を、CPS パケット、AAL2 セルおよび PDU を受信する能力を持つデバイスに送信する。加えて、出力待ち行列 550 は、宛先 ID を、これら CPS パケット、AAL2 セルおよび PDU と共に RSP に送信する。一つの関連する実施例においては、この宛先 ID は、パーサ宛先 ID、アセンブラ宛先 ID、バイパス宛先 ID、これらの組合せ、あるいは数学的結合から成る。RSP は、この宛先 ID を遂行されるべき正しい処理および/あるいはルーティングを決定するために採用する。

30

40

【0052】

図 6 は、本発明の原理に従って構成された音声パケットプロセッサを動作する方法の一つの実施例 600 の流れ図を示す。図 6 に示すように、方法 600 は、最初、ステップ 602 において初期化を遂行する。

【0053】

(ステップ 602 において) 初期化した後、この方法 600 は、ステップ 604 において、音声パケットコントローラ内で、高速パターンプロセッサ (FPP)、例えば図 4 の FPP から PDU を受信し、この PDU を処理のためにキューイングする。この方法 600

50

は、次に、判定ステップ606において、処理をバイパスすべきか否かを決定する。一つの実施例においては、FPPはバイパス指標を送信し、音声パケットコントローラは、このバイパス指標からそのPDUが処理をバイパスされるべきであることを判断する。もう一つの実施例においては、処理のバイパスは、そのPDUが、AAL2タイプのセルでも、CPSパケットでもないとき遂行される。さらにもう一つの実施例においては、処理のバイパスは、そのPDUが音声データを含まない場合に遂行される。次に、この方法600は、ステップ610において、こうしてバイパスされたPDUをルーティングスイッチプロセッサ(RSP)、例えば、図4のRSPに送信する。方法600は、次に、ステップ604に戻り、別のPDUを受信する。

【0054】

PDUが、判定ステップ606において、バイパスされるべきでないと決定された場合は、方法600は、次に、ステップ620において、そのPDUが、AAL2セルから成るか否かを決定する。そのPDUがAAL2セルから成る場合は、音声パケットパーサが、ステップ630において、音声パケットコントローラからAAL2セルから成るそのPDUを受信する。音声パケットパーサは、このAAL2セルを少なくとも1つのCPSパケットにパーシングする。一つの関連する実施例においては、音声パケットパーサは、マルチパックドAAL2セルを複数のCPSパケットにパーシングする。次に、方法600は、判定ステップ640において、その少なくとも一つのCPSパケットが、完全なものであるか否かを決定する。これには、ある単一のCPSパケットのペイロードがAAL2セルのペイロードより大きな場合があるため、1つの完全なCPSパケットを作成するために複数のAAL2セルをパーシングする過程が含まれる。この少なくとも一つのCPSパケットが完全なものでない場合は、方法600は、ステップ604に戻り、もう一つのAAL2セルを受信する。

【0055】

この少なくとも一つのCPSパケットが完全なものである場合は、方法600は、次に、ステップ650において、CPSパケットのスイッチングが遂行されるべきであるか否かを決定する。CPSパケットのスイッチングを遂行することを必要とされない場合は、音声パケットパーサは、次に、ステップ660において、この少なくとも一つのCPSパケットをRSPに送信する。次に、方法600は、ステップ604に戻り、別のPDUを受信する。CPSパケットのスイッチングを遂行することが必要とされる場合は、音声パケットパーサは、ステップ670において、その少なくとも一つのCPSパケットのチャンネル識別子を、チャンネル識別子のマッピングのために修正する。もう一つの実施例においては、音声パケットパーサは、CPSパケットヘッダの他の情報を、CPSパケットのスイッチングのための新たな情報にマッピングする。次に、音声パケットパーサはこの少なくとも一つのCPSパケットを再ルーティングし、この少なくとも一つのCPSパケットは、ステップ680において、少なくとも一つのAAL2セルに組み立てられる。

【0056】

ステップ620においてそのPDUがAAL2セルではないことが決定された場合、あるいは音声パケットパーサがCPSパケットのスイッチングを遂行しなかった場合は、ステップ680において、音声パケットアセンブラが、CPSパケットから成るこれらPDUを受信し、これらCPSパケットを少なくとも一つのAAL2セルに組み立てる。次に、方法600は、判定ステップ690において、音声パケットアセンブラが、マルチパックドAAL2セルを作成すべきか否かを決定する。上述のように、マルチパックドAAL2セルは、部分的に満たされたペイロードを持つAAL2セルから成り、そのAAL2セルのペイロードの残りの部分はもう一つのCPSパケットにて満たされる。その少なくとも一つのAAL2セルがマルチパックドセルである場合は、方法600は、ステップ604に戻り、もう一つのCPSパケットを受信する。その少なくとも一つのAAL2セルがマルチパックドAAL2セルでない場合は、音声パケットアセンブラは、次に、ステップ692において、その少なくとも一つのAAL2セルを送信する。次に、方法600はステップ604に戻り、処理すべき別のPDUを受信する。

10

20

30

40

50

【 0 0 5 7 】

当業者においては理解できるように、本発明は、P D Uを1タイプ毎に処理することに制限されるものではない。本発明は、A A L 2セル、C P Sパケットの処理およびバイパスを並列に遂行することもできる。さらに、説明の実施例より多くのあるいは少数のステップを持つ本発明の他の実現も可能である。

【 0 0 5 8 】

本発明が詳細に説明されたが、当業者においては理解できるように、本発明の精神および範囲から広義な意味において逸脱することなく、様々な変更、置換および代替が可能である。

【 図面の簡単な説明 】

10

【 図 1 】 本発明の原理に従って構成されたキャリアクラス音声ゲートウェイの一つの実施例を採用する電気通信網のブロック図を示す。

【 図 2 】 音声通信に用いられるCPSパケットの構造を図解する。

【 図 3 A 】 A T M網において用いられるA A L 2タイプのセルに対するA T Mセルの構造を図解する。

【 図 3 B 】 図 3 AのA A L 2タイプのセルのA A L 2ヘッダの構造を図解する。

【 図 4 】 本発明の原理に従って構成されたパケット処理システムアーキテクチャの一つの実施例のブロック図を示す。

【 図 5 】 本発明の原理に従って構成された音声パケットプロセッサの一つの実施例のブロック図を示す。

20

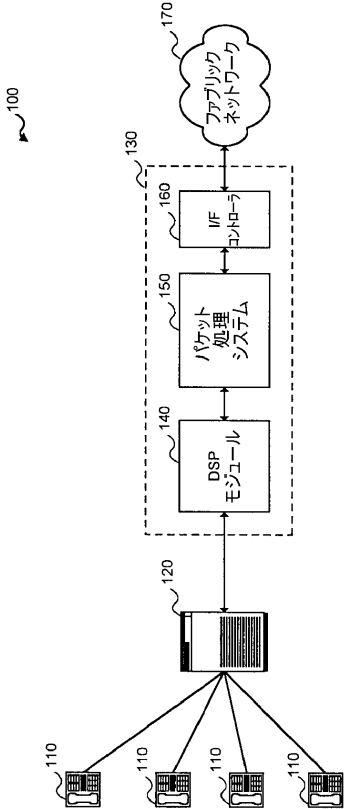
【 図 6 】 本発明の原理に従って構成された音声パケットプロセッサを動作する方法の一つの実施例の流れ図を示す。

【 符号の説明 】

- 1 0 0 電気通信網
- 1 1 0 電話デバイス
- 1 2 0 中央局スイッチ
- 1 3 0 キャリアクラス音声ゲートウェイ
- 1 4 0 デジタル信号処理 (D S P) モジュール
- 1 5 0 パケット処理システム
- 1 6 0 ファブリックインタフェースコントローラ
- 1 7 0 ファブリック網
- 4 0 0 パケット処理システムアーキテクチャ
- 4 1 0 物理インタフェース
- 4 2 0 高速パターンプロセッサ (F P P)
- 4 2 5 音声パケットプロセッサ (V P P)
- 4 3 0 ルーティングスイッチプロセッサ (R S P)
- 4 4 0 システムインタフェースプロセッサ (S I P)
- 4 5 0 ファブリックインタフェースコントローラ
- 4 6 0 ファブリック網

30

【図 1】



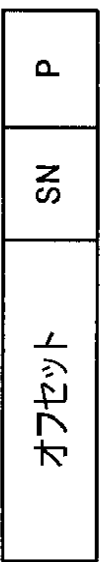
【図 2】



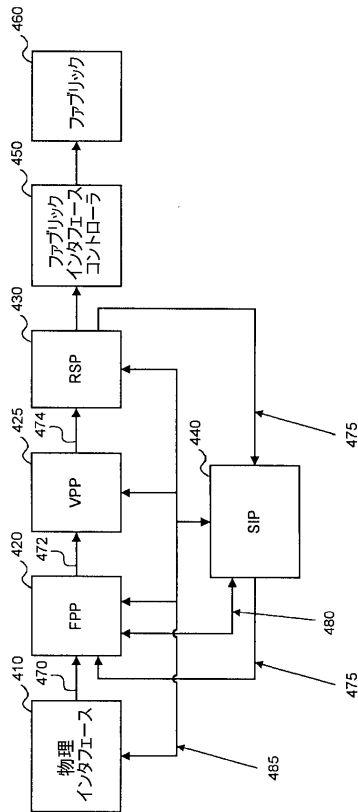
【図 3 A】



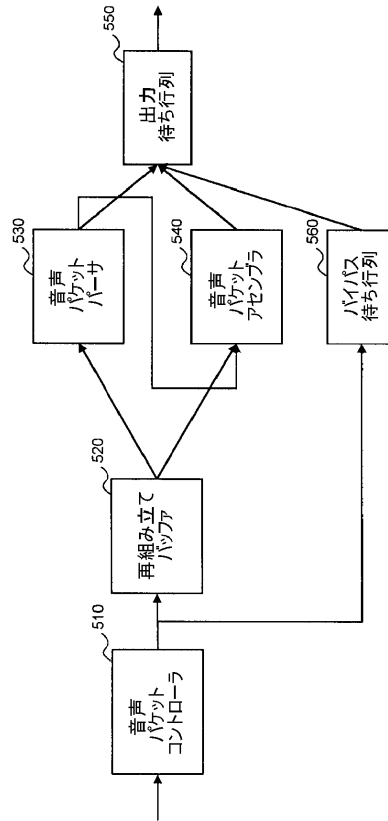
【図 3 B】



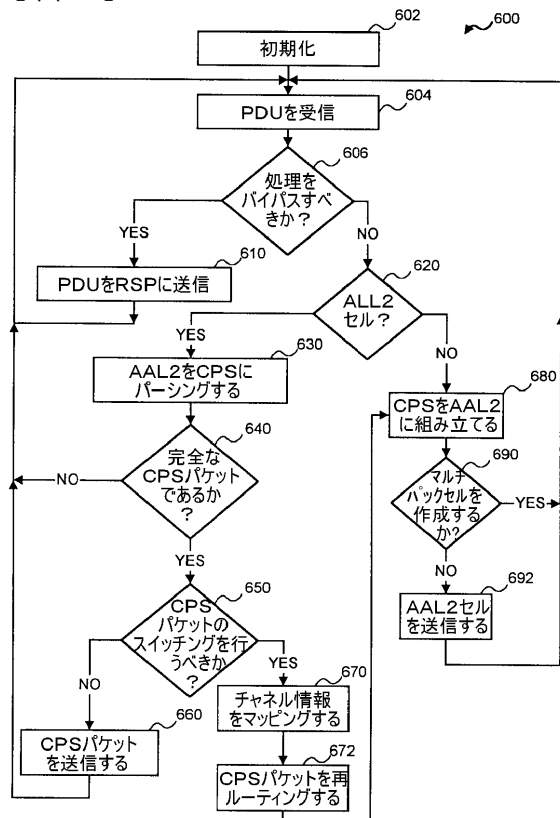
【図 4】



【図 5】



【図 6】



フロントページの続き

- (74)代理人 100091889
弁理士 藤野 育男
- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100102808
弁理士 高梨 憲通
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (72)発明者 マイケル ダブリュ・ハザウェイ
アメリカ合衆国 7 8 7 4 6 テキサス, オースチン, ペレグリン ファルコン 3 6 1 3
- (72)発明者 ディヴィッド ピー・ソニアー
アメリカ合衆国 7 8 7 5 0 テキサス, オースチン, フォックスツリー コーヴ 7 1 0 3
- (72)発明者 レスリー ゾーハー
アメリカ合衆国 7 8 6 8 1 テキサス, ラウンド ロック, クラウド ピーク レーン 2 4 1
1

審査官 清水 稔

- (56)参考文献 国際公開第00/030304(WO, A1)
特開2000-151644(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 12/56