

[続葉有]

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

and a control circuit (20) that controls on/off driving of the semiconductor switching element and that, after driving the semiconductor switching element to be on, cuts off the semiconductor switching element on the basis of determination, by the determination circuit, of the presence of a short circuit.

(57) 要約: 電流センス端子を備えたゲート駆動形の半導体スイッチング素子の駆動制御を行うゲート駆動装置であって、前記電流センス端子からのセンス電流の検出信号を取り込み、前記センス電流の変化から過渡センス電流の有無を検出する波形検出回路(40)と、前記波形検出回路による検出結果を所定タイミングで判定して短絡の有無を判定する判定回路(30)と、前記半導体スイッチング素子のオンオフ駆動を制御し、前記半導体スイッチング素子をオン駆動した後、前記判定回路により短絡有りが判定されたことに基いて遮断する制御回路(20)と、を備える。

明 細 書

発明の名称： ゲート駆動装置

関連出願の相互参照

[0001] 本出願は、2021年5月31日に提出された日本出願番号2021-091316号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、ゲート駆動装置に関する。

背景技術

[0003] IGBTやMOSトランジスタなどのゲート駆動型の半導体スイッチング素子は、上下アームに配置してオンオフ駆動制御を行う構成では、一方が短絡故障をしている状態で、他方がオン駆動されると、短絡電流が流れてスイッチング素子が破損してしまう。このため、オン時に対向アームの半導体スイッチング素子が短絡しているか否かを判定して、短絡状態である場合にはオン駆動を停止することが必要である。

[0004] この場合、半導体スイッチング素子のオン時には、原理的に、過渡的に電流センスの電圧がオン状態よりも持ち上がり、ゲート電圧が十分に上がってオン状態に移行すると、電流センスの電圧は定常値まで低下する特性を有している。このため、過渡期に判定をすると短絡状態と誤判定をしてしまう可能性があるため、ゲート電圧が上がった定常時に電流センスの電圧を判定することで誤判定を回避するようにしている。

[0005] しかしながら、半導体スイッチング素子は、小型化が進むことで短絡時の飽和電流が低下する傾向にあるため、ゲート電圧が上がった定常時の電流センスの電圧を判定する場合でも、短絡時の飽和電流の値と正常時の電流センスの値との差が小さくなり、これらの値のばらつきを考慮すると両者がオーバーラップする場合が発生し、しきい値の設定が不能となり正しい判定ができなくなる不具合があった。

先行技術文献

特許文献

[0006] 特許文献1：特許06525141号公報

特許文献2：特開2017-212870号公報

特許文献3：国際公開番号WO2017/141545A1

発明の概要

[0007] 本開示の目的は、半導体スイッチング素子の小型化が進み短絡飽和電流が低下した場合でも、対向アームの短絡状態を確実に判定することができるようにしたゲート駆動装置を提供することにある。

[0008] 本開示の一態様において、ゲート駆動装置は、電流センス端子を備えたゲート駆動形の半導体スイッチング素子の駆動制御を行うゲート駆動装置であって、前記電流センス端子からのセンス電流の検出信号を取り込み、前記センス電流の変化から過渡センス電流の有無を検出する波形検出回路と、前記波形検出回路による検出結果を所定タイミングで判定して短絡の有無を判定する判定回路と、前記半導体スイッチング素子のオンオフ駆動を制御し、前記半導体スイッチング素子をオン駆動した後、前記判定回路により短絡有りが判定されることに基づいて遮断する制御回路とを備える。

[0009] 上記構成を採用することにより、波形検出回路により、半導体スイッチング素子の電流センス端子からセンス電流の検出信号を取り込み、センス電流の波形の変化から過渡センス電流の有無を検出して短絡の有無を検出し、判定回路により所定タイミングで短絡状態を判定することができる。これにより、センス電流の値そのものから短絡を判定するのではなく、過渡期のセンス電流を基準として定常期のセンス電流への変化から検出することで、飽和電流が下がるなどしてセンス電流のレベルにばらつきがある場合でも、短絡の有無を正しく判定することができる。この結果、パワー素子として用いる半導体スイッチング素子の小型化に貢献できる。また、IC／素子仕様で短絡設計が完結するため、基板での短絡保護設計が不要になる。

図面の簡単な説明

[0010] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図

面を参照しながら下記の詳細な記述により、より明確になる。その図面は、

- [図1]図 1 は、第 1 実施形態を示す電氣的構成図であり、
- [図2]図 2 は、第 1 実施形態を示す作用説明図その 1 であり、
- [図3]図 3 は、第 1 実施形態を示すタイミングチャートであり、
- [図4]図 4 は、第 1 実施形態を示す作用説明図その 2 であり、
- [図5]図 5 は、第 1 実施形態を示す作用説明図その 3 であり、
- [図6]図 6 は、第 1 実施形態を示す作用説明図その 4 であり、
- [図7]図 7 は、第 1 実施形態を示す作用説明図その 5 であり、
- [図8]図 8 は、第 2 実施形態を示す電氣的構成図であり、
- [図9]図 9 は、第 2 実施形態を示すタイミングチャートであり、
- [図10]図 10 は、第 3 実施形態を示す電氣的構成図であり、
- [図11]図 11 は、第 3 実施形態を示すタイミングチャートであり、
- [図12]図 12 は、第 4 実施形態を示す電氣的構成図であり、
- [図13]図 13 は、第 4 実施形態を示す作用説明図その 1 であり、
- [図14]図 14 は、第 4 実施形態を示す作用説明図その 2 であり、
- [図15]図 15 は、第 4 実施形態を示す作用説明図その 3 であり、
- [図16]図 16 は、第 5 実施形態を示す電氣的構成図であり、
- [図17]図 17 は、第 5 実施形態を示すタイミングチャートであり、
- [図18]図 18 は、第 6 実施形態を示す電氣的構成図であり、
- [図19]図 19 は、第 6 実施形態を示す作用説明図であり、
- [図20]図 20 は、第 7 実施形態を示す電氣的構成図であり、
- [図21]図 21 は、第 7 実施形態を示す作用説明図であり、
- [図22]図 22 は、第 8 実施形態を示す電氣的構成図であり、
- [図23]図 23 は、第 8 実施形態を示すタイミングチャートであり、
- [図24]図 24 は、第 9 実施形態を示すタイミングチャートである。

発明を実施するための形態

[0011] (第 1 実施形態)

以下、第 1 実施形態について、図 1 ～図 7 を参照して説明する。

電氣的構成を示す図 1 において、ゲート駆動形の半導体スイッチング素子としての IGBT 1 を上下アームにそれぞれ配置して負荷への通電経路を形成する回路に対して、ゲート駆動装置 10 は、一方の IGBT 1 をオン駆動制御する際に、他方の IGBT が短絡状態にあるかどうかを判定することができるようにした機能を備える。なお、IGBT は、Insulated Gate Bipolar Transistor の略称である。

[0012] IGBT 1 は、内部にコレクタ・エミッタ間の電流を検知するためのセンス素子が設けられセンス電流の出力端子であるセンス端子 SE を備えている。センス端子 SE は、電流検出用の抵抗 2 を介してエミッタと共通に接続されており、ゲート駆動装置 10 は、電流検出抵抗 2 に流れるセンス電流 I_{se} を、センス電圧 V_{se} として取り込むように設けられている。

[0013] ゲート駆動装置 10 は、制御回路 20、判定回路 30 および波形検出回路 40 を備えている。制御回路 20 は、外部から与えられるオン／オフ指令信号に基づいてゲート駆動信号 S_{on} を生成し、駆動回路 21 を介して IGBT 1 のゲートにゲート駆動電圧 V_{on} を与える。制御回路 20 は、後述するように、IGBT 1 のオフ駆動機能も備えており、オン駆動中に短絡が検出された場合には IGBT 1 を遮断する。

[0014] 判定回路 30 は、コンパレータ 31、しきい値電源 32、遅延回路 33 およびアンド回路 34 を備える。判定回路 30 は、IGBT 1 のゲート電圧 V_{ge} がしきい値電圧 V_{th1} に達してオンした時点から、所定の遅延時間 T_{d1} が経過した時点で IGBT 1 の状態を判定する。

[0015] コンパレータ 31 は、非反転入力端子に IGBT 1 のゲート電圧 V_{ge} が入力され、反転入力端子にしきい値電源 32 により設定されるしきい値電圧 V_{th1} が入力される。遅延回路 33 は、コンパレータ 31 から出力されるオンタイミングの信号によりトリガがかかり、所定の遅延時間 T_{d1} 後にアンド回路 34 にハイレベルの信号を出力する。アンド回路 34 は、遅延回路 33 からのハイレベルの信号の入力タイミングで、波形検出回路 40 からの出力信号を判定して短絡状態の場合には判定信号 S_x を出力する。

- [0016] 波形検出回路40は、ピークホールド回路50およびヒステリシス付きのコンパレータからなる比較回路60を備えている。波形検出回路40は、センス電圧 V_{se} を取り込み、この波形の変化状態から通常状態でない状態を検出して出力する。
- [0017] ピークホールド回路50は、オペアンプ51、トランジスタ52およびコンデンサ53を備える。オペアンプ51は、非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にはコンデンサ53の端子電圧 V_{ph} が入力される。オペアンプ51の出力端子はトランジスタ52のベースに接続される。
- [0018] トランジスタ52のコレクタは直流電源 V_D に接続され、エミッタはコンデンサ53を介してグラウンドに接続される。コンデンサ53の端子電圧であるピークホールド電圧 V_{ph} は、トランジスタ52のエミッタとコンデンサ53の共通接続点の電圧である。オペアンプ51は、センス電圧 V_{se} がコンデンサ53の端子電圧であるピークホールド電圧 V_{ph} よりも大きい期間中はトランジスタ52を駆動してコンデンサ53に直流電源 V_D から充電を行う。
- [0019] これにより、センス電圧 V_{se} がピーク値 V_P に達した後低下すると、オペアンプ51の出力信号によりトランジスタ52がオフしてコンデンサ53への充電が停止する。この結果、ピークホールド電圧 V_{ph} はセンス電圧 V_{se} のピーク値 V_P となり、この電圧が保持される。
- [0020] 比較回路60は、コンパレータ61およびヒステリシス電圧 V_h を与えるヒステリシス電源62を備える。コンパレータ61は非反転入力端子にセンス電圧 V_{se} が入力され、反転入力端子にピークホールド回路50から出力されるピークホールド電圧 V_{ph} を、ヒステリシス電源62を通じてヒステリシス電圧 V_h だけ低下させた参照電圧 V_{hys} として入力される。
- [0021] コンパレータ61は、センス電圧 V_{se} が参照電圧 V_{hys} よりも大きいときにはハイレベル、小さくなるとローレベルとなる検出信号 S_d を出力する。この検出信号 S_d は、判定回路30のアンド回路34に入力される。

[0022] 次に、上記構成の作用について、図2から図7も参照して説明する。

まず、通常時および短絡時におけるセンス電圧 V_{se} の変化について説明する。図6は2つのIGBT_A、IGBT_Bを上下アームに配置した構成で、上アームのIGBT_Aをオフ駆動してから下アームのIGBT_Bをオン駆動するまでに流れる電流について矢印をつけた破線で示している。上側に上アームのIGBT_Aが正常である通常時の電流を示し、下側にIGBT_Aが短絡状態である場合の電流を示している。

[0023] 通常時には、上アームのIGBT_Aをオン状態として負荷に給電している状態でオフに切り替えると、負荷側からIGBT_Aのボディダイオードを介して電源側に戻る電流 I_{1f} が流れる。ボディダイオードに流れる電流を側路させるために、同期整流動作として下アームのIGBT_Bをオン駆動する。

[0024] このとき、IGBT_Bに流れる電流 I_2 は、負荷側からボディダイオードに流れていた電流 I_{1f} にボディダイオードのリカバリ電流 I_{1r} が加算された電流として流れる。このため、IGBT_Bがオン駆動されるときには、過渡期においてリカバリ電流によるピークが加算された電流が発生し、定常期になると負荷電流のレベルになる。

[0025] 一方、下側に示すIGBT_Aの短絡時には、上アームのIGBT_Aをオン状態として負荷に給電している状態でオフに切り替えても、短絡状態であるから、負荷側からIGBT_Aの本体を介して電源側に戻る電流 I_{1s} が流れる。ボディダイオードには順方向電圧がかかるため電流 I_{1f} はほとんど流れない。

[0026] このため、IGBT_Bをオン駆動して同期整流を実施しようとするとき、IGBT_Aに流れていた短絡電流 I_{1s} がIGBT_Bに電流 I_2 として流れるようになる。また、IGBT_Aのボディダイオードに電流がほとんど流れないため、リカバリ電流の発生もなく、電流 I_2 にはリカバリ電流に起因したピーク値が発生しない。

[0027] 図7は、上記の動作を各部の信号変化として示したタイミングチャートで

ある。通常時と短絡時との状態におけるゲート電圧 V_{ge} 、コレクタ電流 I_c 、センス電圧 V_{se} およびコレクタ電圧 V_{ce} を示している。

[0028] 通常時においては、 I_{GBT} のゲート電圧は過渡期にミラー電圧 V_m で保持された後にゲート電圧 V_{GE} まで引き上げられる。このとき、コレクタ電流 I_c は、ゲート電圧 V_{ge} が時刻 t_0 でしきい値電圧 V_{th} に達すると、負荷に応じた電流が流れるようになる。

[0029] センス電流 I_{se} の変化を示すセンス電圧 V_{se} は、オン駆動に伴って $0V$ から増加し、リカバリ電流によるピーク値を過ぎると過渡期では飽和領域で動作するため、定常期よりも高い電圧 V_2 を保持する。この後、定常期に移行するとセンス電圧 V_{se} は、線形領域となるので負荷電流に比例した電圧 V_1 に下がり、オン期間中はこの状態が保持される。また、コレクタ電圧 V_{ce} は、過渡期では電源電圧 V_{CE} から徐々に低下し始め、定常期になるとほぼ $0V$ になる。

[0030] これに対して、短絡時においては、 I_{GBT} のゲート電圧はミラー期間に関係なく上昇してゲート電圧 V_{GE} まで引き上げられる。このとき、コレクタ電流 I_c は、ゲート電圧 V_{ge} が時刻 t_0 でしきい値電圧 V_{th} に達すると、電源短絡状態となるため短絡電流レベルまで上昇する。

[0031] センス電圧 V_{se} は、オン駆動に伴って $0V$ から増加し、リカバリ電流もなく飽和領域のままで動作し短絡電流に対応する高い電圧 V_3 のレベルとなる。また、コレクタ電圧 V_{ce} は、電源電圧 V_{CE} が印加された状態のままとなる。

[0032] 以上の基本的な動作の性質を前提として、本実施形態の動作について説明する。図2は、通常時および短絡時におけるセンス電圧 V_{se} と検出信号 S_d の状態を示している。

[0033] 通常時では、センス電圧 V_{se} は、前述のように、 I_{GBT1} がオンすると過渡期においてはリカバリ電流に起因した電圧上昇でピーク値 V_P に達した後に過渡期の飽和状態の電圧 V_1 のレベルとなる。この後、定常期に移行するとセンス電圧 V_{se} は電圧 V_1 よりも下がり負荷電流に対応する電圧

V₂となる。この結果、センス電圧V_{se}は、ピーク値V_Pから電圧V₂まで下がり、動作点差 ΔV_{se} ($=V_P - V_2$) だけ下がったこととなる。

[0034] 一方、短絡時には、センス電圧V_{se}は、IGBT1は飽和状態のままとなり、IGBT1に流れる短絡電流に相当するレベルまで上昇し、このレベルが保持される。このため、センス電圧V_{se}がピーク値V_Pそのもので保持され、これよりも低下することがない。

[0035] この結果、通常時にはセンス電圧V_{se}が過渡期から定常期に移行するタイミングで、上記した ΔV_{se} の変化により電圧V₂に低下するので、波形検出回路40は、この変化をピークホールド電圧V_{ph}からヒステリシス電圧V_hだけ小さく設定する電圧V_{py}と比較することにより検出することができる。

[0036] 図3は、ゲート駆動装置10が外部からオン／オフ指令の信号を受けてIGBT1のゲートにゲート駆動電圧V_{on}を与えたときのタイミングチャートを示している。制御回路20は、駆動回路21を介してIGBT1にゲート駆動電圧V_{on}を与えると、対向アームのIGBTが通常時である場合には、IGBT1は、ゲート電圧V_{ge}が上昇してゆき、時刻t₀でしきい値電圧V_{th1}に達すると電流が流れ始め、過渡期に移行する。

[0037] このとき、判定回路30においては、コンパレータ31に入力されるゲート電圧V_{ge}がしきい値電圧V_{th1}に達したことでハイレベルの信号を遅延回路33に出力する。遅延回路33は、ハイレベルの信号が入力された時刻t₀から所定の遅延時間t_{d1}が経過する時刻t₃でアンド回路34にハイレベルのタイミング信号を出力する。

[0038] 波形検出回路40においては、IGBT1がオン駆動し始める時刻t₀からIGBT1に流れる電流に比例するセンス電流I_{se}が電流検出抵抗2に流れ始め、この電流に相当するセンス電圧V_{se}がオペアンプ51に入力される。

[0039] IGBT1がオン駆動される過渡期においては、飽和状態となりゲート電圧V_{ge}は時刻t_mからミラー電圧V_mで保持され、センス電圧V_{se}はリ

カバリ電流を含んだ電流が流れることで、時刻 t_1 でピーク電圧 V_P に達し、以後通常期よりも高い電圧 V_1 の状態が保持される。

[0040] 波形検出回路 40 においては、ピークホールド回路 50 から出力されるピーク電圧 V_P に対応したピークホールド電圧 V_{ph} が比較回路 60 に入力される。比較回路 60 では、ピークホールド電圧 V_{ph} からヒステリシス電圧 V_h だけ低く設定される参照電圧 V_{hys} がコンパレータ 61 に入力される。参照電圧 V_{hys} は、過渡期のセンス電圧 V_{se} が電圧 V_2 となるのに対してこれよりも低くなるようにヒステリシス電圧 V_h が設定されている。

[0041] コンパレータ 61 は、センス電圧 V_{se} が定常期に入って電圧 V_1 からさらに低下した電圧 V_2 になるタイミングで参照電圧 V_{hys} よりも低くなるので、この時点 t_2 で検出信号 S_d はローレベルに変化する。

[0042] 判定回路 30 においては、遅延回路 33 により設定される遅延時間 T_{d1} が、 I_{GBT1} が定常期に入った時刻 t_2 よりも後となるように設定されているので、アンド回路 34 にハイレベルのタイミング信号 S_t が入力された時点 t_3 で、検出信号 S_d がハイレベルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定される。

[0043] 一方、対向アームの I_{GBT} が短絡状態となっている場合には、ゲート電圧 V_{ge} はミラー電圧 V_m で保持されることなく V_{GE} まで上昇し、センス電圧 V_{se} もリカバリ電流のピーク値を発生することなく短絡電流 I_s に相当する電圧 V_x に達するまで上昇して保持された状態となる。

[0044] このため、センス電圧 V_{se} が、以後低下することがなくなり、波形検出回路 40 では短絡状態を示すハイレベルの検出信号 S_d が出力された状態が保持される。判定回路 30 では、タイミング信号 S_t が出力される時刻 t_3 で、アンド回路 34 は、波形検出回路 40 からハイレベルの検出信号 S_d が入力されているので、ハイレベルの判定信号 S_x を出力する。したがって、短絡時では、判定信号 S_x はハイレベルとなり、短絡時であることが判定される。

[0045] 次に、図4および図5によりセンス電圧 V_{se} の波形が図3で示したような変化とは異なる変化をする場合の検出動作について説明する。

図4の場合では、下段に示すセンス電圧 V_{se} の形状を特徴づけるリカバリ電流が大きいときに発生する例を示している。図4の上段に示すように、リカバリ電流が通常レベルもしくは小さい場合には、前述したように、過渡期から定常期に変わる時点 t_2 でセンス電圧 V_{se} が参照電圧 V_{hys} よりも低下することで通常時を検出していた。

[0046] これに対して、図4の中段に示すように、リカバリ電流が大きいレベルの場合には、過渡期のセンス電圧 V_{se} のレベルが前述した電圧 V_1 よりも低くなり、リカバリ電流によるピーク値 V_P から過渡期の電圧に変化する時点 t_{2x} で参照電圧 V_{hys} よりも低下してしまうことがある。

[0047] しかし、この場合には、通常時を判定する検出信号 S_d が時刻 t_{2x} の早い時点で検出されることとなり、遅延時間 t_{d1} が経過した時刻 t_3 での判定に支障をきたすことはない。また、短絡時の波形は前述と同様にセンス電圧 V_{se} が参照電圧 V_{hys} よりも低下することはないから、短絡の判定においても支障をきたすことはない。

[0048] 次に、図5の場合では、下段に示すセンス電圧 V_{se} の形状を特徴づける過渡期の電圧 V_1 と定常期の電圧 V_2 との差がほとんど無いときに発生する例を示している。図5の上段に示すように、過渡期の電圧 V_1 と定常期の電圧 V_2 との差がある程度有る場合には、前述したように、過渡期から定常期に変わる時点 t_2 でセンス電圧 V_{se} が参照電圧 V_{hys} よりも低下することで通常時を検出していた。

[0049] これに対して、図5の中段に示すように、過渡期の電圧 V_1 と定常期の電圧 V_2 との差がほぼゼロの場合には、リカバリ電流の大きさによる差分だけがセンス電圧 V_{se} のピーク電圧 V_P からの低下分となる。このため、センス電圧 V_{se} によって通常時の状態を検出可能とするための条件は、リカバリ電流によるピークを過ぎた後のセンス電圧 V_{se} が参照電圧 V_{hys} よりも低くなるように参照電圧 V_{hys} を設定することである。

[0050] したがって、この場合には、ヒステリシス電圧 V_h の大きさを調整して、リカバリ電流によるピーク値 V_P から過渡期および定常期におけるセンス電圧 V_{se} に変化するとき参照電圧 $V_{hy s}$ を通過するように設定することで検出可能となる。なお、このようにセンス電圧 V_{se} の過渡期の電圧 V_1 と定常期の電圧 V_2 との差が無くなる場合とは、例えば、 $IGBT$ の製造上において、センス素子とメイン素子の V_t を調整することで形成されることがある。

[0051] このような第1実施形態によれば、 $IGBT1$ の通常時におけるオン駆動時のセンス電圧 V_{se} の変化を検出する波形検出回路40を設け、適切なタイミングで判定する判定回路30により判定するように構成したので、半導体スイッチング素子である $IGBT1$ の小型化が進み短絡飽和電流が低下した場合でも、対向アームの短絡時を確実に判定することができるようになる。

[0052] (第2実施形態)

図8および図9は第2実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置110は、判定回路30に代えて判定回路70を備えている。

[0053] 判定回路70は、遅延回路71およびアンド回路34を備えている。遅延回路71は、制御回路20から出力されるオン駆動信号 S_{on} が入力され、ハイレベルのオン駆動信号が入力された時点から所定の遅延時間 T_{d2} が経過するとハイレベルのタイミング信号を出力する。この遅延時間 T_{d2} は、第1実施形態における遅延時間 T_{d1} に相当する時間として設定されるもので、判定タイミングを設定するものである。

[0054] 図9は、ゲート駆動装置110が外部からオン／オフ指令の信号を受けて $IGBT1$ のゲートにゲート駆動信号 S_{on} を与えたときのタイミングチャートを示している。この実施形態では、ゲート駆動信号 S_{on} をトリガとして遅延回路71により遅延時間 T_{d2} が経過すると、判定タイミングを与える信号をアンド回路34に入力する。

[0055] 判定回路 70 においては、遅延回路 71 により設定される遅延時間 T_{d2} が、IGBT1 が定常期に入った時刻 t_2 よりも後となるように設定されているので、アンド回路 34 にハイレベルのタイミング信号 S_t が入力された時点 t_{3a} で、検出信号 S_d がハイレベルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定され、短絡時では、判定信号 S_x はハイレベルとなり、この時点で短絡時であることが判定される。

したがって、このような第 2 実施形態によっても第 1 実施形態と同様の作用効果を得ることができる。

[0056] なお、上記実施形態に示した制御回路 20 から出力されるオン駆動信号 S_{on} を用いることに代えて、外部から与えられるオンオフ指令がオン駆動を示すハイレベルの信号を遅延回路 71 に入力する構成とすることもできる。

[0057] (第 3 実施形態)

図 10 および図 11 は第 3 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置 120 は、判定回路 30 に代えて判定回路 80 を備えている。

[0058] 判定回路 80 は、コンパレータ 81、モニタしきい値電源 82 およびアンド回路 34 を備えている。コンパレータ 81 は、ゲートモニタ回路として機能するもので、IGBT1 のゲート電圧 V_{ge} が非反転入力端子に入力され、モニタしきい値電源 82 により設定されるモニタしきい値電圧 V_{th2} が反転入力端子に入力される。モニタしきい値電圧 V_{th2} は、IGBT1 が過渡期から定常期に入ってゲート電圧が電圧 V_{GE} に達したことを検出するように設定される。

[0059] コンパレータ 81 は、IGBT1 のゲート電圧 V_{ge} がモニタしきい値電圧 V_{th2} を超えると、ハイレベルのモニタ検出信号 S_m を出力する。モニタ検出信号 S_m はアンド回路 34 に判定タイミング信号として入力される。

[0060] これにより、判定回路 80 においては、コンパレータ 81 からハイレベルのモニタ検出信号 S_m が入力された時点 t_{3b} で、検出信号 S_d がハイレベ

ルかローレベルかに応じた判定信号 S_x が出力される。したがって、通常時においては、判定信号 S_x はローレベルとなり、この時点で通常時であることが判定され、短絡時においては、判定信号 S_x はハイレベルとなり、この時点で短絡時であることが判定される。

したがって、このような第3実施形態によっても第1実施形態と同様の作用効果を得ることができる。

[0061] (第4実施形態)

図12から図15は第4実施形態を示すもので、以下、第3実施形態と異なる部分について説明する。この実施形態では、第3実施形態において、負荷電流が小さい領域で用いるケースにおいてセンス電圧 V_{se} の過渡期の電圧 V_1 と定常期の電圧 V_2 との差が小さく、センス電圧 V_{se} が参照電圧 $V_{hy s}$ よりも高くなることもあり、これによって短絡状態と誤判定するのを解消できるようにしたものである。

[0062] すなわち、第4実施形態では、ゲート駆動装置130は、図12に示すように、判定回路80の構成に新たにコンパレータ91およびセンスしきい値電源92を加えた構成とし、アンド回路34に代えて3入力のアンド回路93とした判定回路90を設けている。

[0063] コンパレータ91は、IGBT1のセンス電圧 V_{se} が非反転入力端子に入力され、センスしきい値電源92により設定されるセンスしきい値電圧 $V_{th 3}$ が反転入力端子に入力される。センスしきい値電圧 $V_{th 3}$ は、IGBT1の電流が過電流レベルに達していることを検出するように設定される。

[0064] アンド回路93は、波形検出回路40の検出信号 S_d およびコンパレータ81の出力信号であるモニタ検出信号 S_m に加えて、コンパレータ91の出力信号であるセンスモニタ信号 S_s が入力される。アンド回路93は、3入力すべてがハイレベルになると短絡時を示すハイレベルの判定信号 S_x を出力する。

[0065] 次に、上記構成の作用について説明する。図13は負荷電流大の場合およ

び負荷電流小の場合でのセンス電圧 V_{se} の波形と検出信号 S_d の関係を示している。下段に示すセンス電圧 V_{se} の一般的な波形に対して、上段に示す負荷電流大の場合には、通常時の検出動作では、過渡期から定常期に移行する時点で参照電圧 $V_{hy s}$ よりも低下するので通常時であることが検出される。

[0066] 一方、中段に示す負荷電流小の場合には、センス電圧 V_{se} は、過渡期の V_1 から定常期の V_2 に変化する際に、電圧 V_1 V_2 の差が小さくなるため、センス電圧 V_{se} が参照電圧 $V_{hy s}$ よりも小さくならないことがある。このため、検出信号 S_d はローレベルに変化することなく、これによって短絡時であるとして誤検出されてしまうことがある。

[0067] 本実施形態では、このような誤検出が発生することがないように、コンパレータ 91 により、センス電圧 V_{se} が短絡時の電流レベルに達しているか否かを判定するセンスしきい値 $V_{th 3}$ により判定している。センスしきい値 $V_{th 3}$ は、図 14 に示すように、短絡電流によるセンス電圧 V_{se} のばらつきを考慮して短絡電流が最も小さいレベルでも短絡電流レベルとして判定することができるように設定されている。

[0068] このため、通常時であるが負荷電流大の場合にはこの電圧を超えてしまう場合がある。しかし、この場合には、センス波形の検出結果が通常状態を示すローレベルの検出信号 S_d を出力するので、アンド回路 93 は、短絡時の判定を示すハイレベルの判定信号 S_x を出力することはない。

[0069] 図 15 は、通常時における負荷電流のレベルを小、中、大とし、短絡時との検出結果の比較を示している。通常時、負荷電流小の場合には波形検出回路 40 の検出信号 S_d は前述のケースとなって短絡時を示すハイレベルのままとなる。

[0070] この場合、センス電圧 V_{se} は、過渡期においてセンスしきい値電圧 $V_{th 3}$ を超える場合でも、定常期に入ると負荷電流が短絡電流レベルよりも小さいので、ローレベルの検出信号 S_s が出力される。この結果、ゲートモニタ出力 S_m がハイレベルになる判定タイミングでは、判定回路 90 から通常

時であるローレベルの判定信号 S_x が出力される。

[0071] 次に、負荷電流中の場合には、波形検出回路 40 の検出信号 S_d は過渡期から定常期に移行するタイミングでローレベルとなる。また、センス電圧 V_{se} は、過渡期においてセンスしきい値電圧 V_{th3} を超える場合でも、定常期に入ると負荷電流が短絡電流レベルよりも小さいので、ローレベルの検出信号 S_s が出力される。この結果、ゲートモニタ出力 S_m がハイレベルになる判定タイミングでは、判定回路 90 から通常時であるローレベルの判定信号 S_x が出力される。

[0072] また、負荷電流大の場合には、波形検出回路 40 の検出信号 S_d は過渡期から定常期に移行するタイミングでローレベルとなる。しかし、センス電圧 V_{se} は、定常期に入っても負荷電流が大のため短絡電流レベルよりも大きくなる場合があり、これによってハイレベルの検出信号 S_s が出力される。したがって、ゲートモニタ出力 S_m がハイレベルになる判定タイミングでは、やはり判定回路 90 から通常時であるローレベルの判定信号 S_x が出力される。

[0073] 一方、短絡時の場合には、波形検出回路 40 の検出信号 S_d は定常期に入っても低下しないためハイレベルとなる。また、センス電圧 V_{se} は、短絡電流が流れている状態では定常期に入ってもセンスしきい値電圧 V_{th3} よりも大のためハイレベルの検出信号 S_s が出力される。したがって、この場合には、ゲートモニタ出力 S_m がハイレベルになる判定タイミングで、判定回路 90 から短絡時であるハイレベルの判定信号 S_x が出力される。

[0074] このような第 4 実施形態によれば、第 3 実施形態の構成にセンスしきい値電圧 V_{th3} によってセンス電圧 V_{se} を判定するコンパレータ 91 を設けたので、負荷電流小のケースでも誤判定を発生させることを回避できるようになる。

[0075] (第 5 実施形態)

図 16 および図 17 は第 5 実施形態を示すもので、以下、第 1 実施形態と異なる部分について説明する。この実施形態では、第 1 実施形態におけるよ

うな波形検出の処理をスイッチング毎に実施する場合に、センス電圧 V_{se} の波形が異なる場合に対応してピークホールド電圧 V_{ph} をスイッチング毎にリセットできるようにしたものである。

[0076] 図16において、ゲート駆動装置140は、波形検出回路40に代えて波形検出回路40aを備えている。波形検出回路40aは、比較回路60および、ピークホールド回路50に代わるピークホールド回路50aを備える。ピークホールド回路50aは、リセットスイッチ54が追加された構成である。リセットスイッチ54は、コンデンサ53の両端子間を短絡可能に接続されている。また、リセットスイッチ54は、制御回路20からリセット信号 S_w が与えられるとオンしてコンデンサ53の端子間を短絡状態として電荷の放電を実施する。

[0077] 次に、上記構成の作用について説明する。図17は各部の信号の変化状態を示している。この実施形態では、制御回路20は、リセット信号 S_w により、オンオフ指令によりオン指令の信号が与えられている期間中はリセットスイッチ54をリセット解除すなわちオフ状態に保持し、オフ指令が与えられている期間中はリセットスイッチ54をリセット状態すなわちオン状態に保持する。

[0078] これにより、時刻 t_0 のタイミングでオン指令が与えられると、リセットスイッチ54は、リセット解除となり、ピークホールド回路50aでは、センス電圧 V_{se} のピークホールドを行い、コンデンサ53にピークホールド電圧 V_P が出力される。これにより、前述した波形検出の動作が行われる。

[0079] この後、時刻 t_1 でオン指令からオフ指令に切り替わると、制御回路20は、リセットスイッチ54にハイレベルのリセット信号 S_w を出力してリセット動作させ、コンデンサ53の電荷を放電させ、ピークホールド電圧 V_{ph} を0Vにする。オフ指令が与えられている期間中は、ピークホールド電圧 V_{ph} が0Vに保持される。

[0080] 時刻 t_2 で再びオン指令が当たられると、時刻 t_3 のオフ指令が与えられるまでの間、制御回路20はローレベルのリセット信号 S_w によりリセット

状態を解除する。以下、上述と同様にして、制御回路20は、リセット信号Swにより、スイッチング毎にリセット解除を実施してセンス電圧Vseが変動し、例えばピークホールド電圧がVP1からΔVPだけ小さくなってVP2に低下する場合でも、これに対応して波形検出回路40aによる検出動作が確実に実施できるようにしている。

[0081] このような第5実施形態によれば、ピークホールド回路50aにリセットスイッチ54を設けて、スイッチング毎にピークホールド電圧Vphをリセットさせるようにしたので、センス電圧Vseのレベルがスイッチング毎に変動した場合でも、波形検出の動作を確実に実施できるようになる。

[0082] なお、上記実施形態では、リセットスイッチ54のリセット動作は、制御回路20にオフ指令が与えられている期間中行うようにしたが、上記実施形態の場合に加えて、ノイズなどによる悪影響が無い場合には、オフ指令が与えられた直後に短時間だけリセット動作させるようにしても良い。

[0083] (第6実施形態)

図18および図19は第6実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、図18に示すように、ゲート駆動装置150は、波形検出回路40bにおいて、比較回路60aとして、ヒステリシス電源62に代えてヒステリシス電圧Vhを変更設定することができる可変ヒステリシス電源63を設ける構成としている。

[0084] これにより、図19に示しているように、可変ヒステリシス電源63によりヒステリシス電圧Vhを変更設定することで、ピーク電圧VPから減じるヒステリシス電圧Vhに応じて例えば電圧Vpy s1あるいは電圧Vpy s2のように異なるレベルに設定することができる。

[0085] このようにヒステリシス幅を変更設定することで、システムで発生するノイズなどによる誤動作を回避でき、波形検出の動作において誤検出を無くすることができる。ヒステリシス電圧Vhの調整は、人為的あるいは制御により行う構成とすることができる。

[0086] このような第6実施形態によれば、可変ヒステリシス電源63を設けて、

ヒステリシス電圧 V_h を調整可能な構成としたことで、システムで発生するノイズなどによる誤動作を回避して波形検出回路40aによる波形検出を確実に実施できるようになる。

[0087] (第7実施形態)

図20および図21は第7実施形態を示すもので、以下、第4実施形態と異なる部分について説明する。この実施形態では、図20に示すゲート駆動装置160のように、第4実施形態で示した構成の2つの参照電源82、92を、参照電圧を変更設定できる可変参照電源83、93を設ける構成としている。

[0088] この実施形態では、使用するIGBT1のようなパワー素子によって短絡時の飽和電流が異なることを想定し、システムによって負荷電流が異なることから通常のセンス電圧 V_{se} も異なることに対応するものである。すなわち、このように条件や状況によって異なる場合にも対応できるようにしきい値電圧 V_{th2} や V_{th3} を可変参照電源83、93によって変更設定可能な構成としている。

[0089] これにより、図21に示すように、モニタしきい値電圧 V_{th3} を設定変更できるので、IGBT1の特性や使用形態に応じて適切なレベルに設定することができ、短絡検出を確実に実施することができるようになる。

[0090] (第8実施形態)

図22および図23は第8実施形態を示すもので、以下、第4実施形態と異なる部分について説明する。この実施形態では、ゲート駆動装置170として、図22に示すように、波形検出回路40の出力段にフィルタ41を設け、判定回路90bのコンパレータ81および91のそれぞれの出力段にもフィルタ84および95を設けている。

[0091] 各フィルタ41、84、95は、ノイズを除去するためのローパスフィルタの機能を持つもので、センス電圧 V_{se} やゲート電圧 V_{ge} に重畳されるノイズを除去するものである。

[0092] これにより、例えば図23に示すように、波形検出回路40において、セ

ンス電圧 V_{se} が時刻 t_2 で定常期に移行し通常時であることを示すローレベルの検出信号 S_d が出力された後に、センス電圧 V_{se} にノイズが重畳した場合には、短絡時であると誤検出してしまう恐れがあった。

[0093] これに対して、この実施形態においては、時刻 t_3 でフィルタ前の検出信号 S_d にノイズに起因したハイレベルの信号が出力されていた場合でも、フィルタ 41 を介して出力される検出信号 S_d ではノイズによるハイレベルの信号部分が除去されるので、誤検出することなく検出動作が行われる。

[0094] (第9実施形態)

図24は第9実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、第1実施形態においては、通常時か短絡時かの判定をするものとして示しているが、この他に、IGBT1の動作としてオン駆動後に過電流が流れる状態があり、判定回路30により過電流時を判定するようにしたものである。

[0095] 図24では、時刻 t_3 以後の通常時を判定した後の、時刻 t_x にIGBT1に過電流が流れ、センス電圧 V_{se} が上昇していく状態を示している。この場合においても、判定回路30により、センス電圧 V_{se} が参照電圧 V_{hys} を超える時刻 t_4 でハイレベルの判定信号 S_x を出力させる。これにより、IGBT1の過電流時であることを判定することができるようになる。

[0096] (他の実施形態)

なお、本開示は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

[0097] 上記各実施形態では、パワー素子としてIGBTを用いた場合で説明したが、このようにセンス電圧 V_{se} が持ち上がる現象は、線形領域と飽和領域との動作の違いにより発生するものであるので、IGBT以外に一般的なMOSトランジスタやSiCMOSトランジスタなどのパワー系のゲート駆動型の半導体スイッチング素子のいずれにおいても適用することができる。

上記各実施形態は、第1実施形態および第4実施形態を基本とし、その応

用として示しているが、その他の実施形態において組み合わせた構成とした複合的な構成を採用することもできる。

[0098] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 電流センス端子を備えたゲート駆動形の半導体スイッチング素子の駆動制御を行うゲート駆動装置であって、
- 前記電流センス端子からのセンス電流の検出信号を取り込み、前記センス電流の変化から過渡センス電流の有無を検出する波形検出回路（40）と、
- 前記波形検出回路による検出結果を所定タイミングで判定して短絡の有無を判定する判定回路（30）と、
- 前記半導体スイッチング素子のオンオフ駆動を制御し、前記半導体スイッチング素子をオン駆動した後、前記判定回路により短絡有りが判定されたことに基づいて遮断する制御回路（20）と、
- を備えたゲート駆動装置。
- [請求項2] 前記波形検出回路は、
- 前記センス電流の検出信号のピーク値を保持するピークホールド回路（50）と、
- 前記センス電流の検出信号のレベルと前記ピークホールド回路の出力を所定量だけ低下させたレベルとを比較して前記短絡の有無を判定する比較回路（60）と、
- を有する請求項1に記載のゲート駆動装置。
- [請求項3] 前記判定回路は、前記短絡の有無の判定を、前記半導体スイッチング素子のオン駆動の時点から所定時間が経過したタイミングで実施する請求項1または2に記載のゲート駆動装置。
- [請求項4] 前記判定回路は、前記半導体スイッチング素子のゲート電圧をモニタし、所定の電圧に達したことを検出するゲートモニタ回路（81）を備え、
- 前記短絡の有無の判定を、前記ゲートモニタ回路の検出タイミングで実施する請求項1または2に記載のゲート駆動装置。
- [請求項5] 前記判定回路は、前記センス電流の検出信号が短絡レベルに相当す

るセンスしきい値に達したことを検出する機能をさらに備え、

前記判定回路は、前記判定を、前記波形検出回路および前記センスしきい値検出回路の双方から短絡が検出されたときに前記短絡の有無を判定する請求項 1 から 4 のいずれか一項に記載のゲート駆動装置。

[請求項6] 前記ピークホールド回路は、前記半導体スイッチング素子がオフすると前記ピーク値の保持をリセットするリセットスイッチを備える請求項 2 から 5 のいずれか一項に記載のゲート駆動装置。

[請求項7] 前記比較回路は、前記ピークホールド回路の出力を小さく設定する所定量を調整可能に構成される請求項 2 から 6 のいずれか一項に記載のゲート駆動装置。

[請求項8] 前記ゲートしきい値および前記センス電流しきい値の少なくとも一方が調整可能に設けられる請求項 4 または 5 に記載のゲート駆動装置。

[請求項9] 前記判定回路は、前記半導体スイッチング素子のオン期間中の前記センス電流の変化から過電流の有無を判定する請求項 1 から 8 のいずれか一項に記載のゲート駆動装置。

[図1]

Fig.1

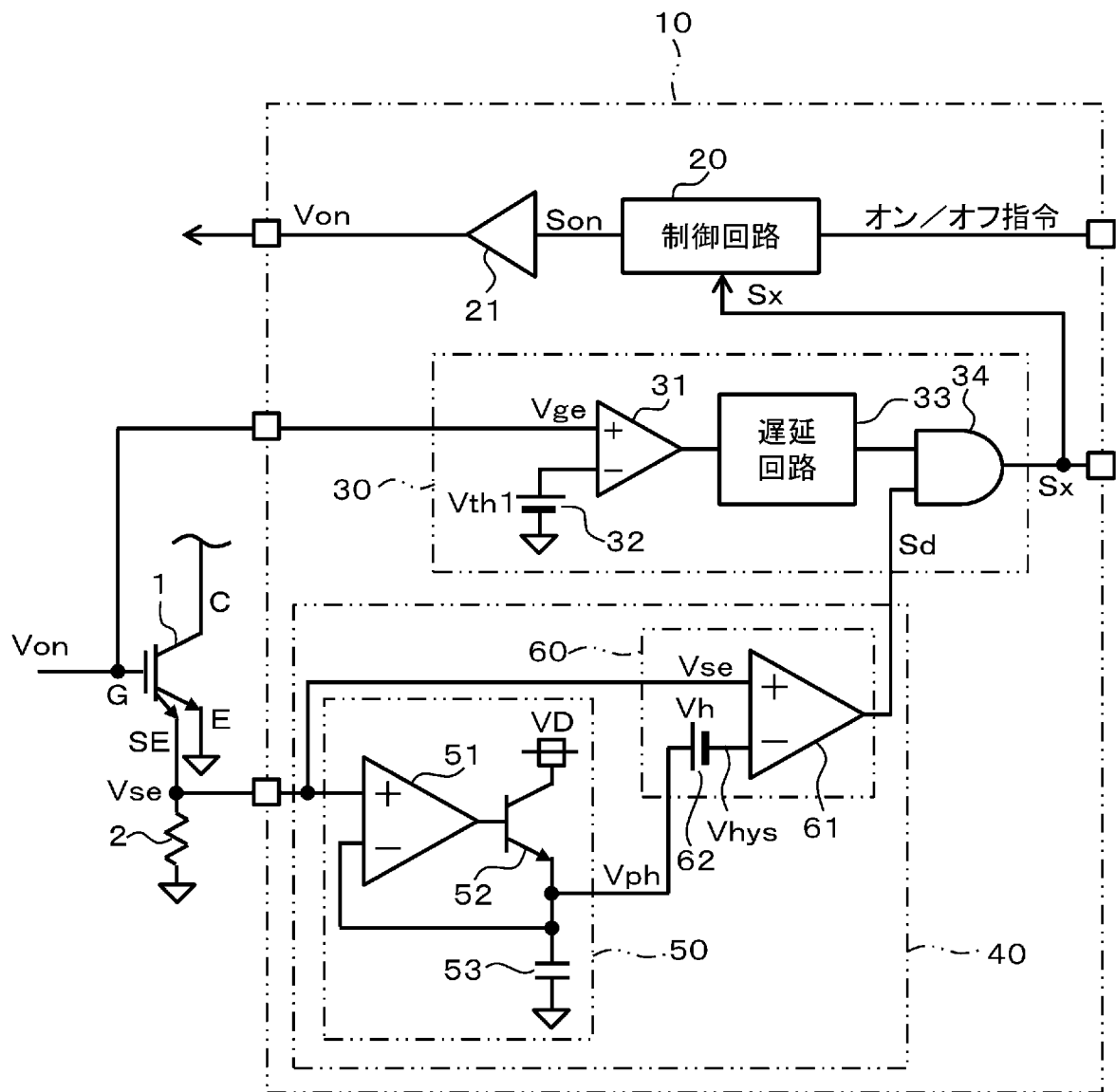
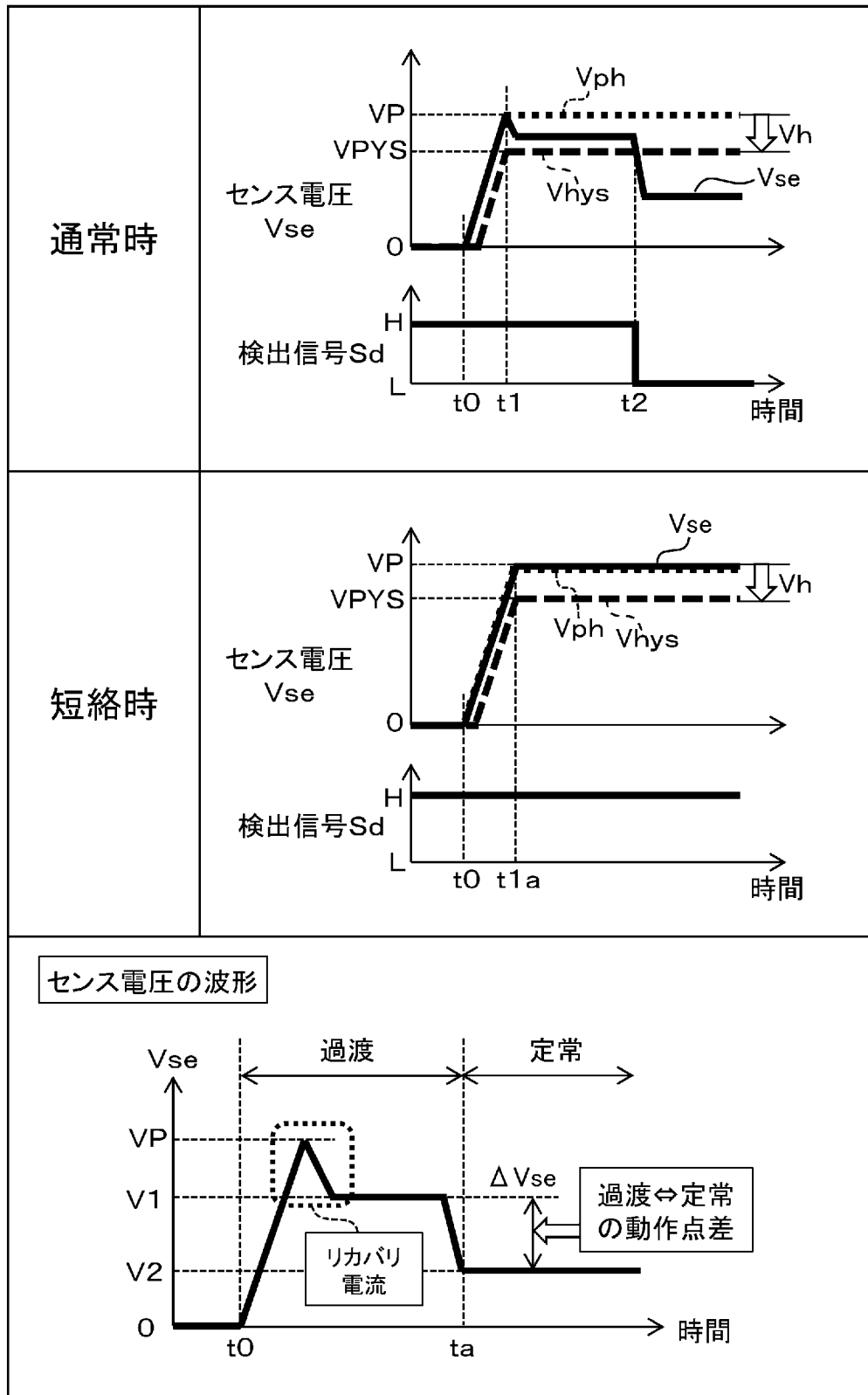
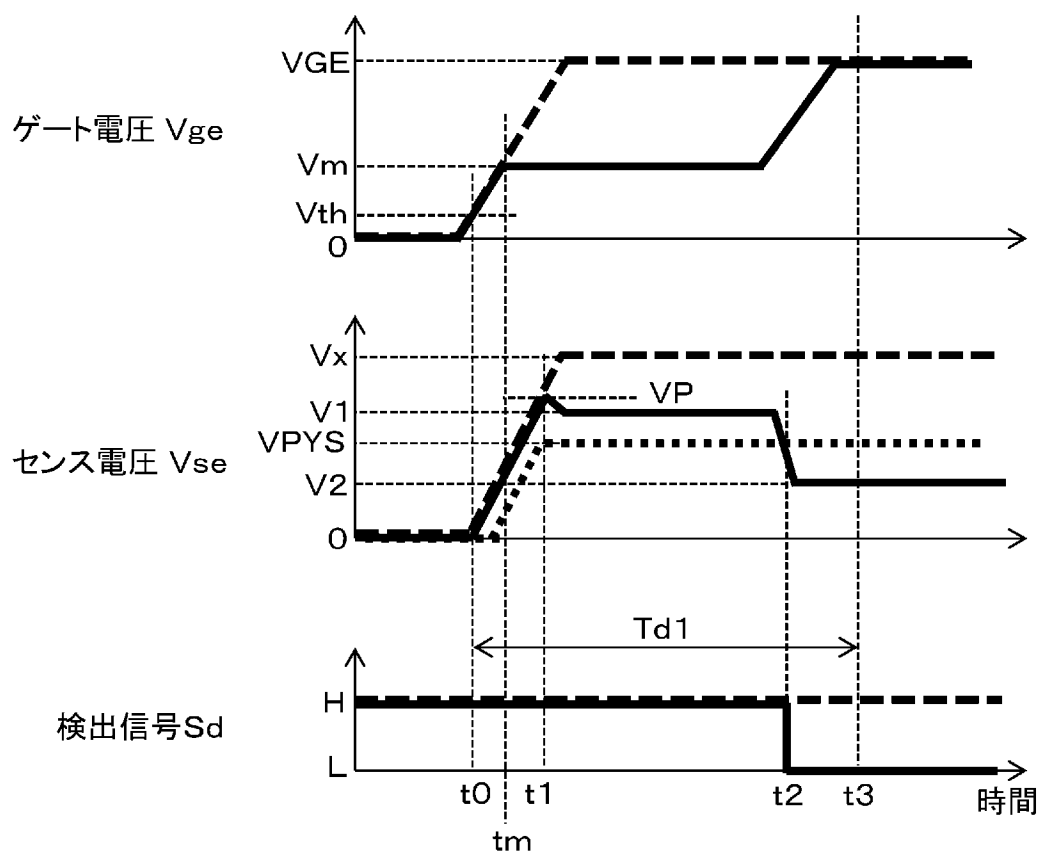


Fig.2



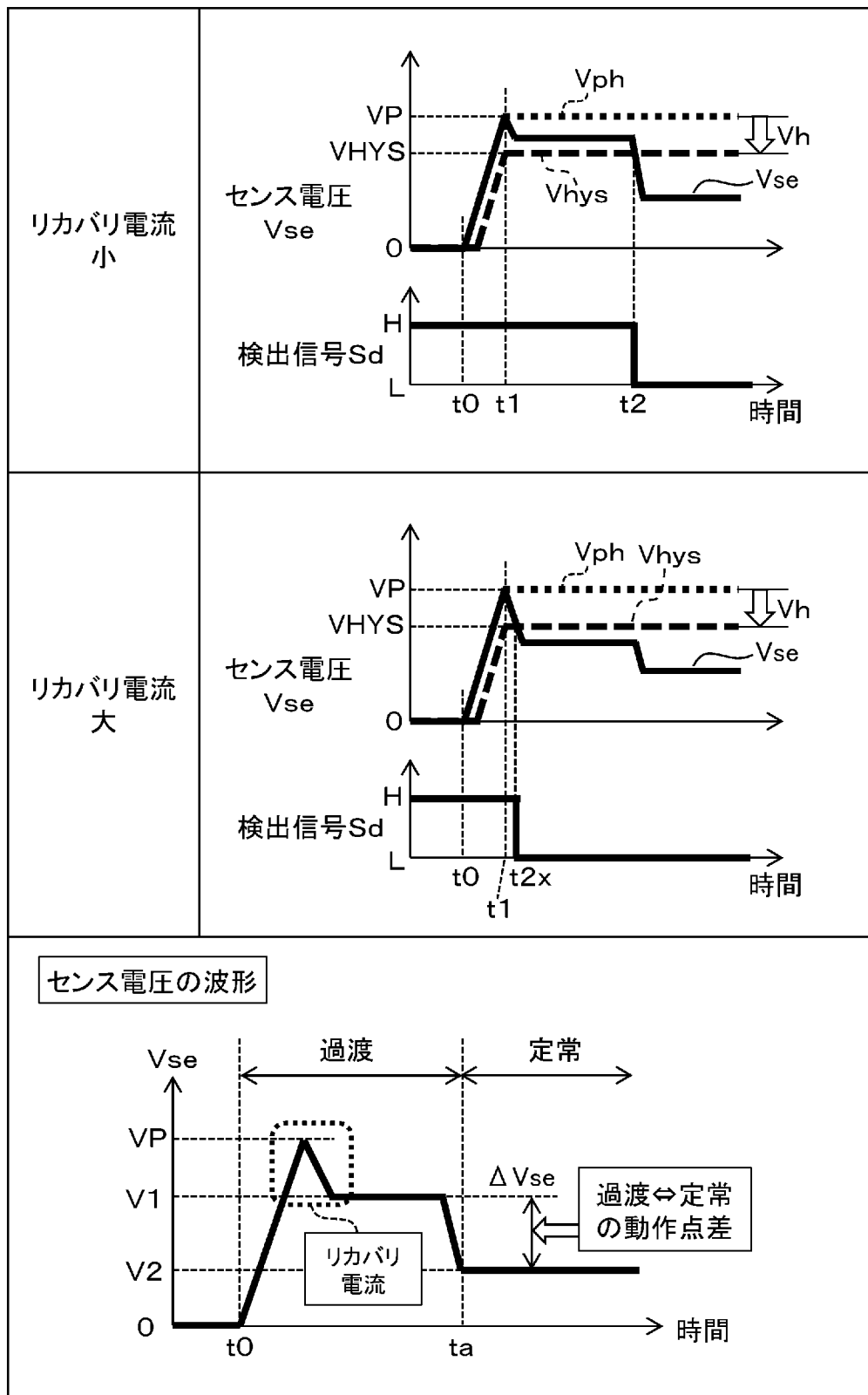
[図3]

Fig.3



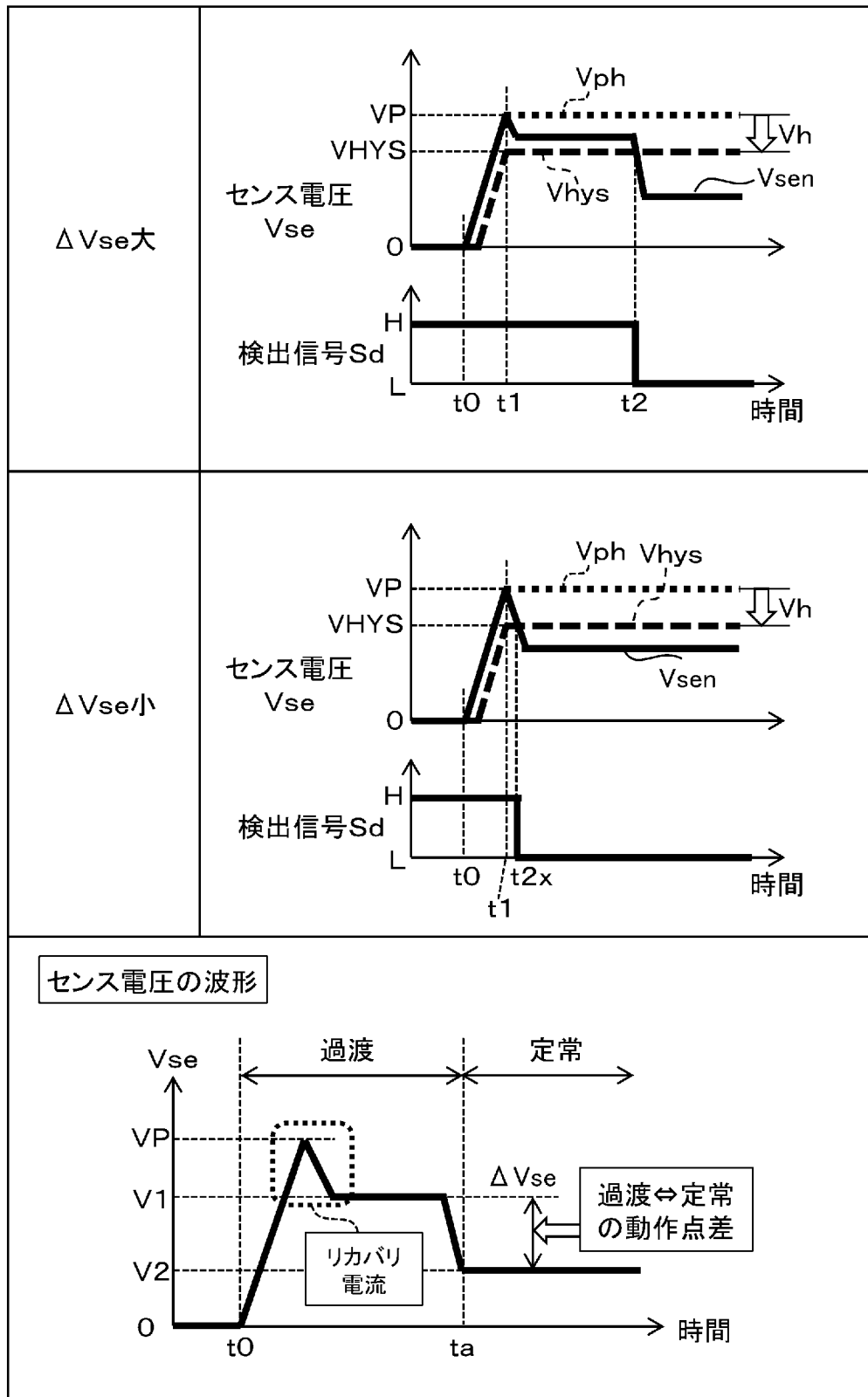
[図4]

Fig.4



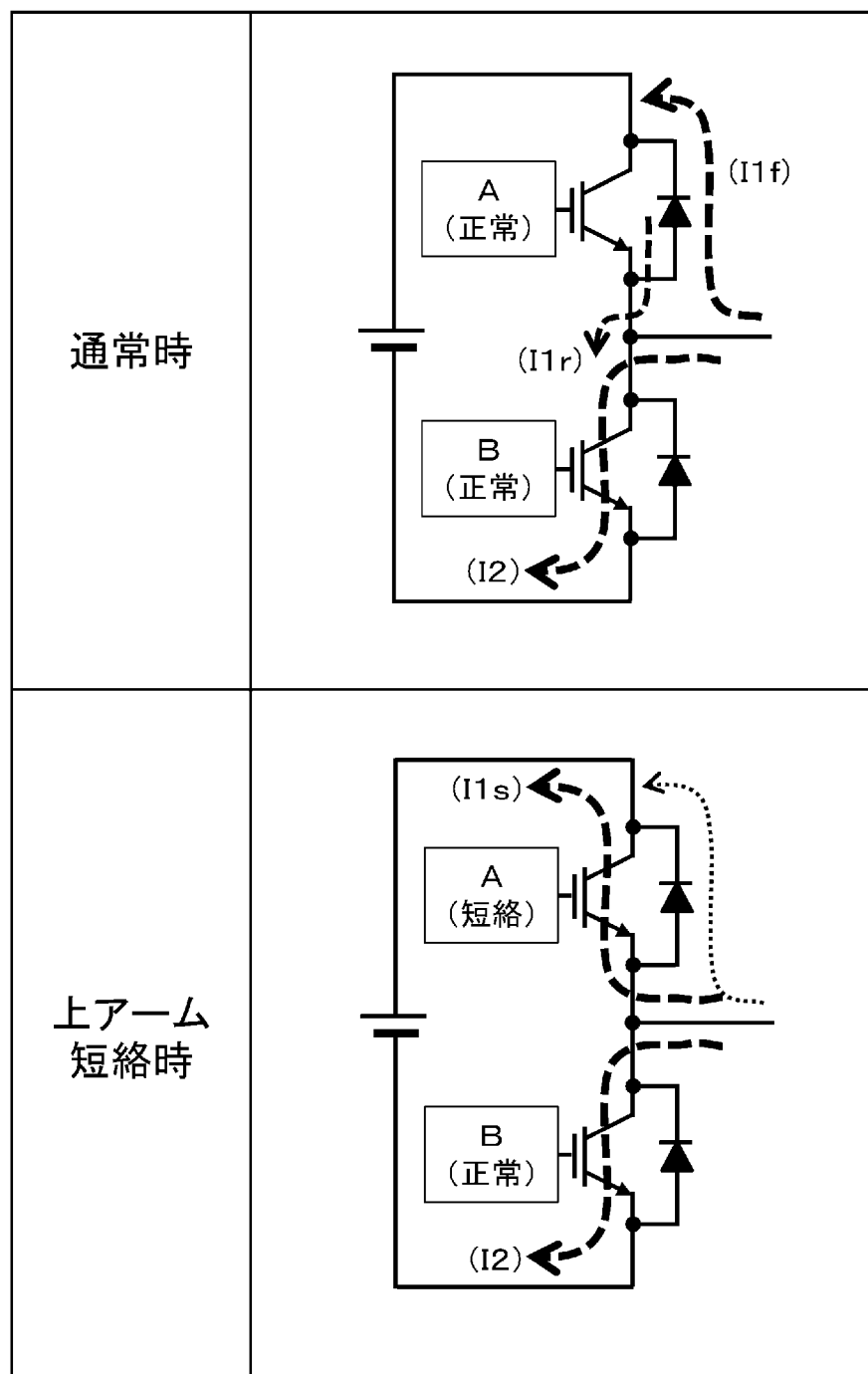
[図5]

Fig.5



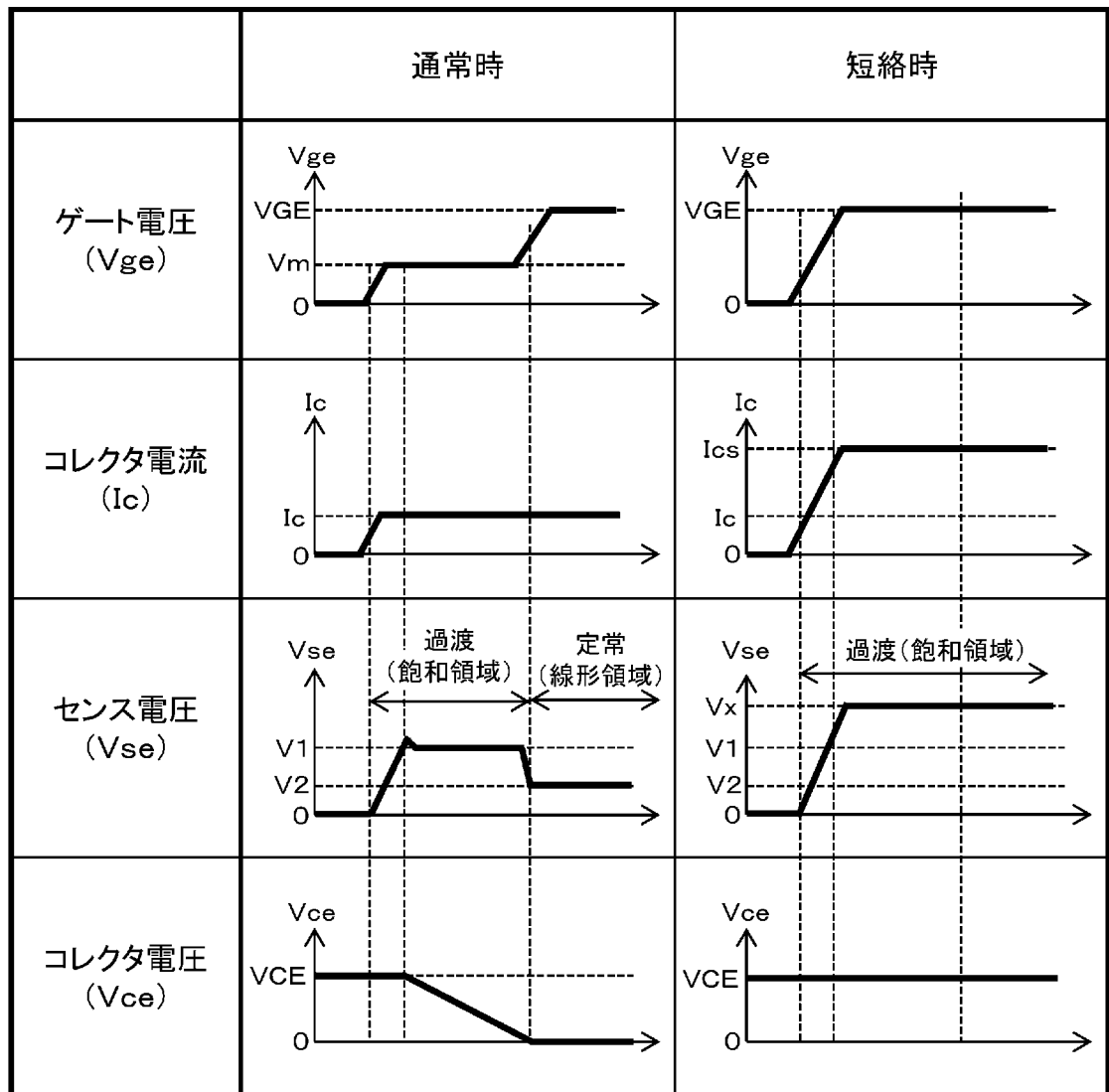
[図6]

Fig.6



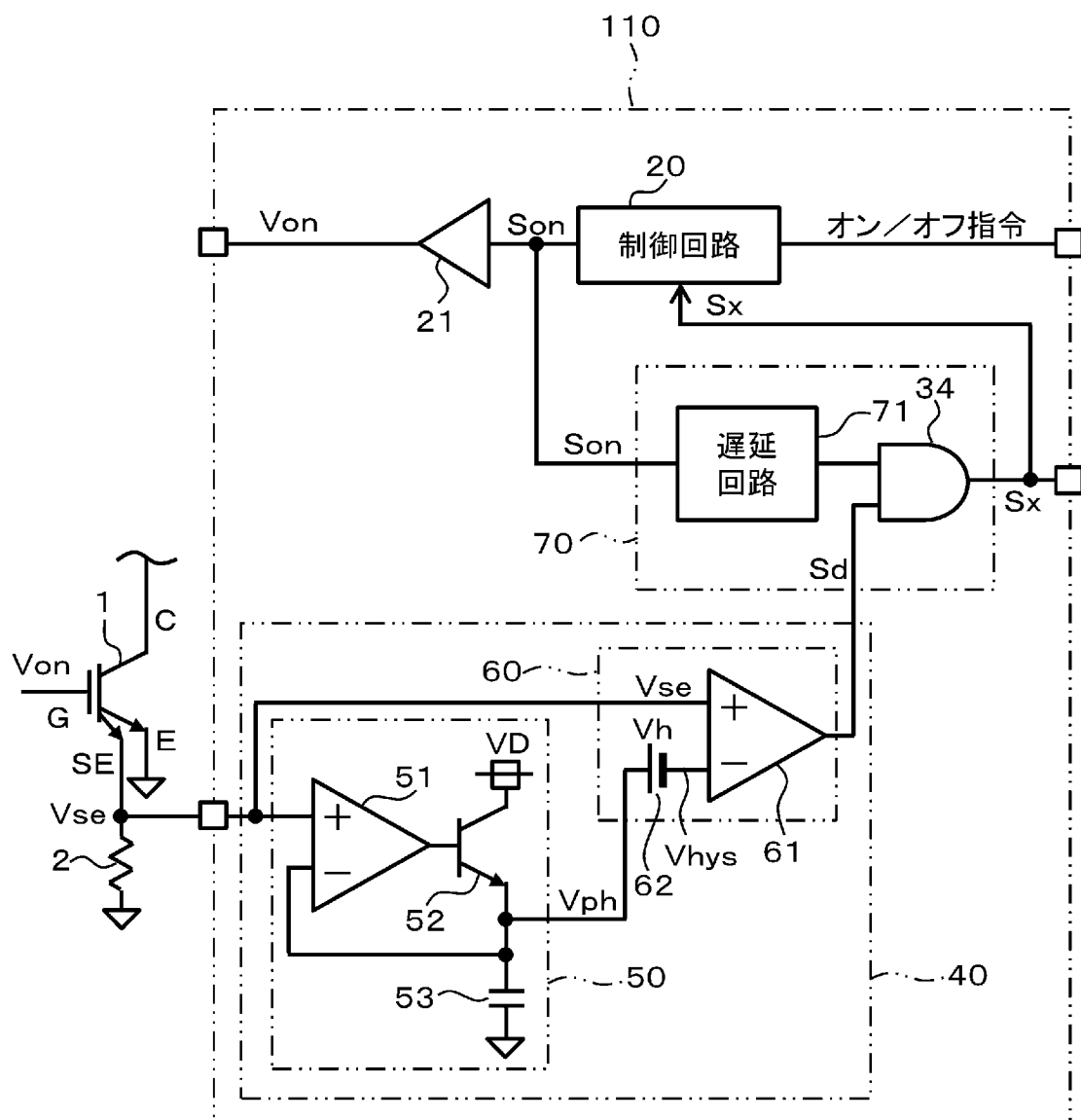
[図7]

Fig.7



[図8]

Fig.8



[図9]

Fig.9

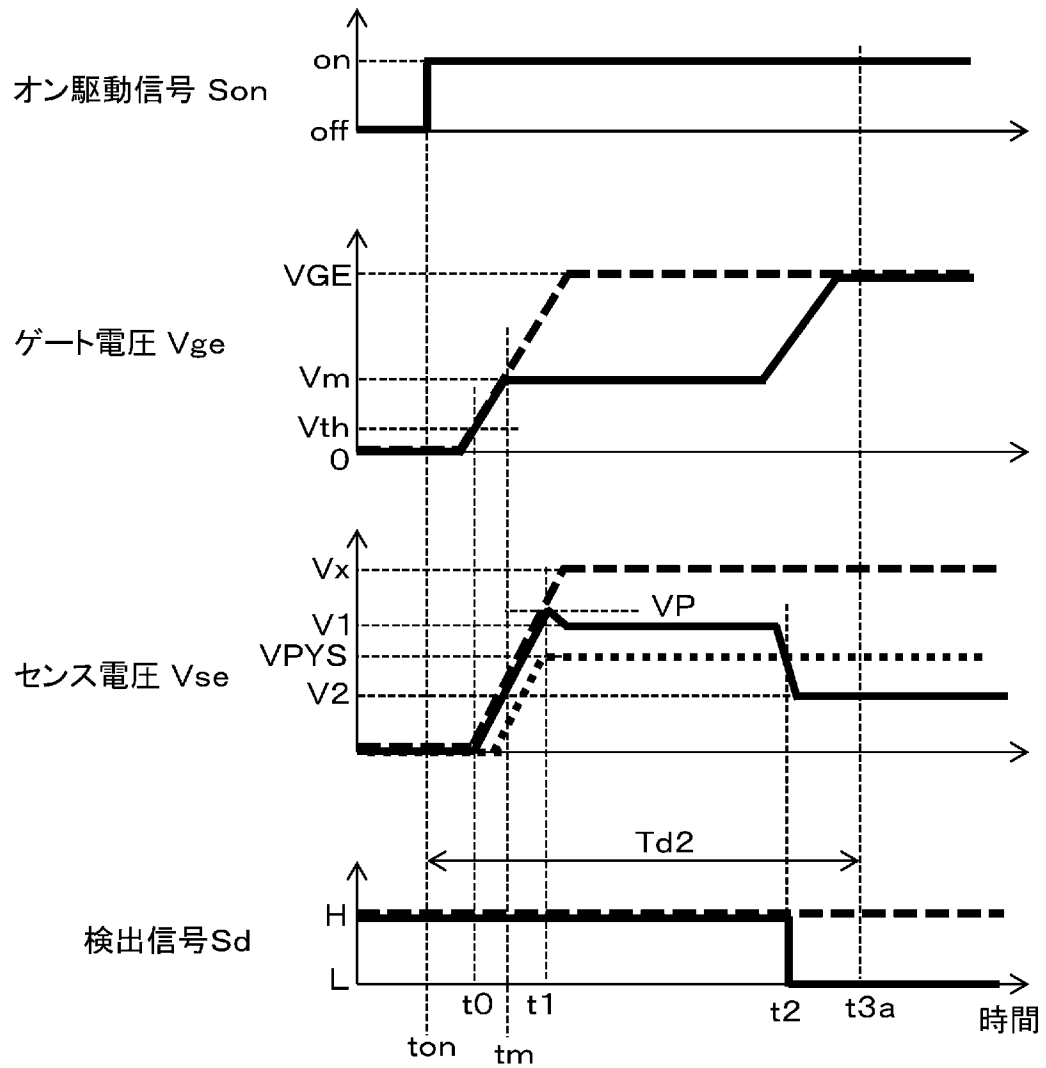
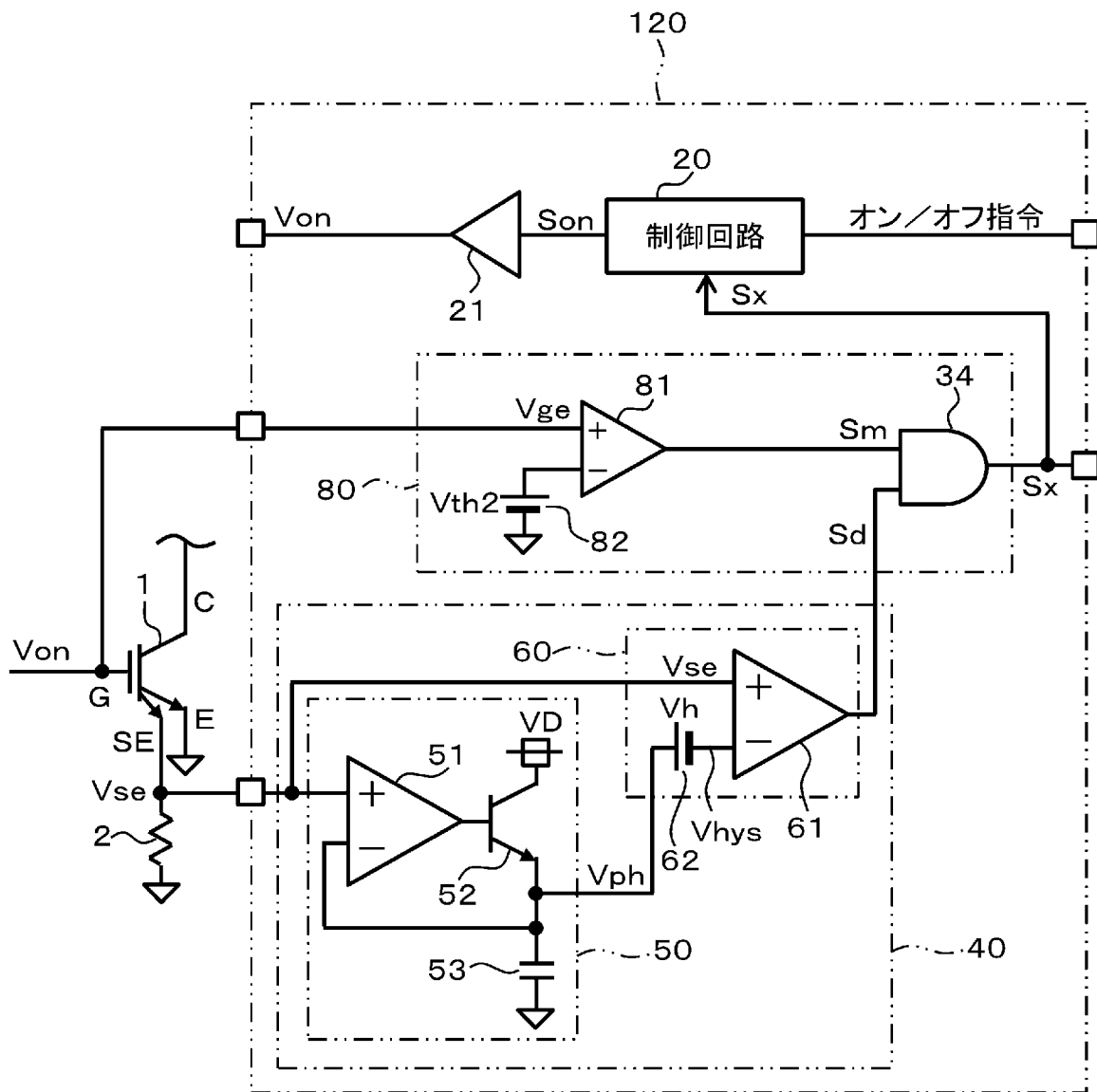
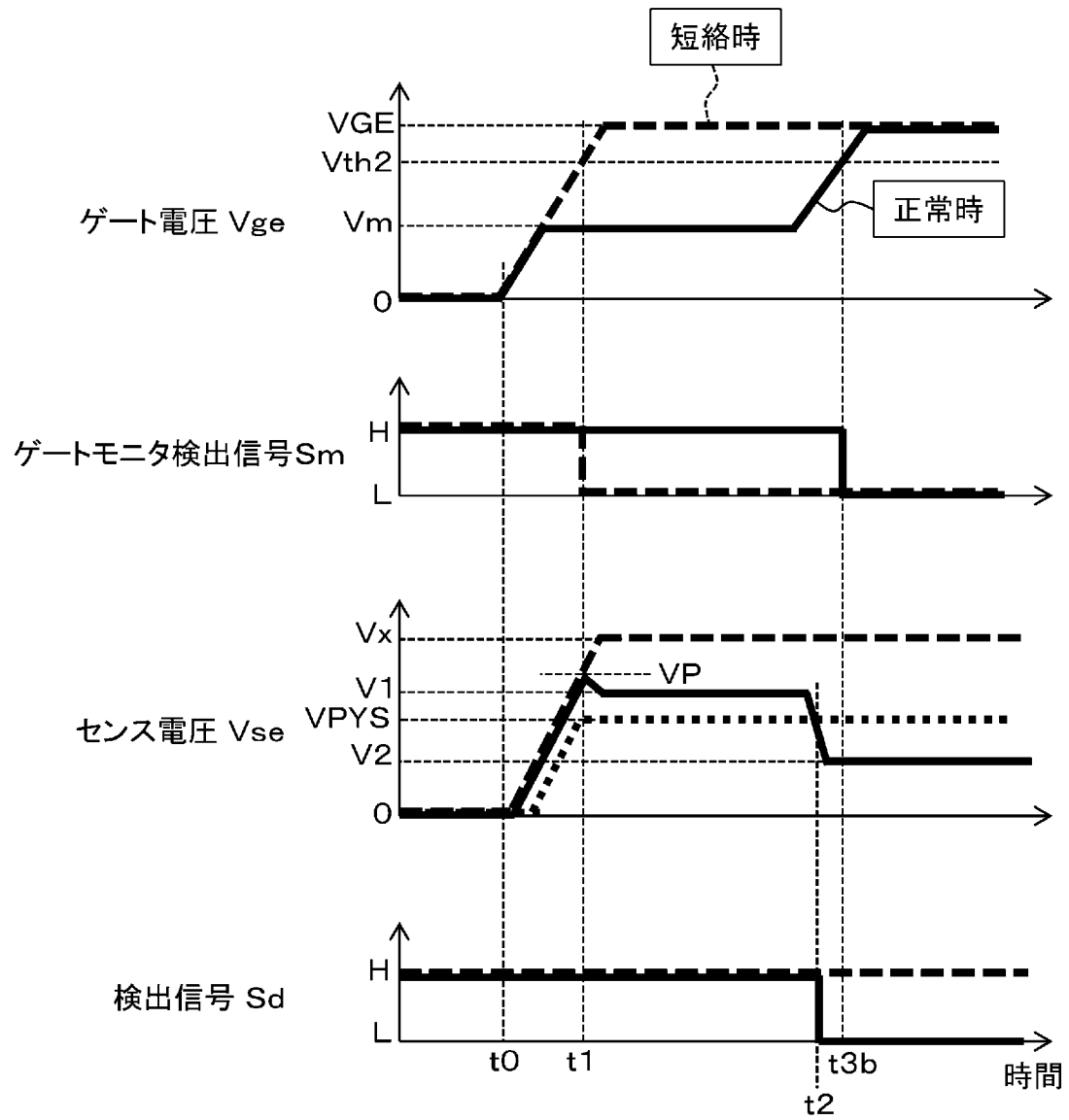


Fig.10



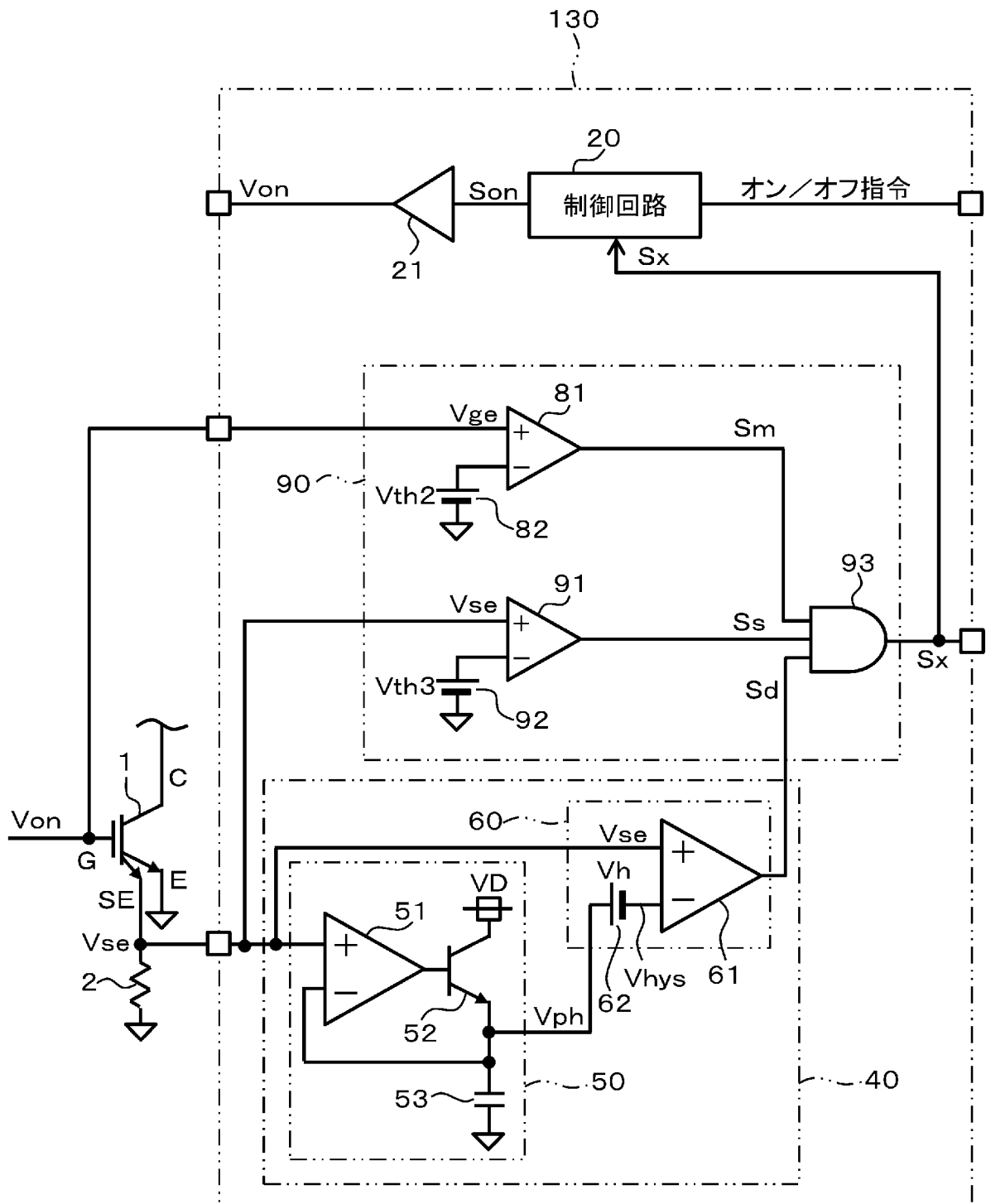
[図11]

Fig.11



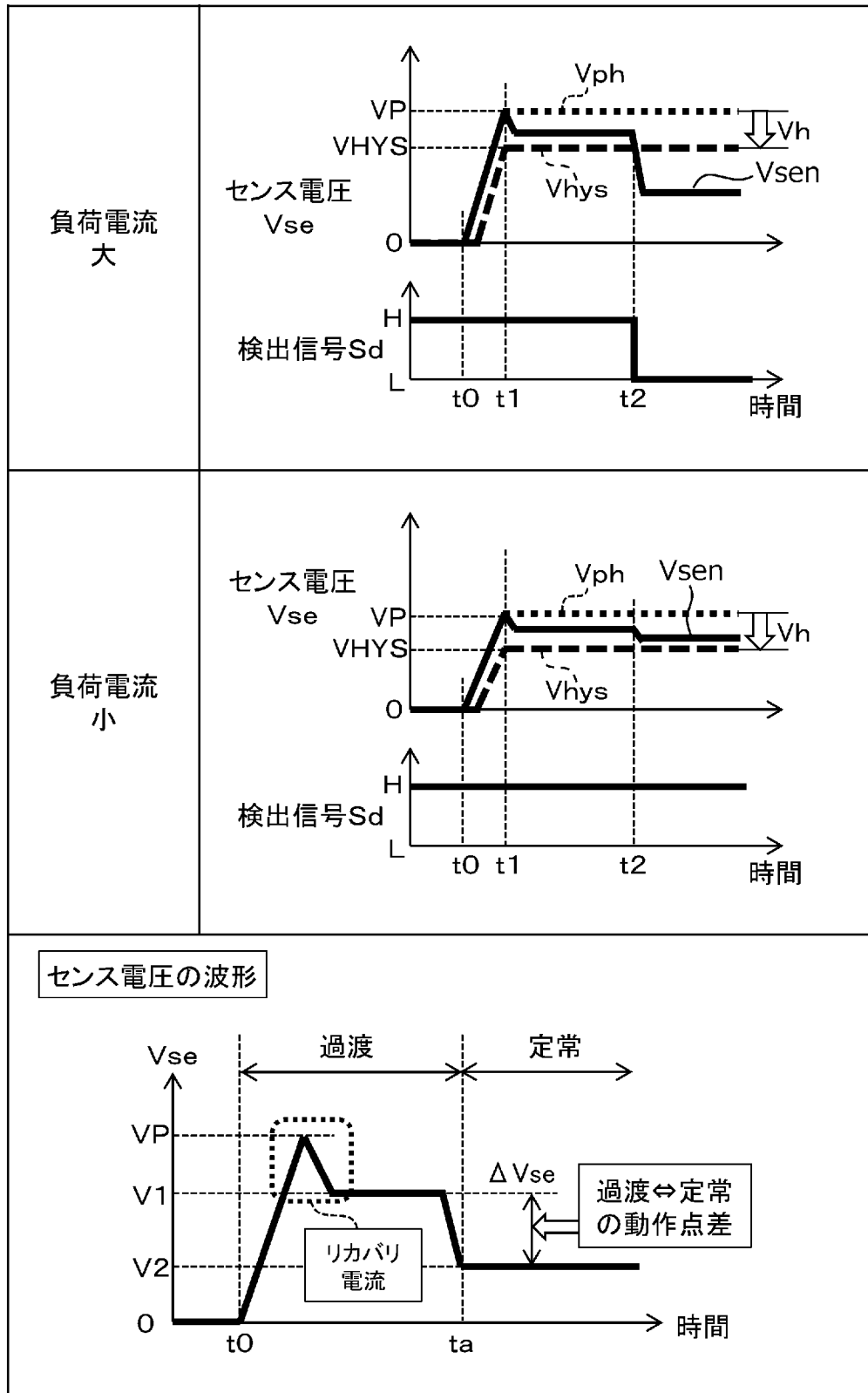
[図12]

Fig.12



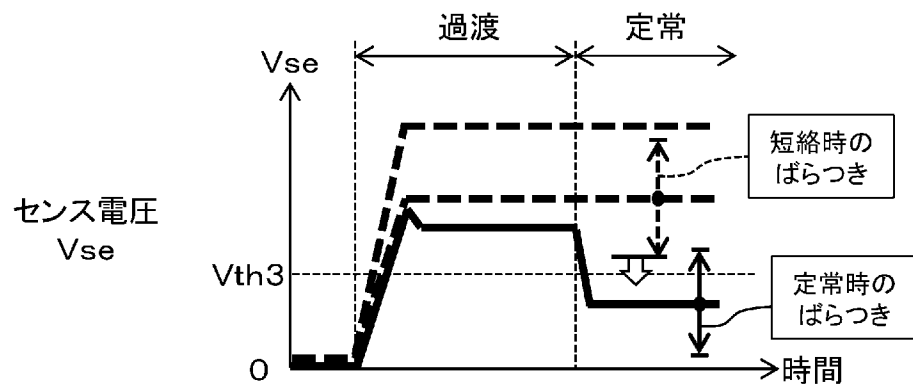
[図13]

Fig.13



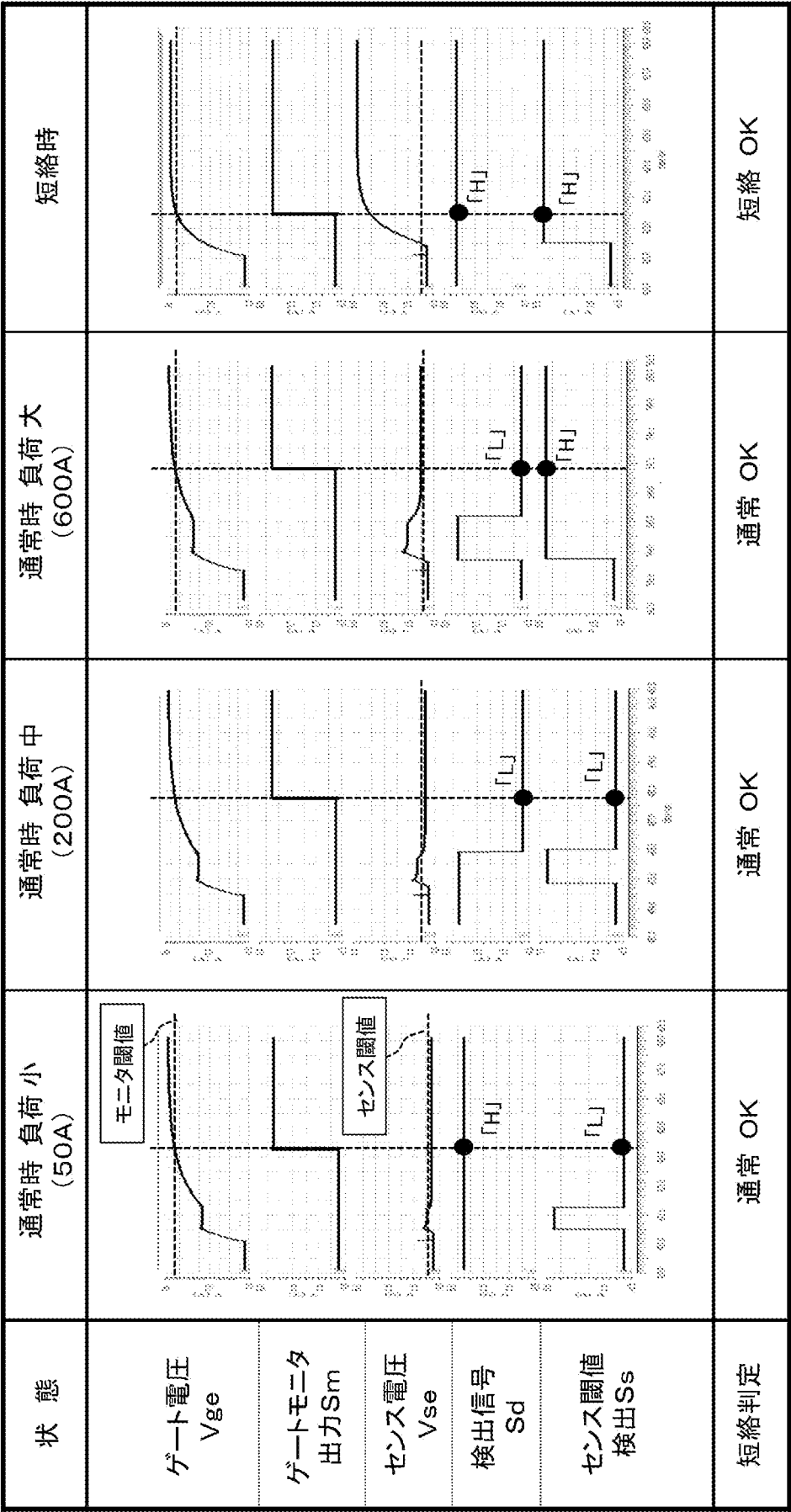
[図14]

Fig.14



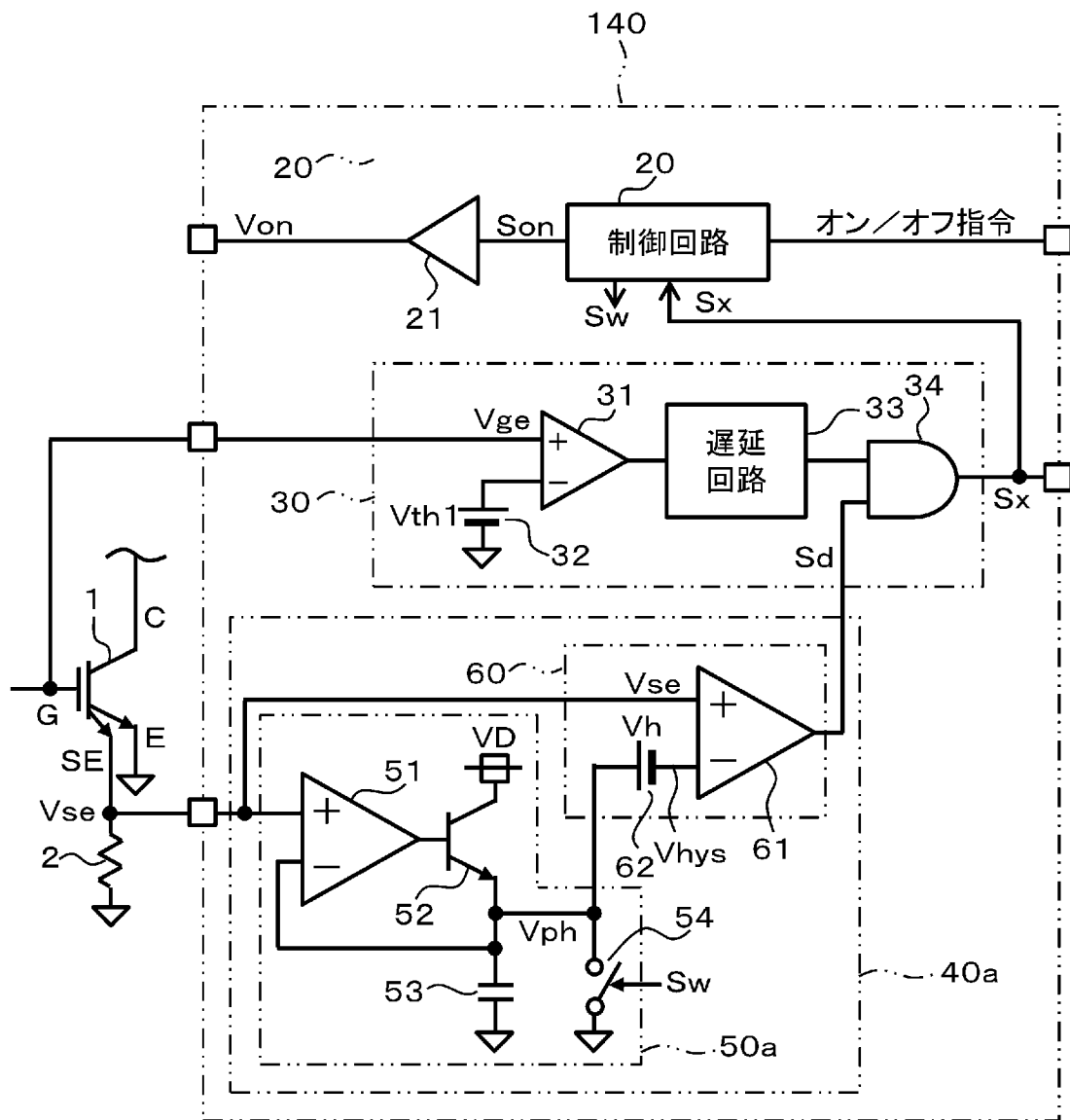
[図15]

Fig.15



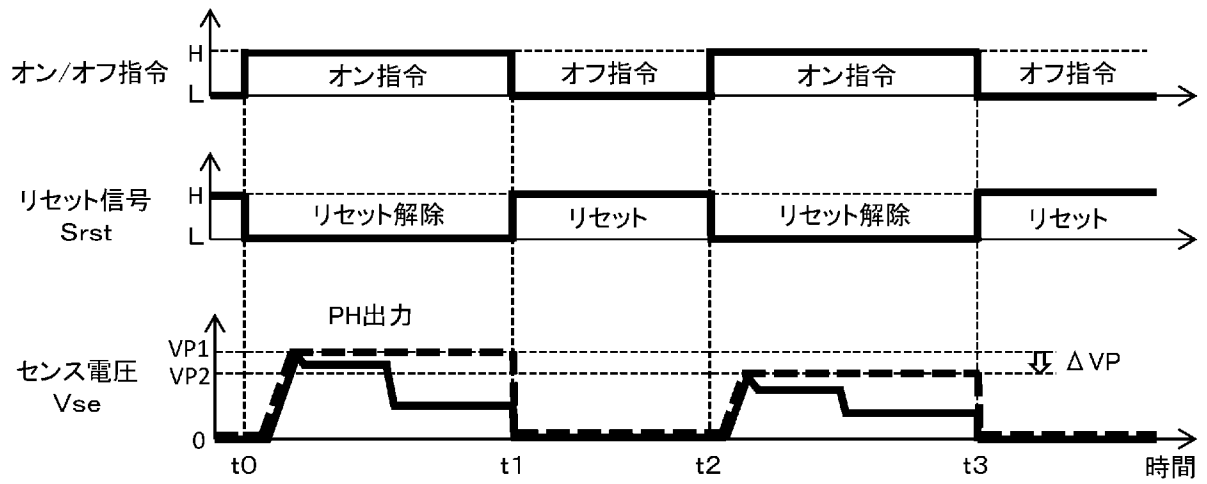
[図16]

Fig.16



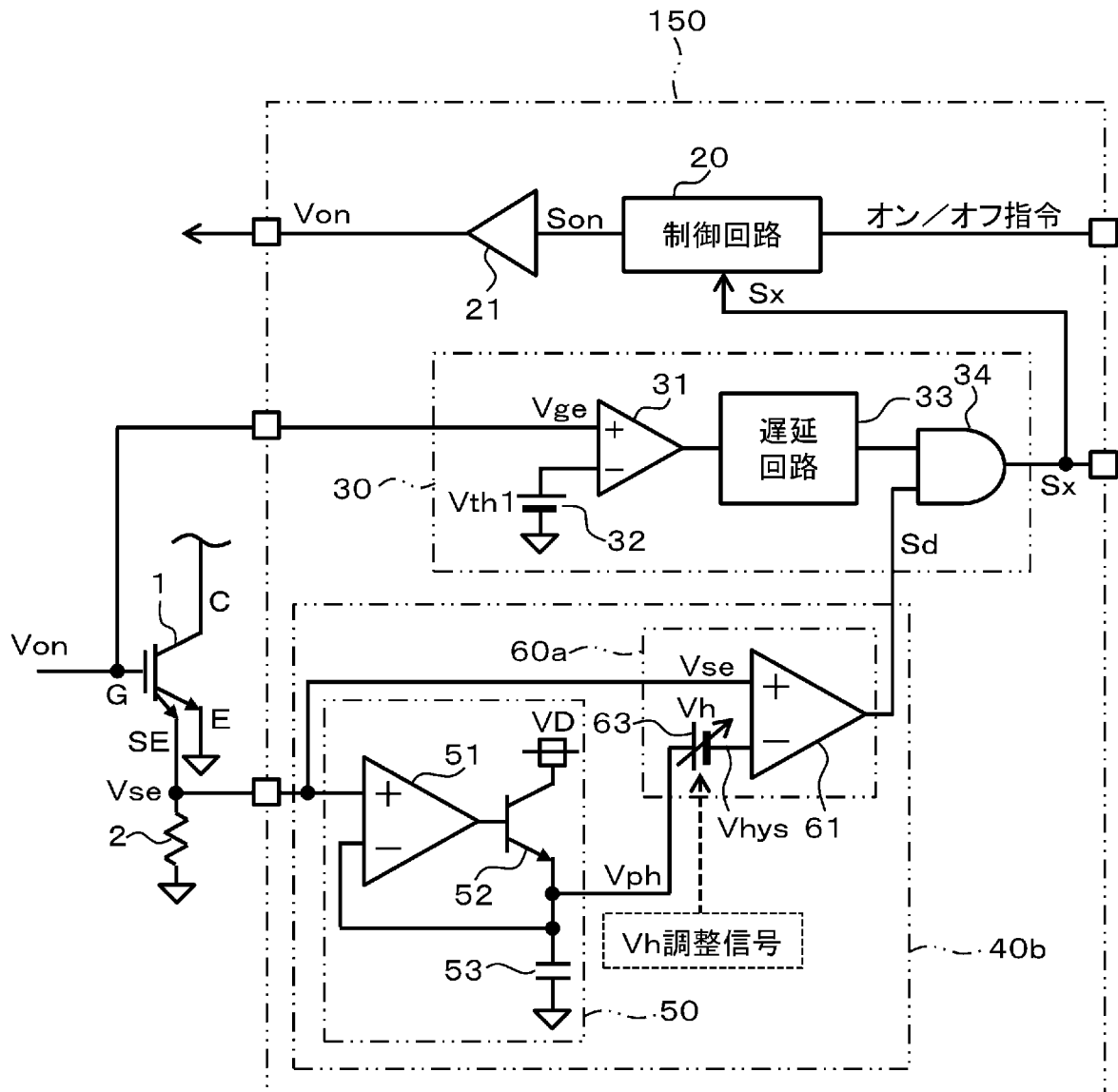
[図17]

Fig.17



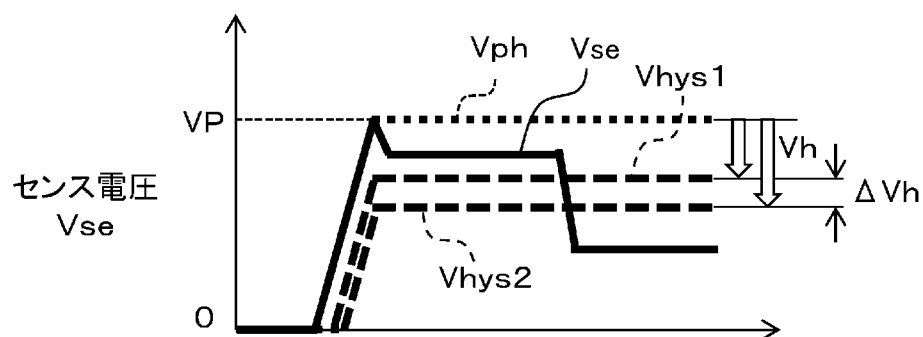
[図18]

Fig.18



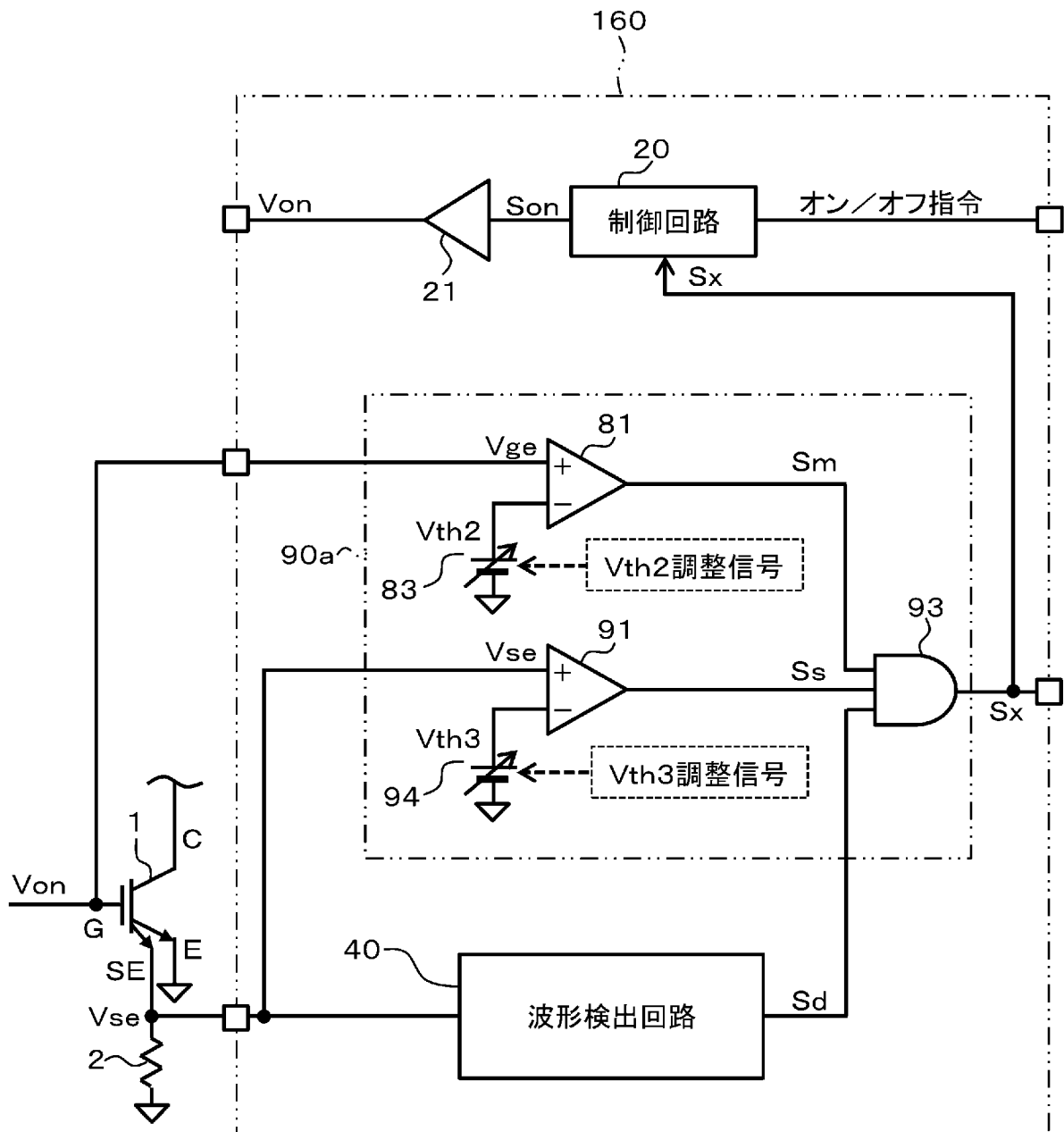
[図19]

Fig.19



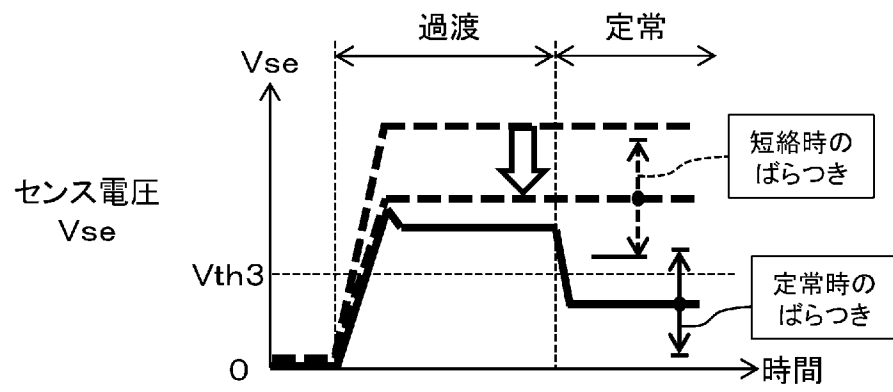
[図20]

Fig.20



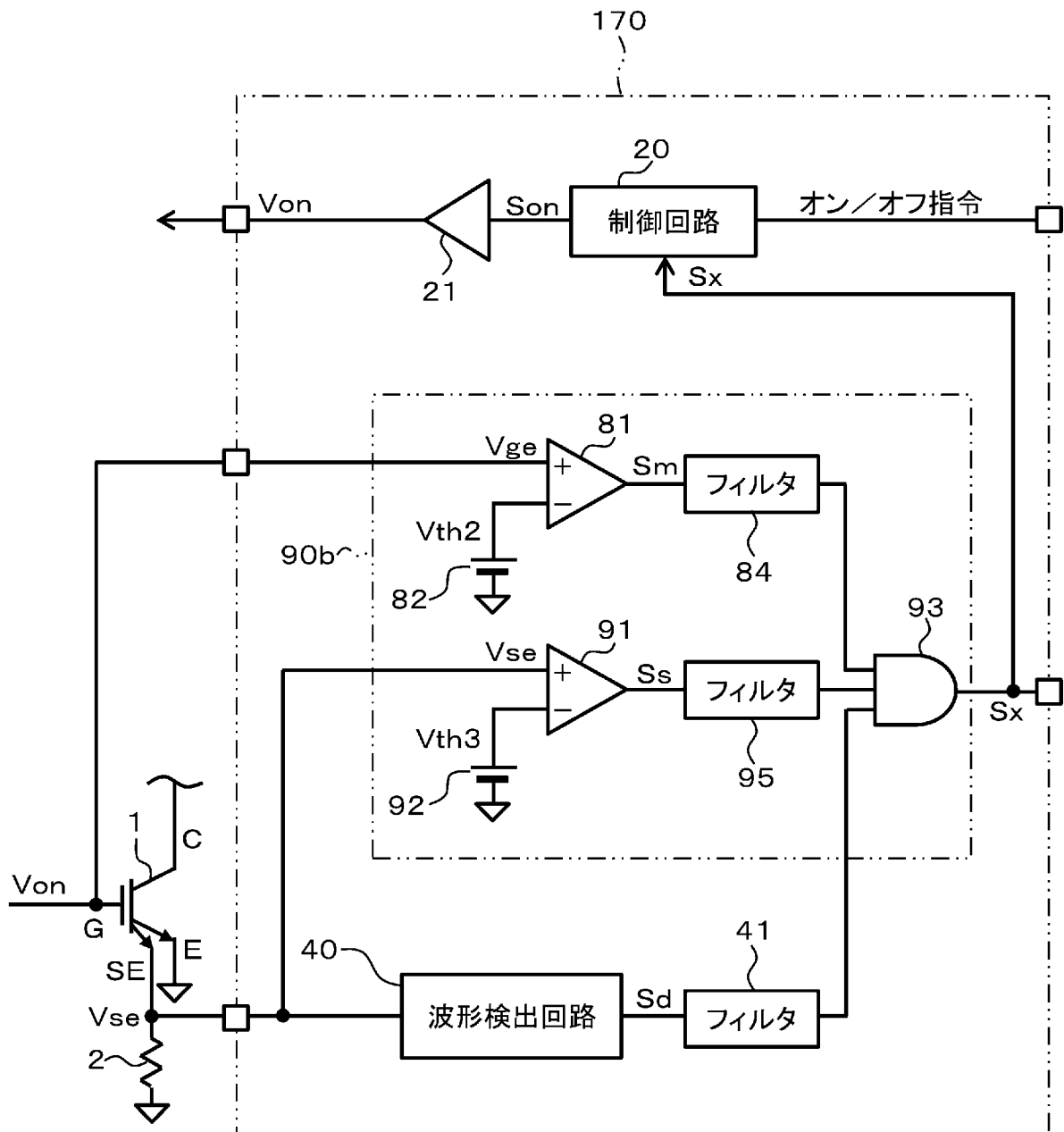
[図21]

Fig.21



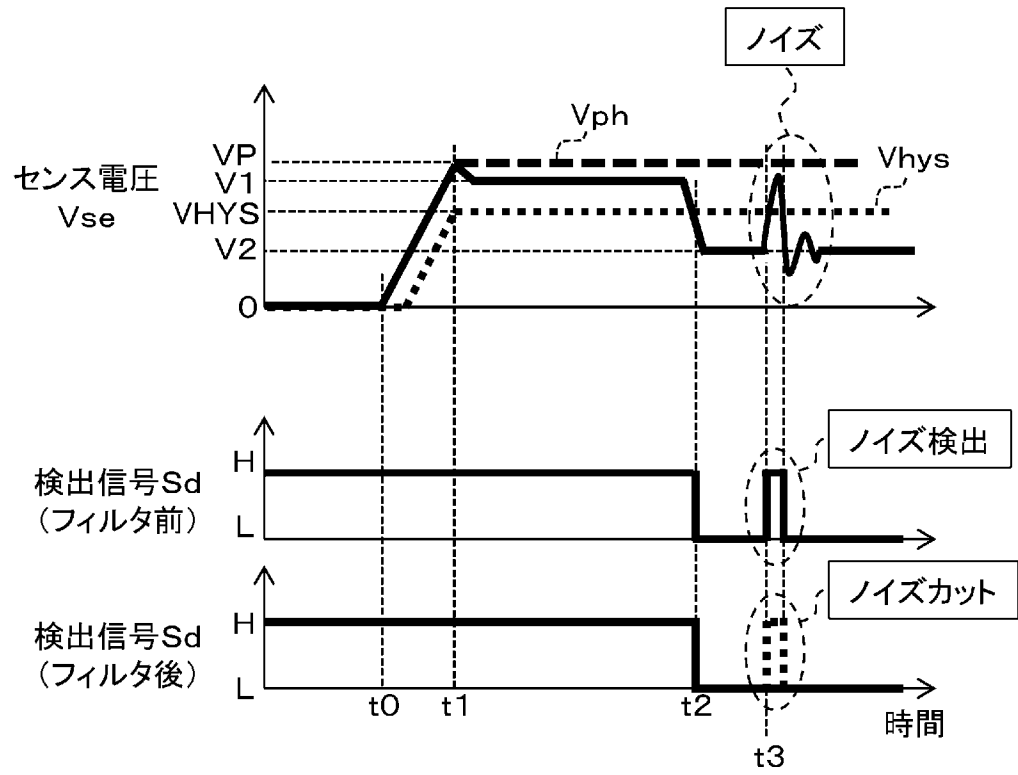
[図22]

Fig.22



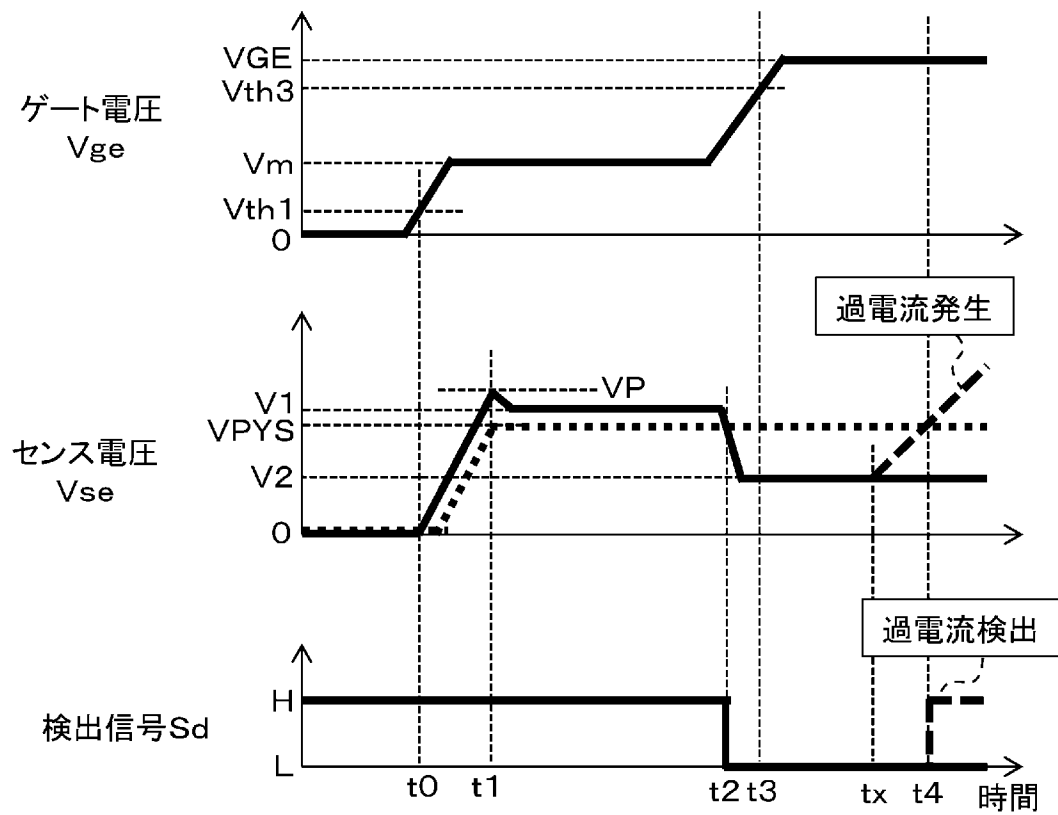
[図23]

Fig.23



[図24]

Fig.24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/018895

A. CLASSIFICATION OF SUBJECT MATTER**H03K 17/08**(2006.01)i; **H02M 1/00**(2007.01)i; **H02M 1/08**(2006.01)i

FI: H02M1/08 A; H02M1/00 H; H03K17/08 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/08; H02M1/00; H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-213430 A (DENSO CORP.) 12 December 2019 (2019-12-12)	1, 3, 9
A	paragraphs [0014]-[0076], fig. 1-10	2, 5-7
X	JP 2017-212870 A (DENSO CORP.) 30 November 2017 (2017-11-30)	1, 4, 8, 9
A	paragraphs [0013]-[0035], fig. 1-5	2, 5-7
A	JP 2013-077976 A (MITSUBISHI ELECTRIC CORP.) 25 April 2013 (2013-04-25)	1-9
	entire text, all drawings	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 July 2022

Date of mailing of the international search report

12 July 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/018895

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-213430	A	12 December 2019	(Family: none)	
JP	2017-212870	A	30 November 2017	US 2020/0144998 A1 paragraphs [0061]-[0084], fig. 1-5	
				CN 109314510 A	
JP	2013-077976	A	25 April 2013	US 2013/0083442 A1 entire text, all drawings	
				DE 102012216318 A1	
				CN 103036542 A	
				KR 10-2013-0035886 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/08(2006.01)i; H02M 1/00(2007.01)i; H02M 1/08(2006.01)i FI: H02M1/08 A; H02M1/00 H; H03K17/08 Z														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/08; H02M1/00; H02M1/08 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X A	JP 2019-213430 A（株式会社デンソー）12.12.2019（2019-12-12） [0014]-[0076], 図1-10	1, 3, 9 2, 5-7												
X A	JP 2017-212870 A（株式会社デンソー）30.11.2017（2017-11-30） [0013]-[0035], 図1-5	1, 4, 8, 9 2, 5-7												
A	JP 2013-077976 A（三菱電機株式会社）25.04.2013（2013-04-25） 全文, 全図	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 01.07.2022	国際調査報告の発送日 12.07.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 麻生 哲朗 5G 2953 電話番号 03-3581-1101 内線 3526													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/018895

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-213430	A	12.12.2019	(ファミリーなし)	
JP	2017-212870	A	30.11.2017	US 2020/0144998 A1	
				[0061]-[0084], 図1-5	
				CN 109314510 A	
JP	2013-077976	A	25.04.2013	US 2013/0083442 A1	
				全文, 全図	
				DE 102012216318 A1	
				CN 103036542 A	
				KR 10-2013-0035886 A	