



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0111999
(43) 공개일자 2018년10월11일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 A61B 5/00 (2006.01) A61B 5/145 (2006.01)
 A61B 5/1455 (2006.01) G01N 21/64 (2006.01)</p> <p>(52) CPC특허분류
 A61B 5/0071 (2013.01)
 A61B 5/14532 (2013.01)</p> <p>(21) 출원번호 10-2018-7026360
 (22) 출원일자(국제) 2017년02월17일
 심사청구일자 없음</p> <p>(85) 번역문제출일자 2018년09월12일
 (86) 국제출원번호 PCT/US2017/018278
 (87) 국제공개번호 WO 2017/143129
 국제공개일자 2017년08월24일</p> <p>(30) 우선권주장
 62/296,546 2016년02월17일 미국(US)</p> | <p>(71) 출원인
 테서렉트 헬스, 인코포레이티드
 미국 06437 코네티컷주 길포드 올드 윗필드 스트리트 530</p> <p>(72) 발명자
 로쓰버그 조너썬 엠
 미국 06437 코네티컷주 길포드 운카스 포인트 로드 215
 파이프 키쓰 쿼
 미국 94306 캘리포니아주 팔로 알토 마타데로 에비뉴 635
 보이스버트 데이빗
 미국 95120 캘리포니아주 새너제이 그레이스톤 레인 18900</p> <p>(74) 대리인
 양영준, 김윤기</p> |
|---|---|

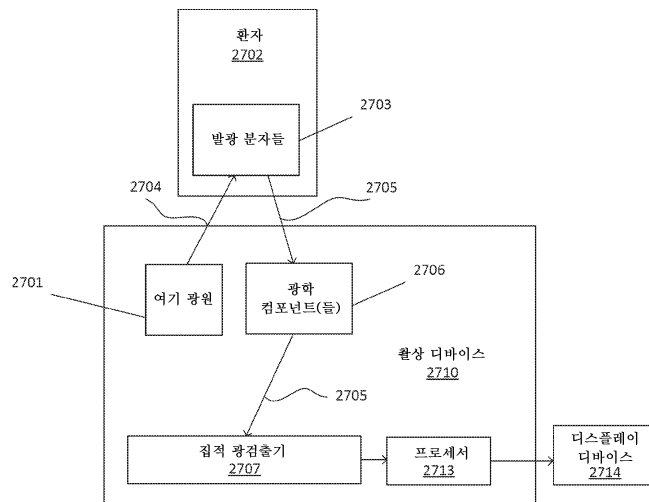
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **수명 활상 및 검출 응용을 위한 센서 및 디바이스**

(57) 요약

회도 수명 활상의 방법은 발광 분자들로부터 집적 광검출기에서 입사 광자들을 수신하는 단계를 포함한다. 입사 광자들은 포인트-오브-케어 디바이스의 하나 이상의 광학 컴포넌트를 통해 수신된다. 이 방법은 또한 집적 광검출기를 이용하여 입사 광자들의 도달 시간들을 검출하는 단계를 포함한다. 혈당을 분석하는 방법은 조직으로부터의 입사 광자들의 도달 시간들을 검출하는 집적 회로를 적어도 부분적으로 이용하여 조직의 회도 수명 특성을 검출하는 단계를 포함한다. 이 방법은 또한 회도 수명 특성에 기초하여 혈당을 분석하는 단계를 포함한다.

대표도 - 도27a



(52) CPC특허분류

A61B 5/14542 (2013.01)

A61B 5/14552 (2013.01)

A61B 5/444 (2013.01)

G01N 21/6408 (2013.01)

G01N 21/6486 (2013.01)

A61B 2562/0233 (2013.01)

명세서

청구범위

청구항 1

휘도 수명 활상의 방법으로서,

발광 분자들로부터 집적 광검출기에서 입사 광자들을 수신하는 단계 - 상기 입사 광자들은 포인트-오브-케어 디바이스(point-of-care device)의 하나 이상의 광학 컴포넌트를 통해 수신됨 -; 및

상기 집적 광검출기를 이용하여 상기 입사 광자들의 도달 시간들을 검출하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 도달 시간에 기초하여 상기 발광 분자들의 휘도 수명 특성을 구별하는 단계를 추가로 포함하는, 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 휘도 수명 특성을 이용하여 이미지를 생성하는 단계를 추가로 포함하는, 방법.

청구항 4

제3항에 있어서, 상기 이미지는 상기 휘도 수명 특성에 기초하여 질병에 걸린 조직의 존재를 나타내는, 방법.

청구항 5

제4항에 있어서, 상기 이미지는 흑색종, 종양, 박테리아 감염, 또는 바이러스 감염의 존재를 나타내는, 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 입사 광자들은 조직으로부터 수신되는, 방법.

청구항 7

제6항에 있어서, 상기 조직은 피부를 포함하는, 방법.

청구항 8

제6항 또는 제7항에 있어서, 상기 발광 분자들을 여기시키기 위해 상기 조직을 조명하는 단계를 추가로 포함하는, 방법.

청구항 9

방법으로서,

조직으로부터의 입사 광자들의 도달 시간들을 검출하는 집적 회로를 적어도 부분적으로 이용하여 조직의 휘도 수명 특성을 검출하는 단계, 및

상기 휘도 수명 특성에 기초하여 혈당을 분석하는 단계를 포함하는, 방법.

청구항 10

제9항에 있어서, 상기 분석하는 단계는 혈당 농도를 결정하는 단계를 포함하는, 방법.

청구항 11

포인트-오브-케어 디바이스로서,

하나 이상의 광학 컴포넌트;

상기 하나 이상의 광학 컴포넌트를 통해, 발광 분자들로부터 입사 광자들을 수신하도록 구성된 집적 광검출기; 및

상기 집적 광검출기에서의 상기 수신된 입사 광자들의 도달 시간들을 검출하여, 휘도 수명 활상을 수행하도록 구성된 프로세서를 포함하는, 포인트-오브-케어 디바이스.

청구항 12

제11항에 있어서, 상기 프로세서는 상기 도달 시간들에 기초하여 상기 발광 분자들의 휘도 수명 특성을 구별하도록 추가로 구성되는, 포인트-오브-케어 디바이스.

청구항 13

제11항 또는 제12항에 있어서, 상기 프로세서는 상기 휘도 수명 특성을 이용하여 이미지를 생성하도록 구성되는, 포인트-오브-케어 디바이스.

청구항 14

제13항에 있어서, 상기 이미지는 상기 휘도 수명 특성에 기초하여 질병에 걸린 조직의 존재를 나타내는, 포인트-오브-케어 디바이스.

청구항 15

제14항에 있어서, 상기 이미지는 흑색종, 종양, 박테리아 감염, 또는 바이러스 감염의 존재를 나타내는, 포인트-오브-케어 디바이스.

청구항 16

제11항 내지 제15항 중 어느 한 항에 있어서, 상기 입사 광자들은 조직으로부터 수신되는, 포인트-오브-케어 디바이스.

청구항 17

제16항에 있어서, 상기 조직은 피부를 포함하는, 포인트-오브-케어 디바이스.

청구항 18

제16항 또는 제17항에 있어서, 상기 발광 분자들을 여기시키기 위해 상기 조직을 조명하도록 구성된 여기 광원을 추가로 포함하는, 포인트-오브-케어 디바이스.

청구항 19

포인트-오브-케어 디바이스로서,

하나 이상의 광학 컴포넌트;

상기 하나 이상의 광학 컴포넌트를 통해, 발광 분자들로부터 입사 광자들을 수신하도록 구성된 집적 광검출기; 및

적어도 부분적으로, 조직으로부터의 입사 광자들의 도달 시간들을 검출하는 것에 의해 조직의 휘도 수명 특성을 검출하도록 구성된 프로세서를 포함하고, 상기 프로세서는 상기 휘도 수명 특성에 기초하여 혈당을 분석하도록 추가로 구성되는, 포인트-오브-케어 디바이스.

청구항 20

제19항에 있어서, 상기 프로세서는 혈당 농도를 결정하도록 추가로 구성되는, 포인트-오브-케어 디바이스.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 2016년 2월 17일자로 출원된 "수명 활상 및 검출 응용을 위한 센서 및 디바이스"라는 명칭의 미국 가출원 번호 제62/296,546호에 대한 우선권을 주장하며, 이로써 그 전체가 참조에 의해 포함된다.

배경 기술

[0003] 광검출기는 다양한 응용에서 광을 검출하는 데 이용된다. 입사 광의 강도를 나타내는 전기 신호를 생성하는 집적 광검출기가 개발되었다. 활상 응용을 위한 집적 광검출기는 소정 장면에 걸쳐 수신된 광의 강도를 검출하는 픽셀 어레이를 포함한다. 집적 광검출기의 예로서는, CCD(charge coupled device) 및 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서가 포함된다.

발명의 내용

[0004] 일부 실시예들은 휘도 수명 활상의 방법에 관한 것이다. 이 방법은 발광 분자들로부터 집적 광검출기에서 입사 광자들을 수신하는 단계를 포함한다. 입사 광자들은 포인트-오브-케어 디바이스(point-of-care device)의 하나 이상의 광학 컴포넌트를 통해 수신된다. 이 방법은 또한 집적 광검출기를 이용하여 입사 광자들의 도달 시간들을 검출하는 단계를 포함한다.

[0005] 이 방법은 도달 시간들에 기초하여 발광 분자들의 휘도 수명 특성을 구별하는 단계를 추가로 포함할 수 있다.

[0006] 이 방법은 휘도 수명 특성을 이용하여 이미지를 생성하는 단계를 추가로 포함할 수 있다.

[0007] 이미지는 휘도 수명 특성에 기초하여 질병에 걸린 조직의 존재를 나타낼 수 있다.

[0008] 이미지는 흑색종, 종양, 박테리아 감염, 또는 바이러스 감염의 존재를 나타낼 수 있다.

[0009] 입사 광자들은 조직으로부터 수신될 수 있다.

[0010] 조직은 피부를 포함할 수 있다.

[0011] 이 방법은 발광 분자들을 여기시키기 위해 조직을 조명하는 단계를 추가로 포함할 수 있다.

[0012] 일부 실시예들은 조직으로부터의 입사 광자들의 도달 시간들을 검출하는 집적 회로를 적어도 부분적으로 이용하여 조직의 휘도 수명 특성을 검출하는 단계를 포함하는 방법에 관한 것이다. 이 방법은 또한 휘도 수명 특성에 기초하여 혈당을 분석하는 단계를 포함한다.

[0013] 이 분석 단계는 혈당 농도를 결정하는 단계를 포함할 수 있다.

[0014] 일부 실시예들은 하나 이상의 광학 컴포넌트, 하나 이상의 광학 컴포넌트를 통해 발광 분자들로부터 입사 광자들을 수신하도록 구성된 집적 광검출기, 및 집적 광검출기에서의 수신된 입사 광자들의 도달 시간들을 검출하여, 휘도 수명 활상을 수행하도록 구성된 프로세서를 포함하는 포인트-오브-케어 디바이스에 관한 것이다.

[0015] 프로세서는 도달 시간들에 기초하여 발광 분자들의 휘도 수명 특성을 구별하도록 추가로 구성될 수 있다.

[0016] 프로세서는 휘도 수명 특성을 이용하여 이미지를 생성하도록 구성될 수 있다.

[0017] 이미지는 휘도 수명 특성에 기초하여 질병에 걸린 조직의 존재를 나타낼 수 있다.

[0018] 이미지는 흑색종, 종양, 박테리아 감염, 또는 바이러스 감염의 존재를 나타낼 수 있다.

[0019] 입사 광자들은 조직으로부터 수신될 수 있다.

[0020] 조직은 피부를 포함할 수 있다.

[0021] 포인트-오브-케어 디바이스는 발광 분자들을 여기시키기 위해 조직을 조명하도록 구성된 여기 광원을 추가로 포함할 수 있다.

[0022] 일부 실시예들은 하나 이상의 광학 컴포넌트, 하나 이상의 광학 컴포넌트를 통해 발광 분자들로부터 입사 광자들을 수신하도록 구성된 집적 광검출기, 및 적어도 부분적으로, 조직으로부터의 입사 광자들의 도달 시간들을 검출함으로써 조직의 휘도 수명 특성을 검출하도록 구성된 프로세서를 포함하는 포인트-오브-케어 디바이스에 관한 것이다. 프로세서는 휘도 수명 특성에 기초하여 혈당을 분석하도록 추가로 구성될 수 있다.

[0023] 프로세서는 혈당 농도를 결정하도록 추가로 구성될 수 있다.

[0024] 전술한 요약은 예시로서 제공된 것이지만 제한하려는 것은 아니다.

도면의 간단한 설명

[0025] 도면들에서, 다양한 도면에 예시되어 있는 각각의 동일하거나 거의 동일한 컴포넌트는 유사한 참조 문자로 나타내어진다. 명료성을 위해, 모든 도면에서 모든 컴포넌트가 라벨링되지는 않을 수 있다. 도면들은 반드시 축척에 맞게 그려지지 않으며, 대신, 본 명세서에 설명된 기법들의 다양한 양태들을 예시하는 것이 강조된다.

도 1a는 상이한 수명을 갖는 2개의 분자에 대한 시간의 함수로서 광자가 방출되는 확률을 도시한다.

도 1b는 예시적인 여기 펄스(점선) 및 예시적인 형광 방출(실선)에 대한 시간 경과에 따른 예시적인 강도 프로파일들을 도시한다.

도 2a는 일부 실시예들에 따른 집적 광검출기의 픽셀의 다이어그램을 도시한다.

도 2b는 도 2a에서와 같은 상이한 시점 및 공간에서 전하 캐리어를 포획하는 것을 예시한다.

도 3a는 일부 실시예들에 따른 픽셀의 전하 캐리어 국한 영역을 도시한다.

도 3b는 도 3a의 전하 캐리어 국한 영역 위에 놓인 복수의 전극 V_{b0} - V_{bn} , b_0 - b_m , st_1 , st_2 , 및 tx_0 - tx_3 을 갖는 도 3a의 픽셀을 도시한다.

도 3c는 광자 흡수/캐리어 발생 영역이 PN 접합을 포함하는 실시예를 도시한다.

도 3d는 도핑 특성의 부가를 수반한 도 3c에서와 같은 픽셀의 평면도를 도시한다.

도 3e는 캐리어 이동/포획 영역을 포함하는, 도 3c에서와 같은 픽셀의 평면도를 도시한다.

도 3f는 도 3e에서와 같은 픽셀 어레이를 도시한다. 도 3f는 확산, 폴리실리콘, 콘택트 및 금속 1의 영역들을 나타낸다.

도 3g는 도 3f의 픽셀 어레이를 도시하며, 또한 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피(epi)의 영역들을 나타낸다.

도 4는 도 3b의 픽셀의 회로 다이어그램을 도시한다. 전하 캐리어 국한 영역은 짙은 어두운 선으로 도시되어 있다.

도 5a는 도 3b의 라인 A-A'를 따른 광자 흡수/캐리어 발생 영역 및 캐리어 이동/포획 영역 내의 전하 캐리어 국한 영역에서 확립될 수 있는 전위 구배(potential gradient)를 예시한다.

도 5b는 소정 시간 후에 전극 b_0 의 전압을 감소시킴으로써 시간 t_1 에서 전자에 대한 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5c는 또 다른 시간 기간 후에 전극 b_2 의 전압을 감소시킴으로써 시간 t_2 에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5d는 또 다른 시간 기간 후에 전극 b_4 의 전압을 감소시킴으로써 시간 t_3 에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5e는 또 다른 시간 기간 후에 전극 b_6 의 전압을 감소시킴으로써 시간 t_4 에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5f는 또 다른 시간 기간 후에 전극 b_m 의 전압을 감소시킴으로써 시간 t_5 에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 6a는 광생성된(photogenerated) 캐리어의 위치를 도시한다.

도 6b는 확립된 전위 구배에 응답하여 캐리어가 아래쪽 방향으로 이동할 때, 그 직후의 그의 위치를 도시한다.

도 6c는 캐리어가 드레인에 도달할 때의 그의 위치를 도시한다.

도 6d는 광생성된 캐리어(예를 들어, 전자)의 위치를 도시한다.

도 6e는 전위 구배에 응답하여 캐리어가 아래쪽 방향으로 이동할 때, 그 직후의 그의 위치를 도시한다.

도 6f는 시간 t_1 후에 캐리어가 전위 장벽에 도달할 때의 그의 위치를 도시한다.

도 6g는 전자가 시간 t_1 과 t_2 사이에서 전극 b_0 과 b_2 사이에 도달한다면, 도 6g에 예시된 바와 같이, 전위 장벽(501)과 전위 장벽(502) 사이에서 전자가 포획될 것임을 도시한다.

도 6h는 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아있는 예를 도시한다.

도 6i는 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아있는 예를 도시한다.

도 6j는 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아있는 예를 도시한다.

도 6k는 시간 경과에 따른 전극들 b_0 - b_8 , st_0 및 st_1 의 전압을 예시하는 전압 타이밍 다이어그램을 도시한다.

도 7a는 도 3b의 라인 B-B'를 따른 전하 캐리어 국한 영역의 단면에 대한 전위의 플롯을 도시한다.

도 7b는 시간 t_5 후에, 전자 전달을 용이하게 하기 위해, 전극들 b_1 , b_3 , b_5 및 b_7 상의 전압이 옵션으로 감소되어(도 6k에는 도시되지 않음) 전위 우물(potential well) 내의 전자의 위치를 상승시킬 수 있다는 것을 도시한다.

도 7c는 시간 t_6 (도 6k)에서 전극들 st_0 및 st_1 상의 전압이 상승될 수 있다는 것을 도시한다.

도 7d는 시간 t_7 에서, 전극 st_0 상의 전압이 강해지고, 이로써 대응하는 빈(이 예에서는 빈2)에 포획된 캐리어(존재한다면)를 국한할 수 있다는 것을 도시한다.

도 7e는 전위 장벽들(503과 504) 사이에서 포획된 전자를 예시하는 평면도를 도시한다.

도 7f는 전극 st_1 의 전압이 상승되고 캐리어가 전달되는 것을 예시하는 평면도를 도시한다.

도 7g는 전극 st_1 의 전압이 낮추어지고 캐리어가 빈2에 포획된 것을 예시하는 평면도를 도시한다.

도 7h는 일부 실시예들에 따른 전하 캐리어 분리 구조물의 전극들의 특성을 도시한다.

도 8a는 일부 실시예들에 따른 복수의 측정을 수행하는 단계를 포함하는 방법의 플로차트를 도시한다.

도 8b는 시간 t_0 , 및 시간 빈들(빈0 내지 빈3)에서 생성되는 여기 펄스를 도시하는 다이어그램이다.

도 8c는 분자의 확률이 시간 경과에 따라 지수적으로 감소하는 한 세트의 형광 수명 측정들에 대한 각각의 시간 빈에서의 광자/전하 캐리어의 수의 플롯을 도시한다.

도 8d는 복수의 상이한 트리거 이벤트에 응답하여 광이 집적 광검출기에서 수신되는 일부 실시예들에 따른 집적 광검출기를 동작시키는 방법을 도시한다.

도 8e는 도 8d의 방법을 수행할 때 전하 캐리어 분리 구조물의 전극들의 전압들을 예시한다.

도 9a는 상관된 이중 샘플링(correlated double sampling)을 이용하여 빈들(빈0 내지 빈3)을 순차적으로 판독하기 위한 타이밍 다이어그램의 예를 도시한다.

도 9b는 일부 실시예들에 따른, 각각의 신호 값에 대한 리셋 값을 측정할 것을 요구하지 않는 상관된 이중 샘플링을 수행하기 위한 판독 시퀀스를 도시한다.

도 10a는 복수의 열 C_1 내지 C_n 및 복수의 행을 갖는 픽셀 어레이를 예시하는 것으로, 예시로서 선택된 행 R_i 가 도시되어 있다.

도 10b는 복수의 열에 공통 판독 회로가 제공될 수 있는 실시예를 도시한다.

도 10c는 열의 수보다 적은 수의 복수의 판독 회로를 갖는 실시예를 도시한다.

도 10d는 샘플 및 홀드 회로(sample and hold circuitry), 증폭기 회로 및 아날로그-대-디지털(A/D) 변환기를 포함하는 열 판독 회로를 예시하는 회로 다이어그램을 도시한다.

도 10e는 증폭기 회로 및 A/D 변환기 양쪽 모두가 픽셀 어레이의 2개의 열에 의해 공유되는 판독 회로의 실시예

를 예시한다.

도 10f는 픽셀 어레이의 n개 열이 판독 회로 및/또는 A/D 변환기를 공유하는 실시예를 도시한다.

도 10g는 복수의 증폭기를 포함하는 증폭기 회로의 예를 도시한다.

도 10h는 각각의 열에 대한 제1 스테이지 증폭기들 및 2개의 열들에 의해 공유되는 제2 스테이지 증폭기를 갖는 증폭기 회로를 포함하는 판독 회로의 다이어그램을 도시한다.

도 10i는 제1 스테이지 증폭기들, 제2 스테이지 증폭기 및 제3 스테이지 증폭기를 포함하는 판독 회로의 다이어그램을 도시한다.

도 10j는 차동 샘플 및 홀드 회로와 차동 증폭기를 포함하는 2개의 열에 의해 공유되는 판독 회로를 도시한다.

도 10k는 제1 열이 샘플 페이즈(sample phase)에 있고 제2 열이 홀드 페이즈(hold phase)에 있을 때 차동 샘플 및 홀드 회로와 차동 증폭기의 다이어그램을 도시한다.

도 10l은 제2 열이 샘플 페이즈에 있고 제1 열이 홀드 페이즈에 있을 때 차동 샘플 및 홀드 회로와 차동 증폭기의 다이어그램을 도시한다.

도 10m은 차동 샘플 및 홀드 회로와 차동 증폭기를 포함하는 2개보다 많은 열에 의해 공유되는 판독 회로를 도시한다.

도 11은 시간 빈들의 타이밍이 한 세트의 측정들의 결과에 기초하여 측정들 사이에서 적응적으로 제어될 수 있다는 것을 도시한다.

도 12는 4개의 서브픽셀을 포함하는 픽셀의 예를 도시한다.

도 13은 일부 실시예들에 따른 칩 아키텍처의 다이어그램을 도시한다.

도 14a는 일부 실시예들에 따른 쿼드 픽셀(quad pixel)들의 64×64 어레이를 갖는 칩의 실시예의 다이어그램을 도시한다.

도 14b는 일부 실시예들에 따른 2×2 어레이들을 포함하는 칩의 실시예의 다이어그램을 도시하며, 여기서, 각각의 어레이는 쿼드 픽셀들의 256×64 옥탈 픽셀 어레이(octal pixels array)를 갖는다.

도 15a는 반도체 기판에 형성될 수 있는 전하 국한 영역들의 사시도를 도시한다.

도 15b는 도 15a에 대응하는 평면도를 도시한다.

도 16은 패터닝된 폴리실리콘 층을 형성함으로써 절연 층 위에 전극을 형성하는 것을 도시한다.

도 17은 p+ 영역과 n+ 영역을 갖는 스플릿-도핑된 전극(split-doped electrode)을 도시한다.

도 18은 비아들에 접속하기 위해 패터닝된 폴리실리콘 층 위에 금속 층(예를 들어, 금속 1)을 형성하는 것을 도시한다.

도 19는 폴리실리콘 층 및 전하 국한 영역 상에 오버레이된 금속 층을 도시한다.

도 20은 금속 층과 접촉하는 비아들의 형성을 도시한다.

도 21은 제2 금속 층뿐만 아니라 제2 금속 층과 접촉하는 비아(들)의 형성을 도시한다.

도 22는 제3 금속 층의 형성을 도시한다.

도 23은 일부 실시예들에 따른 전하 캐리어 분리 구조물의 전극을 구동하기 위한 구동 회로의 예를 도시한다.

도 24는 칩이 인쇄 회로 기판에 부착된 실시예를 도시한다.

도 25는 칩의 중앙 영역 내의 32개의 행을 인에이블하고 칩의 에지들에 있는 48개의 행을 디스에이블하는 것을 예시한다.

도 26은 예시적인 컴퓨팅 장치의 블록 다이어그램이다.

도 27a는 일부 실시예들에 따른, 환자를 촬상하는 촬상 장치를 예시하는 블록 다이어그램을 도시한다.

도 27b는 비침습적 촬상을 위한 포인트-오브-케어 장치의 예를 도시한다.

도 27c는 신체 또는 조직 내로의 삽입에 의한 활상을 위한 포인트-오브-케어 디바이스의 예를 도시한다.

도 28은 적어도 부분적으로 휘도 수명 활상을 이용하여 생성된 환자의 이미지를 도시한다.

도 29는 휘도 수명 활상의 방법의 플로차트이다.

도 30은 휘도 수명 특성에 기초하여 조직의 혈당을 분석하는 방법의 플로차트이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 출원의 양태들은 비침습적 방식으로 환자의 상태를 평가 및/또는 진단하는 데 이용될 수 있는 데이터를 획득하기 위해 활상 디바이스로 환자의 영역을 활상함으로써 환자의 상태를 검출 및/또는 특성화하는 기법들에 관한 것이다. 환자로부터 생물학적 샘플을 추출하는 것(예를 들어, 생체검사)보다 활상 디바이스로 접근가능한 조직(예를 들어, 피부)의 영역을 활상하는 것에 의해, 결과를 획득하는 데 수반되는 시간의 양을 감소시키고, 절차의 침습성을 감소시키고, 및/또는 환자를 치료하는 임상주의의 능력을 용이하게 하는 방식으로 환자의 감정이 수행될 수 있다. 활상 디바이스는 환자를 케어하는 시간에 감정을 수행하는 능력을 개선하는 구성을 갖고 환자를 원격 테스트 위치로 물리적으로 이동시키거나 환자의 샘플을 테스트 시설에 보내는 것을 수반하는 다른 의료 테스트 기법들보다 환자들에게 더 즉각적인 치료를 제공할 수 있다. 이러한 방식으로, 활상 디바이스는 포인트-오브-케어 디바이스로 간주될 수 있다. 일부 실시예들에서, 활상 디바이스는 환자의 상태(예를 들어, 당뇨병을 모니터링하기 위한 당 검출)를 모니터링하는 데 이용될 수 있다.
- [0027] 출원인들은 환자에 존재하는 생물학적 분자들이 환자의 상태의 표시를 제공할 수 있다는 것을 인식하였다. 특정 생물학적 분자들의 존재 및/또는 상대적 농도를 검출함으로써, 환자의 상태를 평가할 수 있다. 일부 생물학적 분자들은 환자의 건강한 조직과 질병에 걸린 또는 건강하지 않은 조직을 구별하는 능력을 제공할 수 있다. 일부 생물학적 분자들의 경우, 분자의 산화 상태가 환자의 상태의 표시를 제공할 수 있다. 환자의 조직에서 생물학적 분자의 산화된 상태 및 환원된 상태의 상대적 양을 검출함으로써, 환자의 상태를 감정 및 평가할 수 있다. 일부 생물학적 분자들(예를 들어, NADH)은 세포 내의 다른 분자들(예를 들어, 단백질)에 결합하는 것은 물론, 비결합(unbound) 또는 자유 용액(free solution) 상태를 가질 수 있다. 세포 또는 조직의 감정은 자유 대결합 형태들에서의 분자들의 상대적 양을 검출하는 단계를 포함할 수 있다.
- [0028] 특정 생물학적 분자들은 암(예를 들어, 흑색종), 종양, 박테리아 감염, 바이러스 감염, 및 당뇨병을 포함하여 다양한 질병들 및 상태들의 표시를 제공할 수 있다. 예로서, 암 세포 및 조직은 특정 생물학적 분자(예를 들어, NAD(P)H, 리보플라빈, 플라빈)를 검출함으로써 식별될 수 있다. 암 조직은 건강한 조직보다 이들 생물학적 분자들 중 하나 이상의 생물학적 분자의 농도가 더 높을 수 있다. 이들 분자들 중 하나 이상의 양을 검출함으로써, 조직을 암으로 진단할 수 있다. 다른 예로서, 개체의 당뇨병은 헥소키나아제, 글리코젠 부가물을 포함하는 당 농도를 나타내는 생물학적 분자들을 검출함으로써 감정될 수 있다. 다른 예로서, 노화로 인한 일반적인 변화는 콜라겐 및 리포푸신(lipofuscin)을 검출함으로써 감정될 수 있다.
- [0029] 환자의 상태의 표시를 제공하는 일부 생물학적 분자들은 여기 에너지로 조명되는 것에 응답하여 광을 방출할 수 있고 자가형광으로 간주될 수 있다. 이러한 생물학적 분자들은 환자의 영역에 대한 내인성 형광체(endogenous fluorophores)로서 작용할 수 있으며, 외인성 형광체(exogenous fluorophores)의 도입을 필요로 하지 않으면서 해당 영역의 라벨 없는 그리고 비침습적인 라벨링을 제공할 수 있다. 이러한 형광 생물학적 분자들의 예들은, 제한이 아닌 예로서, 헤모글로빈, 콜라겐, 니코틴아미드 아데닌 디뉴클레오티드 인산염(NAD(P)H), 레티놀, 리보플라빈, 콜레칼시페롤, 엽산, 피리독신, 티로신, 디티로신, 당화 부가물(glycation adduct), 인돌아민, 리포푸신, 폴리페놀, 트립토판, 플라빈, 및 멜라닌을 포함할 수 있다.
- [0030] 형광 생물학적 분자들은 그들이 방출하는 광의 파장 및 여기 에너지에 대한 그들의 반응이 달라질 수 있다. 일부 예시적인 형광 생물학적 분자들에 대한 여기 및 형광의 파장들이 다음의 표에 제공된다:

분자	여기 (nm)	형광 (nm)
NAD(P)H	340	450
콜라겐	270-370	305-450
레티놀	-	500
리보플라빈	-	550
콜레칼시페롤	-	380-460
엽산	-	450
피리독신	-	400
티로신	270	305
디티로신	325	400
엑시머-유사 응집체	270	360
당화 부가물	370	450
트립토판	280	300-350
플라빈	380-490	520-560
멜라닌	340-400	360-560

[0031]

[0032]

본 출원의 양태들은 여기 에너지로 영역을 조명하는 것에 응답하여 환자의 영역으로부터 방출된 광에 의해 세포의 상태 또는 조직 상태를 나타내는 하나 이상의 생물학적 분자를 검출하는 것에 관한 것이다. 촬상 디바이스는 하나 이상의 광원(예를 들어, 레이저, 발광 다이오드) 및 하나 이상의 광검출기를 포함할 수 있다. 촬상 디바이스는 촬상 디바이스가 환자의 영역을 촬상하는 데 이용될 때 그 영역으로 광이 지향되도록 구성된 하나 이상의 광학 컴포넌트를 포함할 수 있다. 촬상 디바이스는 그 영역으로부터 방출된 광을 수신하고 촬상 디바이스의 광검출기로 광을 지향시키도록 구성된 하나 이상의 광학 컴포넌트를 포함할 수 있다. 하나 이상의 광검출기에 의해 검출된 광을 나타내는 데이터는 영역의 이미지를 형성하는 데 이용될 수 있다.

[0033]

형광 생물학적 분자들은 그들이 방출하는 광의 시간적 특성(예를 들어, 그들의 방출 감쇠 시간 기간, 또는 "수명")이 달라질 수 있다. 따라서, 생물학적 분자들은 촬상 디바이스의 광검출기에 의해 이들 시간적 특성에 기초하여 검출될 수 있다. 일부 실시예들에서, 건강한 조직에 대한 시간적 특성은 건강하지 않은 조직에 대한 것과 상이할 수 있다. 건강한 조직과 건강하지 않은 조직 사이에 시간적 특성의 값의 변화가 있을 수 있다. 환자의 조직으로부터 방출된 광의 시간적 특성에 기초한 데이터를 사용하는 것은 임상가가 다른 감정 기법들보다 환자의 질병의 조기 단계를 검출하는 것을 허용할 수 있다. 예를 들어, 일부 타입의 피부 암은 암 조직 영역의 형광 생물학적 분자들에 의해 방출된 광의 시간적 특성을 측정함으로써 그들이 보이기 전 단계에서 검출될 수 있다.

[0034]

도 27a는 일부 실시예들에 따른, 예를 들어, 환자의 휘도 수명 촬상을 수행하는 포인트-오브-케어 디바이스와 같은 촬상 디바이스(2710)를 예시하는 블록 다이어그램을 도시한다. 촬상 디바이스(2710)는 환자(2702)와 같은 대상에게 여기 광(2704)을 방출하는, 예를 들어, 레이저와 같은 여기 광원(2701)을 포함한다. 환자(예를 들어, 환자의 조직)는 발광 분자들(2703)을 포함할 수 있으며, 그 예들은 위에 논의되었다. 여기 광(2704)에 응답하여, 발광 분자들(2703)은 그들이 광자들(2705)을 방출하게 하는 여기 상태(excited state)에 진입할 수 있다. 여기 후에 여기된 발광 분자들(2703)에 의해 광자들(2705)이 방출되는 시간은 그들의 발광 수명들에 의존한다. 발광 분자들(2703)에 의해 방출된 광자들(2705)은 촬상 디바이스(2710)의 하나 이상의 광학 컴포넌트(2706)에 의해 수신되고 처리된다. 일부 실시예들에서, 하나 이상의 광학 컴포넌트(2706)는 하나 이상의 렌즈, 미러, 및/또는 임의의 다른 타입의 광학 컴포넌트를 포함할 수 있다. 하나 이상의 광학 컴포넌트(2706)를 통과한 후에, 광자들(2705)은 광자들(2705)의 도달을 시간-비닝하는(time-bins) 집적 광검출기(2707)에 의해 수신되고 검출된다. 광자들(2705)의 도달을 시간-비닝함으로써, 발광 분자들(2703)의 수명에 관한 정보가 결정될 수 있고, 이는 발광 분자들(2703)을 검출 및/또는 구별하는 것을 허용할 수 있다. 일부 실시예들에서, 검출된 광자들(2705)의 수는 발광 분자들(2703)의 농도를 나타낼 수 있다. 집적 광검출기(2707)에 의해 검출된 정보는 분석을 위해 및/또는 광자들(2705)의 도달 시간에 관한 정보를 이용하여 이미지를 생성하기 위해 프로세서(2713)에 제공될 수 있다. 프로세서(2713)는 디스플레이 디바이스(2714)가 이미지를 디스플레이하도록 디스플레이 디바이스(2714)에 이미지 데이터를 전송할 수 있다.

[0035]

도 27b는 비침습적 촬상을 위한 포인트-오브-케어 디바이스의 예를 도시한다. 이 예에서, 샘플(2712)(예를 들어, 환자의 조직)은, 예를 들어, 레이저일 수 있는 여기 광원(2701)으로부터의 광으로 조명된다. 광학 컴포넌트(들)(2706)는 여기 광원(2701)으로부터의 광을, 예를 들어, 여기 광을 처리하기 위해, 렌즈와 같은 부가의 광학 컴포넌트(들)를 가질 수 있는 촬상 시스템(2709)으로 반사시키는 미러(2706a)를 포함한다. 여기 광은 촬상

시스템(2709)을 통과하여 샘플(2712)을 조명한다. 기계적 스탠드오프(2711)가 샘플(2712)을 적합한 거리(예를 들어, 촬상 시스템(2709)의 초점 거리에 대해 적절함)만큼 촬상 시스템(2709)으로부터 분리시킬 수 있다. 샘플(2712)의 발광 분자들은 여기 광에 의해 여기될 수 있고, 촬상 시스템(2709)에 의해 수신되고 미러(2705a)를 통과하여 집적 광검출기(2707)에 도달하는 광자들을 방출할 수 있다. 미러(2705a)는 다이크로익이어서, 여기 광원(2701)에 의해 방출된 여기 광의 파장에서 광을 반사시키고 발광 분자들에 의해 방출된 파장의 광이 미러(2705a)를 통과하도록 허용할 수 있다. 그러나, 이것은 단지 예일 뿐이며, 비침습적 촬상을 위한 포인트-오브-케어 디바이스는 임의의 적합한 광학 컴포넌트(들) 및 그의 배열을 가질 수 있다.

[0036] 도 27b는 촬상을 수행하기 위해 샘플(2712)(예를 들어, 환자의 신체 또는 환자의 조직)에 삽입될 수 있는 돌기(예를 들어, 바늘)를 갖는 포인트-오브-케어 디바이스의 예를 도시한다. 일부 실시예들에서, 이러한 포인트-오브-케어 디바이스는 내시경일 수 있다. 포인트-오브-케어 디바이스는 여기 광을 샘플(2712)로 운반하고 샘플의 발광 분자들에 의해 방출된 광자들을 수신하여 이들을 집적 광검출기(2707)에 의한 검출을 위해 광학 컴포넌트들(2706)에 제공하는 도파관(예를 들어, 광섬유)을 포함할 수 있다. 검출은 환자로 부터 샘플을 제거하거나 분석을 위해 샘플을 실험실로 보낼 필요없이 체내에서(in vivo) 수행될 수 있다.

[0037] 도 28은 휘도 수명 촬상을 이용하여 환자의 이미지(2801)를 생성하는 것을 예시한다. 이미지(2801)의 부분(2802)은 예를 들어 흑색종, 종양, 박테리아 감염, 또는 바이러스 감염과 같은 질병에 걸린 조직의 존재를 나타내는 휘도 수명들을 도시한다. 부분(2802)은 일부 실시예들에서 환자의 표준 광학 이미지 상에 오버레이될 수 있다. 부분(2802)은 색조, 색 등을 사용하는 것과 같은 임의의 적합한 방식으로 질병에 걸린 조직의 휘도 수명 및/또는 존재를 나타낼 수 있다. 색조 또는 색은, 예를 들어, 검출된 수명, 수신된 광자의 강도, 또는 질병에 걸린 조직의 존재의 가능성에 따라 강도, 색, 또는 밝기가 달라질 수 있다. 이러한 이미지는 임상 의가 상태를 평가하는 것을 용이하게 할 수 있다.

[0038] 본 출원의 양태들은 환자의 영역으로부터 방출된 광의 시간적 특성을 검출하도록 구성된 촬상 디바이스에 관한 것이다. 본 명세서에는 입사 광자들의 도달의 타이밍을 정확하게 측정하거나, "시간-비닝"할 수 있는 집적 광검출기가 설명되어 있다. 촬상 디바이스는 조직의 영역에 의해 방출된 광자들의 도달을 측정하기 위한 집적 광검출기를 포함할 수 있다. 일부 실시예들에서, 집적 광검출기는 나노초 또는 피코초 해상도로 광자의 도달을 측정할 수 있다. 이러한 광검출기는 아래 더 논의되는 바와 같이, 형광 수명 촬상 및 TOF(time-of-flight) 촬상을 포함하는 다양한 응용에서 적용될 수 있다.

[0039] 본 출원의 양태들에 따른 집적 광검출기를 갖는 집적 회로는 다양한 촬상 응용을 위한 적합한 기능으로 설계될 수 있다. 아래에서 더 상세히 설명되는 바와 같이, 이러한 집적 광검출기는 하나 이상의 시간 간격, 또는 "시간 빈" 내에서 광을 검출하는 능력을 가질 수 있다. 광의 도달 시간에 관한 정보를 수집하기 위해, 전하 캐리어들이 입사 광자들에 응답하여 생성되고, 그들의 도달 시간에 기초하여 각각의 시간 빈으로 분리될 수 있다.

[0040] 도 29는 이러한 집적 광검출기를 이용한 휘도 수명 촬상의 방법의 플로차트이다. 단계 2901은 발광 분자들로부터 집적 광검출기에서 입사 광자들을 수신하는 단계를 포함한다. 위에 논의된 바와 같이, 입사 광자들은 포인트-오브-케어 디바이스의 하나 이상의 광학 컴포넌트를 통해 수신된다. 단계 2902는 집적 광검출기를 이용하여 입사 광자들의 도달 시간들을 검출하는 단계를 포함한다. 예를 들어, 도달 시간들은 시간-비닝될 수 있다.

[0041] 촬상 기법들이 본 명세서에 설명되어 있지만, 본 명세서에 설명된 기법들은 촬상에 제한되지 않는다. 일부 실시예들에서, 조직의 휘도 수명 특성의 검출은 환자의 조직 내의 분자의 농도를 측정하는 데 이용될 수 있다. 예를 들어, 이러한 기법은 비침습적인 혈당 모니터링을 위해 사용될 수 있다.

[0042] 도 30은 휘도 수명 특성에 기초하여 조직의 혈당을 분석하는 방법의 플로차트이다. 단계 3001은 조직으로부터의 입사 광자들의 도달 시간들을 검출하는 집적 회로를 적어도 부분적으로 이용하여 조직의 휘도 수명 특성을 검출하는 단계를 포함한다. 단계 3002는 휘도 수명 특성에 기초하여 혈당을 분석하는 단계를 포함한다.

[0043] 형광 수명 측정

[0044] 형광 분자로부터 방출된 광의 시간적 특성 중 하나의 타입은 형광 수명이다. 형광 수명 측정은 하나 이상의 형광 분자를 여기시켜 방출된 발광의 시간 변화를 측정하는 것에 기초한다. 형광 분자가 여기 상태에 도달한 후 형광 분자가 광자를 방출할 확률은 시간 경과에 따라 지수적으로 감소한다. 확률이 감소하는 속도는 형광 분자의 특성일 수 있으며, 상이한 형광 분자마다 상이할 수 있다. 형광 분자들에 의해 방출된 광의 시간적 특성을 검출하는 것은 형광 분자들을 식별하고, 형광 분자들을 서로에 대해 구별하고, 및/또는 형광 분자들의 농도를 정량화하는 것을 허용할 수 있다.

- [0045] 여기 상태에 도달한 후, 형광 분자는 주어진 시간에 특정 확률로 광자를 방출할 수 있다. 여기된 형광 분자로부터 광자가 방출되는 확률은 형광 분자의 여기 후에 시간 경과에 따라 감소할 수 있다. 시간 경과에 따라 광자가 방출되는 확률의 감소는 지수 감쇠 함수 $p(t)=e^{-(t/\tau)}$ 로 나타내어질 수 있는데, 여기서 $p(t)$ 는 시간 t 에서의 광자 방출의 확률이고, τ 는 형광 분자의 시간 파라미터이다. 시간 파라미터 τ 는 형광 분자가 광자를 방출할 확률이 특정 값일 때 여기 후 시간을 나타낸다. 시간 파라미터 τ 는 형광 분자의 속성이며 그의 국소 화학 환경에 의해 영향을 받을 수 있지만, 그의 흡수 및 방출 스펙트럼 속성과는 별개일 수 있다. 이러한 시간 파라미터, τ 는 휘도 수명, 형광 수명 또는 간단히 형광 분자의 "수명"이라고 지칭된다.
- [0046] 도 1a는 상이한 수명을 갖는 2개의 형광 분자에 대한 시간의 함수로서 광자가 방출되는 확률을 도시한다. 확률 곡선 B로 나타내어진 형광 분자는 확률 곡선 A로 나타내어진 형광 분자에 대한 방출의 확률보다 더 빠르게 감쇠하는 방출의 확률을 갖는다. 확률 곡선 B로 나타내어진 형광 분자는 확률 곡선 A로 나타내어진 형광 분자보다 더 짧은 시간 파라미터 τ 또는 수명을 갖는다. 형광 분자는 일부 실시예들에서 0.1 내지 20 ns 범위의 형광 수명을 가질 수 있다.
- [0047] 형광 분자들의 수명을 검출하는 것은 형광 분자들이 방출 스펙트럼의 측정에 의해 구별되는 경우보다 여기 광의 더 적은 수의 파장이 이용되는 것을 허용할 수 있다. 일부 실시예들에서, 여기 광 및/또는 발광 광의 더 적은 수의 파장을 이용할 때, 센서, 필터, 및/또는 회절 광학계의 수가 감소되거나 제거될 수 있다. 일부 실시예들에서, 단일 파장 또는 스펙트럼의 광을 방출하는 하나 이상의 여기 광원(들)이 사용될 수 있으며, 이는 촬상 디바이스의 비용을 감소시킬 수 있다. 일부 실시예들에서, 존재하는 분자(들)의 타입들의 정량적 분석 및/또는 조직의 특성의 분석은 형광 분자로부터 방출된 발광의 시간 파라미터, 스펙트럼 파라미터, 강도 파라미터, 또는 시간, 스펙트럼, 및/또는 강도 파라미터들의 조합을 결정함으로써 수행될 수 있다.
- [0048] 형광 수명은 조직의 영역으로부터 방출된 형광의 시간 프로파일을 측정함으로써 결정될 수 있다. 조직을 여기 에너지로 조명함으로써, 형광 분자들은 여기 상태로 여기되고 그 후 시간 경과에 따라 광자들을 방출할 수 있다. 광검출기는 방출된 광자들을 검출하고 수집된 전하 캐리어들을 광검출기의 하나 이상의 시간 빈에 응집하여 시간의 함수로서 광 강도 값들을 검출할 수 있다. 조직에는, 상이한 수명들을 갖는 다수의 타입의 형광 생물학적 분자들이 존재할 수 있다. 조직으로부터 방출된 형광은 다수의 타입의 형광 생물학적 분자들로부터의 광자들을 포함할 수 있으며, 방출된 형광의 시간 프로파일은 상이한 수명들을 나타낼 수 있다. 이러한 방식으로, 조직에 존재하는 형광 분자들의 집합에 대응하는 조직에 대해 시그너처 수명 값이 획득될 수 있다.
- [0049] 일부 실시예들에서, 조직을 나타내는 시간 프로파일은 조직이 여기 에너지로 조명되고 그 후 광자가 방출되는 시간이 측정되는 하나 이상의 측정을 수행함으로써 결정될 수 있다. 각각의 측정에 대해, 여기 소스는 조직의 영역으로 지향된 여기 광 펄스를 생성할 수 있고, 여기 펄스와 조직으로부터의 후속 광자 이벤트 사이의 시간이 결정될 수 있다. 조직 내에 다수의 형광 분자가 존재할 수 있기 때문에, 단일 여기 광 펄스 후에 다수의 광자 이벤트가 발생할 수 있다. 광자 이벤트들은 여기 광 펄스 후의 상이한 시간들에 발생할 수 있고 조직을 나타내는 시간 프로파일을 제공할 수 있다. 부가적으로 또는 대안적으로, 여기 펄스가 반복적으로 및 주기적으로 발생하는 경우, 광자 방출 이벤트가 발생하는 때와 후속 여기 펄스 사이의 시간이 측정될 수 있고, 이 측정된 시간이 여기 펄스들 사이의 시간 간격(즉, 여기 펄스 파형의 기간)으로부터 감산되어 광자 흡수 이벤트의 시간을 결정할 수 있다.
- [0050] 하나 이상의 여기 광 펄스 후의 광자 이벤트의 수는 일련의 이산 시간 간격 또는 시간 빈 내에서 발생하는 광자 방출 이벤트의 수를 나타내는 히스토그램을 채울 수 있다. 특정한 수명 및/또는 특정한 형광 분자 세트를 식별하기 위해, 시간 빈의 수 및/또는 각각의 빈의 시간 간격이 설정 및/또는 조정될 수 있다. 시간 빈의 수 및/또는 각각의 빈의 시간 간격은 방출된 광자들을 검출하는 데 이용되는 센서에 의존할 수 있다. 시간 빈의 수는 1, 2, 3, 4, 5, 6, 7, 8, 또는 그 이상, 예컨대 16, 32, 64, 또는 이상일 수 있다. 곡선 피팅(curve fitting) 알고리즘을 이용하여 곡선을 기록된 히스토그램에 피팅하여, 그 결과, 주어진 시간에서 형광 분자의 여기 후에 광자가 방출될 확률을 나타내는 함수를 생성할 수 있다. $p(t)=e^{-(t/\tau)}$ 와 같은 지수 감쇠 함수를 이용하여 히스토그램 데이터를 대략 피팅할 수 있다. 이러한 곡선 피팅으로부터, 시간 파라미터 또는 수명이 결정될 수 있다. 결정된 수명을 형광 분자의 공지된 수명과 비교하여 존재하는 형광 분자의 타입을 식별할 수 있다. 결정된 수명은 또한 하나 이상의 타입의 형광 분자들의 조합을 나타내는 시그너처 수명 값으로서 작용할 수 있다.
- [0051] 수명은 2개의 시간 간격에서의 강도 값들부터 계산될 수 있다. 도 1b는 예시적인 여기 펄스(점선) 및 예시적인 형광 방출(실선)에 대한 시간 경과에 따른 예시적인 강도 프로파일들을 도시한다. 도 1b에 도시된 예에서, 광검출기는 적어도 2개의 시간 빈에 걸쳐 강도를 측정한다. 시간 t_1 과 t_2 사이에서 발광 에너지를 방출하는 광자

들은 광검출기에 의해 강도 I1로서 측정되고, 시간 t3과 t4 사이에서 방출되는 발광 에너지는 I2로서 측정된다. 도 1b에는 2개만이 도시되어 있지만, 임의의 적합한 수의 강도 값이 획득될 수 있다. 그 후 이러한 강도 측정은 수명을 계산하는 데 이용될 수 있다. 시간 비닝된 발광 신호는 단일 지수 감쇠에 피팅할 수 있다. 일부 실시예들에서, 시간 비닝된 신호는 이중 또는 삼중 지수와 같은 다수의 지수 감쇠에 피팅할 수 있다. 라그레 분해 프로세스(Laguerre decomposition process)를 이용하여 시간 비닝된 신호에서 다수의 지수 감쇠를 나타낼 수 있다. 다수의 형광 분자가 강도 프로파일들에 기여하는 경우, 단일 지수 감쇠를 발광 신호에 피팅함으로써 평균 형광 수명이 결정될 수 있다.

[0052] 픽셀 어레이를 갖는 광검출기가 영역의 상이한 영역들로부터 개개의 픽셀들에서 수신된 광의 시간적 특성을 검출함으로써 영역을 활상하는 능력을 제공할 수 있다. 개개의 픽셀들은 영역의 상이한 영역들에 대응하는 수명 값들을 결정할 수 있다. 영역의 이미지는 수명 값 및/또는 각각의 픽셀에 대해 결정된 시간 프로파일의 다른 피쳐들에 기초하여 이미지에 콘트라스트를 디스플레이함으로써 영역에 걸쳐 수명의 변화를 예시할 수 있다. 활상 디바이스는 조직으로부터 수신된 광의 시간적 특성에 기초하여 조직의 활상을 수행할 수 있으며, 이는 의사가 절차(예를 들어, 수술)를 수행하여 조직의 비정상적 또는 질병에 걸린 영역(예를 들어, 암 또는 전암성)을 식별하는 것을 가능하게 할 수 있다. 일부 실시예들에서, 활상 디바이스는 외과용 활상 도구와 같은 의료 디바이스에 통합될 수 있다. 일부 실시예들에서, 광 여기 펄스에 응답하여 조직에 의해 방출된 광에 관한 시간-영역 정보를 획득하여 조직을 활상 및/또는 특성화할 수 있다. 예를 들어, 조직 또는 다른 대상들의 활상 및/또는 특성화는 형광 수명 활상을 이용하여 수행될 수 있다.

[0053] 일부 실시예들에서, 형광 수명들은 현미경 기법들이 환자의 조직 영역들을 포함하는 상이한 타입 또는 상태의 샘플들 사이의 콘트라스트를 제공하는 데 이용될 수 있다. 형광 수명 활상 현미경(Fluorescence lifetime imaging microscopy, FLIM)은 샘플을 광 펄스로 여기시키고, 감쇠되는 형광 신호를 검출하여 수명을 결정하고, 결과적인 이미지에서 감쇠 시간을 맵핑하는 것에 의해 수행될 수 있다. 이러한 현미경 이미지들에서, 이미지 내의 픽셀 값들은, 시야를 수집하는 광검출기의 각각의 픽셀에 대해 결정된 형광 수명에 기초할 수 있다.

[0054] 일부 실시예들에서, 형광 수명 측정들은 샘플의 조건 또는 상태를 식별하기 위해 분석될 수 있다. 건강하지 않은 또는 질병에 걸린 조직과 건강한 조직을 구별하기 위해 클러스터링을 포함한 통계 분석 기법들이 수명 데이터에 적용될 수 있다. 일부 실시예들에서, 하나보다 많은 여기 에너지를 이용하여 수명 측정이 수행되고 상이한 여기 에너지들에 대해 획득된 수명 값들이 통계 분석 기법들의 일부로서 이용될 수 있다. 일부 실시예들에서, 통계 분석은 특정 시간 간격들 동안 광자 검출 이벤트들에 대응하는 개개의 시간 빈 값들에 대해 수행된다.

[0055] 내인성 형광 생물학적 분자들의 자가형광의 형광 수명 측정들을 이용하여 조직의 물리적 및 신진대사 변화들을 검출할 수 있다. 예로서, 조직 아키텍처, 형태, 산화, pH, 혈관질(vascularity), 세포 구조물 및/또는 세포 신진대사 상태에서의 변화들은, 샘플로부터의 자가형광을 측정하고 측정된 자가형광으로부터 수명을 결정함으로써 검출될 수 있다. 이러한 방법들은, 스크리닝, 이미지-유도된 생체검사 또는 수술, 및/또는 내시경 검사와 같은, 임상 응용들에서 이용될 수 있다. 일부 실시예들에서, 본 출원의 활상 디바이스는, 예를 들어, 형광 수명 활상을 수행하기 위한 수술 도구와 같은, 임상 도구에 통합될 수 있다. 측정된 자가형광에 기초하여 형광 수명을 결정하는 것은, 임상의가 조직을 신속하게 스크리닝하고 육안으로는 뚜렷하지 않은 작은 암 및/또는 전암성 병변을 검출하도록 허용하는 라벨 없는 활상 방법으로서의 임상적 가치를 제공한다. 형광 수명 활상은, 건강한 조직보다 긴 형광 수명을 갖는 발광을 방출하는 종양 또는 암 세포와 같은, 악성 세포 또는 조직의 검출 및 묘사에 이용될 수 있다. 예를 들어, 형광 수명 활상은, 수술 동안에 노출된 위장관, 호흡기, 방광, 피부, 눈, 또는 조직 표면과 같은, 광학적으로 접근가능한 조직 상의 암을 검출하는 데 이용될 수 있다.

[0056] 일부 실시예들에서, 외인성 형광 마커들이 조직의 영역 내로 통합될 수 있다. 외인성 형광 마커들은 형광을 측정하고 측정된 형광으로부터 수명을 결정함으로써 조직의 상태를 검출하기 위해 원하는 레벨의 형광을 제공할 수 있다. 일부 실시예들에서, 측정된 형광은 내인성 형광 생물학적 분자들 및 외인성 형광 마커들로부터의 자가형광을 포함할 수 있다. 외인성 마커들의 예로서는, 형광 분자, 형광체, 형광 염료, 형광 스테인(fluorescent stains), 유기 염료, 형광 단백질, 효소, 및/또는 양자점(quantum dots)을 포함할 수 있다. 이러한 외인성 마커들은 특정한 표적 또는 컴포넌트에 특이적으로 결합하는 프로브 또는 관능기(예를 들어, 분자, 이온, 및/또는 리간드)에 결합될 수 있다. 외인성 태그 또는 리포터를 프로브에 부착하는 것은 외인성 태그 또는 리포터의 존재의 검출을 통한 표적의 식별을 허용한다. 프로브에 부착된 외인성 마커들은, 특정한 표적 컴포넌트의 존재 및/또는 위치를 검출하기 위해 영역, 대상, 또는 샘플에 제공될 수 있다. 일부 실시예들에서, 환자에게 용이하게 적용(예를 들어, 피부에 국소 도포, 위장관 활상을 위한 섭취)될 수 있는 외인성 형광 마커들은 형광 측정들로부터 원하는 레벨의 검출을 제공할 수 있다. 이러한 마커들은 외인성 형광 마커를 조직 내

로 통합하는 침습성을 감소시킬 수 있다.

[0057] 형광 수명 측정들은 형광 분자를 둘러싸는 조건들에 대한 정량적 측정을 제공할 수 있다. 조건들의 정량적 측정은 검출 또는 콘트라스트에 추가될 수 있다. 형광 분자의 형광 수명은 pH 또는 온도와 같은 형광 분자의 주위 환경에 따라 달라질 수 있으며, 형광 수명 값의 변화는 형광 분자를 둘러싸는 환경의 변화를 나타낼 수 있다. 예로서, 형광 수명 측정은, 생물학적 조직(예를 들어, 조직 절편 또는 외과적 절제술)에서와 같이, 샘플의 국소 환경에서의 변화들을 맵핑할 수 있다.

[0058] TOF(Time-of-Flight) 측정

[0059] 일부 실시예들에서, 촬상 디바이스는 TOF(time-of-flight) 측정을 포함하여, 산란되거나 반사된 광의 시간 프로파일을 측정하도록 구성될 수 있다. 이러한 TOF(time-of-flight) 측정들에서는, 광 펄스가 영역 또는 샘플 내에 방출될 수 있고, 산란된 광이 위에 설명된 집적 광검출기와 같은 광검출기에 의해 검출될 수 있다. 산란되거나 반사된 광은 영역 또는 샘플의 특성을 나타낼 수 있는 별개의 시간 프로파일을 가질 수 있다. 샘플에 의한 후방산란된 광은 샘플에서의 그들의 TOF(time of flight)에 의해 검출되고 분석(resolve)될 수 있다. 이러한 시간 프로파일은 TPSF(temporal point spread function)일 수 있다. TPSF는 임펄스 응답으로 간주될 수 있다. 시간 프로파일은, 광 펄스가 방출된 후 다수의 시간 빈에 걸친 통합된 강도를 측정함으로써 취득될 수 있다. 광 펄스들의 반복 및 산란된 광의 측정은, 후속 광 펄스를 생성하기 전에 모든 이전의 TPSF가 완전히 소멸되는 것을 보장하기 위해 특정 비율로 수행될 수 있다. 시간-분석된 확산 광학 촬상 방법은, 샘플 내의 더 깊은 곳에서 촬상하기 위하여 광 펄스가 적외선일 수 있는 분광 확산 광학 단층촬영을 포함할 수 있다. 이러한 시간-분석된 확산 광학 촬상 방법은, 사람의 머리와 같은, 유기체 또는 유기체의 일부에서 종양을 검출하는 데 이용될 수 있다.

[0060] 촬상 디바이스는 다수의 촬상 모드에 대해 구성될 수 있다. 촬상 모드들은 형광 수명 촬상, TOF(time-of-flight) 촬상, 강도 촬상, 및 분광 측정을 포함할 수 있다.

[0061] 광생성된 전하 캐리어를 시간 비닝하기 위한 집적 광검출기

[0062] 일부 실시예들은 입사 광자들에 응답하여 전하 캐리어들을 생성하고, 참조 시간(예를 들어, 트리거 이벤트)과 관련하여 입사 광자들의 도달에 의해 전하 캐리어들이 생성되는 타이밍을 구별할 수 있는 광검출기를 갖는 집적 회로에 관한 것이다. 일부 실시예들에서, 전하 캐리어 분리 구조물은 상이한 시간들에서 생성된 전하 캐리어들을 분리하고, 전하 캐리어들을 상이한 시간 기간들 내에 생성된 전하 캐리어들을 응집하는 하나 이상의 전하 캐리어 저장 영역("빈"으로 불림)으로 향하게 한다. 각각의 빈은 선택된 시간 간격 내에 생성된 전하 캐리어들을 저장한다. 각각의 빈에 저장된 전하를 판독하는 것은 각각의 시간 간격 내에 도달한 광자의 수에 관한 정보를 제공할 수 있다. 이러한 집적 회로는 본 명세서에 설명된 것들과 같은 다양한 응용들 중 임의의 것에서 사용될 수 있다.

[0063] 광검출 영역 및 전하 캐리어 분리 구조물을 갖는 집적 회로의 예가 설명될 것이다. 일부 실시예들에서, 집적 회로는 픽셀 어레이를 포함할 수 있고, 각각의 픽셀은 아래 논의된 바와 같이, 하나 이상의 광검출 영역 및 하나 이상의 전하 캐리어 분리 구조물을 포함할 수 있다.

[0064] 픽셀 구조물 및 동작의 개요

[0065] 도 2a는 일부 실시예들에 따른 픽셀(100)의 다이어그램을 도시한다. 픽셀(100)은 광자 흡수/캐리어 발생 영역(102)(광검출 영역이라고도 지칭됨), 캐리어 이동/포획 영역(106), 본 명세서에서 "전하 캐리어 저장 빈들" 또는 단순히 "빈들"이라고도 지칭되는, 하나 이상의 전하 캐리어 저장 영역을 갖는 캐리어 저장 영역(108), 및 전하 캐리어 저장 빈들로부터 신호들을 판독하기 위한 판독 회로(110)를 포함한다.

[0066] 광자 흡수/캐리어 발생 영역(102)은 입사 광자들을 광생성된 전하 캐리어들로 변환할 수 있는 반도체 재료(예를 들어, 실리콘)의 영역일 수 있다. 광자 흡수/캐리어 발생 영역(102)은 광에 노출될 수 있으며, 입사 광자들을 수신할 수 있다. 광자가 광자 흡수/캐리어 발생 영역(102)에 의해 흡수될 때, 그것은 전자/정공 쌍과 같은 광생성된 전하 캐리어들을 생성할 수 있다. 광생성된 전하 캐리어들은 본 명세서에서 단순히 "전하 캐리어들"이라고도 지칭된다.

[0067] 광자 흡수/캐리어 발생 영역(102)에서 전기장이 확립될 수 있다. 일부 실시예들에서, 전기장은 캐리어 이동/포획 영역(106)에서 변화하는 전기장과 구별되는 바와 같이, "정적"일 수 있다. 광자 흡수/캐리어 발생 영역(102)에서의 전기장은 수평 성분, 수직 성분, 또는 수평 및 수직 성분 양쪽 모두를 포함할 수 있다. 전기장의

수평 성분은 화살표들로 나타내어진 바와 같이, 도 2a의 아래쪽 방향일 수 있으며, 이는 광생성된 전하 캐리어들에, 그것들을 캐리어 이동/포획 영역(106)을 향하여 모는 힘을 유도한다. 전기장은 다양한 방식으로 형성될 수 있다.

[0068] 일부 실시예들에서, 하나 이상의 전극이 광자 흡수/캐리어 발생 영역(102) 위에 형성될 수 있다. 전극(들)에는 전압들이 인가되어 광자 흡수/캐리어 발생 영역(102)에서 전기장을 확립할 수 있다. 이러한 전극(들)은 "포토 게이트(들)"이라고 불릴 수 있다. 일부 실시예들에서, 광자 흡수/캐리어 발생 영역(102)은 전하 캐리어들이 완전히 공핍된 실리콘의 영역일 수 있다.

[0069] 일부 실시예들에서, 광자 흡수/캐리어 발생 영역(102)에서의 전기장은 PN 접합과 같은 접합에 의해 확립될 수 있다. 광자 흡수/캐리어 발생 영역(102)의 반도체 재료는 광생성된 전하 캐리어들에, 그것들을 캐리어 이동/포획 영역(106)을 향하여 모는 힘을 유도하는 전기장을 생성하는 배향 및/또는 형상을 갖는 PN 접합을 형성하도록 도핑될 수 있다. 접합을 이용하여 전기장을 생성하는 것은, 입사 광자들의 부분이 광자 흡수/캐리어 발생 영역(102)에 도달하는 것을 방지할 수 있는 광자 흡수/캐리어 발생 영역(102) 위에 놓이는 전극의 이용과 관련하여 양자 효율을 개선할 수 있다. 접합을 이용하면 포토게이트들의 이용과 관련하여 암전류(dark current)가 감소될 수 있다. 암전류는 캐리어들을 생성할 수 있는 반도체 기관의 표면에서의 불완전성에 의해 생성될 수 있다는 것을 인식하였다. 일부 실시예들에서, PN 접합 다이오드의 P 단자는 그의 전압을 설정하는 단자에 접속될 수 있다. 이러한 다이오드는 "핀드(pinned)" 포토다이오드라고 지칭될 수 있다. 핀드 포토다이오드는 그의 전압을 설정하고 캐리어들을 끌어당기는 단자로 인해, 표면에서 캐리어 재결합을 촉진할 수 있고, 이는 암전류를 감소시킬 수 있다. 포획되기를 원하는 광생성된 전하 캐리어들은 표면에서 재결합 영역 밑을 통과할 수 있다. 일부 실시예들에서, 수평 전기장은 반도체 재료에서 그레이딩된 도핑 농도를 이용하여 확립될 수 있다.

[0070] 일부 실시예들에서, 전기장을 생성하기 위한 접합을 갖는 흡수/캐리어 발생 영역(102)은 다음과 같은 특성들 중 하나 이상을 가질 수 있다:

[0071] 1) 시간에 따라 변하는 장으로부터 멀어지면서 테이퍼링되는 공핍된 n형 영역,

[0072] 2) 전기장을 n형 영역 내로 수평으로 천이시키는 갭을 갖는 n형 영역을 둘러싸는 p형 주입, 및/또는

[0073] 3) n형 영역을 매립하고 기생 전자들에 대한 재결합 영역으로서 역할하는 p형 표면 주입.

[0074] 일부 실시예들에서, 접합과 적어도 하나의 전극의 조합에 의해 광자 흡수/캐리어 발생 영역(102)에서 전기장이 확립될 수 있다. 예를 들어, 접합 및 단일 전극, 또는 2개 이상의 전극이 이용될 수 있다. 일부 실시예들에서, 하나 이상의 전극이 캐리어 이동/포획 영역(106) 부근에 위치되어, 접합으로부터 비교적 멀리 위치될 수 있는 캐리어 이동/포획 영역(106) 부근에서 전위 구배를 확립할 수 있다.

[0075] 도 2a에 예시된 바와 같이, 광자가 포획되고 전하 캐리어(101A)(예를 들어, 전자)가 시간 t1에서 생성될 수 있다. 일부 실시예들에서, 전하 캐리어(101A)가 (도 2a에 도시된 화살표로 예시된 바와 같이) 도 2a의 아래쪽 방향으로 이동하게 하는 전기 전위 구배가 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)을 따라 확립될 수 있다. 이 전위 구배에 응답하여, 전하 캐리어(101A)는 시간 t1에서의 그의 위치로부터 시간 t2에서의 제2 위치, 시간 t3에서의 제3 위치, 시간 t4에서의 제4 위치, 및 시간 t5에서의 제5 위치로 이동할 수 있다. 전하 캐리어(101A)는 따라서 전위 구배에 응답하여 캐리어 이동/포획 영역(106)으로 이동한다.

[0076] 캐리어 이동/포획 영역(106)은 반도체 영역일 수 있다. 일부 실시예들에서, 캐리어 이동/포획 영역(106)은 입사 광으로부터 차폐될 수 있다(예를 들어, 금속 층과 같은 위에 놓인 불투명한 재료에 의해)는 점을 제외하고, 캐리어 이동/포획 영역(106)은 광자 흡수/캐리어 발생 영역(102)(예를 들어, 실리콘)과 동일한 재료의 반도체 영역일 수 있다.

[0077] 일부 실시예들에서, 그리고 아래에서 더 논의되는 바와 같이, 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)에, 이들 영역 위에 배치된 전극들에 의해 전위 구배가 확립될 수 있다. 전극들의 위치설정 예가 도 3b를 참조하여 논의될 것이다. 그러나, 본 명세서에 설명된 기법들은 전기 전위 구배를 생성하는 데 이용되는 전극들의 특정한 위치들에 관해 제한되지 않는다. 또한 본 명세서에 설명된 기법들은 전극들을 이용하여 전기 전위 구배를 확립하는 것으로 제한되지 않는다. 일부 실시예들에서, 전기 전위 구배는 공간적으로 그레이딩된 도핑 프로파일 및/또는 PN 접합을 이용하여 확립될 수 있다. 전하 캐리어들이 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)을 따라 이동하게 하는 전기 전위 구배를 확립하기 위해 임의의 적합한 기법이 사용될 수 있다.

- [0078] 상이한 시간들에 생성된 전하 캐리어를 분리하는 것을 가능하게 하기 위해 픽셀 내에 전하 캐리어 분리 구조물이 형성될 수 있다. 일부 실시예들에서, 전하 캐리어 분리 구조물의 적어도 일부는 캐리어 이동/포획 영역(106) 위에 형성될 수 있다. 아래에 설명되는 바와 같이, 전하 캐리어 분리 구조물은 캐리어 이동/포획 영역(106) 위에 형성된 하나 이상의 전극을 포함할 수 있으며, 그것의 전압은 캐리어 이동/포획 영역(106)에서의 전위 전위를 변경하기 위해 제어 회로에 의해 제어될 수 있다.
- [0079] 캐리어 이동/포획 영역(106)에서의 전기 전위는 전하 캐리어를 포획하는 것을 가능하게 하도록 변경될 수 있다. 전위 구배는 미리 결정된 공간 영역 내에 캐리어를 국한시킬 수 있는 전위 장벽을 생성하기 위해 캐리어 이동/포획 영역(106)의 위에 놓인 하나 이상의 전극 상의 전압을 변경함으로써 변경될 수 있다. 예를 들어, 도 2a의 캐리어 이동/포획 영역(106)에서 파선(dashed line) 위에 놓인 전극 상의 전압은, 도 2a의 캐리어 이동/포획 영역(106) 내의 파선을 따라 전위 장벽을 상승시키기 위해 시간 t_5 에서 변경될 수 있고, 이로써 전하 캐리어(101A)를 포획한다. 도 2a에 도시된 바와 같이, 시간 t_5 에서 포획된 캐리어는 캐리어 저장 영역(108)의 빈 "빈 0"으로 전달될 수 있다. 캐리어를 전하 캐리어 저장 빈으로 전달하는 것은 캐리어가 전하 캐리어 저장 빈으로 이동하게 하도록 캐리어 이동/포획 영역(106) 및/또는 캐리어 저장 영역(108)에서 전위를 변경하는 것에 의해 (예를 들어, 이들 영역의 위에 놓인 전극(들)의 전압을 변경하는 것에 의해) 수행될 수 있다.
- [0080] 캐리어 이동/포획 영역(106)의 미리 결정된 공간적 영역 내에서 특정 시점에 전위를 변경하는 것은 특정 시간 간격 내에 발생한 광자 흡수에 의해 생성된 캐리어를 트래핑하는 것을 가능하게 할 수 있다. 상이한 시간들 및/또는 위치들에서 광생성된 전하 캐리어를 트래핑함으로써, 광자 흡수에 의해 전하 캐리어들이 생성된 시간들이 구별될 수 있다. 이러한 의미에서, 전하 캐리어는 트리거 이벤트의 발생 후 특정 시점 및/또는 공간에서 전하 캐리어를 트래핑함으로써 "시간 비닝"될 수 있다. 특정한 빈 내의 전하 캐리어의 시간 비닝은 광생성된 전하 캐리어가 입사 광자의 흡수에 의해 생성된 시간에 관한 정보를 제공하고, 따라서 마찬가지로 트리거 이벤트, 광생성된 전하 캐리어를 생성한 입사 광자의 도달에 대하여 "시간 비닝"한다.
- [0081] 도 2b는 상이한 시점 및 공간에서 전하 캐리어를 포획하는 것을 예시한다. 도 2b에 도시된 바와 같이, 캐리어 이동/포획 영역(106)에서 파선 위에 놓인 전극 상의 전압은, 도 2b의 캐리어 이동/포획 영역(106) 내의 파선을 따라 전위 장벽을 상승시키기 위해 시간 t_9 에서 변경될 수 있고, 이로써 캐리어(101B)를 포획한다. 도 2b에 도시된 바와 같이, 시간 t_9 에서 포획된 캐리어는 캐리어 저장 영역(108)의 빈 "빈1"로 전달될 수 있다. 전하 캐리어(101B)는 시간 t_9 에서 트래핑되기 때문에, 그것은 시간 t_5 에서 포획되는 캐리어(101A)에 대한 광자 흡수 이벤트(즉, t_1 에서)와 상이한 시간(즉, 시간 t_6)에 발생한 광자 흡수 이벤트를 나타낸다.
- [0082] 전하 캐리어들이 포획되는 시간들에 기초하여 다수의 측정을 수행하고 전하 캐리어들을 캐리어 저장 영역(108)의 전하 캐리어 저장 빈들에 응집하는 것은 광자들이 광자 흡수/캐리어 발생 영역(102)에서 포획되는 시간들에 관한 정보를 제공할 수 있다. 이러한 정보는 위에 논의된 바와 같이 다양한 응용들에서 유용할 수 있다.
- [0083] 픽셀 구조물 및 동작의 상세한 예
- [0084] 도 3a는 일부 실시예들에 따른 픽셀(100A)의 전하 캐리어 국한 영역(103)을 도시한다. 도 3a에 예시된 바와 같이, 픽셀(100A)은, 광자 흡수/캐리어 발생 영역(102A)(광검출 영역이라고도 지칭됨), 캐리어 이동/포획 영역(106A), 드레인(104), 캐리어 저장 영역(108A)의 복수의 전하 캐리어 저장 빈들(빈0, 빈1, 빈2, 및 빈3), 및 판독 영역(110A)을 포함할 수 있다.
- [0085] 전하 캐리어 국한 영역(103)은, 전하 캐리어 분리 구조물에 의해 생성된 전기 전위 구배에 응답하여 광생성된 전하 캐리어들이 이동하는 영역이다. 전하 캐리어들은, 전하 캐리어 국한 영역(103) 내의 광자 흡수/캐리어 발생 영역(102A)에서 생성될 수 있다.
- [0086] 전하 캐리어 국한 영역(103)은 반도체 재료(예를 들어, 실리콘)와 같은 임의의 적합한 재료로 형성될 수 있다. 그러나, 임의의 적합한 재료가 전하 캐리어 국한 영역(103)을 형성할 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다. 일부 실시예들에서, 전하 캐리어 국한 영역(103)은, 전하 캐리어들을 전하 캐리어 국한 영역(103) 내에 국한하기 위해 절연체(예를 들어, 실리콘 산화물)로 둘러싸일 수 있다.
- [0087] 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 부분은 임의의 적합한 형상을 가질 수 있다. 도 3a에 도시된 바와 같이, 일부 실시예들에서, 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 부분은, 그 폭이 캐리어 이동/포획 영역(106A) 부근에서 점진적으로 감소하도록 테이퍼링된 형상을 가질 수 있다. 이러한 형상은 전하 처리의 효율을 개선할 수 있어서, 특히 소수의 광자가 도달할 것으로 예상되는 경우에 유용할 수 있다. 일부 실시예들에서, 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국

한 영역(103)의 부분은 덜 테이퍼링되거나 테이퍼링되지 않아서 동적인 범위를 증가시킬 수 있다. 그러나, 본 명세서에 설명된 기법들은 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 형상에 관해 제한되지 않는다.

[0088] 도 3a에 도시된 바와 같이, 캐리어 이동/포획 영역(106A) 내의 전하 캐리어 국한 영역(103)의 제1 부분은 광자 흡수/캐리어 발생 영역(102A)으로부터 드레인(104)까지 연장될 수 있다. 전하 캐리어 국한 영역(103)의 연장부들은 각각의 전하 저장 빈들까지 연장되어, 전하 캐리어들이 도 3b와 관련하여 설명된 것과 같은 전하 캐리어 분리 구조물에 의해 전하 캐리어 저장 빈들 내로 향하도록 허용한다. 일부 실시예들에서, 존재하는 전하 캐리어 국한 영역(103)의 연장부의 수는, 전하 캐리어 저장 빈의 수와 동일할 수 있으며, 여기서, 각각의 연장부들은 각각의 전하 캐리어 저장 빈으로 연장된다.

[0089] 판독 영역(110A)은 전하 저장 빈들로부터 판독하기 위한 부동 확산 노드(floating diffusion node) fd를 포함할 수 있다. 부동 확산 노드 fd는, 예를 들어, p형 재료(예를 들어, p형 기판) 내로의 n형 도펀트의 확산에 의해 형성될 수 있다. 그러나, 본 명세서에 설명된 기법들은 특정한 도펀트 타입 또는 도핑 기법들에 관해 제한되지 않는다.

[0090] 도 3b는 도 3a의 전하 캐리어 국한 영역(103) 위에 놓인 복수의 전극 V_{b0} - V_{bn} , b_0 - b_m , st_1 , st_2 , 및 tx_0 - tx_3 을 갖는 도 3a의 픽셀(100A)을 도시한다. 도 3b에 도시된 전극들은, 광생성된 캐리어를 시간-비닝할 수 있는 전하 캐리어 분리 구조물의 적어도 부분을 형성한다.

[0091] 도 3b에 도시된 전극들은 전하 캐리어 국한 영역(103) 내에 전기 전위를 확립한다. 일부 실시예들에서, 전극들 V_{b0} - V_{bn} , b_0 - b_m 에는 전압이 인가되어, 전하 캐리어들, 예를 들어, 전자들이 드레인(104)을 향해 도 3b의 아래쪽 방향으로 이동하도록, 영역들(102A 및 106A) 내에 전위 구배를 확립할 수 있다. 전극들 V_{b0} - V_{bn} 은 광자 흡수/캐리어 발생 영역(102A)의 전하 국한 영역(103)에서 전위 구배를 확립할 수 있다. 일부 실시예들에서, 각각의 전극들 V_{b0} - V_{bn} 은 일정한 전압들에 있을 수 있다. 전극들(b_0 - b_m)은 캐리어 이동/포획 영역(106A)의 전하 국한 영역(103)에서 전위 구배를 확립할 수 있다. 일부 실시예들에서, 전극들(b_0 - b_m)은 전하 캐리어들의 트랩핑 및/또는 하나 이상의 전하 저장 빈으로의 전하 캐리어의 전달을 가능하게 하기 위해 그들의 전압들을 상이한 레벨들에 설정할 수 있다.

[0092] 전극들 st_0 및 st_1 은 캐리어를 전하 캐리어 저장 영역(108A)의 전하 저장 빈들에 전달하기 위해 변화하는 전압들을 가질 수 있다. 전달 게이트들(tx_0 , tx_1 , tx_2 및 tx_3)은 전하 저장 빈들로부터 부동 확산 노드 fd로의 전하의 전달을 가능하게 한다. 리셋 트랜지스터 rt , 증폭 트랜지스터 sf 및 선택 트랜지스터 rs 를 포함하는 판독 회로(110)가 또한 도시되어 있다.

[0093] 일부 실시예들에서, 부동 확산 노드 fd 및 전달 게이트들 tx_0 - tx_3 각각의 전위들은, 캐리어 이동/포획 영역(106A) 내가 아니라 부동 확산 영역 내로의 전하 캐리어들의 오버플로우를 허용할 수 있다. 전하 캐리어가 캐리어 저장 영역(108) 내의 빈에 전달될 때, 부동 확산 노드 fd 및 전달 게이트들 tx_0 - tx_3 의 전위들은, 빈 내의 임의의 오버플로우 전하 캐리어들이 부동 확산으로 흐르는 것을 허용하기 위해 충분히 높을 수 있다. 이러한 "장벽 오버플로우 방지" 기법은 캐리어 이동/포획 영역(106A) 및/또는 픽셀의 다른 영역들로 오버플로우하고 확산하는 캐리어들을 감소시킬 수 있다. 일부 실시예들에서, 장벽 오버플로우 방지 기법은 여기 펄스에 의해 생성된 임의의 오버플로우 전하 캐리어를 제거하는 데 이용될 수 있다. 오버플로우 전하 캐리어들이 부동 확산 노드로 흐르도록 허용함으로써, 이들 전하 캐리어는 하나 이상의 시간 빈에서 포획되지 않고, 이로써 판독 동안에 시간 빈 신호에 미치는 여기 펄스의 영향을 감소시킨다.

[0094] 전극들 V_{b0} - V_{bn} 및 b_0 - b_m 이 광자 흡수/캐리어 발생 영역(102) 및/또는 캐리어 이동/포획 영역(106) 위에 배치되는 일부 실시예들에서, 전극들 V_{b0} - V_{bn} 및 b_0 - b_m 은 도 3b의 상부로부터 하부로 진행되는 위치들에 대해 증가하는 전압들로 설정될 수 있고, 이로써, 전하 캐리어들이 드레인(104)을 향하여 도 3b의 아래쪽 방향으로 이동하게 하는 전위 구배를 확립한다. 일부 실시예들에서, 광자 흡수/캐리어 발생 영역(102) 및/또는 캐리어 이동/포획 영역(106)에서 전위 구배가 단조적으로 달라질 수 있고, 이는 전하 캐리어들이 전위 구배를 따라 캐리어 이동/포획 영역(106)으로 이동하는 것을 가능하게 할 수 있다. 일부 실시예들에서, 전위 구배는 라인 A-A'을 따른 위치에 관해 선형적으로 변화할 수 있다. 선형 전위 구배는, 전극들을 도 3b의 수직 치수에 걸쳐 선형적으로 달라지는 전압들로 설정함으로써 확립될 수 있다. 그러나, 임의의 적합한 전위 구배가 이용될 수 있기 때문에, 본 명세서에 설명된 기법들은 선형 전위 구배로 제한되지 않는다. 일부 실시예들에서, 캐리어 이동/포획 영역(106) 내의 전기장은, 전하 캐리어들이 캐리어 이동/포획 영역(106)에서 충분히 빠르게 이동하여 이동 시간이 광자들이 도달할 수 있는 시간에 비해 작도록 충분히 높을 수 있다. 예를 들어, 형광 수명 측정 맥락에서,

전하 캐리어의 이동 시간은 측정되는 형광 분자 또는 마커의 수명과 비교하여 작게 될 수 있다. 이동 시간은 캐리어 이동/포획 영역(106)에서 충분히 그레이딩된 전기장을 생성함으로써 감소될 수 있다.

- [0095] 도 3c는 광자 흡수/캐리어 발생 영역(102)이 PN 접합을 포함하는 실시예를 도시한다. 도 3c는 비교적 낮은 전위이고, 이로써 표면 전위를 비교적 낮은 전위에 "고정(pinning)"할 수 있는, 외측 전극(302)을 도시한다. 전극(304)은, 캐리어들을 캐리어 이동/포획 영역(106)(캐리어 이동/포획 영역(106)의 하위 부분은 도시되지 않음)을 향하여 또는 정전기장(static electric field)을 위한 전위 구배를 생성하는 것을 돕도록 포함될 수 있다. 도 3c는 확산, 폴리실리콘, 콘택트 및 금속 1의 영역들을 나타낸다.
- [0096] 도 3d는 도핑 특성의 부가를 수반한 도 3c에서와 같은 픽셀의 평면도를 도시한다. 도 3d는 또한 PN 접합 및 전극(304)에 의해 확립된 전위 구배를 따라 영역(106)까지 아래로 캐리어들을 스위핑하는 전기장을 도시한다. 도 3d는 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피의 영역들을 나타낸다.
- [0097] 도 3e는 캐리어 이동/포획 영역(106)을 포함하는, 도 3c에서와 같은 픽셀의 평면도를 도시한다.
- [0098] 도 3f는 도 3e에서와 같은 픽셀 어레이를 도시한다. 도 3f는 확산, 폴리실리콘, 콘택트 및 금속 1의 영역들을 나타낸다.
- [0099] 도 3g는 도 3f의 픽셀 어레이를 도시하며, 또한 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피(epi)의 영역들을 나타낸다.
- [0100] 도 4는 도 3b의 픽셀(100A)의 회로 다이어그램을 도시한다. 전하 캐리어 국한 영역(103)은 짙은 어두운 선으로 도시되어 있다. 또한, 전극들, 전하 캐리어 저장 영역(108) 및 판독 회로(110)가 도시되어 있다. 이 실시예에서, 캐리어 저장 영역(108)의 전하 저장 빈들(빈0, 빈1, 빈2, 및 빈3)은, 전극 st1 아래의 캐리어 국한 영역(103) 내에 있다. 위에 논의된 바와 같이, 일부 실시예들에서, 접합은 전극들 대신에 또는 이들에 추가하여 영역(102) 내에 정전기장을 생성하는 데 이용될 수 있다.
- [0101] 광은 광원(120)으로부터 광자 흡수/캐리어 발생 영역(102)에서 수신된다. 광원(120)은, 제한이 아닌 예로서, 촬상될 영역 또는 장면을 포함하는 임의의 타입의 광원일 수 있다. 차광부(121)는 광이 캐리어 이동/포획 영역(106)에 도달하는 것을 방지한다. 차광부(121)는, 제한이 아닌 예로서, 집적 회로의 금속 층과 같은, 임의의 적합한 재료로 형성될 수 있다.
- [0102] 도 5a는 도 3b의 라인 A-A'을 따른 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106) 내의 전하 캐리어 국한 영역(103)에서 확립될 수 있는 전위 구배를 예시한다. 도 5a에 예시된 바와 같이, 전하 캐리어(예를 들어, 전자)는 광자 흡수/캐리어 발생 영역(102) 내에서 광자의 흡수에 의해 생성될 수 있다. 전극들 V_{b0} - V_{bn} 및 b_0 - b_m 은, 전자들이 도 5a의 우측(도 3b의 아래쪽 방향)으로 흐르게 하는 전위 구배를 확립하기 위해 도 5a의 우측으로 증가하는 전압들로 설정될 수 있다. 부가적으로 또는 대안적으로, 장을 확립하거나 장을 확립하는 것을 돕기 위해 PN 접합이 존재할 수 있다. 이러한 실시예에서, 캐리어들이 표면 아래로 흐를 수 있고, 도 5a(및 관련 도면들)는 캐리어들이 흐르는 영역의 전위를 도시한다. 초기에, 캐리어들은, 도 6a, 도 6b 및 도 6c에 도시된 바와 같이, 캐리어 이동/포획 영역(106)을 통해 드레인(104) 내로 흐르도록 허용될 수 있다. 도 6a는 광생성된 캐리어(101)의 위치를 도시한다. 도 6b는 확립된 전위 구배에 응답하여 캐리어(101)가 아래쪽 방향으로 이동할 때, 그 직후의 그의 위치를 도시한다. 도 6c는 캐리어(101)가 드레인(104)에 도달할 때의 그의 위치를 도시한다.
- [0103] 도 5b는 소정 기간 후에 전극 b_0 의 전압을 감소시킴으로써 시간 t_1 에서 전자에 대한 전위 장벽(501)이 상승될 수 있다는 것을 도시한다. 도 6d, 도 6e 및 도 6f에 도시된 바와 같이, 전위 장벽(501)은 전자가 도 5b의 우측으로 이동하는 것을 정지시킬 수 있다. 도 6d는 광생성된 캐리어(101)(예를 들어, 전자)의 위치를 도시한다. 도 6e는 전위 구배에 응답하여 캐리어(101)가 아래쪽 방향으로 이동할 때, 그 직후의 그의 위치를 도시한다. 도 6f는 시간 t_1 후에 전위 장벽(501)에 도달할 때의 캐리어(101)의 위치를 도시한다.
- [0104] 도 5c는 또 다른 시간 기간 후에 전극 b_2 의 전압을 감소시킴으로써 시간 t_2 에서 전자에 대한 또 다른 전위 장벽(502)이 상승될 수 있다는 것을 도시한다. 전자가 시간 t_1 과 t_2 사이에서 전극 b_0 과 b_2 사이에 도달한다면, 도 5c 및 도 6g에 예시된 바와 같이, 전위 장벽(501)과 전위 장벽(502) 사이에서 전자가 포획될 것이다.
- [0105] 도 5d는 또 다른 시간 기간 후에 전극 b_4 의 전압을 감소시킴으로써 시간 t_3 에서 전자에 대한 또 다른 전위 장벽(503)이 상승될 수 있다는 것을 도시한다. 전자가 시간 t_2 와 t_3 사이에서 전극 b_2 와 b_4 사이에 도달하면, 전자는 전위 장벽(502)과 전위 장벽(503) 사이의 위치에서 트래핑될 것이다. 도 5d 및 도 6h의 예에서, 전자는 시

간 t_1 과 t_2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있다.

- [0106] 도 5e는 또 다른 시간 기간 후에 전극 b6의 전압을 감소시킴으로써 시간 t_4 에서 전자에 대한 또 다른 전위 장벽(504)이 상승될 수 있다는 것을 도시한다. 전자가 시간 t_3 과 t_4 사이에서 전극 b4와 b6 사이에 도달한다면, 전자는 전위 장벽(503)과 전위 장벽(504) 사이의 위치에서 트래핑될 것이다. 도 5e 및 도 6i의 예에서, 전자는 시간 t_1 과 t_2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있다.
- [0107] 도 5f는 또 다른 시간 기간 후에 전극 b_m의 전압을 감소시킴으로써 시간 t_5 에서 전자에 대한 또 다른 전위 장벽(505)이 상승될 수 있다는 것을 도시한다. 전자가 시간 t_4 와 t_5 사이에서 전극 b6과 b_m 사이에 도달한다면, 전자는 전위 장벽(504)과 전위 장벽(505) 사이의 위치에서 트래핑될 것이다. 도 5f 및 도 6j의 예에서, 전자는 시간 t_1 과 t_2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있다.
- [0108] 도 6k는 시간 경과에 따른 전극들 b0-b8, st0 및 st1의 전압을 예시하는 전압 타이밍 다이어그램을 도시한다. 전위 장벽들(501-505)을 상승시키는 시퀀스 동안 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어는, 그것이 캐리어 이동/포획 영역(106)에 도달하는 시간에 의존하는 - 이는 결국 광자 흡수/캐리어 발생 영역(102)에서의 광자 흡수에 의해 전하 캐리어가 생성된 시간에 의존함 - 캐리어 이동/포획 영역(106) 내의 위치에서 포획될 것이다. 전위 장벽들(501-505)이 상승되는 타이밍은 전하 저장 빈들(빈0 내지 빈3)의 타이밍을 설정한다. 도 6k에 도시된 바와 같이, 시간 t_1 과 t_2 사이에 도달하는 캐리어는 빈0에 대한 시간 간격 내에서 트래핑될 것이고, 시간 t_2 와 t_3 사이에 도달하는 캐리어는 빈1에 대한 시간 간격 내에서 트래핑될 것이고, 시간 t_3 과 t_4 사이에 도달하는 캐리어는 빈2에 대한 시간 간격 내에서 트래핑될 것이고, 시간 t_4 및 t_5 사이에 도달하는 캐리어는 빈3에 대한 시간 간격 내에서 트래핑될 것이다.
- [0109] 도 5a 내지 도 5f에 도시된 시퀀스 후에, 포획된 전하 캐리어는 그 후 전하 캐리어가 캐리어 이동/포획 영역(106) 내에서 포획되는 위치에 기초하여 적절한 전하 캐리어 저장 빈에 전달될 수 있다. 이 실시예에서, 전자가 전극 b1 아래에서 포획되면, 그것은 빈0에 전달된다. 전자가 전극 b3 아래에서 포획되면, 그것은 빈1에 전달된다. 전자가 전극 b5 아래에서 포획되면, 그것은 빈2에 전달된다. 전자가 전극 b7 아래에서 포획되면, 그것은 빈3에 전달된다. 일부 실시예들에서, 캐리어 이동/포획 영역(106) 내의 임의의 포획된 캐리어(들)를 그 대응하는 빈(들)에 전달하는 것은 병렬로(예를 들어, 동시에) 수행될 수 있다. 그러나, 본 명세서에 설명된 기법들은 포획된 캐리어들을 전하 저장 빈들에 병렬로 전달하는 것에 관해 제한되지 않는다.
- [0110] 도 6k에 도시된 바와 같이, 도 5a 내지 도 5f에 도시된 시퀀스 후에, 전극들 st0 및 st1 상의 전압들은 임의의 포획된 전하 캐리어들을 대응하는 전하 캐리어 저장 빈(들)에 전달하도록 변경될 수 있다. 포획된 전하 캐리어(들)를 전달하기 위한 예시적인 시퀀스가 도 6k 및 도 7a 내지 도 7g를 참조하여 논의될 것이다.
- [0111] 도 7a는 도 3b의 라인 B-B'를 따른 전하 캐리어 국한 영역(103)의 단면에 대한 전위의 플롯을 도시한다. 도 7a는 전위 장벽들(503과 504) 사이에서 전자가 포획되는 예에서의 시간 t_5 (도 6k)에서의 전위를 도시한다. 전위 장벽들(503과 504) 사이에 포획된 전자를 도시하는 평면도가 도 7e에 도시되어 있다.
- [0112] 도 7b는 시간 t_5 후에, 전자 전달을 용이하게 하기 위해, 전극들 b1, b3, b5 및 b7 상의 전압이 옵션으로 감소되어(도 6k에는 도시되지 않음) 전위 우물(potential well) 내의 전자의 위치를 상승시킬 수 있다는 것을 도시한다.
- [0113] 도 7c는 시간 t_6 (도 6k)에서 전극들 st0 및 st1 상의 전압이 상승될 수 있다는 것을 도시한다. 이러한 방식으로 전극들의 전압들을 변경하는 것은, 캐리어 이동/포획 영역(106)에서 포획된 전하 캐리어를 전극 st1 아래의 대응하는 전하 저장 빈에 전달하게 하는 전위 구배를 제공할 수 있다. 전극 st1의 전압이 상승되고 캐리어(101)가 전달되는 것을 도시하는 평면도가 도 7f에 도시되어 있다.
- [0114] 도 7d는 시간 t_7 에서, 전극 st0 상의 전압이 강화되고, 이로써 대응하는 빈(이 예에서는 빈2)에 포획된 캐리어(존재한다면)를 국한할 수 있다는 것을 도시한다. 전극 b6 상의 전압은 시간 t_8 에서 상승되어 캐리어 이동/포획 영역(106)에서 전위 구배를 재확립할 수 있다. 전극 st1의 전압이 낮추어지고 캐리어(101)가 빈2에서 포획되는 것을 도시하는 평면도가 도 7g에 도시되어 있다.
- [0115] 도 7h는 일부 실시예들에 따른 전하 캐리어 분리 구조물의 전극들의 특성을 도시한다. 도 7h는, 각각의 전극에 대해, 구배 페이즈 동안의 전압, 비닝 페이즈 동안의 전압, 전달 페이즈 동안의 전압, 판독 페이즈 동안의 전압 하이, 및 전압 변화의 타이밍을 명시한다. 그러나, 이것은 단지 예일 뿐이며, 본 명세서에 설명된 기법들은 도 7h에 예시된 구현 상세사항에 관해 제한되지 않는다.

- [0116] 측정의 예시적 시퀀스
- [0117] 광생성된 전하 캐리어의 광자 흡수/캐리어 발생 및 시간 비닝의 프로세스를 반복하면, 아래 논의되는 바와 같이, 광자들이 광검출기에 도달하는 시간들에 관한 통계 정보를 수집하는 것을 가능하게 할 수 있다.
- [0118] 일부 실시예들에서, "측정"은 광자를 수신하고, 특정한 시간 및/또는 위치에서 전하 캐리어를 포획하고, 포획된 캐리어를 특정한 시간 기간 또는 빈에 대응하는 전하 저장 노드에 전달하는 단계를 포함할 수 있다. 광자들이 광검출기에 도달하는 시간들에 관한 통계 정보를 수집하기 위해 측정이 복수회 반복될 수 있다.
- [0119] 도 8a는 일부 실시예들에 따른 복수의 측정(720)을 수행하는 단계를 포함하는 방법(700)의 플로차트를 도시한다. 이러한 방법은 본 명세서에 설명된 집적 디바이스에 의해 적어도 부분적으로 수행될 수 있다.
- [0120] 단계 702에서, 트리거 이벤트에 의해 측정(720)이 개시될 수 있다. 트리거 이벤트는, 광자의 도달을 시간 비닝하기 위한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적, 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트는 형광체를 여기시키는 광 여기 펄스의 발생일 수 있다. TOF(time-of-flight) 촬상의 맥락에서, 트리거 이벤트는, 집적 광검출기를 포함하는 촬상 디바이스에 의해 방출된 (예를 들어, 플래시로부터의) 광의 펄스일 수 있다. 트리거 이벤트는, 광자 또는 캐리어의 도달을 타이밍하기 위한 기준으로 이용되는 임의의 이벤트일 수 있다.
- [0121] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어들을 생성할 수 있다. 광 여기 펄스로부터의 광생성된 캐리어들은 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 전기 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 광 여기 펄스에 의해 생성된 광생성된 캐리어들이 포획되지 않고 드레인(104)으로 흐르도록 허용함으로써, 부가적인 설계 복잡성 및/또는 비용을 추가시킬 수 있는 서터 또는 필터와 같은 복잡한 광학 컴포넌트들에 의해 도달하지 못하게 할 필요가 있을 수 있는 원치 않는 신호의 양을 감소시킬 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 타이밍은, 임의의 원치 않는 광 신호 흐름에 의해 야기된 광생성된 캐리어들이 드레인(104)으로 흐르도록 타이밍될 수 있다. 또한, 이 기법은, 단일의 시간 빈만을 갖는 실시예들을 포함하여, 임의의 수의 시간 빈과 함께 이용될 수 있다. 예를 들어, 픽셀은, 캐리어 이동/포획 영역(106) 내에서 원하는 광 신호를 포획하는 동안 전위 장벽들의 타이밍이 여기 펄스와 연관된 신호를 감소시키는, 단일 시간 빈 및 드레인을 포함할 수 있다.
- [0122] 그 후, 측정(720)은, 검출되기를 원하는 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 생성될 수 있는, 단계 704에서 시작될 수 있다. 형광 수명 측정 또는 TOF(time-of-flight) 촬상의 맥락에서, 단계 704는 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0123] 단계 706에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(702)에 관하여 선택된 시간들에서 미리 결정된 위치들에서 포획될 수 있다. 일부 실시예들에서, 전하 캐리어(들)는, 위에 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 생성된 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다.
- [0124] 단계 708에서, 포획된 전하 캐리어(들)가 존재한다면, 포획된 전하 캐리어(들)는, 포획된 위치로부터 대응하는 전하 저장 빈에 전달될 수 있고, 이로써 전하 캐리어를 "시간-비닝"할 수 있다.
- [0125] 단계 708에 후속하여, 측정(720)은, 트리거 이벤트(702) 후에 광자들이 도달하는 경향이 있는 시간 기간들에 관한 통계 정보를 획득하기 위해 $n-1$ 회 반복될 수 있다. 시간-비닝된 전하 캐리어들은, 측정(720)이 반복됨에 따라 대응하는 전하 저장 빈들에서 응집될 수 있다. 측정(720)을 반복하는 것은, 전하 캐리어 저장 빈들 내에 충분한 수의 전하 캐리어를 응집하여 통계적으로 의미있는 결과를 제공하는 것을 가능하게 할 수 있다. 예를 들어, 형광 수명 측정의 맥락에서, 형광체로부터 수신된 광자에 응답하여 광자 흡수 이벤트가 비교적 드물게 발생할 것으로 예상될 수 있다. 예를 들어, 이러한 이벤트는 약 1,000회의 측정에서 한 번 발생할 것으로 예상될 수 있다. 따라서, 많은 수의 측정(720)은, 전하 캐리어 저장 빈들에 충분한 수의 전하 캐리어를 응집하여 결과가 통계적으로 의미가 있도록 수행될 필요가 있을 수 있다. 일부 실시예들에서, 형광 수명 측정을 위해 수행될 수 있는 형광체의 측정 횟수(n)는, 각각의 빈에서 충분한 수의 전하 캐리어를 포획 및 비닝하는 것을 가능하게 하기 위해 500,000 이상 또는 1,000,000 이상일 수 있다(즉, 일부 실시예들에서는, 수십 또는 수백 회 이상).
- [0126] 일단 할당된 측정 횟수(n)가 수행되고 나면, 방법(700)은 시간 빈들을 판독하는 단계 710으로 진행할 수 있다.

시간 빈들을 판독하는 단계는, 아래에 논의되는 바와 같이, 전하 저장 빈들 각각에 응집된 전하의 양을 대응하는 전압으로 변환하는 단계를 포함할 수 있다.

[0127] 도 8b는 시간 t_0 , 및 시간 빈들(빈0 내지 빈3)에서 생성되는 여기 펄스를 도시하는 다이어그램이다. 이 예에서, 광자를 측정하기 위한 시간 빈들은, 신호 광자들을 측정하기 전에 여기 광이 끝나게 하는 t_0 이후의 시간의 기간인 t_1 까지 시작되지 않는다는 점에 유의한다.

[0128] 도 8c는 마커 또는 다이 형광의 확률이 시간 경과에 따라 지수적으로 감소하는 한 세트의 형광 수명 측정들에 대한 각각의 시간 빈에서의 광자/전하 캐리어의 수의 플롯을 도시한다. 여기, 전하 포획, 및 각각의 빈들로의 전달의 시퀀스를 여러 번 반복하고, 각각의 빈에 전달된 전하 캐리어의 양을 판독함으로써, 상이한 빈들에 등록 된 광자들의 수의 히스토그램이 생성되어 형광체의 수명을 결정 또는 근사화하는 것을 허용할 수 있다.

[0129] 방법(700)은, 광자들을 포획하기를 원하는 임의의 적합한 시간 기간에 걸쳐 수행될 수 있다. 형광 수명 측정의 맥락에서, 방법(700)을 수행하기 위한 적합한 기간은, 예를 들어, 10 밀리초일 수 있다. 일부 실시예들에서, 단계들 702 내지 708은, MHz 범위의 주파수에서 반복될 수 있다. 일부 실시예들에서, 시간 빈은 피코초 또는 나노초 스케일의 해상도를 가질 수 있다.

[0130] 상이한 트리거 이벤트들에 응답한 검출의 시간 멀티플렉싱

[0131] 일부 실시예들에서, 측정은 복수의 상이한 타입의 트리거 이벤트들을 이용하여 수행될 수 있다. 트리거 이벤트들은, 픽셀이 상이한 시간 기간들에서 상이한 타입의 트리거 이벤트들에 응답하여 광을 수신하도록 시간적으로 멀티플렉싱될 수 있다. 예를 들어, 휘도 수명 측정의 맥락에서, 트리거 이벤트들은, 상이한 발광 분자들(예를 들어, 형광체들)을 여기시킬 수 있는 상이한 파장들 λ_1 및 λ_2 의 여기 광 펄스들(예를 들어, 레이저 펄스들)일 수 있다. 일부 실시예들에서, 형광체들은, 여기 광의 상이한 파장들 λ_1 및 λ_2 에 대한 그들의 응답에 기초하여 식별 및/또는 서로 구별될 수 있다. 상이한 시간들에서 파장들 λ_1 및 λ_2 의 광 여기 펄스들로 샘플을 여기 시키고, 이에 응답하여 샘플에 의해 방출된 형광을 분석함으로써, 파장 λ_1 의 여기 광에 응답하여 제1 시간 기간에서, 또는 파장 λ_2 의 여기 광에 응답하여 제2 시간 기간에서, 형광이 검출되는지에 기초하여 형광 분자들을 검출 및/또는 식별하는 것을 가능하게 할 수 있다. 이러한 시간 멀티플렉싱에 추가하여, 또는 이에 대한 대안으로서, 형광 분자들은 그들의 형광 수명들의 측정에 기초하여 식별 및/또는 구별될 수 있다.

[0132] 일부 실시예들에서, 집적 광검출기는, 상이한 파장들의 광 여기 펄스들에 응답하여 샘플에 의해 생성된 광자들의 검출을 시간 멀티플렉싱할 수 있다. 예를 들어, 제1 시간 기간에서, 파장 λ_1 의 여기 광에 응답하여 샘플에 의해 생성된 광이 검출될 수 있다. 후속하여, 제2 시간 기간에서, 파장 λ_2 의 여기 광에 응답하여 샘플에 의해 생성된 광이 검출될 수 있다. 이렇게 하기 위해, 복수의 시간 빈을 갖는 픽셀은, 제1 시간 기간에서 광자들의 도달을 검출하기 위해 시간 빈들의 제1 서브세트를 이용하고 제2 시간 기간에서 광자들의 도달을 검출하기 위해 시간 빈들의 제2 서브세트를 이용할 수 있다. 제1 시간 기간 또는 제2 시간 기간 동안 픽셀에 광이 도달하는지를 검사함으로써, 형광체가 파장 λ_1 의 광 또는 파장 λ_2 의 광에 응답하여 형광하는지를 결정할 수 있다.

[0133] 일부 실시예들에서, 광 여기 펄스에 응답하여 광자들의 도달 시간에 관한 정보는 형광 수명을 결정 및/또는 구별하는 데 이용될 수 있다. 형광 수명은 조직의 상태를 결정하는 데 이용될 수 있다. 다수의 형광 분자가 조직의 시그니처로서 작용할 수 있는 형광 수명에 기여할 수 있다. 형광 분자들의 타입 및/또는 양은 조직의 상태에 따라 달라질 수 있으므로, 조직의 형광 수명 시그니처는 조직의 상태를 나타낼 수 있다. 일부 실시예들에서, 광의 여기 펄스가 방출될 수 있고, 그 후 픽셀의 시간 빈들의 서브세트가 시간 간격에서 입사 광자들의 도달을 시간-비닝하는 데 이용될 수 있다. 시간 빈들의 서브세트에 의해 수집된 광자들의 분포로부터 하나 이상의 형광 수명이 식별될 수 있다. 하나 이상의 형광 수명은 여기 광 펄스에 의해 조사된 샘플의 시그니처로서 작용할 수 있다.

[0134] 일부 실시예들에서, 제1 파장의 제1 여기 펄스가 방출될 수 있고, 그 후, 픽셀의 시간 빈들의 제1 서브세트가 제1 시간 간격에서 입사 광자들의 도달을 시간-비닝하는 데 이용될 수 있다. 그 후, 제2 파장의 제2 여기 펄스가 방출될 수 있고, 픽셀의 시간 빈들의 제2 서브세트가 제2 시간 간격에서 입사 광자들의 도달을 시간-비닝하는 데 이용될 수 있다. 따라서, 광자들이 제1 시간 간격 및/또는 제2 시간 간격에서 수신되면, 광자들을 생성한 형광 분자의 수명에 관한 정보가 획득될 수 있다. 형광 수명들에 관한 정보를 측정하는 것과 함께 광 여기 펄스들의 시간 멀티플렉싱의 프로세스를 반복하는 것은, 조직 상태들 및/또는 특성들의 식별을 가능하게 하기 위해 충분한 정보를 제공할 수 있다.

[0135] 도 8d는 복수의 상이한 트리거 이벤트에 응답하여 광이 집적 광검출기에서 수신되는 일부 실시예들에 따른 집적

광검출기를 동작시키는 방법을 도시한다. 도 8e는 도 8d의 방법을 수행할 때 전하 캐리어 분리 구조물의 전극들의 전압들을 예시한다.

- [0136] 단계 802에서, 트리거 이벤트 A에 의해 측정(820)이 개시될 수 있다. 트리거 이벤트 A는, 광자의 도달을 시간 비닝하기 위한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적, 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트 A는, 제1 타입의 형광체를 여기시키는 제1 파장의 광 여기 펄스의 발생일 수 있다.
- [0137] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어들을 생성할 수 있다. 위에 논의된 바와 같이, 광 여기 펄스로부터 광생성된 캐리어들은 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 전기 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 것은, 임의의 원치 않는 광 신호 흐름에 의해 야기된 광생성된 캐리어들이 드레인(104)으로 흐르도록 타이밍될 수 있다.
- [0138] 그 후, 측정(820)은, 검출되기를 원하는 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 생성될 수 있는, 단계 804에서 진행될 수 있다. 형광 수명 측정의 맥락에서, 단계 804는 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0139] 단계 806에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(802)에 관하여 선택된 시간들에서 미리 결정된 위치들에서 포획될 수 있다. 일부 실시예들에서, 전하 캐리어(들)는, 위에 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 생성된 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다. 일부 실시예들에서, 단계 806은, 전위 장벽들(501, 503 및 503)을 연속적으로 상승시키고, 이로써 시간 빈들(빈0 및/또는 빈1)에 대응하는 전하(존재한다면)를 포획하는 단계를 포함할 수 있다.
- [0140] 단계 808에서, 포획된 전하 캐리어(들)가 존재한다면, 이들은 포획된 위치로부터 대응하는 전하 저장 빈에 전달될 수 있고, 이로써 전하 캐리어를 "시간-비닝"할 수 있다. 예를 들어, 시간 빈들(빈0 및/또는 빈1)에 대응하여 포획된 임의의 전하가, 예를 들어, 도 7a 내지 7d에 도시된 기법을 이용하여 단계 808에서 빈들(빈0 및/또는 빈1)에 전달될 수 있다.
- [0141] 단계 810에서, 트리거 이벤트 B에 의해 제2 측정(821)이 개시될 수 있다. 트리거 이벤트 B는 광자의 도달을 시간 비닝하기 위한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적, 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트 B는 제2 타입의 형광체를 여기시키는 제2 파장의 광 여기 펄스의 발생일 수 있다.
- [0142] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어들을 생성할 수 있다. 위에 논의된 바와 같이, 광 여기 펄스로부터 광생성된 캐리어들은 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 전기 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 것은, 임의의 원치 않는 광 신호 흐름에 의해 야기된 광생성된 캐리어들이 드레인(104)으로 흐르도록 타이밍될 수 있다.
- [0143] 그 후, 제2 측정(821)은, 검출되기를 원하는 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 생성될 수 있는, 단계 812에서 진행될 수 있다. 형광 수명 측정의 맥락에서, 단계 812는 제2 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0144] 단계 814에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(810)에 관하여 선택된 시간들에서 미리 결정된 위치들에서 포획될 수 있다. 일부 실시예들에서, 전하 캐리어(들)는, 위에 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 생성된 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다. 일부 실시예들에서, 단계 814는, 전위 장벽들(503, 504 및 505)을 연속적으로 상승시키고, 이로써 시간 빈들(빈2 및/또는 빈3)에 대응하는 전하(존재한다면)를 포획하는 단계를 포함할 수 있다.
- [0145] 단계 816에서, 포획된 전하 캐리어(들)가 존재한다면, 이들은 포획된 위치로부터 대응하는 전하 저장 빈에 전달될 수 있고, 이로써 전하 캐리어를 "시간-비닝"할 수 있다. 예를 들어, 시간 빈들(빈2 및/또는 빈3)에 대응하여 포획된 임의의 전하가, 예를 들어, 도 7a 내지 7d에 도시된 기법을 이용하여 단계 816에서 빈들(빈2 및/또는

빈3)에 전달될 수 있다.

- [0146] 픽셀이 4개의 시간 빈을 갖고, 각각의 광 여기 펄스들 각각에 응답하여 생성된 광의 도달 시간들을 측정하기 위해 2개의 빈이 할당되는 예가 설명되었지만, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다. 예를 들어, 픽셀은 상이한 여기 펄스들에 응답하여 광을 측정하는 임의의 적합한 방법으로 할당될 수 있는 더 크거나 작은 수의 빈을 가질 수 있다. 또한, 본 명세서에 설명된 기법들은, 임의의 수의 파장의 광 여기 펄스들이 이용될 수 있고 그에 따라 멀티플렉싱될 수 있기 때문에, 2개의 상이한 파장의 광 여기 펄스들로 제한되지 않는다.
- [0147] 단계 816에 후속하여, 측정들(820 및 821)은, 트리거 이벤트 후에 광자들이 도달하는 경향이 있는 시간 기간들에 관한 통계 정보를 획득하기 위해 $n-1$ 회 반복될 수 있다. 시간-비닝된 전하 캐리어들은, 측정들이 반복됨에 따라 대응하는 전하 저장 빈들에서 응집될 수 있다.
- [0148] 일단 할당된 측정 횟수(n)가 수행되고 나면, 방법(800)은 시간 빈들을 판독하는 단계 710으로 진행할 수 있다. 시간 빈들을 판독하는 단계는, 아래에 논의되는 바와 같이, 전하 저장 빈들 각각에 응집된 전하의 양을 대응하는 전압으로 변환하는 단계를 포함할 수 있다.
- [0149] 예시적인 판독 회로 및 시퀀스
- [0150] 도 2a 및 도 2b에 예시된 바와 같이, 픽셀(100)은, 전하 캐리어 저장 영역(108)의 전하 저장 빈(들)에 저장된 전하를 판독하는 것을 허용하는 판독 회로(110)를 포함할 수 있다. 픽셀(100)은, 판독 회로(110)가 판독 증폭기를 포함하는 능동 픽셀이거나, 판독 회로(110)가 판독 증폭기를 포함하지 않는 수동 픽셀일 수 있다. 임의의 적합한 타입의 능동 픽셀 또는 수동 픽셀 판독 회로가 이용될 수 있다.
- [0151] 판독 회로(110)가 판독 증폭기를 포함한다면, 임의의 적합한 타입의 증폭기가 이용될 수 있다. 적합한 증폭기의 예로서는, 공통 소스 구성에 기초한 증폭기와 소스-팔로워 구성에 기초한 증폭기가 포함된다. 그러나, 본 명세서에 설명된 기법들은 임의의 특정한 증폭기 구성에 관해 제한되지 않는다.
- [0152] 판독 회로(110)가 판독 증폭기를 포함한다면, 판독 증폭기는 전하 저장 빈(예를 들어, 빈0, 빈1, 빈2 또는 빈3)에 축적된 전하를 입력으로서 취하여 전하 저장 빈 내의 전하를 나타내는 전압을 출력으로서 생성한다.
- [0153] 소스-팔로워 구성에 기초한 판독 회로(110)의 한 예가 도 4에 예시되어 있다. 도 4에 도시된 판독 회로(110)의 예는 4개의 트랜지스터: rt , sf , rs , 및 전달 게이트들 $tx0$ - $tx3$ 중 하나를 갖는 "4T" 구성이다. 3개의 트랜지스터(rt , sf , 및 rs)가 각각의 전하 저장 빈 사이에서 공유되기 때문에, 4개의 모든 빈에 대해 도 4에 도시된 예시적인 회로는 "1.75T" 구성, (4개의 전달 게이트 + 3개의 트랜지스터)/4개의 빈이다. 그러나, 본 명세서에 설명된 기법들은, 임의의 다른 적합한 타입의 판독 구성이 이용될 수 있기 때문에, 1.75T 구성을 갖는 판독 회로(110)를 이용하는 것으로 제한되지 않는다.
- [0154] 또한, 잡음 감소 기법들을 포함하는 임의의 적합한 판독 기법들이 이용될 수 있다. 일부 실시예들에서, 판독 회로(110)는 상관된 이중 샘플링을 이용하여 전하 캐리어 저장 빈들을 판독할 수 있다. 상관된 이중 샘플링은, 미결정된 양의 잡음을 포함하는 노드에서 리셋 전압 레벨로 제1 샘플이 취해질 수 있고, 동일한 미결정된 잡음을 포함하는 노드에서 신호 레벨로 제2 샘플이 취해질 수 있는 기법이다. 잡음은, 샘플링된 신호 레벨로부터 샘플링된 리셋 레벨을 감산함으로써 제거될 수 있다.
- [0155] 판독 회로(110)는 전하 저장 빈들의 판독을 순차적으로 또는 병렬로 수행할 수 있다. 상관된 이중 샘플링을 이용하여 도 4에 도시된 판독 회로(110)를 갖는 빈들(빈0 내지 빈3)을 순차적으로 판독하기 위한 타이밍 다이어그램의 예가 도 9a에 도시되어 있다. 도 9a에 도시된 바와 같이, 처음에 리셋 트랜지스터 rt 가 턴온되어 부동 확산 노드 fd 를 리셋 전압 ct 로 설정할 수 있다. 부동 확산 노드의 전압이 리셋되는 시간 기간 동안, 전달 게이트들 $tx0$ - $tx3$ 은 턴오프되어 그 각각의 빈들에 저장된 전하 캐리어들을 유지한다. 부동 확산 노드 fd 가 리셋된 후, 리셋 전압은 트랜지스터 rt 를 턴오프시키고 트랜지스터 rs 를 턴온시켜 출력 전압 cb 를 생성함으로써 샘플링될 수 있다. 출력 전압 cb 에 의해 나타내어진 리셋 전압은 아날로그 포맷으로(예를 들어, 커패시터 상에) 또는 디지털 포맷으로(예를 들어, A/D 변환 및 저장에 의해) 저장될 수 있다. 그 후, 전달 게이트($tx0$)가 턴온되어 빈0으로부터의 전하가 부동 확산 fd 으로 흐르는 것을 허용할 수 있다. 신호 전압은, 트랜지스터 rs 를 턴온시켜 빈0에 저장된 전하에 기초하여 출력 전압 cb 를 생성함으로써 샘플링될 수 있다. 출력 전압 cb 에 의해 나타내어진 신호 전압은 아날로그 포맷으로(예를 들어, 커패시터 상에) 또는 디지털 포맷으로(예를 들어, A/D 변환 및 저장에 의해) 저장될 수 있다.
- [0156] 그 후, 트랜지스터 rt 가 턴온되어 부동 확산 fd 를 리셋 전압 ct 로 설정할 수 있다. 부동 확산 노드 fd 의 전압

이 리셋되는 시간 기간 동안, 전달 게이트들 tx0-tx3은 턴오프되어 그 각각의 bin들에 저장된 전하 캐리어들을 유지한다. 부동 확산 노드 fd가 리셋된 후, 리셋 전압은 트랜지스터 rt를 턴오프시키고 트랜지스터 rs를 턴온시켜 출력 전압 cb를 생성함으로써 샘플링될 수 있다. 다시금, 출력 전압 cb에 의해 나타내어진 리셋 전압은 아날로그 포맷으로(예를 들어, 커패시터 상에) 또는 디지털 포맷으로(예를 들어, A/D 변환 및 저장에 의해) 저장될 수 있다. 그 후, 전달 게이트(tx1)가 턴온되어 bin1로부터의 전하가 부동 확산으로 흐르는 것을 허용할 수 있다. 신호 전압은, 트랜지스터 rs를 턴온시켜 bin1에 저장된 전하에 기초하여 출력 전압 cb를 생성함으로써 샘플링될 수 있다. 다시금, 출력 전압 cb에 의해 나타내어진 신호 전압은 아날로그 포맷으로(예를 들어, 커패시터 상에) 또는 디지털 포맷으로(예를 들어, A/D 변환 및 저장에 의해) 저장될 수 있다.

[0157] 그 후, 리셋을 수행하고, 리셋 전압을 샘플링하고, bin으로부터 부동 확산 노드 fd로 전하를 전달하고, 신호를 샘플링함으로써, 동일한 프로세스가 bin2 및 bin3에 대해 수행될 수 있다. 따라서, 도 9a에 예시된 판독 시퀀스에서, 4개의 bin에 대한 리셋 값 및 신호 값들을 나타내는 8개의 샘플이 취해질 수 있다. 저장된 신호 값으로부터 각각의 bin에 대해 저장된 리셋 값을 감산하여 각각의 bin에 저장된 전하를 나타내는 결과를 획득함으로써, 상관된 이중 샘플링 프로세스를 완료할 수 있다.

[0158] 옵션으로, 위에 논의된 바와 같이, bin에 대한 샘플링된 리셋 전압 레벨은 제1 커패시터에 저장될 수 있고, bin에 대한 샘플링된 신호는 제2 커패시터에 저장될 수 있다. 옵션으로, 커패시터 상에 리셋 레벨과 신호 레벨을 샘플링하기 전에, 커패시터들은 이들을 동일한 전압으로 설정함으로써 클리어될 수 있다.

[0159] 도 9b는 일부 실시예들에 따른, 각각의 신호 값에 대한 리셋 값을 측정할 것을 요구하지 않는 상관된 이중 샘플링을 수행하기 위한 판독 시퀀스를 도시한다. 도 9b의 예에서, 픽셀의 모든 bin에 대해 단일 리셋 값이 측정된다. 제1 bin에 대한 신호를 획득하기 위해, 리셋 값은, 위에 논의된 바와 같이, 측정된 신호 값으로부터 감산될 수 있다. 이 지점에서 부동 확산을 리셋하는 대신에, 제2 bin으로부터 부동 확산에 전하가 전달될 수 있고, 이로써 제1 및 제2 bin들에 대한 전하를 응집시킬 수 있다. 제2 bin에 대한 신호는, 제1 및 제2 bin들에 대한 응집된 신호로부터 제1 bin에 대한 신호를 감산함으로써 획득될 수 있다. 제1 bin에 대한 신호, 및 제1 및 제2 bin들에 대한 응집된 신호 양쪽 모두는 동일한 리셋 잡음을 포함하기 때문에, 그 결과는 리셋 잡음이 제거되는 것이다. 프로세스는 나머지 bin들에 대해 계속될 수 있으며, 여기서, 이전 bin에 대한 응집된 신호는 다음 bin에 대한 응집된 신호로부터 감산된다. 이러한 방식으로 bin들에 대한 저장된 전하를 응집하면 각각의 bin이 개별적으로 판독되는 경우보다 더 큰 신호들을 판독하는 것을 허용할 수 있고, 잡음을 감소시킬 수 있는데, 이는 샘플링된 신호들이 각각의 bin이 개별적으로 판독되는 경우보다 잡음 플로어 위에서 더 높을 것이기 때문이다. 4개의 시간 bin을 갖는 예에서, 5개의 샘플, 즉, 하나의 리셋 값 및 전하 저장 bin들에 저장된 누적 전하를 나타내는 4개의 샘플이 취해질 수 있다. 이 프로세스는 도 9b를 참조하여 더 상세하게 설명될 것이다.

[0160] 도 9b에 도시된 바와 같이, 처음에 리셋 트랜지스터 rt가 턴온되어 부동 확산 노드 fd를 리셋 전압 ct로 설정할 수 있다. 부동 확산 노드의 전압이 리셋되는 시간 기간 동안, 전달 게이트들 tx0-tx3은 턴오프되어 그 각각의 bin들에 저장된 전하 캐리어들을 유지한다. 부동 확산 노드 fd가 리셋된 후, 리셋 전압은 트랜지스터 rt를 턴오프시키고 트랜지스터 rs를 턴온시켜 출력 전압 cb를 생성함으로써 샘플링될 수 있다. 출력 전압 cb에 의해 나타내어진 리셋 전압은 아날로그 포맷으로(예를 들어, 커패시터 상에) 또는 디지털 포맷으로(예를 들어, A/D 변환 및 저장에 의해) 저장될 수 있다. 그 후, 전달 게이트(tx0)가 턴온되어 bin0으로부터의 전하가 부동 확산으로 흐르는 것을 허용할 수 있다. bin0에 대한 신호 전압은, 트랜지스터 rs를 턴온시켜 bin0에 저장된 전하에 기초하여 출력 전압 cb를 생성함으로써 샘플링될 수 있다.

[0161] 그 후, 전달 게이트(tx1)가 턴온되어 bin1로부터의 전하가 부동 확산으로 흐르는 것을 허용할 수 있다. bin1 + bin0에 대한 신호 전압은, 트랜지스터 rs를 턴온시켜 bin1에 저장된 전하 플러스 bin0에 저장된 전하에 기초하여 출력 전압 cb를 생성함으로써 샘플링될 수 있다. bin0 + bin1에 대한 출력 신호 값으로부터 bin0에 대한 출력 신호 값을 감산하여 bin1에 저장된 전하를 나타내는 신호를 생성할 수 있다.

[0162] 그 후 bin n+1에 대한 측정된 신호 레벨로부터 bin n에 대한 측정된 신호 레벨을 감산함으로써 bin2 및 bin3에 대해 유사한 프로세스가 수행될 수 있다. 따라서, 이러한 기법을 이용하여 취할 필요가 있을 수 있는 샘플의 수가 감소될 수 있다.

[0163] 다음의 수식은, 측정된 단일 리셋 값만을 이용하여 각각의 bin에 대한 (상관된 이중 샘플링 이용하여) "보정된" 신호를 계산하는 방법을 보여준다.

[0164] 보정된 신호 bin0 = 측정된 신호 bin0 - 리셋 레벨

- [0165] 보정된 신호 빈1 = (빈0+빈1)에 대한 측정된 신호 - 측정된 신호 빈0
- [0166] 보정된 신호 빈2 = (빈0+빈1+빈2)에 대한 측정된 신호 - (빈0+빈1)에 대한 측정된 신호
- [0167] 보정된 신호 빈3 = (빈0+빈1+빈2+빈3)에 대한 측정된 신호 - (빈0+빈1+빈2)에 대한 측정된 신호
- [0168] 일부 실시예들에서, 픽셀로부터의 판독의 오버샘플링이 수행될 수 있다. 오버샘플링은 픽셀로부터 동일한 신호를 복수회 판독하는 것을 수반한다. 픽셀로부터 신호가 판독될 때마다, 판독되는 신호에는 잡음으로 인해 약간의 변동이 있을 수 있다. 신호의 판독의 오버샘플링 및 샘플들의 평균화는 측정에서의 잡음(예를 들어, 백색 잡음)을 감소시킬 수 있다. 일부 실시예들에서, 픽셀로부터 단일의 공칭 신호 값(예를 들어, 단일 리셋 레벨 또는 신호 레벨)을 판독하기 위해 다수의 샘플이 취해질 수 있다(예를 들어, 4-8 샘플). 일부 실시예들에서, 신호의 샘플들 각각은 판독 신호 변화를 통해 판독되어 디지털 값들(예를 들어, 디지털 워드들)로 변환될 수 있다. 그 후, 샘플들의 평균이 계산될 수 있고, 그 평균이 픽셀로부터의 측정된 신호로 이용된다. 예를 들어, 8x 오버샘플링(oversampling by 8x)이 이용되는 경우, 각각의 리셋 및 신호 값에 대해 8개의 샘플이 취해질 수 있고, 4개의 시간 빈 및 4개의 리셋 레벨을 측정하는 경우 총 64개의 샘플, 또는 1개의 리셋 레벨 및 4개의 응집된 신호 레벨을 측정하는 경우 40개의 샘플이 취해질 수 있다.
- [0169] 픽셀 어레이 판독 회로
- [0170] 병렬 판독, 순차 판독, 및 병렬과 순차 판독의 조합에 의한 판독
- [0171] 위에 논의된 바와 같이, 픽셀 어레이는, 행들 및 열들로 배열된 복수의 픽셀을 포함할 수 있다. 일부 실시예들에서, 판독은 행별로 수행될 수 있다. 일부 실시예들에서, 픽셀 어레이의 행이 선택될 수 있고, 선택된 행의 픽셀들에 대해 판독 프로세스가 수행될 수 있다. 픽셀들의 열에 대한 판독 회로는 열 내의 픽셀들에 대해 공통적일 수 있어, 상이한 행들이 선택될 때 열 내의 각각의 픽셀들에 대해 판독 회로에 의해 판독이 수행될 수 있다. 선택된 행에 대한 판독은 병렬로("열 병렬"이라고 함), 순차적으로, 또는 병렬과 순차의 조합으로("준-열 병렬(semi-column parallel)"이라고 함) 수행될 수 있다.
- [0172] 선택된 행의 픽셀들의 판독을 열 병렬로 수행하기 위해, 도 10a에 예시된 바와 같이, 개개의 판독 회로가 각각의 열에 대해 제공될 수 있어, 선택된 행 내의 각각의 열의 픽셀들이 동시에 판독될 수 있다. 도 10a는 복수의 열 C1 내지 Cn 및 복수의 행을 갖는 픽셀 어레이를 예시하는 것으로, 예시로서 선택된 행 Ri가 도시되어 있다. 도 10a의 실시예에서, 픽셀들의 각각의 열은 연관된 판독 회로(905)를 갖는다. 픽셀들의 각각의 열은, 연관된 판독 회로(905)를 가지기 때문에, 행 Ri 내의 각각의 픽셀로부터의 신호들이 동시에 판독될 수 있다.
- [0173] 선택된 행의 픽셀들의 판독을 순차적으로 수행하기 위해, 각각의 열에 개개의 판독 회로가 제공될 필요는 없다. 예를 들어, 일부 실시예들에서, 공통 판독 회로가 제공될 수 있고, 선택된 행의 각각의 픽셀은 순차적으로 판독될 수 있다. 도 10b는 복수의 열에 공통 판독 회로(905)가 제공될 수 있는 실시예를 도시한다. 공통 판독 회로는, 적합한 제어 회로의 제어하에 스위치 네트워크(906)에 의해 선택적으로 열에 접속될 수 있다. 예를 들어, 일부 실시예들에서, 스위치 네트워크(906)는 픽셀들의 개개의 열들을 순차적으로 판독 회로(905)에 접속할 수 있다.
- [0174] 픽셀들의 판독을 준-열 병렬로 수행하기 위해, 도 10c에 예시된 바와 같이, 열의 수보다 적은, 복수의 판독 회로(905)가 제공될 수 있다. 이러한 준-열 병렬 아키텍처에서, 각각의 판독 회로(905)는 열들의 서브세트에 의해 공유될 수 있다. 각각의 판독 회로(905)는 어레이 내의 열들의 서브세트를 순차적으로 판독할 수 있다. 도 10c에 도시된 바와 같이, 판독 회로(905A)는 스위치 네트워크(906A)에 의해 그 각각의 열들에 선택적으로 접속될 수 있다. 판독 회로(905B)는 스위치 네트워크(906B)에 의해 그 각각의 열들에 선택적으로 접속될 수 있다.
- [0175] 일부 실시예들에서, 판독 회로(905)는, 픽셀로부터의 신호를 증폭하는 하나 이상의 증폭기(들)와 증폭된 신호를 디지털 값으로 변환하는 아날로그-대-디지털 변환기를 포함할 수 있다. 다양한 실시예들에 따른 판독 회로들(905)의 구성의 예들이 아래에 설명된다.
- [0176] 샘플 및 홀드 회로
- [0177] 일부 실시예들에서, 열을 위한 판독 회로는 하나 이상의 샘플 및 홀드 회로를 포함할 수 있다. 도 10d는 샘플 및 홀드 회로(907), 증폭기 회로(901), 및 아날로그-대-디지털(A/D) 변환기(902)를 포함하는, 열 판독 회로(905C)를 예시하는 회로 다이어그램을 도시한다. 샘플 및 홀드 회로(907)는 (예를 들어, 노드 cb에서) 픽셀로부터의 출력 전압을 용량성 소자(예를 들어, 커패시터) 상으로 샘플링하고, 그 후 이 전압을 증폭기에 의해 판독되는 동안 커패시터 상에서 홀딩할 수 있다. 위에 논의된 바와 같이, 픽셀로부터의 출력 전압은 하나 이상의

시간 간격 동안 포획된 전하 캐리어의 수를 나타낼 수 있다.

[0178] 샘플 및 홀드 회로는 "샘플" 페이지 및 "홀드" 페이지라고 하는 복수의 페이지에서 동작할 수 있다. "샘플" 페이지에서, 픽셀로부터의 전압 값은 용량성 소자 상으로 샘플링될 수 있다. 따라서, 판독될 전압은 용량성 소자 상에 저장된다. "샘플" 페이지에 후속하여, 커패시터의 전압은 "홀드" 페이지에서 판독된다. "홀드" 페이지 동안, 커패시터의 전압은 용량성 소자로부터 판독되어 하나 이상의 증폭기에 의해 처리되고 그 후 아날로그-대-디지털(A/D) 변환기에 의해 디지털 형태로 변환될 수 있다. 도 10d에 예시된 바와 같이, 샘플 페이지($\phi 1$) 동안, 스위치 s1은 턴온되고(그의 도전성 상태로 설정됨), 스위치 s2는 턴오프되고(그의 비-도전성 상태로 설정됨), 이로써 픽셀의 판독 단자 cb로부터의 전압을, 용량성 소자, 예를 들어, 커패시터 C1 상으로 샘플링한다. 홀드 페이지($\phi 2$)는 샘플 페이지에 후속한다. 홀드 페이지 동안 스위치 s1은 턴오프되고 스위치 s2는 턴온되고, 이로써 커패시터 C1을 증폭기 회로(901)에 접속한다. 스위치 S1을 턴오프시킴으로써, 증폭기 회로(901)가 높은 입력 임피던스를 가질 수 있기 때문에, 전압이 판독되는 동안 커패시터의 전압은 실질적으로 일정하게 유지될 수 있다. 증폭기 회로(901)로부터의 증폭된 신호는 증폭된 전압을 디지털 값으로 변환하기 위해 A/D 변환기(902)에 제공될 수 있다.

[0179] 일부 실시예들에서, 전력 소비 및/또는 비용은, 이용된 회로(예를 들어, 증폭기, 아날로그-대-디지털 변환기)의 수를 감소시키거나 최소화함으로써 감소될 수 있다. 일부 실시예들에서, 판독 체인 내의 회로들의 수를 감소시키거나 최소화하기 위해, 판독 체인의 하나 이상의 회로는 픽셀 어레이의 하나보다 많은 열에 의해 공유될 수 있다.

[0180] 판독 회로 컴포넌트(들)의 멀티플렉싱

[0181] 일부 실시예들에서, 판독 회로의 하나 이상의 컴포넌트는 픽셀 어레이의 2개 이상의 열에 의해 공유될 수 있다. 예를 들어, 도 10e에 도시된 바와 같이, 증폭기 회로 901, A/D 변환기(902), 또는 양쪽 모두의 전부 또는 일부는 픽셀 어레이의 2개 이상의 열에 의해 공유될 수 있다. 도 10e는 증폭기 회로(901) 및 A/D 변환기(902) 양쪽 모두가 픽셀 어레이의 2개의 열에 의해 공유되는 판독 회로(905D)의 실시예를 예시한다. 도 10e의 실시예에서, 각각의 열 라인들은 각각의 픽셀 노드들 cb1 및 cb2에 접속된다. 각각의 열 라인은 각각의 샘플 및 홀드 회로(907A, 907B)에 접속된다. 증폭기 회로(901) 및 A/D 변환기(902)는 양쪽 모두의 열에 의해 공유될 수 있다. 증폭기 회로(901)로의 입력은 샘플 및 홀드 회로들(907A 및 907B) 사이에서, 이들의 출력들이 상이한 시간들에서(예를 들어, 순차적으로) 증폭기 회로(901)에 접속되도록, 멀티플렉싱될 수 있다. 증폭기 회로(901) 및/또는 A/D 변환기(902)와 같은 공유된 판독 회로 컴포넌트들을 이용함으로써, 판독 회로 내의 컴포넌트의 수가 감소될 수 있고, 이는 판독 회로의 비용 및/또는 전력 소비를 감소시킬 수 있다.

[0182] 일부 실시예들에서, 증폭기 회로(901)를 공유하는 열들에 대한 샘플 및 홀드 페이지들은, 소정 열이 샘플링 페이지에 있고 증폭기 회로(901)에 접속되지 않을 때, 다른 열은 홀드 페이지에 있고 그의 샘플 및 홀드 회로는 이전에 샘플링된 전압을 증폭하기 위해 증폭기 회로(901)에 접속되도록, 교번될 수 있다. 도 10f의 실시예에서, 샘플 및 판독 페이지들은 2개의 열 사이에서 교번되는데, 이 때, 상위 열은 페이지 1 동안에 샘플 페이지에 있고 페이지 2 동안에 홀드 페이지에 있으며, 하위 열은 페이지 2 동안에 샘플 페이지에 있고 페이지 1 동안에 홀드 페이지에 있다. 페이지 1($\phi 1$) 동안, 노드 cb 1로부터의 신호는 스위치 s1을 온시킴으로써 커패시터 C1 상으로 샘플링되고, 스위치 s2는 턴오프되고, 스위치 s3은 턴오프되고, 커패시터 C2는 턴온된 스위치 s4를 통해 증폭기(901)에 접속된다. 페이지 2($\phi 2$) 동안, 노드 cb 2로부터의 신호는 스위치 s3을 턴온시킴으로써 커패시터 C2 상으로 샘플링되고, 스위치 s4는 턴오프되고, 스위치 s1은 턴오프되고, 커패시터 C1은 턴온된 스위치 s2를 통해 증폭기(901)에 접속된다. 하나보다 많은 열에 의해 증폭기 회로(901)를 공유하는 것은 증폭기 회로(901)의 비작동시간(downtime)을 감소시킬 수 있는데, 그 이유는 그것이 열에 대한 샘플링 페이지 동안에 유휴 상태에 놓일 필요가 없기 때문이다.

[0183] 일부 실시예들에서, 픽셀 어레이의 2개보다 많은 열이 판독 회로(901) 및/또는 A/D 변환기(902)를 공유할 수 있다. 도 10f는 픽셀 어레이의 n개 열이 판독 회로(901) 및/또는 A/D 변환기(902)를 공유하는 실시예를 도시한다. 커패시터들 C1-Cn은 판독 회로(901)에 순차적으로 접속되어 그들의 전압 값들을 판독할 수 있다. 커패시터들 C1-Cn은 임의의 적합한 순서로 판독 회로(901)에 접속될 수 있다. 각각의 열에 대한 각각의 샘플 및 홀드 회로들의 샘플링 페이지는 샘플 및 홀드 회로가 증폭기 회로(901)에 의해 판독되지 않는 기간 동안 발생하도록 타이밍될 수 있다. 일부 실시예들에서, 및 위에 논의된 바와 같이, 샘플링 페이지들은 증폭기 회로(901)가 상이한 행을 판독하고 있는 시간 간격 동안 발생하여, 증폭기 회로(901)가 유휴 상태에 놓이는 시간의 양을 제한하도록 타이밍될 수 있다. 예를 들어, 위에 논의된 바와 같이, 노드 cb1로부터의 전압은 페이지 1 동

안 커패시터 C1 상에 샘플링될 수 있다. 페이지 2 동안, 커패시터 C1의 전압은 증폭기 회로(901)에 의해 판독될 수 있고 노드 cb2로부터의 전압은 커패시터 C2 상에 샘플링될 수 있다. 페이지 3 동안, 커패시터 C2의 전압은 증폭기 회로(901)에 의해 판독될 수 있고, 제3 노드(cb3)로부터의 전압은 제3 커패시터 C3 상에 샘플링될 수 있고, 기타 등등일 수 있다. 그 후, 커패시터 마지막 열(행 n)이 증폭기 회로(901)에 의해 판독되는 시간 동안, 또는 마지막 열이 증폭기 회로(901)에 의해 판독된 후에 페이지 1이 시작되면서 프로세스가 다시 시작될 수 있다. 2, 4, 8, 16, 32, 64, 128, 등, 또는(2의 거듭제곱일 필요가 없는) 임의의 다른 적합한 수와 같은, 임의의 적합한 수의 열들이 증폭기 회로(901)를 공유할 수 있다.

[0184] 도 10g는 증폭기 회로(901)를 포함하는 판독 회로의 다이어그램을 도시한다. 도 10g의 실시예에서, 증폭기 회로(901)는 복수의 증폭기(910 및 911)를 포함한다. 원하는 신호 이득을 달성하기 위해 단일 증폭기를 이용하는 것과는 대조적으로 복수의 증폭기(910 및 911)가 이용될 때 더 적은 전력 소산을 수반하여 동일한 이득의 달성이 달성될 수 있기 때문에, 복수의 캐스캐이딩된 증폭기(910 및 911)의 이용은 전력 소비를 감소시킬 수 있다.

[0185] 도 10h는 각각의 열에 대한 제1 스테이지 증폭기들(910A 및 910B) 및 2개의 열에 의해 공유되는 제2 스테이지 증폭기(911)를 갖는 증폭기 회로(901)를 포함하는 판독 회로의 다이어그램을 도시한다. 멀티플렉서(912)가 상이한 시간들에서 제1 스테이지 증폭기들(910A 및 910B)을 제2 스테이지 증폭기(911)에 접속한다. 일부 실시예들에서, 증폭기들(910A, 910B 및 911)은 차동 증폭기들일 수 있다.

[0186] 도 10i는 제1 스테이지 증폭기들(910A 및 910B), 제2 스테이지 증폭기(911) 및 제3 스테이지 증폭기(912)를 포함하는 판독 회로의 다이어그램을 도시한다. 위에 논의된 바와 같이, 원하는 이득 값을 달성하기 위해 추가적인 증폭기 스테이지를 이용하는 것은, 원하는 이득 값을 달성하기 위해 더 적은 수의 증폭기 스테이지를 이용하는 것과 관련한 전력 소비를 감소시킬 수 있다. 일부 실시예들에서, 증폭기들(910A, 910B, 911 및 912)은 차동 증폭기들일 수 있다.

[0187] 일부 실시예들에서, 복수의 스테이지 내의 신호 체인에서 이득이 적용될 수 있다. 일부 실시예들에서, 제1 스테이지 증폭기(예를 들어, 910A, 910B)는 2 이상의 이득을 가질 수 있고, 제2 스테이지 증폭기(예를 들어, 911)는 1 내지 8 이상의 이득을 가질 수 있고, 제3 스테이지 증폭기(예를 들어, 912)는, 2 내지 32 이상의 3개의 스테이지의 전체 이득에 대해, 1 내지 2 이상의 이득을 가질 수 있다.

[0188] 일부 실시예들에서, 증폭기들은 디지털 방식으로 프로그램가능한 이득을 가질 수 있다. 하나 이상의 스테이지의 이득은 수신되는 광의 특성에 따라 변경될 수 있다. 예를 들어, 픽셀에서 상이한 응답들을 생성하는 하나보다 많은 파장의 광 여기 펄스(예를 들어, 레이저 펄스)가 이용된다면, 판독 체인 내의 하나 이상의 증폭기의 이득은 광의 어떤 파장이 현재 검출되고 있는지에 따라 변경될 수 있다. 하나의 파장으로 인해 더 적은 수의 전하 캐리어가 생성된다면, 감소된 신호 레벨을 수용하기 위해 이득이 증가될 수 있다. 또 다른 파장으로 인해 더 많은 수의 전하 캐리어가 생성된다면, 이득이 감소될 수 있다. 일부 실시예들에서, 상이한 파장들에 대한 판독 체인의 이득들은, 상이한 파장들에 응답하여 동일한 출력 레벨들을 생성하도록 서로 정규화될 수 있다.

[0189] 판독 회로 설계 고려사항

[0190] 일부 실시예들에서, 각각의 시간 빈에 대해 포획된 전하 캐리어의 수는 비교적 작을 수 있고, 예를 들어, 수백 개 정도의 전하 캐리어일 수 있기 때문에, 각각의 픽셀로부터 검출되는 신호는 비교적 작을 수 있다. 따라서, 일부 실시예들에서, 픽셀로부터 아날로그-대-디지털 변환기(이를 포함)로 이어지는 신호 체인은 저잡음 판독 회로를 포함할 수 있다. 판독 체인에서 잡음을 제한하기 위한 기법들 및 회로들에 대해 아래에서 논의될 것이다.

[0191] 일부 실시예들에서, 신호들의 차동 처리는 판독 체인에서 잡음을 감소시키거나 최소화시킬 수 있다. 신호들의 차동 처리는 판독 체인 내에 주입될 수 있는 공통-모드 잡음을 제거할 수 있다. 판독 회로는, 차동 샘플 및 홀드 회로, 차동 증폭기(들) 및/또는 차동 A/D 변환기와 같은, 하나 이상의 차동 컴포넌트를 포함할 수 있다. 일부 실시예들에서, 차동 신호 처리는, 판독 체인 내에 공통 모드 잡음을 주입하는 것을 피하기 위해, 판독 체인에서 가능한 한 조기에(예를 들어, 픽셀 출력에 가능한 한 가깝게) 이용될 수 있다. 일부 실시예들에서, 픽셀 출력으로부터 디지털 워드까지의 전체 판독 체인은 차동 회로 컴포넌트들에 의해 수행될 수 있다. 그러나, 일부 실시예들에서, 하나 이상의 단일-단(single-ended) 판독 회로 컴포넌트들이 이용될 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다.

[0192] 도 10j는 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)를 포함하는 2개의 열에 의해 공유되는 판독 회로를 도시한다. 차동 샘플 및 홀드 회로(908)는 픽셀 어레이의 제1 열에 대한 커패시터 Cin1 및 픽셀 어레이의 제2 열에 대한 커패시터 Cin2를 포함한다. 차동 증폭기(909)는 픽셀 어레이의 제1 열에 대한 커패시터 Cf1 및 픽셀

어레이의 제2 열에 대한 커패시터 Cf2를 포함한다.

- [0193] 도 10k는 제1 열이 샘플 페이즈에 있고 제2 열이 홀드 페이즈에 있고, 커패시터 Cin2가 차동 증폭기(909)의 입력에 접속된 경우의 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)의 다이어그램을 도시한다. 도 10l은 제2 열이 샘플 페이즈에 있고 제1 열이 홀드 페이즈에 있고, 커패시터 Cin1이 차동 증폭기(909)의 입력에 접속된 경우의 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)의 다이어그램을 도시한다.
- [0194] 도 10m은 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)를 포함하는 2개보다 많은 열에 의해 공유되는 판독 회로를 도시한다. 도 10n은 차동 증폭기(901)가 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)를 이용하여 2개보다 많은 열에 의해 공유된다는 점에서 도 10f와 유사하다.
- [0195] 암 전류 샘플링
- [0196] 본 기술분야의 통상의 기술자라면 이해하는 바와 같이, "암 전류(dark current)"는 광검출기에 의해 아무런 광도 검출되지 않을 때 광검출기에서 생성되는 전류이다. 암 전류의 영향을 정정하도록 광검출기를 설계하면 광검출의 품질을 개선할 수 있다.
- [0197] 본 명세서에 설명된 집적 디바이스의 일부 실시예들에서, 전하 저장 빈들 중 하나 이상이 암 전류를 샘플링하는 데 이용될 수 있다. 예를 들어, 전하 저장 빈은, 광검출기에 의해 아무런 광도 수신되지 않거나 매우 낮은 레벨의 광이 수신되는 시간 기간 동안 도달하는 캐리어들을 응집시킴으로써 암 전류를 샘플링할 수 있다. 형광 수명 측정에 관련된 것들과 같은 일부 실시예들에서, 타이밍이 일단 발생하면 광 방출의 확률이 무시할 수 있는 값으로 떨어지도록 하는 것이라면 암 전류를 샘플링하기 위해 마지막 빈(예를 들어, 빈3)이 이용될 수 있다. 암 전류 샘플링은, 다른 빈들의 샘플들로부터의 암 전류를 감산하고, 이로써 암 전류의 영향을 정정하는 것을 허용할 수 있다.
- [0198] 시간 빈의 수와 타이밍
- [0199] 임의의 적합한 수의 시간 빈이 이용될 수 있다. 도 3a 및 도 3b에서는, 4개의 시간 빈을 갖는 픽셀의 예가 예시되었다. 도 8c는 8개의 빈이 이용되는 플롯을 도시한다. 그러나, 원하는 시간 해상도 및 다른 인자에 기초하여 임의의 적합한 수의 시간 빈을 갖는 픽셀이 생성될 수 있다. 빈의 수를 증가시키는 것은 각각의 픽셀이 차지하는 영역을 증가시킬 수 있고, 전체 픽셀의 수를 감소시키거나 더 작은 피치 크기를 갖는 제조 프로세스를 이용함으로써 달성될 수 있다. 작은 수의 빈을 이용하는 것은, 칩에 들어갈 수 있는 픽셀의 수를 증가시키는 것을 허용할 수 있다. 일부 실시예들에서, 단일 빈은 특정한 시간 기간 내에 도달하는 광자의 수를 결정하는 데 이용될 수 있다. 빈의 수는, 적어도 부분적으로, 캐리어 이동/포획 영역(106)으로부터 연장되는 칩 상에 제조된 전하 캐리어 국한 영역의 연장부의 수를 증가시키거나 감소시킴으로써 증가되거나 감소될 수 있다. 전극들 b0 내지 bm-1, 전달 전극들 등의 수는, 픽셀에 포함되기를 원하는 빈의 수에 기초하여 그에 따라 증가되거나 감소될 수 있다.
- [0200] 시간 빈들의 타이밍은 임의의 적합한 방식으로 선택될 수 있다. 일부 실시예들에서, 타이밍은, 도 6k에 예시된 바와 같이, 시간 빈(들)에 대한 시작 및 종료 시간들을 설정함으로써 선택될 수 있다. 예를 들어, 빈0에 대한 타이밍은, t1 및 t2가 발생하는 시간들을 선택함으로써 설정될 수 있고, 나머지 빈들의 타이밍은 유사하게 설정될 수 있다.
- [0201] 일부 실시예들에서, 시간 빈들에 대한 타이밍은, 각각의 측정 기간에서 타이밍이 동일하도록 고정될 수 있다. 타이밍은 전역적 타이밍 신호에 기초하여 설정될 수 있다. 예를 들어, 타이밍 신호는 측정 기간의 시작을 확립할 수 있고, 시간 빈들은 타이밍 신호로부터 경과된 미리 결정된 시간의 양에 기초하여 시작 및 종료하도록 제어될 수 있다. 형광 수명 측정 맥락에서, 시간 빈들에 대한 타이밍은, 검출될 것으로 예상되는 형광 수명의 가능한 범위에 기초하여 여기 펄스의 타이밍에 관해 설정될 수 있다. TOF(time-of-flight) 활상 맥락에서, 시간 빈의 타이밍은 활상될 장면에 대한 예상된 거리 범위에 기초하여 설정될 수 있다. 그러나, 일부 실시예들에서, 시간 빈들의 타이밍은 가변적이거나 프로그램가능할 수 있다.
- [0202] 일부 실시예들에서, 시간 빈들에 대한 타이밍은, 측정(720)을 위한 측정 기간을 개시하는 트리거 이벤트(702)의 타이밍에 기초하여 설정될 수 있다. 형광 수명 측정 맥락에서, 시간 빈들에 대한 타이밍은 형광체를 여기시키는 여기 펄스의 타이밍을 검출하는 것에 응답하여 설정될 수 있다. 예를 들어, 광 여기 펄스가 픽셀(100)에 도달할 때, 광자 흡수/캐리어 발생 영역(102)으로부터 드레인(104)으로 캐리어들의 서지(surge)가 이동할 수 있다. 여기 펄스에 응답하여 드레인(104)에서의 광생성된 캐리어들의 축적은 드레인(104)의 전압의 변화를 야기할 수 있다. 따라서, 일부 실시예들에서, 여기 펄스는 드레인(104)의 전압을 검출함으로써 검출될 수 있다.

예를 들어, 비교기는 드레인(104)의 전압을 임계값과 비교할 수 있고, 드레인(104)의 전압이 임계값을 초과할 때 펄스를 생성할 수 있다. 펄스의 타이밍은 트리거 이벤트(702)의 타이밍을 나타낼 수 있고, 시간 bin들의 타이밍(예를 들어, t_1 , t_2 등)은 이 타이밍에 기초하여 설정될 수 있다. 그러나, 임의의 적합한 기법이 측정(720)의 시작을 검출하는 데 이용될 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다.

[0203] 일부 실시예들에서, 집적 디바이스는 시간 bin들의 타이밍을 변경하는 것을 가능하게 하도록 프로그램가능할 수 있다. 일부 실시예들에서, 시간 bin들의 타이밍은 수행될 특정한 세트의 측정들에 대해 프로그램될 수 있다. 예를 들어, 집적 디바이스가 제1 범위 내의 수명들을 측정하기 위한 제1 타입의 테스트에 사용되는 경우, 시간 bin들은 그 범위 내의 수명들을 식별하기 위한 적합한 값들로 프로그램될 수 있다. 그러나, 집적 디바이스가 상이한 범위 내의 수명들을 측정하기 위한 다른 타입의 테스트에 사용되는 경우, 시간 bin들은 제2 타입의 테스트에 적합한 상이한 시간 간격들에 대응하도록 그것들을 프로그램함으로써 변경될 수 있다.

[0204] 일부 실시예들에서, 시간 bin들의 타이밍은 한 세트의 측정들의 결과에 기초하여 측정들 사이에서 적응적으로 제어될 수 있다. 예를 들어, 도 11에 예시된 바와 같이, 제1 세트의 측정들(측정 세트 A)은 비교적 큰 시간 간격에 걸쳐 있는 제1 세트의 시간 bin들을 이용하여 수행될 수 있다. 획득된 시간 정보를 개선하거나 최적화하기 위해 시간 bin들을 위해 선택된 타이밍에 대해 변경이 이루어져야 하는지를 결정하기 위해 각각의 bin에 대해 도달된 광자의 양이 분석될 수 있다. 일부 실시예들에서, 관심대상의 더 좁은 시간 간격을 결정하기 위해 각각의 bin에 대해 도달하는 광자의 양이 분석될 수 있다. 예를 들어, 도 11의 측정 세트 A에 도시된 바와 같이 시간 bin들에서 한 세트의 측정을 수행한 후에, bin2에 대응하는 시간 기간에는 상당한 수의 광자가 도달했고, 다른 bin들에 대응하는 시간 기간에는 광자가 도달하지 않는다고 결정될 수 있다. 그 후 제2 세트의 시간 bin들은 측정 세트 A의 bin2에 대응하는 더 좁은 시간 기간에 초점을 두는 제2 세트의 측정들(측정 세트 B)에 대해 선택될 수 있다. 도 11에 예시된 바와 같이, 측정 세트 B는, 측정 세트 A의 bin2에 대응하는 시간 기간 내에 4개의 시간 bin을 갖는다. 측정 세트 B에 따라 시간 bin들에서 측정을 수행함으로써, 광자의 도달의 타이밍에 대한 추가 상세사항이 획득될 수 있다. 예를 들어, 도 11에 예시된 바와 같이, 선택된 시간 간격 내에서 입사 광자들의 도달의 타이밍에 관한 더 높은 시간 해상도가 획득될 수 있다. 이러한 적응적 시간 bin 결정 프로세스는, 보통은 많은 수의 bin(예를 들어, 16개 bin)을 필요로할 수 있는 소정 레벨의 시간 해상도를 비교적 적은 수의 bin(예를 들어, 4개 bin)을 이용하여 획득하는 것을 허용할 수 있다.

[0205] 일부 실시예들에서, 시간 bin들에 대한 타이밍은 어레이의 모든 픽셀에서 동일할 수 있다. 일부 실시예들에서, 타이밍은, 상이한 픽셀들이 상이한 시간 bin들에서 캐리어들을 포획하도록, 상이한 픽셀들에서 상이할 수 있다. 예를 들어, 제1 세트의 픽셀들은 제1 세트의 시간 bin들에서 캐리어들을 포획할 수 있고 제2 세트의 픽셀들은 제1 세트의 시간 bin들과는 적어도 부분적으로 상이한 제2 세트의 시간 bin들에서 캐리어들을 포획할 수 있다. 예를 들어, 한 행의 픽셀들은 그들의 시간 bin들에 대한 시간 타이밍을 가질 수 있고, 또 다른 행의 픽셀들은 그들의 시간 bin들에 대해 상이한 타이밍을 가질 수 있다. 일부 실시예들에서, 제1 세트의 행들의 픽셀들(예를 들어, 4개의 행)은 그들의 시간 bin들에 대해 동일한 타이밍을 가질 수 있고, 또 다른 세트의 행들의 픽셀들(예를 들어, 또 다른 4개의 행)은 그들의 시간 bin들에 대해 상이한 타이밍을 가질 수 있다. 픽셀들은 개별적으로 및/또는 그룹으로서 설정되거나 및/또는 프로그램될 수 있다.

[0206] 서브픽셀들을 갖는 픽셀들

[0207] 과장 구별

[0208] 일부 실시예들에서, 픽셀 어레이의 픽셀은, 각각이 상이한 타입의 측정들을 수행할 수 있는 복수의 서브픽셀을 포함할 수 있다. 임의의 수의 서브픽셀이 픽셀에 포함될 수 있다.

[0209] 도 12는 4개의 서브픽셀(100A)을 포함하는 픽셀(1100)의 예를 도시한다. 일부 실시예들에서, 픽셀(1100) 내의 각각의 서브픽셀(100A)은 상이한 과장의 광을 수신하도록 구성될 수 있다. 예를 들어, 상이한 과장들의 광자들이 서브픽셀(100A)에 전송되는 것을 허용하는 필터들이 서브픽셀들(100A) 위에 형성될 수 있다. 예를 들어, 제1 과장은 제1 서브픽셀(100A)에 전송될 수 있고, 제2 과장은 제2 서브픽셀(100A)에 전송될 수 있으며, 제3 과장은 제3 서브픽셀(100A)에 전송될 수 있고, 제4 과장은 제4 서브픽셀(100A)에 전송될 수 있다. 상이한 과장들의 광을 수신하도록 구성되는 서브픽셀들을 갖는 픽셀(1100)은 입사 광의 시간 및 스펙트럼 구별 양쪽 모두를 허용할 수 있다. 형광 수명 측정 맥락에서, 시간 및 스펙트럼 구별 양쪽 모두의 능력을 제공하는 것은, 상이한 수명들, 상이한 스펙트럼 특성들, 또는 상이한 수명들 및 상이한 스펙트럼 특성들 양쪽 모두를 갖는 상이한 타입의 형광 분자들 및/또는 마커들을 구별하는 것을 허용할 수 있다.

- [0210] 시간적 구별
- [0211] 일부 실시예들에서, 상이한 서브픽셀들(100A)은 상이한 시간 간격들 동안 시간 빈들을 샘플링하도록 제어될 수 있다. 예를 들어, 제1 서브픽셀(100A)은 제1 세트의 시간 빈들을 샘플링하도록 구성될 수 있고 제2 서브픽셀은 제2 세트의 시간 빈들을 샘플링하도록 구성될 수 있다. 상이한 서브픽셀들(100A) 내의 유사한 구조물들은, 전하 캐리어 분리 구조물의 타이밍이 상이한 서브픽셀들에서 상이하도록 제어함으로써, 상이한 시간 간격들 동안 시간 빈들을 샘플링할 수 있다.
- [0212] 픽셀 어레이/칩 아키텍처
- [0213] 도 13은 일부 실시예들에 따른 칩 아키텍처의 다이어그램을 도시한다. 도 13에 도시된 바와 같이, 집적 회로 또는 칩(1300)은 복수의 픽셀(100)을 포함하는 픽셀 어레이(1302), 타이밍 회로(1306)를 포함하는 제어 회로(1304), 전압/전류 바이어스 발생 회로들(1305) 및 인터페이스(1308)를 포함할 수 있다.
- [0214] 픽셀 어레이(1302)는, 예를 들어, 직사각형 패턴과 같은 임의의 적합한 패턴으로 배치된 픽셀들(101)의 어레이를 포함한다. 픽셀 어레이(1302)는 임의의 적합한 수의 픽셀을 가질 수 있다. 일부 실시예들에서, 픽셀 어레이는 4개의 서브 픽셀(101A)을 각각 포함하는 4096개 픽셀(101)의 64×64 어레이를 가질 수 있다. 그러나, 본 명세서에 설명된 기법들은 픽셀 어레이(1302)에 포함된 픽셀 및 서브픽셀의 수나 배열에 관해 제한되지 않는다. 픽셀 어레이는, 픽셀 어레이(1302)의 행들 또는 열들을 판독하기 위한 행 및/또는 열 도전체들을 가질 수 있다. 픽셀들은 병렬로, 직렬로, 또는 이들의 조합으로 판독될 수 있다. 예를 들어, 일부 실시예들에서, 픽셀들의 행은 병렬로 판독될 수 있고, 픽셀 어레이의 각각의 행은 순차적으로 판독될 수 있다. 그러나, 픽셀들은 임의의 적합한 방식으로 판독될 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다.
- [0215] 픽셀 어레이(1302)는 제어 회로(1304)에 의해 제어된다. 제어 회로(1304)는, 픽셀 어레이(1302)의 동작을 포함하여, 칩(1300)의 동작을 제어하기 위한 임의의 적합한 타입의 제어 회로일 수 있다. 일부 실시예들에서, 제어 회로(1304)는, 픽셀 어레이(1302)의 동작 및 칩(1300)의 임의의 다른 동작을 제어하도록 프로그램된 마이크로프로세서를 포함할 수 있다. 제어 회로는 마이크로프로세서로 하여금 이러한 동작들을 수행하게 하기 위한 컴퓨터 판독가능한 명령어(예를 들어, 코드)를 저장하는 컴퓨터 판독가능한 매체(예를 들어, 메모리)를 포함할 수 있다. 예를 들어, 제어 회로(1304), 각각의 픽셀에서 전하 캐리어 분리 구조물(들)의 전극들에 인가되는 전압들을 생성하는 것을 제어할 수 있다. 제어 회로(1304)는, 위에 논의된 바와 같이, 캐리어들을 포획하고, 캐리어들을 전달하고, 픽셀들 및 어레이들의 판독을 수행하기 위해 하나 이상의 전극의 전압들을 변화시킬 수 있다. 제어 회로는, 저장된 타이밍 방식에 기초하여 전하 캐리어 분리 구조물의 동작들의 타이밍을 설정할 수 있다. 저장된 타이밍 방식은, 위에 논의된 바와 같이, 고정되고, 프로그램가능하고, 및/또는 적응적일 수 있다.
- [0216] 제어 회로(1304)는, 픽셀들의 전하 캐리어 분리 구조물(들)의 타이밍 동작들 또는 칩의 다른 동작들을 위한 타이밍 회로(1306)를 포함할 수 있다. 일부 실시예들에서, 타이밍 회로(1306)는, 전하 캐리어 분리 구조물(들)에서의 전압 변화의 타이밍을 정확하게 제어하여 전하 캐리어들을 정확하게 시간 비닝하는 신호들을 생성하는 것을 가능하게 할 수 있다. 일부 실시예들에서, 타이밍 회로(1306)는 전하 캐리어 분리 구조물(들)에 제공되는 신호의 타이밍들을 정확하게 설정하기 위한 외부 기준 클럭 및/또는 지연 고정 루프(DLL)를 포함할 수 있다. 일부 실시예들에서, 2개의 단일-단 지연 라인이 이용될 수 있고, 각각은 스테이지의 수의 절반이 180도 위상차로(out of phase) 정렬되어 있다. 그러나, 임의의 적합한 기법이 칩 상의 신호들의 타이밍을 제어하기 위해 이용될 수 있다.
- [0217] 칩(1300)은 칩(1300)으로부터 신호들을 전송하거나, 칩(1300)에서 신호들을 수신하거나, 또는 양쪽 모두를 위한 인터페이스(1308)를 포함할 수 있다. 인터페이스(1308)는 픽셀 어레이(1302)에 의해 감지된 신호들을 판독하는 것을 가능하게 할 수 있다. 칩(1300)으로부터의 판독은 아날로그 인터페이스 및/또는 디지털 인터페이스를 이용하여 수행될 수 있다. 칩(1300)으로부터의 판독이 디지털 인터페이스를 이용하여 수행된다면, 칩(1300)은 픽셀 어레이(1302)로부터 판독된 신호들을 디지털 신호들로 변환하기 위한 하나 이상의 아날로그-대-디지털 변환기를 가질 수 있다. 일부 실시예들에서, 판독 회로는 프로그램가능한 이득 증폭기를 포함할 수 있다. 하나 이상의 제어 신호가 외부 소스로부터 인터페이스(1308)를 통해 칩(1300)에 제공될 수 있다. 예를 들어, 이러한 제어 신호들은 시간 빈들의 타이밍을 설정하는 것을 포함할 수 있는, 수행될 측정들의 타입을 제어할 수 있다.
- [0218] 픽셀 어레이(1302)로부터 판독된 신호들의 분석은 온칩 또는 오프칩 회로에 의해 수행될 수 있다. 예를 들어, 형광 수명 측정의 맥락에서, 광자 도달의 타이밍의 분석은 시간 빈들에 걸친 광자들의 분포로부터의 하나 이상의 형광 수명을 근사화하는 단계를 포함할 수 있다. 임의의 적합한 타입의 분석이 수행될 수 있다. 픽셀 어레이

이(1302)로부터 판독된 신호들의 분석이 온칩으로 수행된다면, 칩(1300)은 분석을 수행하기 위한 임의의 적합한 처리 회로를 가질 수 있다. 예를 들어, 칩(1300)은 제어 회로(1304)의 일부이거나 이와는 분리된 분석을 수행하기 위한 마이크로프로세서를 가질 수 있다. 분석이 온칩으로 수행된다면, 일부 실시예들에서, 분석의 결과는 외부 디바이스에 전송되거나 그렇지 않으면 인터페이스(1308)를 통해 오프칩으로 제공될 수 있다. 일부 실시예들에서, 분석의 전부 또는 일부는 오프칩으로 수행될 수 있다. 분석이 오프칩으로 수행된다면, 픽셀 어레이(1302)로부터 판독된 신호들 및/또는 칩(1300)에 의해 수행된 임의의 분석의 결과는 인터페이스(1308)를 통해 외부 디바이스에 제공될 수 있다.

[0219] 일부 실시예들에서, 칩(1300)은 다음 중 하나 이상을 포함할 수 있다:

[0220] 1) 온칩, 디지털 방식으로 제어되는, 픽셀 바이어스 발생기(DAC)들.

[0221] 2) 단일-단 픽셀 출력 전압 신호를 차동 신호로 변환하고 이 신호에 이득을 적용하는, 온칩, 디지털 방식으로 프로그램가능한 이득 증폭기들

[0222] 3) 출력 레이트와 함께 전력 소산의 스케일링을 허용하는, 디지털 방식으로 제어되는 증폭기 바이어스 발생기들.

[0223] 도 14a는 일부 실시예들에 따른, 쿼드 픽셀들의 64×64 어레이를 갖는 칩(1300)의 예인, 칩(1300A)의 실시예의 다이어그램을 도시한다. 도 14a의 실시예에서, 픽셀 출력 신호들의 절반은 칩의 상부 측을 통해 제공되고, 픽셀 출력 신호들의 나머지 절반은 칩의 하부 측을 통해 제공된다. 전하 캐리어 분리 구조물들의 전극들의 전압을 설정하기 위한 바이어스 회로들이 포함된다.

[0224] 도 14b는 일부 실시예들에 따른, 2×2 어레이들을 포함하는 칩(1300)의 한 예인 칩(1300B)의 실시예의 다이어그램을 도시하며, 여기서, 각각의 어레이는 쿼드 픽셀들의 256×64 옥탈 픽셀 어레이를 갖는다. 밴드 갭 및 바이어스 회로들이 포함되어 있다. 픽셀 어레이의 전극들의 고전압 및 저전압을 설정하기 위해 Vhigh DAC들 및 Vlow DAC들을 포함하는, 디지털-대-아날로그 변환기(DAC)들이 포함된다. 도 14b는 또한 광 모니터링 센서들(1320)을 도시한다. 각각의 광 모니터링 센서는 포토다이오드와 같은 광검출기를 포함할 수 있다. 일부 실시예들에서, 각각의 광 모니터링 센서는 칩(1300B)을 광원과 정렬시키기 위한 광검출기들(예를 들어, 포토다이오드들)의 쿼드 어레이를 포함할 수 있다. 칩(1300B)이 분자들의 검출을 위해 구성되는 실시예에서, 광 모니터링 센서들은 분자들이 위치해 있는 하나 이상의 위치로부터 광을 수신하는 도파관과의 칩(1300B)의 정렬을 가능하게 할 수 있다. 다이오드 판독 회로들 및 다이오드 선택 레지스터도 또한 도 14b에 도시되어 있다.

[0225] 임의의 적합한 어레이 크기, 치수, 빈의 수 및 피쳐 크기가 이용될 수 있기 때문에, 어레이 크기, 치수, 빈의 수, 및 피쳐 크기의 예들은, 단지 예시로서 위에 설명되고 도면들에 도시된 것이다.

[0226] 예시적인 집적 회로 실현 및 집적 광검출기 형성 방법

[0227] 일부 실시예들에서, 칩(1300)은 표준 CMOS(Complementary Metal Oxide Semiconductor) 프로세스를 이용하여 실리콘 기판 내에 형성될 수 있다. 그러나, 임의의 적합한 기판 또는 제조 프로세스가 이용될 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다.

[0228] 도 15 내지 도 22는 일부 실시예들에 따른, 칩(1300)을 형성하는 프로세스를 예시한다.

[0229] 도 15a는 반도체 기판에 형성될 수 있는 전하 국한 영역들(103)의 사시도를 도시한다. 도 15b는 도 15a에 대응하는 평면도를 도시한다. 일부 실시예들에서, 전하 국한 영역들(103)은 벌크 반도체 기판(1500)에 형성될 수 있다. 그러나, 임의의 적합한 타입의 반도체 기판이 이용될 수 있으므로, 본 명세서에 설명된 기법들은 벌크 반도체 기판의 이용으로 제한되지 않는다. 일부 실시예들에서, 기판(1500) 및 전하 국한 영역들(103)은 단결정 실리콘으로 형성될 수 있다. 그러나, 임의의 적합한 타입의 반도체 재료가 이용될 수 있기 때문에, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다. 일부 실시예들에서, 실리콘 기판을 이용하는 것은, 비용-효율적인 산업 표준 CMOS 프로세스를 이용하는 것을 가능하게 할 수 있다. 그러나, 임의의 적합한 제조 프로세스가 이용될 수 있다. 일부 실시예들에서, p형 도핑 타입을 갖는 벌크 실리콘 기판이 이용될 수 있다. 그러나, n형 도핑 또는 p형 도핑을 포함하여 임의의 적합한 도핑 타입이 이용될 수 있다.

[0230] 도 15a에 도시된 바와 같이, 전하 국한 영역들(103)은 기판(1500)의 융기된 부분일 수 있다. 전하 국한 영역들(103)은 도 15a 및 도 15b에 도시된 패턴으로 기판(1500)의 영역들을 에칭 제거하고, 이로써 기판 위로 연장되는 융기된 전하 국한 영역들(103)을 남김으로써 형성될 수 있다. 그 후, 전하 국한 영역들(103)의 위에 및 측면에 절연 층이 형성될 수 있다. 예를 들어, 일부 실시예들에서, 열 성장에 의해 전하 국한 영역들(103) 상에

실리콘 산화물의 절연 층이 형성될 수 있다. 그러나, 임의의 적합한 기법이 절연 층을 형성하는 데 이용될 수 있으며, 절연 층은 임의의 적합한 절연 재료를 포함할 수 있다.

- [0231] 도 16에 도시된 바와 같이, 도 3b에 예시된 전극들은 패터닝된 폴리실리콘 층(1601)을 형성함으로써 절연 층 위에 형성될 수 있다. 전극들은 상이한 전극들이 상이한 전압들에 있는 것을 허용하도록 서로 이격될 수 있다. 전극들은 임의의 적합한 도전성 재료로 형성될 수 있다. 일부 실시예들에서, 전극들은 도핑된 폴리실리콘으로 형성될 수 있다. 그러나, 임의의 적합한 도전성 재료가 전극을 형성하는 데 이용될 수 있기 때문에(예를 들어, 금속), 본 명세서에 설명된 기법들은 폴리실리콘의 전극들을 형성하는 것으로 제한되지 않는다. 도전성 비아들(1701)이 패터닝된 폴리실리콘 층(1601) 위에 형성되어, 패터닝된 폴리실리콘 층(1601) 위에 놓인 절연 층(도시되지 않음)을 통해 폴리실리콘 층(1601)과 접촉할 수 있다. 도전성 비아들(1701)은 임의의 적합한 도전체로 형성될 수 있다.
- [0232] 일부 실시예들에서, 하나 이상의 전극(예를 들어, 폴리실리콘 층(1601))은 p- 및 n- 형 도펀트들 양쪽 모두를 갖는 스플릿-도핑된 전극들일 수 있다. 스플릿-도핑된 전극은, 도 17에 예시된 바와 같이, 캐리어를 포획하는 전위 우물을 형성하는 것을 가능하게 할 수 있다. 도 17은 p+ 영역 및 n+ 영역을 갖는 스플릿-도핑된 전극(2302)을 도시한다. n+ 영역 및 p+ 영역은 아래에 놓인 반도체에서 상이한 전위 레벨들을 생성한다. 도 17에 도시된 바와 같이, 스플릿-도핑된 전극(2302)의 n+ 영역은, 전하 캐리어들(예를 들어, 전자들)을 국한시킬 수 있는 전위 우물을 n+ 영역 아래에 생성할 수 있다. 도 17은 스플릿-도핑된 전극(2302)의 전압을 높게 유지하는 것은 전위 우물(2304) 내에 전하 캐리어들(예를 들어, 전자들)을 국한시킬 수 있는, 파선으로 도시된 전위 구배를 생성할 수 있다는 것을 예시한다. 스플릿-도핑된 전극(2302)의 전압을 낮추는 것은, 예를 들어, 스플릿-도핑된 전극(2302) 아래의 전기 전위를 상승시켜 전위 우물(2304)에 포획된 전하를 전하 저장 빈에 전달하는 것을 가능하게 할 수 있다.
- [0233] 도펀트들은 판독 회로(110)의 트랜지스터들을 형성하는 것을 가능하게 하도록 반도체 재료 내에 형성될 수 있다. 일부 실시예들에서, 전하 국한 영역(103)을 도핑하는 것은 전하 국한 영역들(103) 내에서 원치 않은 전위 우물을 형성할 수 있기 때문에, 판독 회로(110)의 트랜지스터들의 형성 동안 전하 국한 영역(103)의 도핑을 방지하기 위해 전하 국한 영역(103) 위에 마스크가 배치될 수 있다.
- [0234] 도 18은 비아들(1701)에 접속하기 위해 패터닝된 폴리실리콘 층(1601) 위에 금속 층(1801)(예를 들어, 금속 1)을 형성하는 것을 도시한다. 도 19는 폴리실리콘 층(1601) 및 전하 국한 영역들(103) 상에 오버레이된 금속 층(1801)을 도시한다.
- [0235] 도 20은 금속 층(1801)과 접촉하는 비아들(1901)의 형성을 도시한다. 도전성 비아들(1901)이 금속 층(1801) 위에 형성되어 금속 층(1801) 위에 놓인 절연 층(도시되지 않음)을 통해 금속 층(1801)과 접촉할 수 있다. 도 20은 또한 금속 층(1801) 및 비아들(1901) 위에 제2 금속 층(2001)(예를 들어, 금속 2)을 형성하는 것을 도시한다.
- [0236] 도 21은 금속 층(2001) 위에 놓인 절연 층(도시되지 않음)을 통해 금속 층(2001)과 접촉하는 금속 층(2001) 위의 비아(들)(2101)의 형성뿐만 아니라 제2 금속 층(2001)을 도시한다.
- [0237] 도 22는 비아(2101)와 접촉하는 금속 층(2001) 및 비아(들)(2101) 위의 제3 금속 층(2201)(예를 들어, 금속 3)의 형성을 도시한다.
- [0238] 여기에 설명된 기법들은 임의의 특정한 제조 프로세스로 제한되지 않기 때문에, 전술한 프로세스는 예시로서 설명되는 것이다. 또한, 본 명세서에 설명된 기법들은 도시된 특정한 레이아웃에 관해 제한되지 않는다.
- [0239] 전하 캐리어 분리 구조물을 위한 구동 회로
- [0240] 기관 위에 놓이는 전하 캐리어 분리 구조물의 전극들은 상당한 기생 커패시턴스를 가질 수 있다. 전극들 상의 전압들을 변경하는 것은 기생 커패시턴스를 충전 또는 방전하는 것을 필요로 한다. 기생 커패시턴스를 충전 또는 방전하기 위해 전류가 제공될 수 있는 속도는 전극의 전압이 변경될 수 있는 속도를 제한한다. 위에 논의된 바와 같이, 일부 실시예들에서, 전하 캐리어들이 포획되고 나노초 또는 피코초 해상도로 시간 빈들에 전달될 수 있다. 본 발명자들은, 전극들 b0 내지 bm-1의 전압이 더 신속하게 변한다면 전하 캐리어들이 포획될 수 있는 타이밍이 더 높은 정밀도를 가질 수 있고, 이로써 시간의 정확한 순간에 전위 장벽들을 상승시킬 수 있다는 것을 인지하고 인식하였다. 그러나, 전극들 b0 내지 bm-1 상의 전압의 변화율은, 전압 공급과 전극들 b0 내지 bm-1 사이의 접속의 기생 인덕턴스 및 등가 직렬 저항(ESR)으로 인해 제한된다.

- [0241] 또한, 전극들의 기생 커패시턴스들을 충전 및 방전하는 것은 상당한 전력을 소비할 수 있다. 전극을 충전 및 방전시킴으로써 소산되는 전력은, $P_{diss} = (1/2) \cdot f \cdot C \cdot V^2$ 이며, 여기서, C는 전극과 기판 사이의 커패시턴스이고, V는 전극과 기판 사이의 전압 차이이고, f는 전압이 스위칭되는 주파수이다.
- [0242] 도 23은 일부 실시예들에 따른 전하 캐리어 분리 구조물의 전극(2301)을 구동하기 위한 구동 회로(2300)의 예를 도시한다. 전극(2301)은 도 23에서 커패시터로서 예시되어 있다. 위에 논의된 바와 같이, 전극(2301)은 선택된 시간들에서 비교적 저전압 V_{low} 및 비교적 고전압 V_{high} 로 구동될 수 있다. 구동 회로(2300)는, 고전압 V_{high} 를 생성하는 VdacH 발생기(2302) 및 저전압 V_{low} 를 생성하는 VdacL 발생기(2304)를 포함한다. 일부 실시예들에서, V_{low} 와 V_{high} 사이의 차이는, 전극이 설계된 방식으로 전하 캐리어들에 영향을 미치고, 이로써 전력 소산을 감소시키거나 최소화시키도록 가능한 한 작게 될 수 있다. 일부 실시예들에서, VdacH 발생기(2302) 및/또는 VdacL 발생기(2304)는, 원하는 전압들 V_{low} 및/또는 V_{high} 를 생성할 수 있고, V_{low} 및/또는 V_{high} 의 변경을 허용할 수 있는 프로그램가능한 전압 발생기들일 수 있다.
- [0243] 구동 회로(2300)는 또한, 전극(2301)의 타이밍 전압 천이를 위한 타이밍 신호를 생성할 수 있는 Bclk 발생기(2306)를 포함한다. Bclk 발생기(2306)는 프로그램가능할 수 있으며, 입력 디지털 워드에 기초하여 타이밍 신호의 에지들이 발생하는 시간들을 디지털 방식으로 선택하는 것을 허용할 수 있다. 일부 실시예들에서, Bclk 발생기(2306)는, 위에 논의된 바와 같이, 지연 고정 루프(DLL)를 이용하여 구현될 수 있다. Bclk 발생기(2306)로부터의 타이밍 신호는, 전극(2301)을 구동하는 Bclk 구동기(2312)의 입력에 제공된다.
- [0244] 구동 회로(2300)는 또한 VdacH 증폭기(2308) 및 VdacL 증폭기(2310)를 포함한다. VdacH 증폭기(2308)는 VdacH 발생기로부터 신호를 수신하고 피드백을 이용하여 트랜지스터(2314)를 제어하여 전압 VdacH를 Bclk 구동기(2312)의 고전원 단자에 제공한다. VdacH 증폭기(2308)는 또한 커패시터(1312A)를 전압 VdacH로 충전한다. VdacL 증폭기(2310)는 VdacL 발생기로부터 신호를 수신하고 피드백을 이용하여 트랜지스터(2316)를 제어하여 전압 VdacL을 Bclk 구동기(2312)의 저전원 단자에 제공한다. VdacL 증폭기(2310)는 또한 커패시터(1312B)를 전압 VdacL로 충전한다.
- [0245] 위에 논의된 바와 같이, 전극(2301)은 상당한 커패시턴스를 가질 수 있다. 전극(2301)을 고속으로 충전하기에 충분한 전류를 공급하기 위해, 천이 동안에 Bclk 구동기(2312)의 저전원 단자 또는 Bclk 구동기(2312)의 고전원 단자에 전류를 공급하는 디커플링 커패시터들(1312A 및 1312B)이 제공될 수 있다.
- [0246] 디커플링 커패시터(들)는 전극과 디커플링 커패시터 사이의 기생 인덕턴스 및 등가 직렬 저항(ESR)을 제한하기 위해 전극에 근접하여 위치될 수 있다. 전극의 전압이 새로운 전압으로 변경될 때, 전극은, 전극의 전압을 신속하게 변화시킬 수 있도록, 낮은 기생 인덕턴스 및/또는 등가 직렬 저항(ESR)을 갖는 전류 경로를 통해 전극에 전류를 공급하기 위해 새로운 전압에서 디커플링 커패시터에 접속된다. 일부 실시예들에서, 디커플링 커패시터는, 디커플링 커패시터와 전극 사이의 기생 인덕턴스가 3nH 미만, 2nH 미만 또는 1nH 미만이 되도록, 전극에 충분히 근접하여 위치될 수 있다. 일부 실시예들에서, 디커플링 커패시터와 전극 사이의 전류 경로의 등가 직렬 저항(ESR)은, 70 옴 미만, 35 옴 미만 또는 5 옴 미만이다. 그러나, 본 명세서에 설명된 기법들은 인덕턴스 또는 저항의 특정한 값들로 제한되지 않으므로, 이들 값들은 단지 예로서 제공된 것이다.
- [0247] 일부 실시예들에서, 전극들 b0 내지 bm-1은 하나 이상의 디커플링 커패시터에 접속가능할 수 있다. 일부 실시예들에서, 각각의 전극 b0 내지 bm-1은 그 자체의 디커플링 커패시터(들)를 가질 수도 있다. 예를 들어, 일부 실시예들에서, 전극은 전극의 고전압 공급과 저전압 공급 사이에 결합된 단일의 디커플링 커패시터, 또는 고전압 공급 및 저전압 공급에 각각 결합된 2개의 디커플링 커패시터를 가질 수 있다. 그러나, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다. 전하 캐리어 분리 구조물의 임의의 또는 모든 전극이 디커플링 커패시터들에 접속될 수 있다.
- [0248] 디커플링 커패시터들은 임의의 적합한 커패시턴스 값을 가질 수 있다. 일부 실시예들에서, 디커플링 커패시터의 커패시턴스 값은, 접속되는 전극의 커패시턴스의 10 내지 100 배이다. 일부 실시예들에서, 디커플링 커패시터의 커패시턴스는 적어도 150pF, 적어도 300pF, 또는 적어도 3nF 또는 그보다 높을 수 있다. 그러나, 본 명세서에 설명된 기법들은 특정한 커패시턴스의 값들로 제한되지 않으므로, 이들 값들은 단지 예로서 제공된 것이다.
- [0249] 디커플링 커패시터는 온칩 또는 오프칩일 수 있다. 도 24는 칩(1300)이 인쇄 회로 기판(1310)에 부착되는 실시예를 도시하는데, 이는 "칩-온-보드" 또는 "다이-온-보드" 구현이라고 불릴 수 있다. 와이어 본드(wire bond)

들이 칩(1300)을 인쇄 회로 기판(1310) 상의 하나 이상의 디커플링 커패시터(1312)에 접속하고, 이로써 칩(1300)의 전극과 디커플링 커패시터(1312) 사이에 낮은 기생 인덕턴스 및/또는 등가 직렬 저항(ESR)을 갖는 전류 경로를 제공할 수 있다. 일부 실시예들에서, 오프칩 디커플링 커패시터들이 칩(1300)의 1cm 이내 또는 5mm 이내 또는 그 미만 내에 위치될 수 있다. 그러나, 본 명세서에 설명된 기법들은 이 점에서 제한되지 않는다. 위에 논의된 바와 같이, 디커플링 커패시터(들)가 칩(1300) 상에 형성될 수 있다.

[0250] 위에 논의된 바와 같이, 전하 캐리어 분리 구조물의 전극들을 충전 및 방전하는 것은 상당한 전력을 소산할 수 있다. 일부 실시예들에서, 칩(1300)의 픽셀들의 하나 이상의 행과 그 대응하는 전극들은 디스에이블될 수 있으며, 이는 칩(1300)의 전력 소비를 제한할 수 있다. 칩(1300)은 이 점에서 프로그램가능할 수 있으며, 어떤 행이 인에이블 또는 디스에이블될지를 선택하는 것을 허용할 수 있다. 인에이블 또는 디스에이블되는 행들은 시간 경과에 따라 변경될 수 있다.

[0251] 도 25는 칩의 중앙 영역 내의 32개의 행을 인에이블하고 칩의 에지들에 있는 48개의 행을 디스에이블하는 것을 예시한다. 칩의 하나 이상의 행을 디스에이블하는 것은 칩의 모든 행이 필요하지는 않은 상황들 또는 응용들에서 전력 소비를 감소시키는 것을 허용할 수 있다.

[0252] 부가의 양태들

[0253] 일부 실시예들에서, 본 명세서에 설명된 기법들은 하나 이상의 컴퓨팅 디바이스를 이용하여 실행될 수 있다. 실시예들은 임의의 특정한 타입의 컴퓨팅 디바이스와 함께 동작하는 것으로 제한되지 않는다.

[0254] 도 26은 픽셀 어레이를 제어하거나 픽셀들로부터의 데이터의 분석을 수행하기 위한 제어 회로를 구현하는 데 이용될 수 있는 예시적인 컴퓨팅 디바이스(1000)의 블록 다이어그램이다. 컴퓨팅 디바이스(1000)는 하나 이상의 프로세서(1001) 및 하나 이상의 유형(tangible)의 비일시적인 컴퓨터 판독가능한 저장 매체(예를 들어, 메모리(1003))를 포함할 수 있다. 메모리(1003)는 실행될 때 위에 설명된 기능 중 임의의 것을 구현하는 컴퓨터 프로그램 명령어를 유형의 비일시적인 컴퓨터 기록가능 매체에 저장할 수 있다. 프로세서(들)(1001)은 메모리(1003)에 결합될 수 있고, 이러한 컴퓨터 프로그램 명령어를 실행하여 그 기능이 실현되고 수행되게 할 수 있다.

[0255] 컴퓨팅 디바이스(1000)는 또한, 컴퓨팅 디바이스가(예를 들어, 네트워크를 통해) 다른 컴퓨팅 디바이스들과 통신할 수 있는 네트워크 입력/출력(I/O) 인터페이스(1005)를 포함할 수 있으며, 또한 컴퓨팅 디바이스가 사용자에게 출력을 제공하고 사용자로부터 입력을 수신할 수 있는 하나 이상의 사용자 I/O 인터페이스(1007)를 포함할 수 있다. 사용자 I/O 인터페이스들은 키보드, 마우스, 마이크론, 디스플레이 디바이스(예를 들어, 모니터 또는 터치 스크린), 스피커, 카메라, 및/또는 다양한 다른 타입의 I/O 디바이스와 같은 디바이스들을 포함할 수 있다.

[0256] 위에 설명된 실시예들은 임의의 다수의 방식으로 구현될 수 있다. 예를 들어, 실시예들은 하드웨어, 소프트웨어 또는 이들의 조합을 이용하여 구현될 수 있다. 소프트웨어로 구현될 때, 소프트웨어 코드는, 단일의 컴퓨팅 디바이스에 제공되든 또는 다수의 컴퓨팅 디바이스 사이에 분산되든, 임의의 적합한 프로세서(예를 들어, 마이크로프로세서) 또는 프로세서들의 집합 상에서 실행될 수 있다. 위에 설명된 기능들을 수행하는 임의의 컴포넌트 또는 컴포넌트들의 집합은 위에 논의된 기능들을 제어하는 하나 이상의 컨트롤러로서 총칭적으로 간주될 수 있다는 것을 인식해야 한다. 하나 이상의 컨트롤러는 다수의 방식으로, 예컨대 전용 하드웨어에 의해, 또는 위에 기재된 기능들을 수행하는 마이크로코드 또는 소프트웨어를 이용하여 프로그램된 범용 하드웨어(예를 들어, 하나 이상의 프로세서)에 의해 구현될 수 있다.

[0257] 이 점에서, 본 명세서에 설명된 실시예의 한 구현은, 하나 이상의 프로세서 상에서 실행될 때, 하나 이상의 실시예의 위에 논의된 기능들을 수행하는 컴퓨터 프로그램(즉, 복수의 실행가능한 명령어)으로 인코딩된 적어도 하나의 컴퓨터 판독가능한 저장 매체(예를 들어, RAM, ROM, EEPROM, 플래시 메모리 또는 다른 메모리 기술, CD-ROM, 디지털 다용도 디스크(DVD), 또는 다른 광 디스크 저장소, 자기 카세트, 자기 테이프, 자기 디스크 저장소 또는 다른 자기 저장 디바이스, 또는 다른 유형의 비일시적인 컴퓨터 판독가능한 저장 매체)를 포함한다는 것을 인식해야 한다. 컴퓨터 판독가능한 매체는, 그 위에 저장된 프로그램이 임의의 컴퓨팅 디바이스 상에 로딩되어 본 명세서에서 논의된 기법들의 양태들을 구현할 수 있도록 이동가능할(transportable) 수 있다. 또한, 실행될 때 위에 논의된 기능들 중 임의의 것을 수행하는 컴퓨터 프로그램에 대한 언급은 호스트 컴퓨터에서 실행되는 애플리케이션 프로그램으로 제한되지 않는다는 점을 인식해야 한다. 오히려, 컴퓨터 프로그램 및 소프트웨어라는 용어들은, 본 명세서에서 논의된 기법들의 양태들을 구현하기 위해 하나 이상의 프로세서를 프로그램하기 위

해 채용될 수 있는 임의의 타입의 컴퓨터 코드(예를 들어, 애플리케이션 소프트웨어, 펌웨어, 마이크로코드, 또는 임의의 다른 형태의 컴퓨터 명령어)를 언급하기 위해 본 명세서에서 일반적 의미로 사용된다.

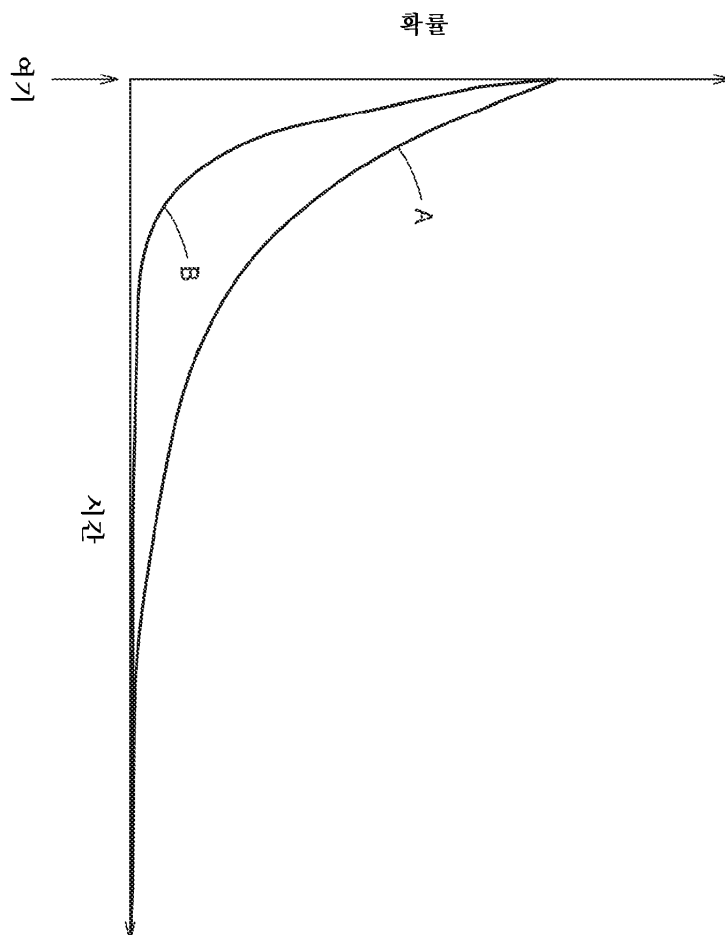
[0258] 본 발명의 다양한 양태들이 단독으로, 조합하여, 또는 전술한 것에서 설명된 실시예들에서 구체적으로 논의되지 않은 다양한 구성으로 사용될 수 있으며, 따라서 그의 응용이 전술한 설명에 설명되고 도면들에 예시된 컴포넌트들의 상세사항 및 구성으로 제한되지 않는다. 예를 들어, 한 실시예에서 설명된 양태들은 다른 실시예들에서 설명된 양태들과 임의의 방식으로 조합될 수 있다.

[0259] 특허청구범위에서 청구항 구성요소를 수식하기 위해 "제1", "제2", "제3" 등과 같은 서수 용어들을 사용하는 것은 그 자체로한 청구항 구성요소의 다른 구성요소에 대한 임의의 우선순위, 선호도, 또는 순서, 또는 방법의 동작들이 수행되는 시간적 순서를 의미하지 않으며, 단지 특정 이름을 갖는 한 청구항 구성요소를 동일한 이름을 갖는(서수 용어가 없다면) 다른 구성요소와 구별하여 청구항 구성요소들을 구별하기 위한 라벨로서 사용된다.

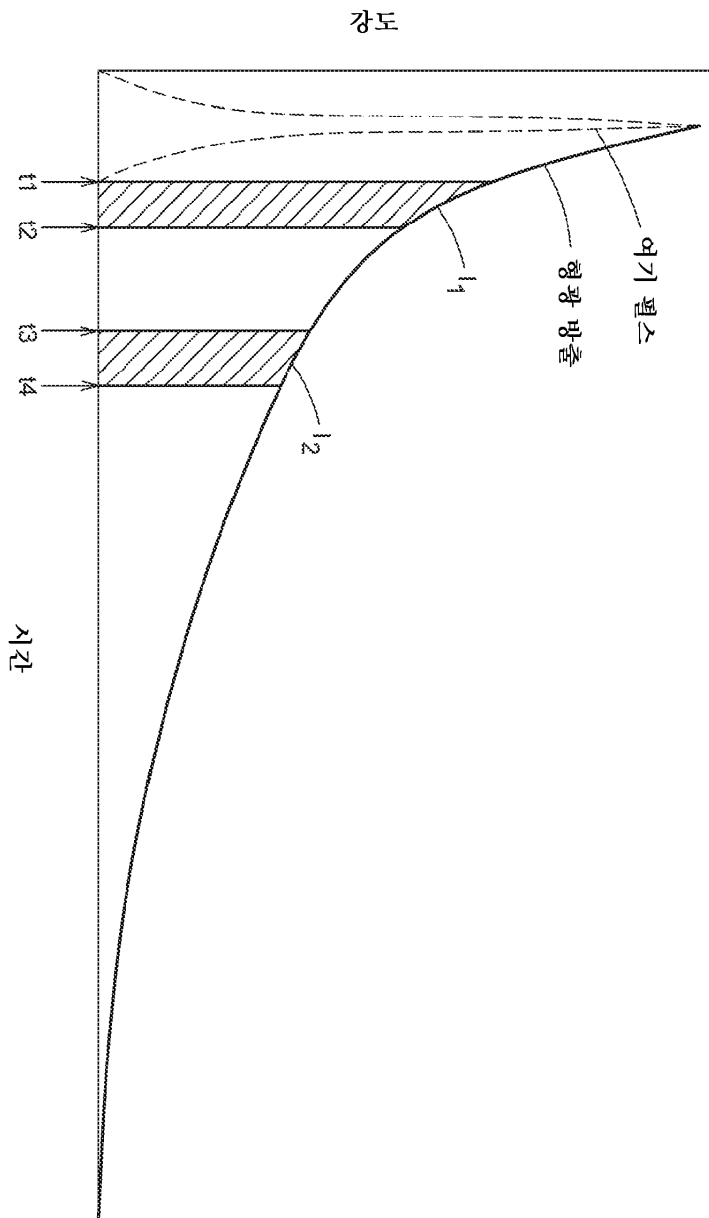
[0260] 또한, 본 명세서에 사용된 어구 및 용어는 설명을 위한 것이고, 제한하는 것으로서 간주되어서는 안 된다. 본 명세서에서 "포함하는", "구비하는", 또는 "갖는", "내포하는", "수반하는" 및 이들의 변형을 사용하는 것은 그 이후에 열거되는 항목들 및 그의 등가물들은 물론 부가의 항목들을 포괄하기 위한 것이다.

도면

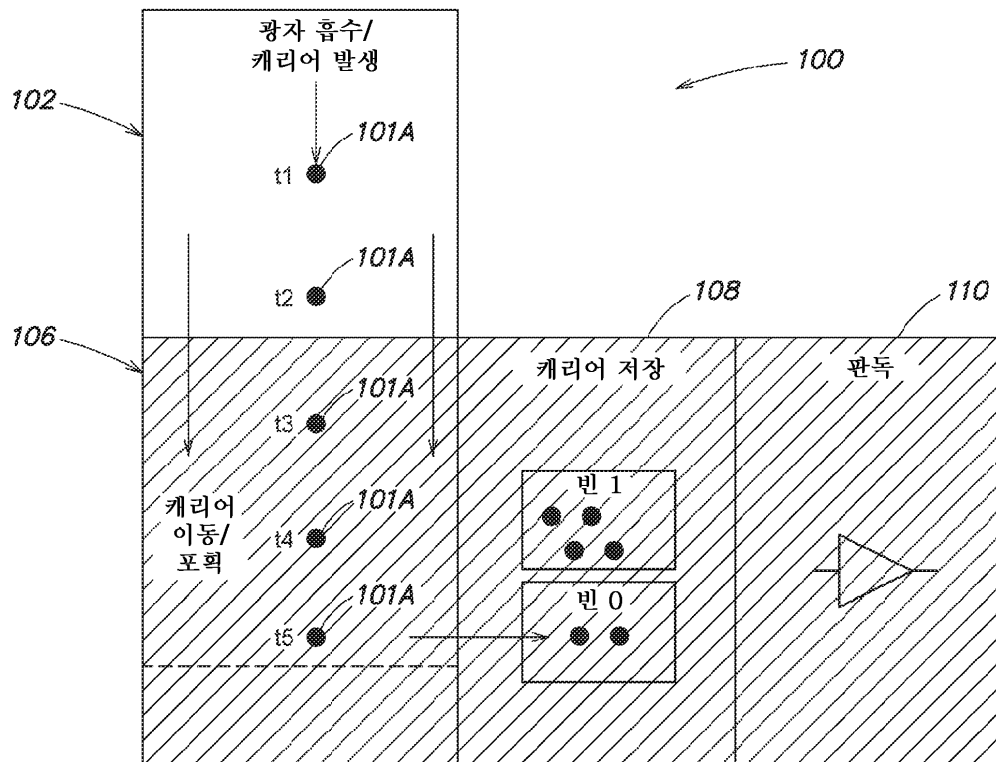
도면1a



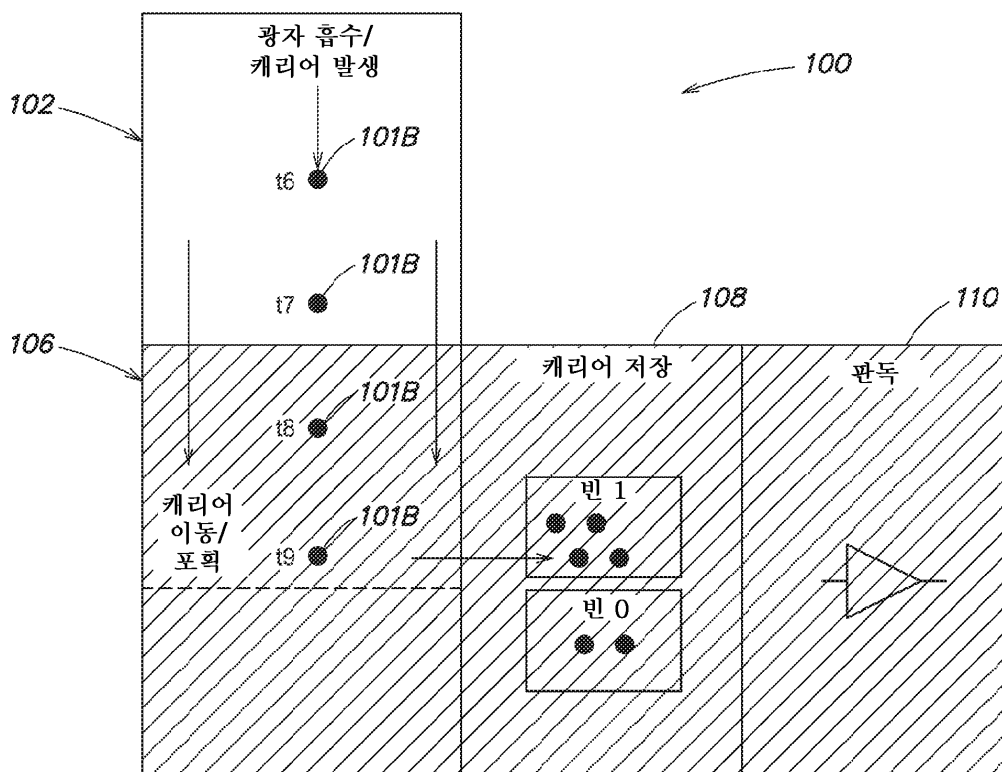
도면1b



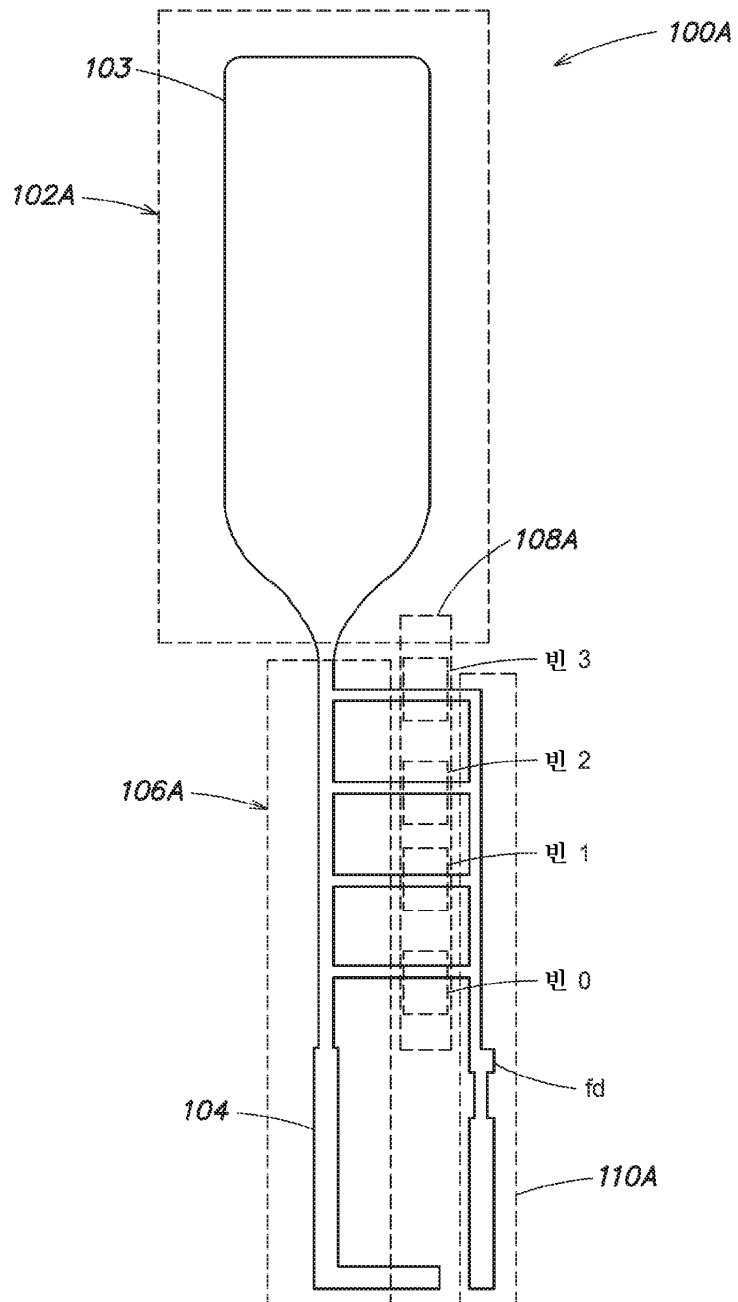
도면2a



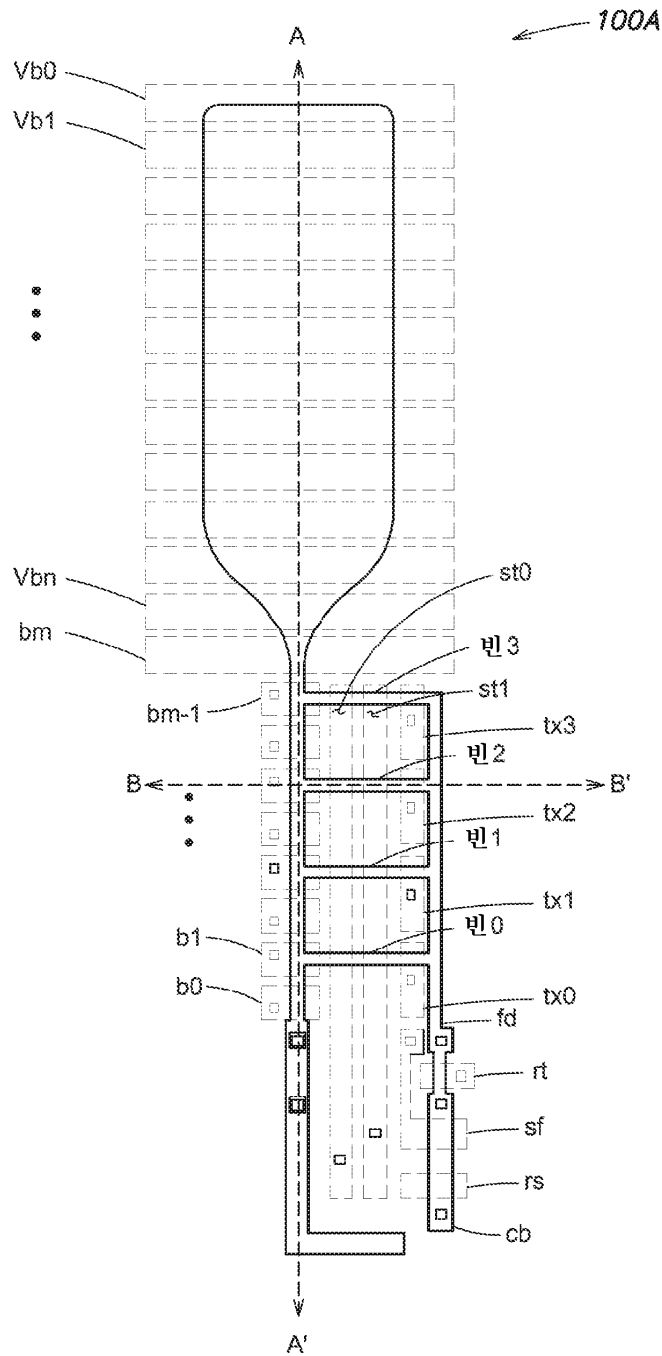
도면2b



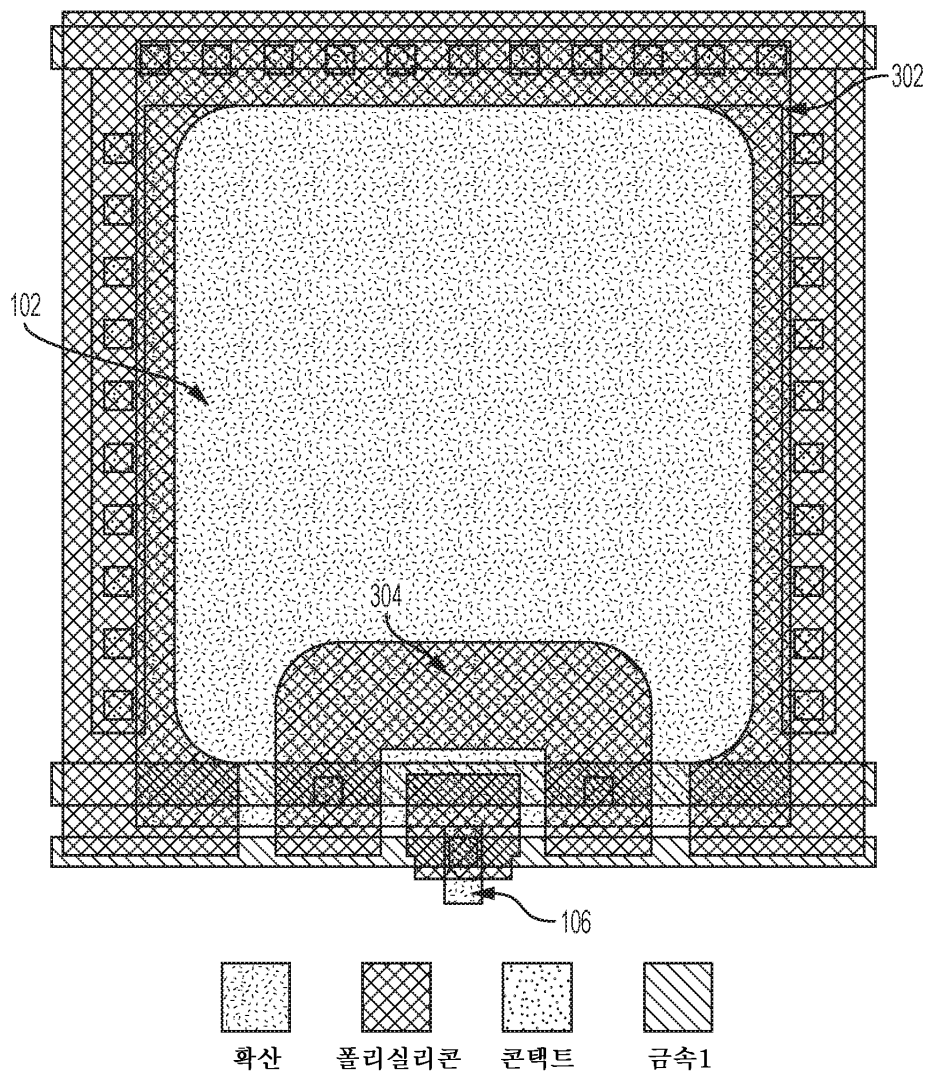
도면3a



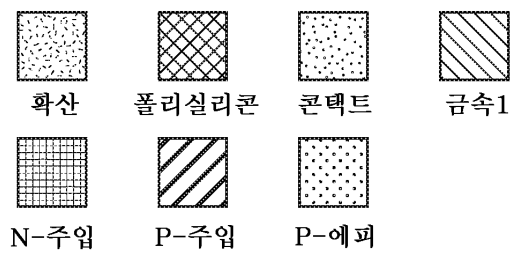
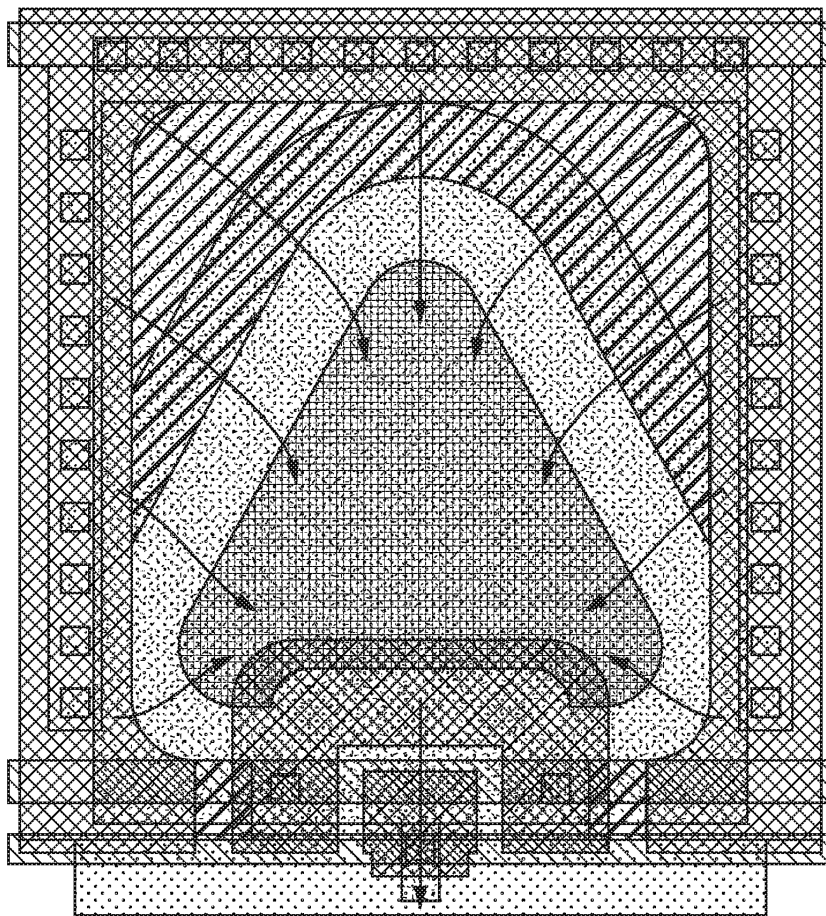
도면3b



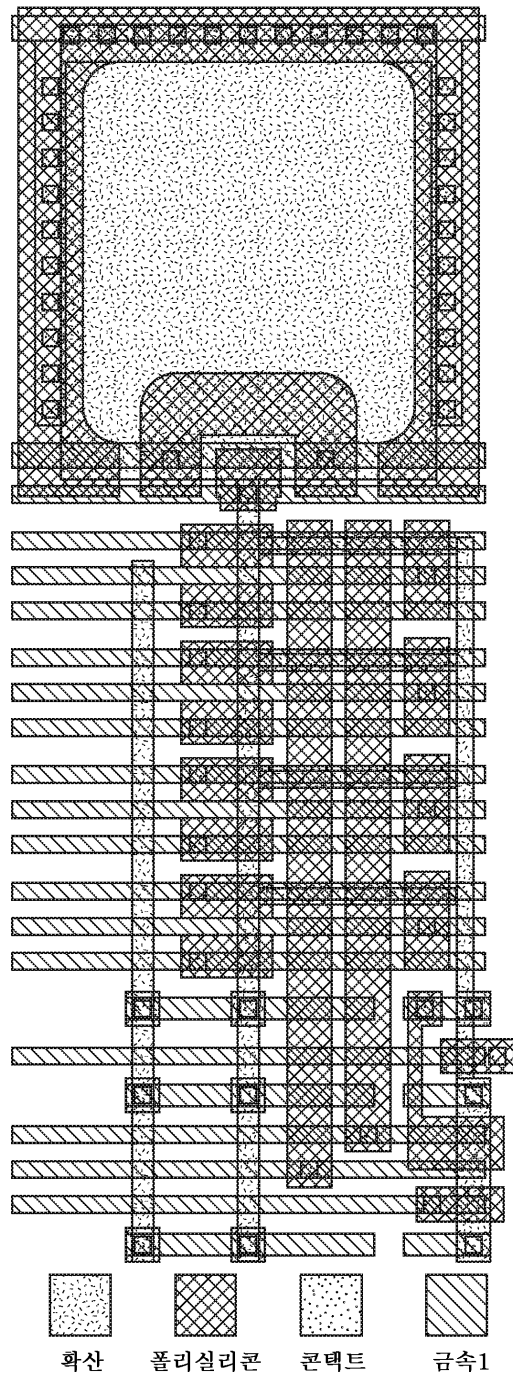
도면3c



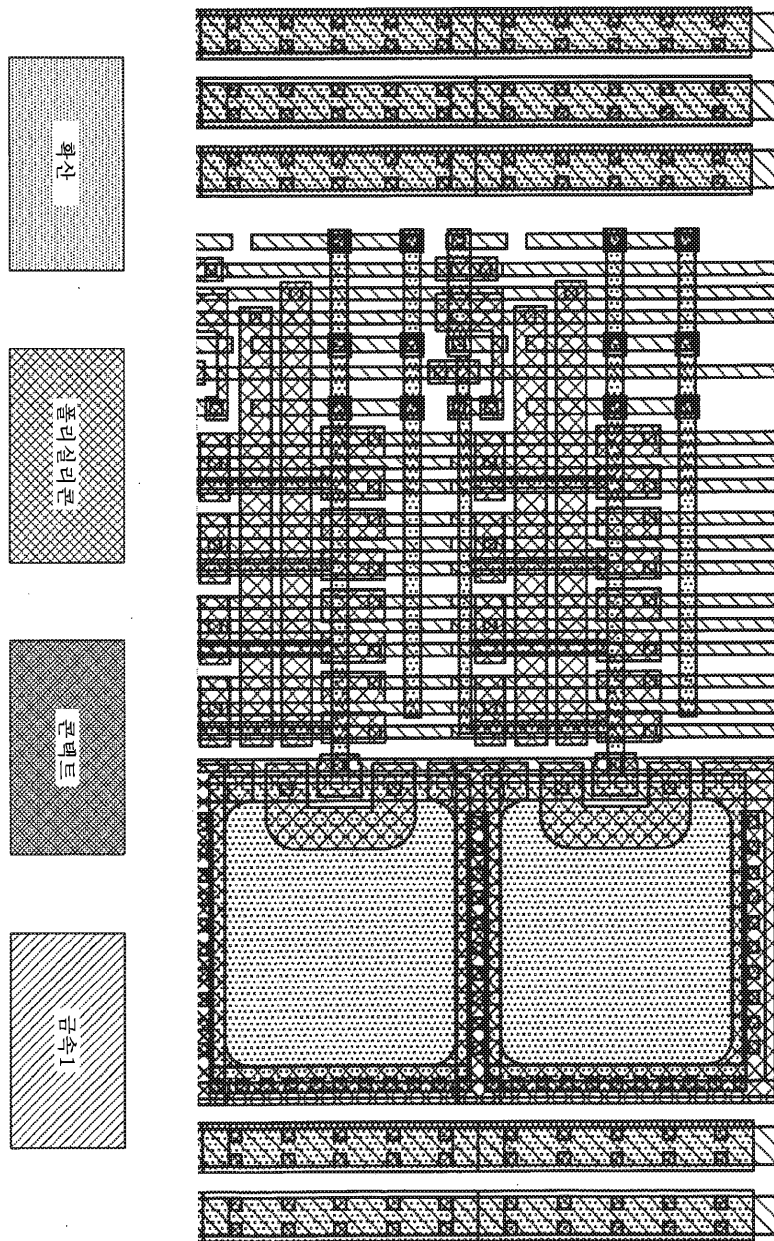
도면3d



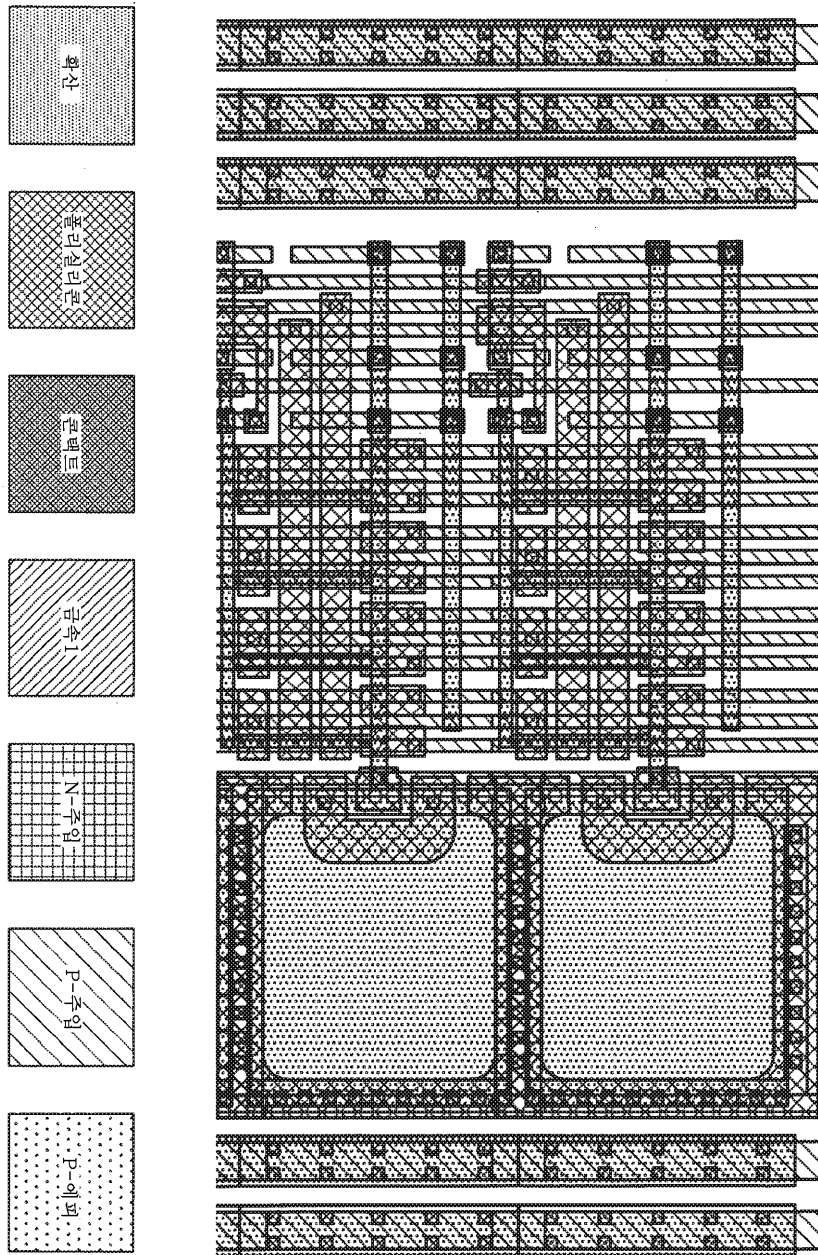
도면3e



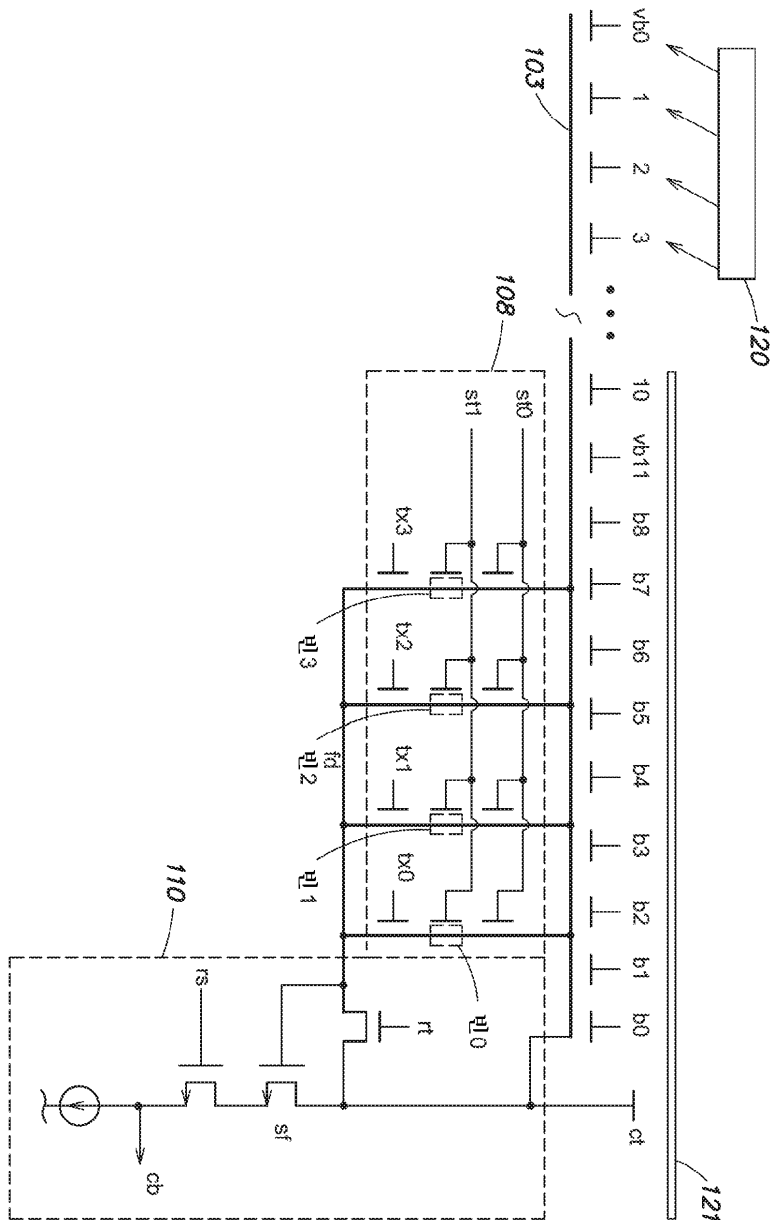
도면3f



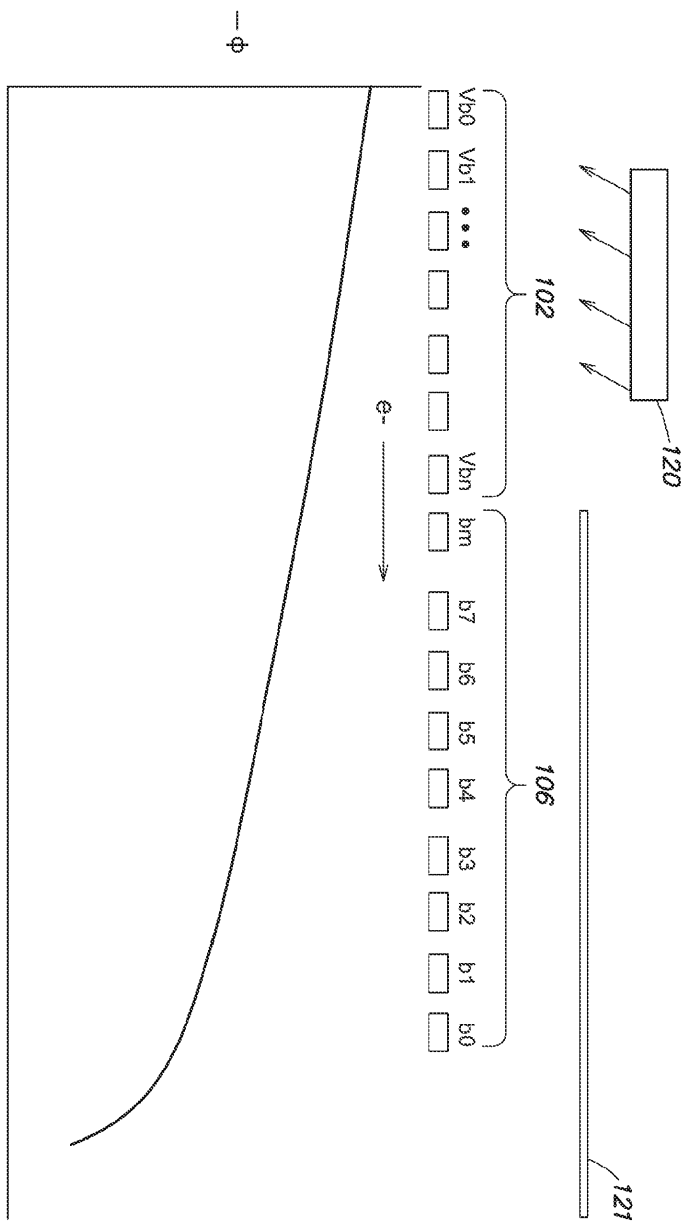
도면3g



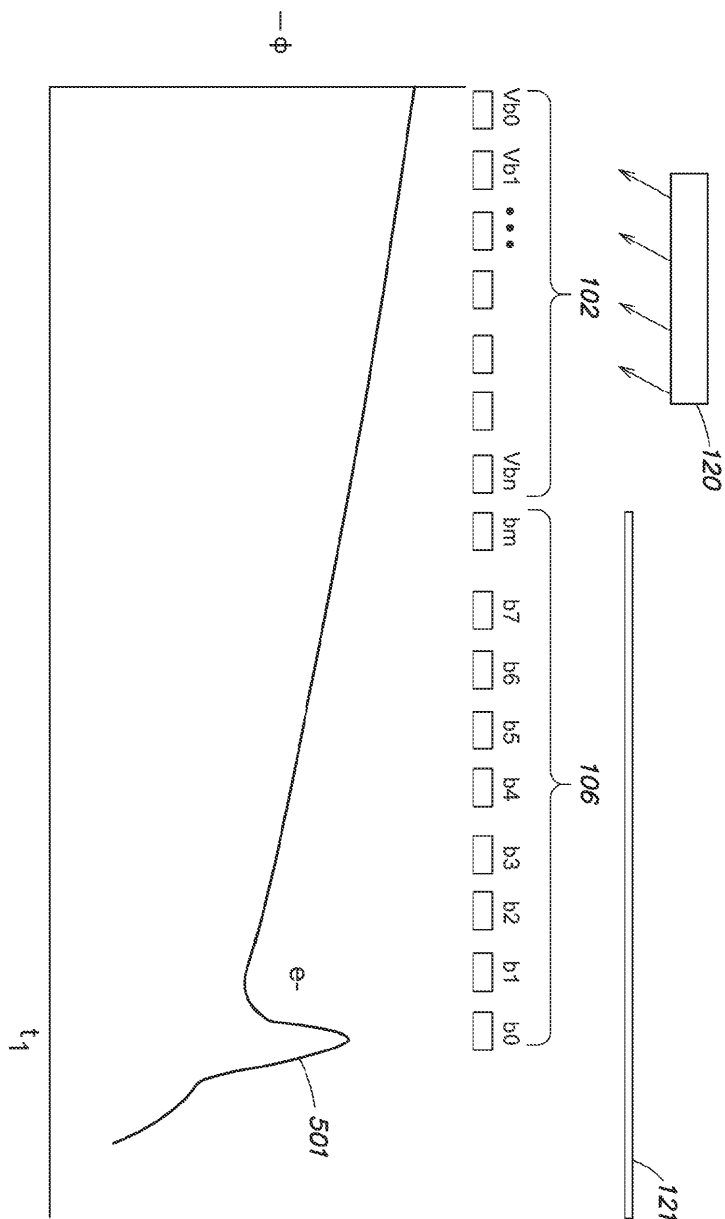
도면4



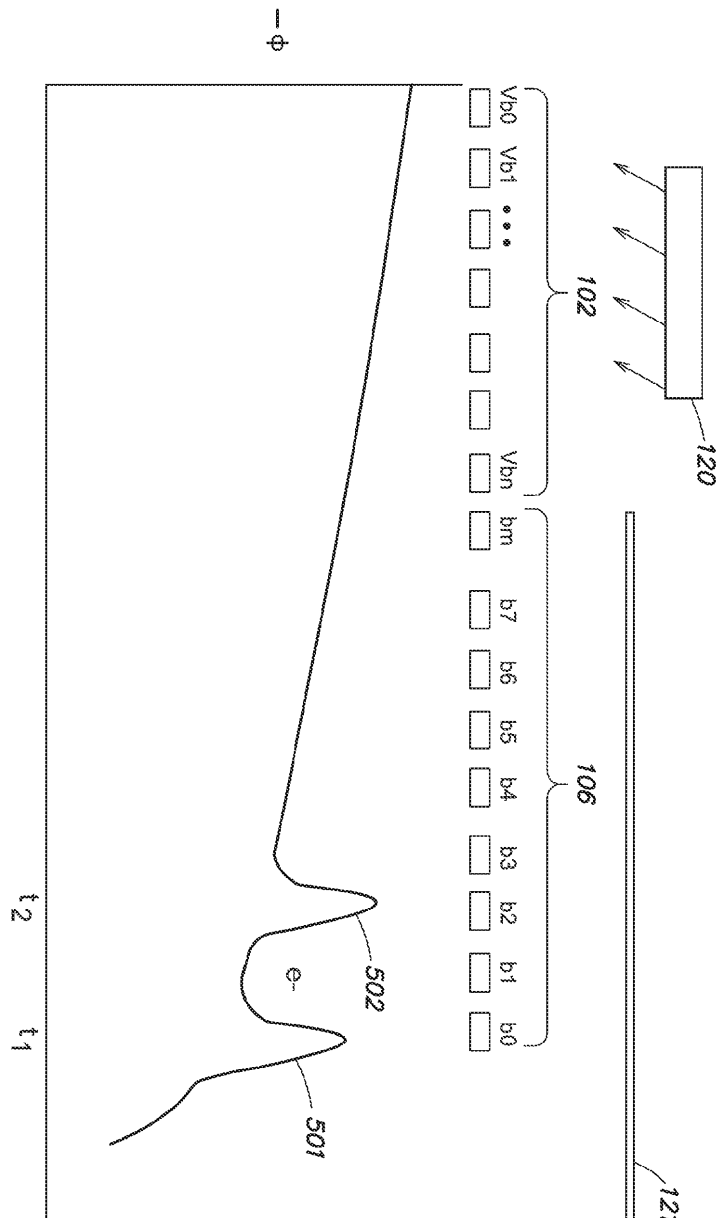
도면5a



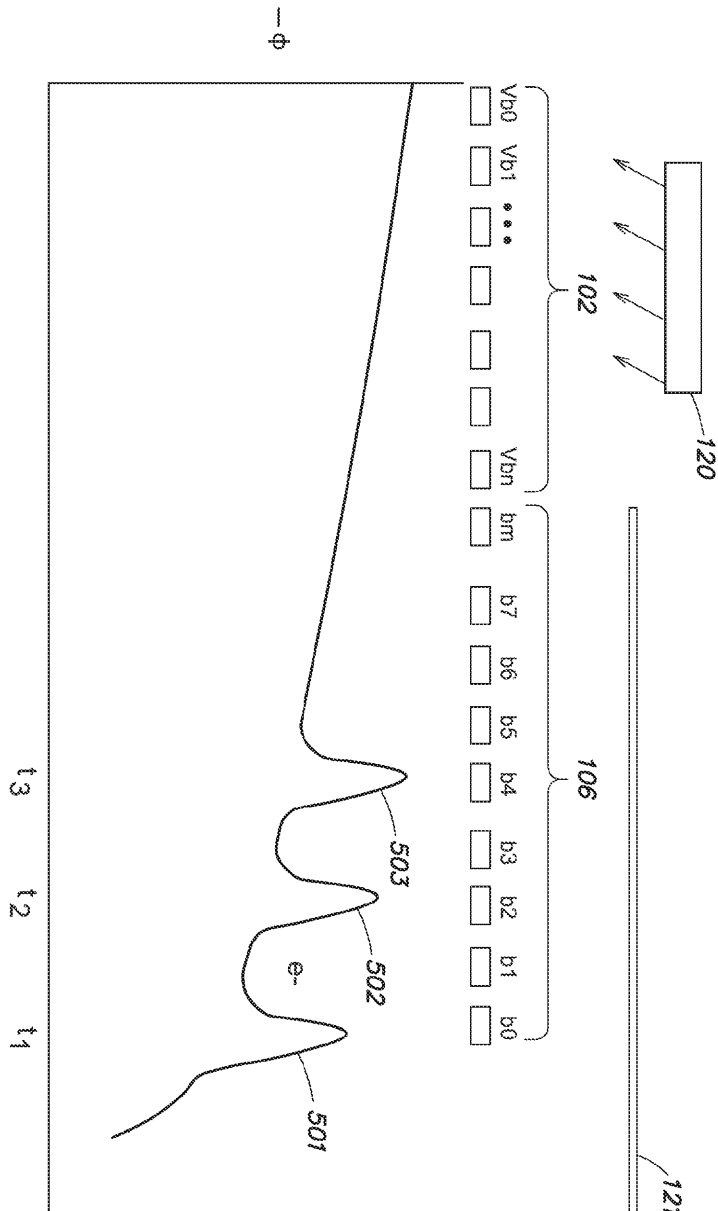
도면5b



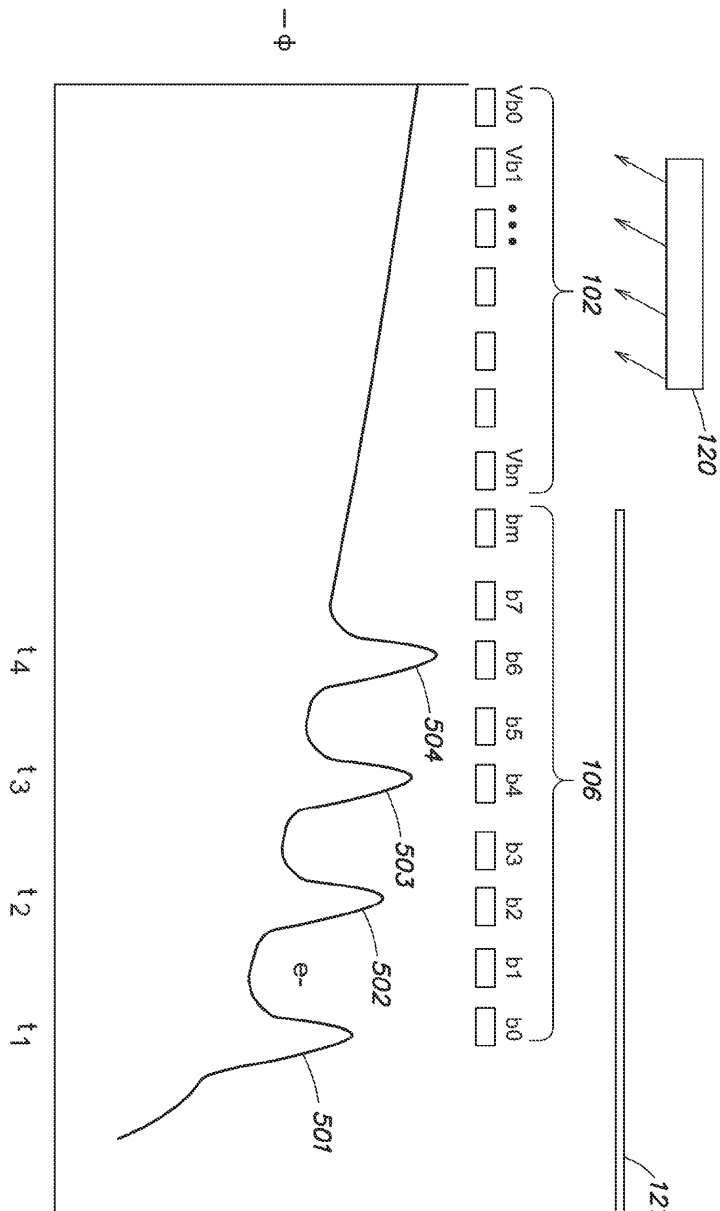
도면5c



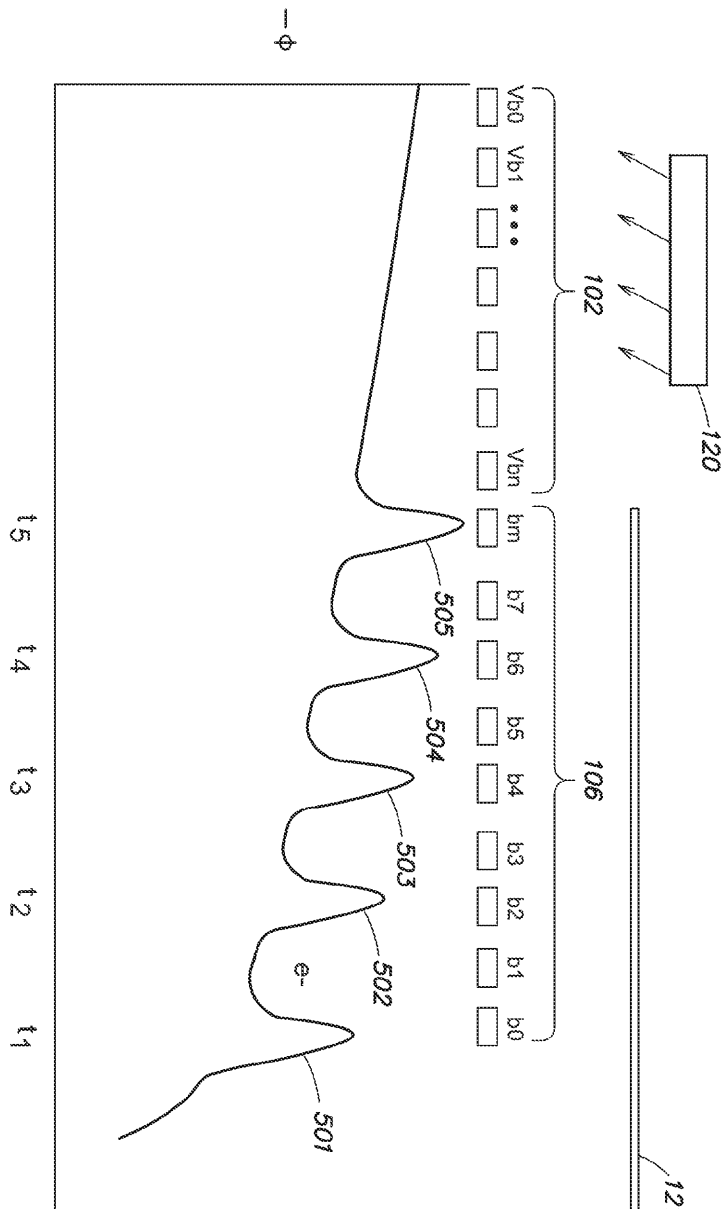
도면5d



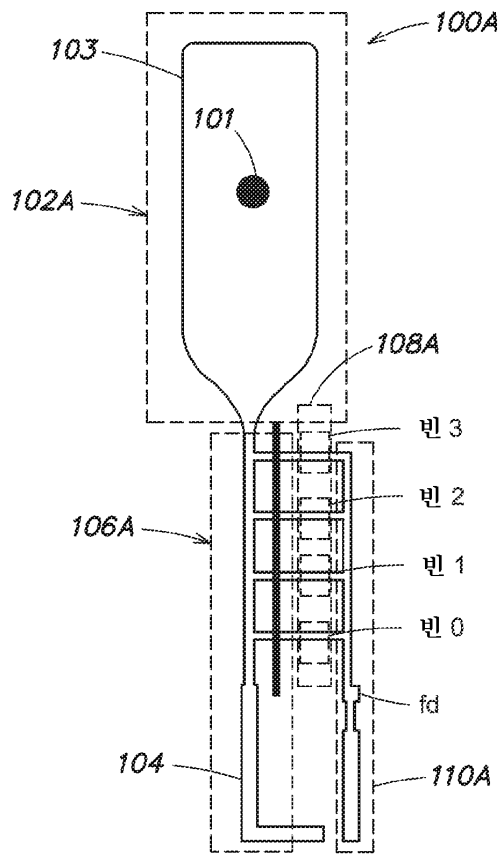
도면5e



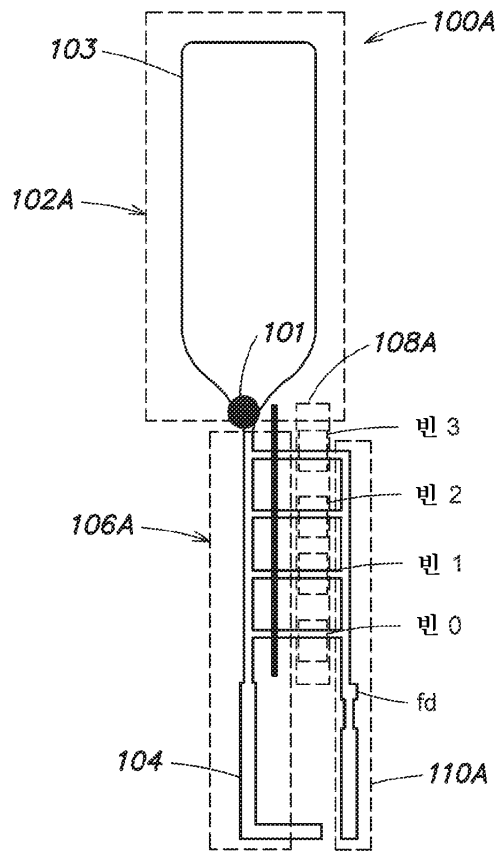
도면5f



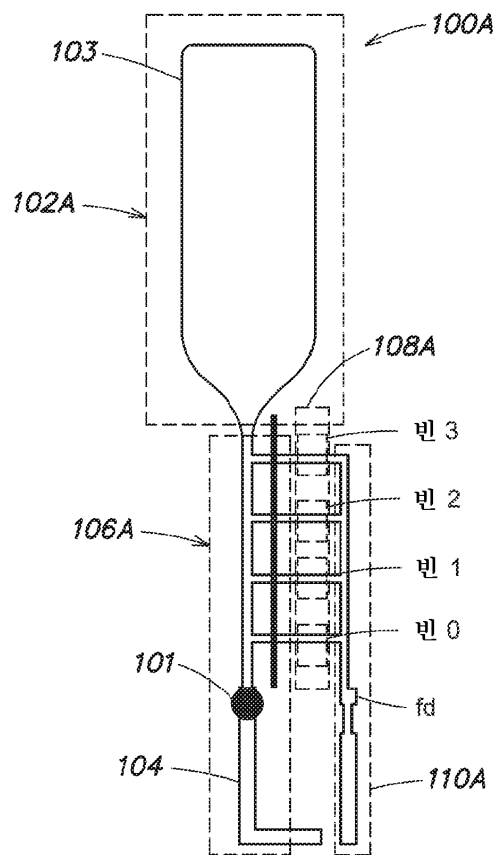
도면6a



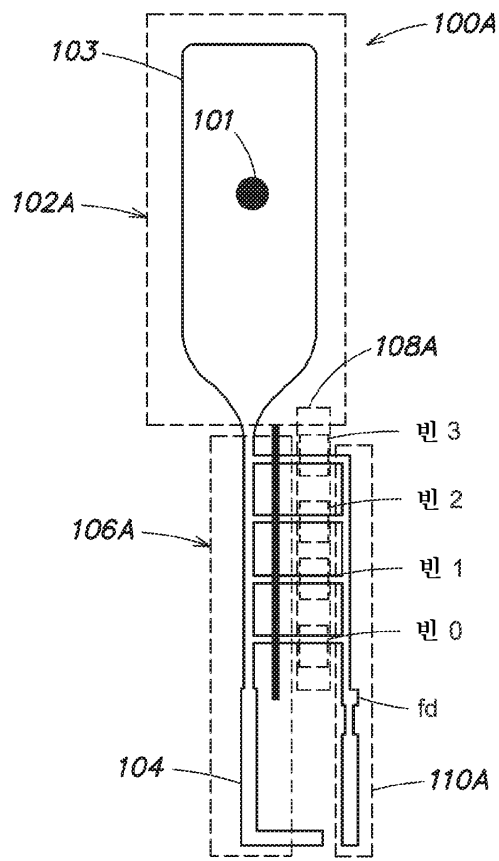
도면6b



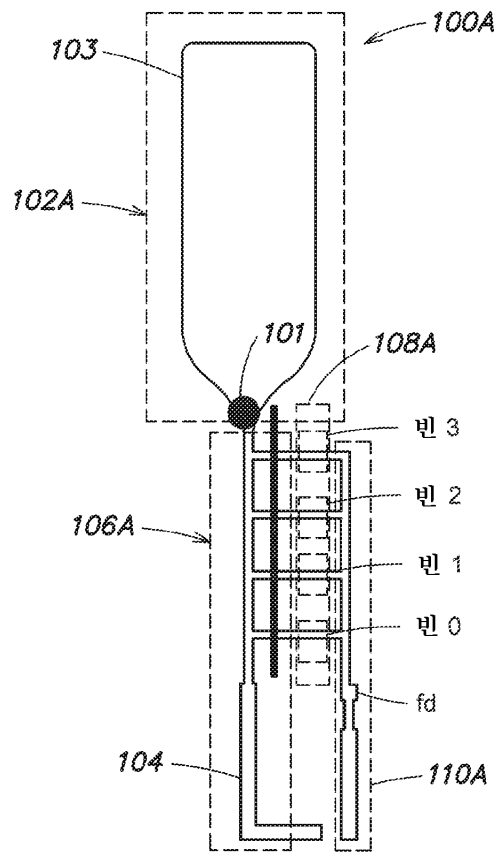
도면6c



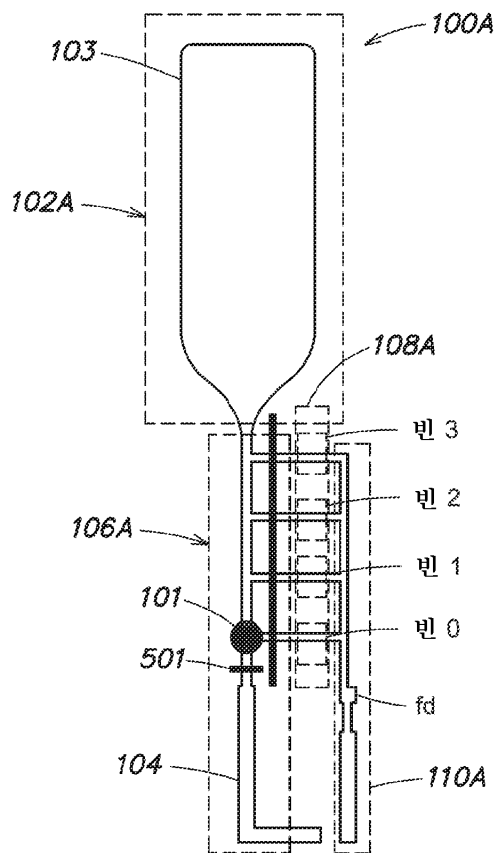
도면6d



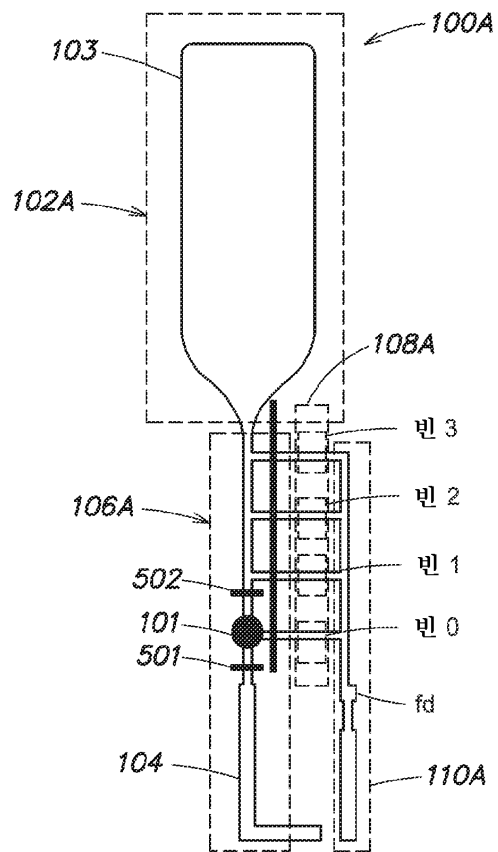
도면6e



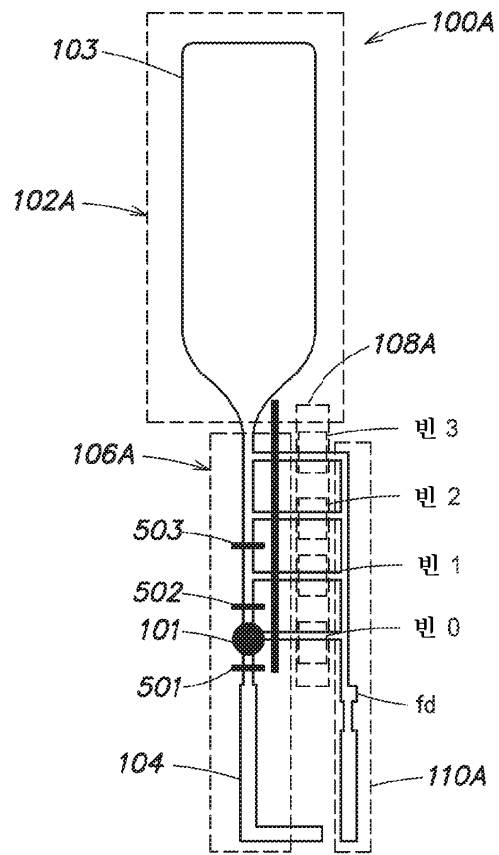
도면6f



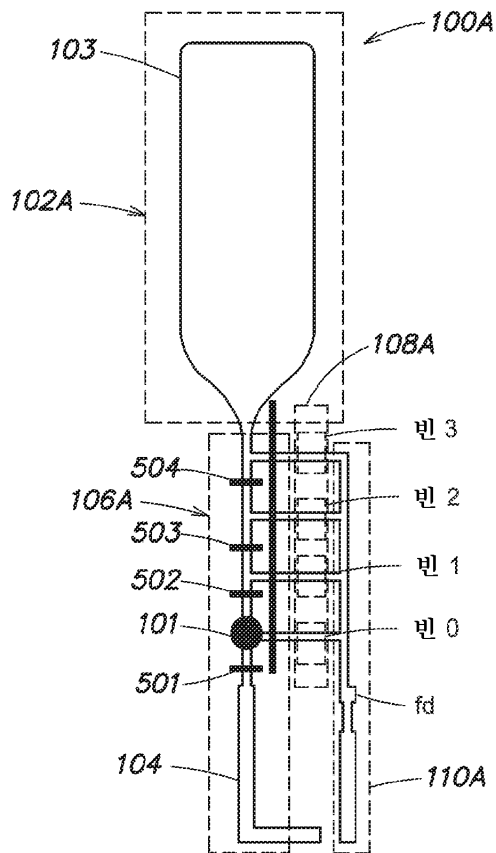
도면6g



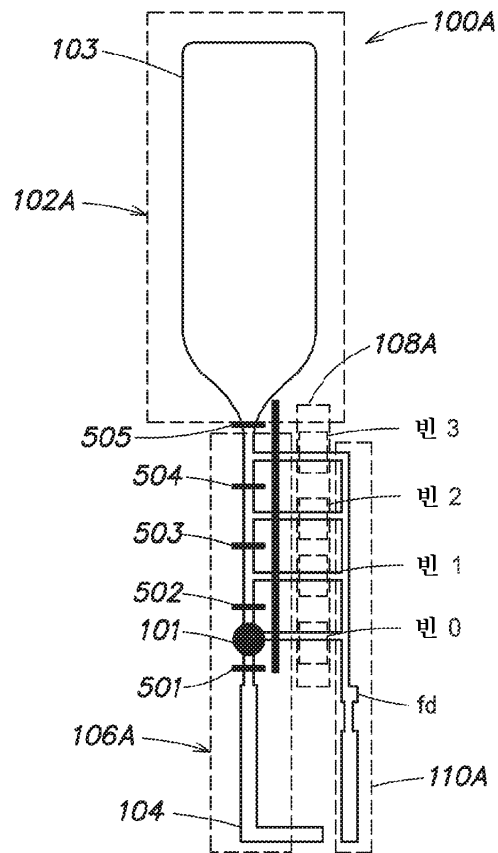
도면6h



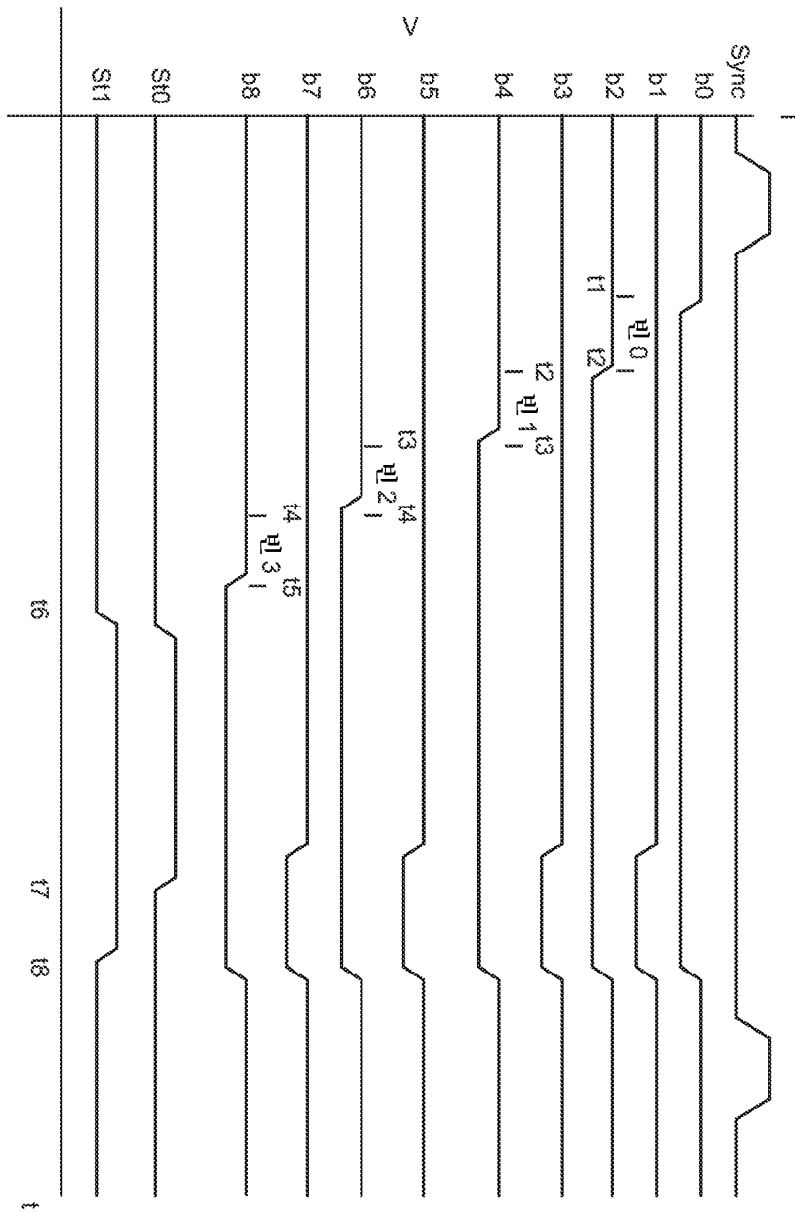
도면6i



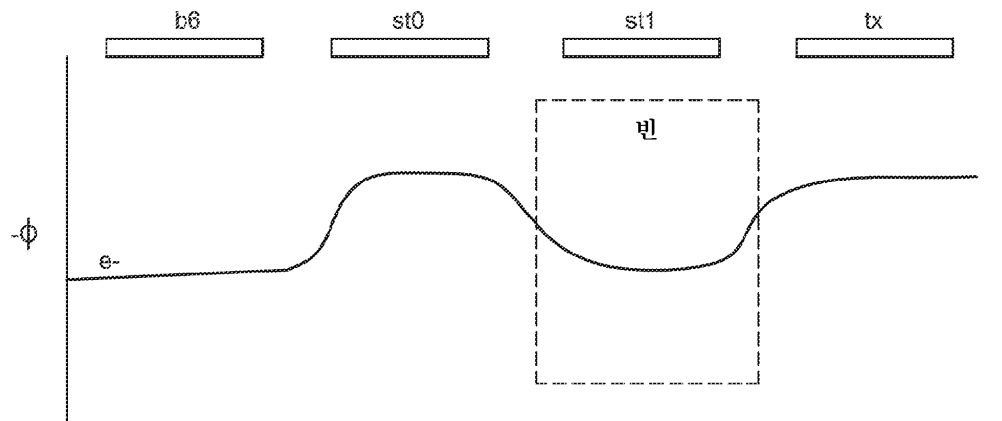
도면6j



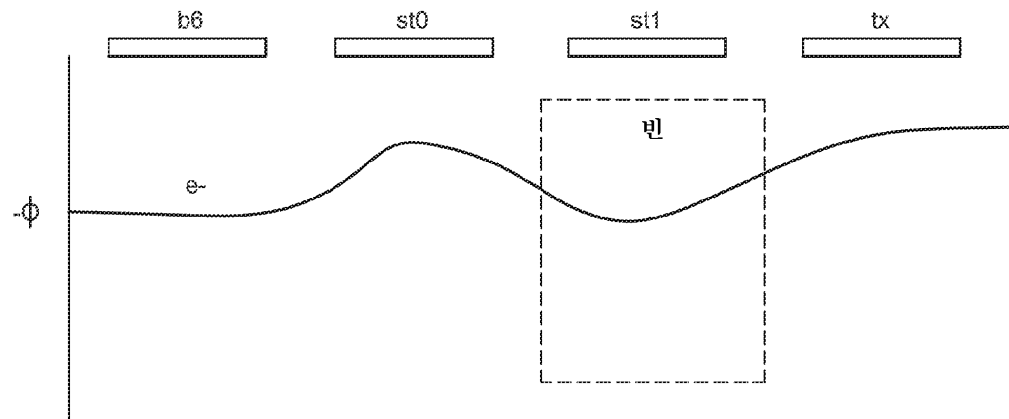
도면6k



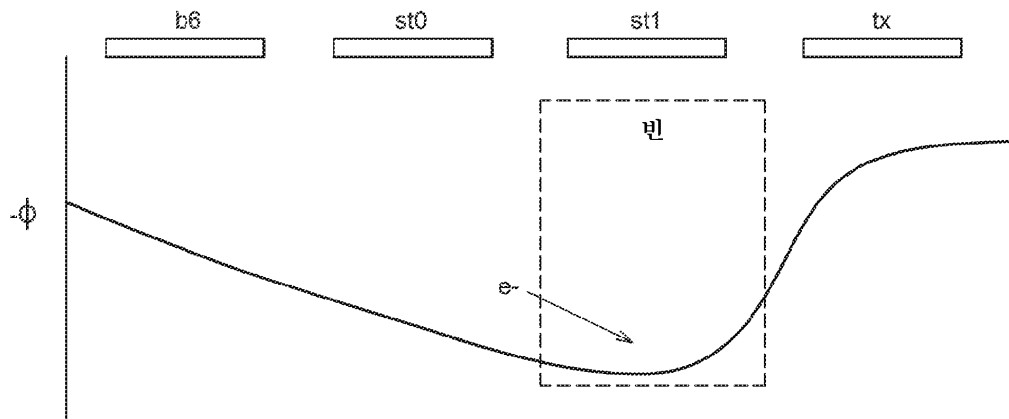
도면7a



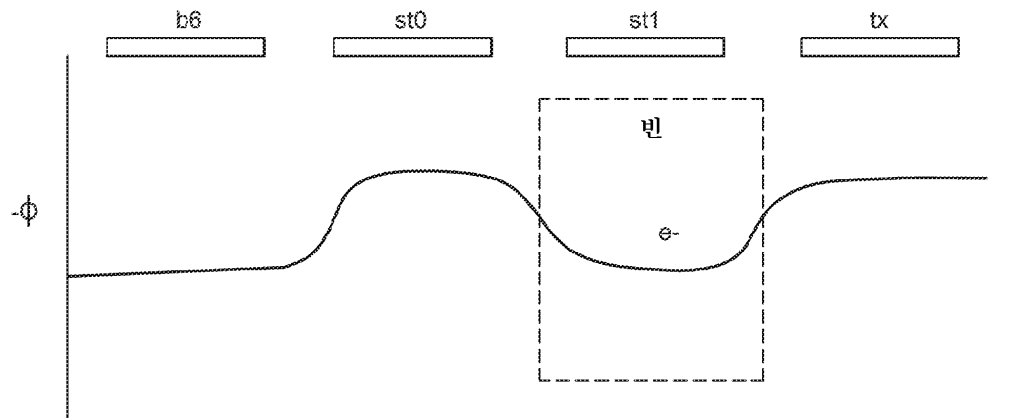
도면7b



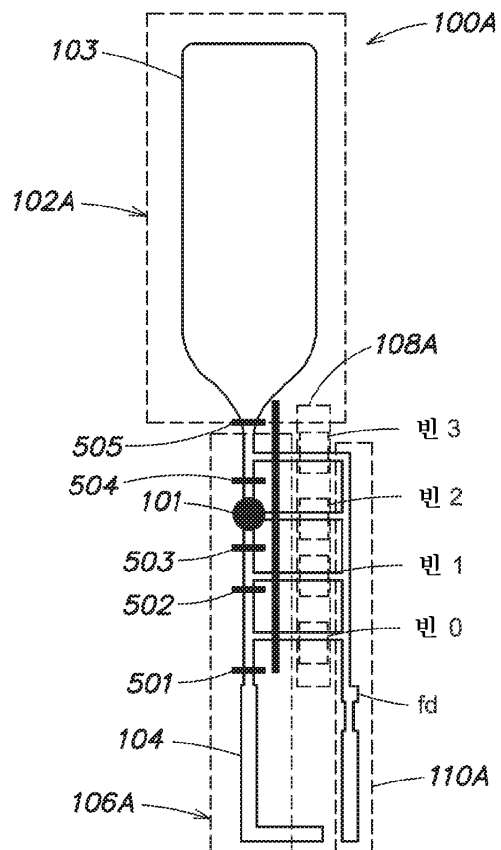
도면7c



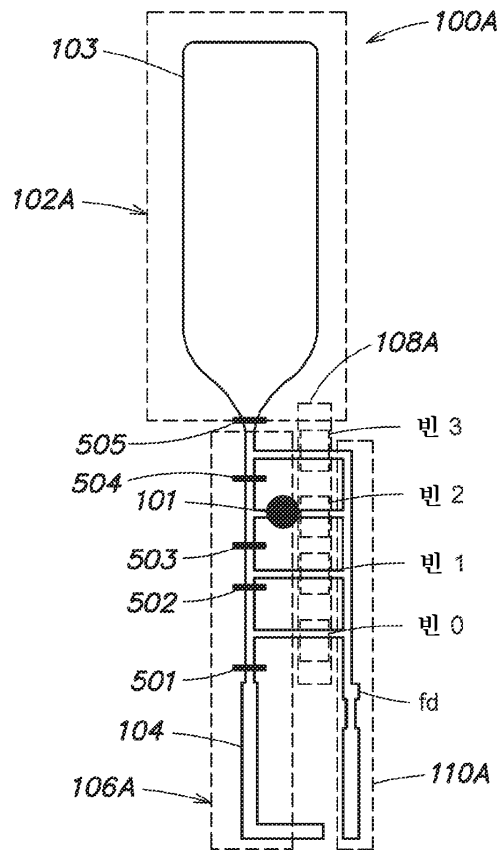
도면7d



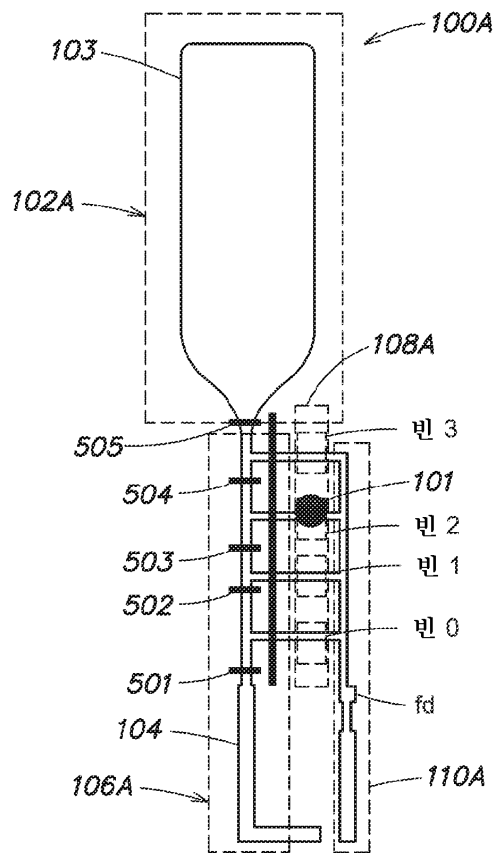
도면7e



도면7f



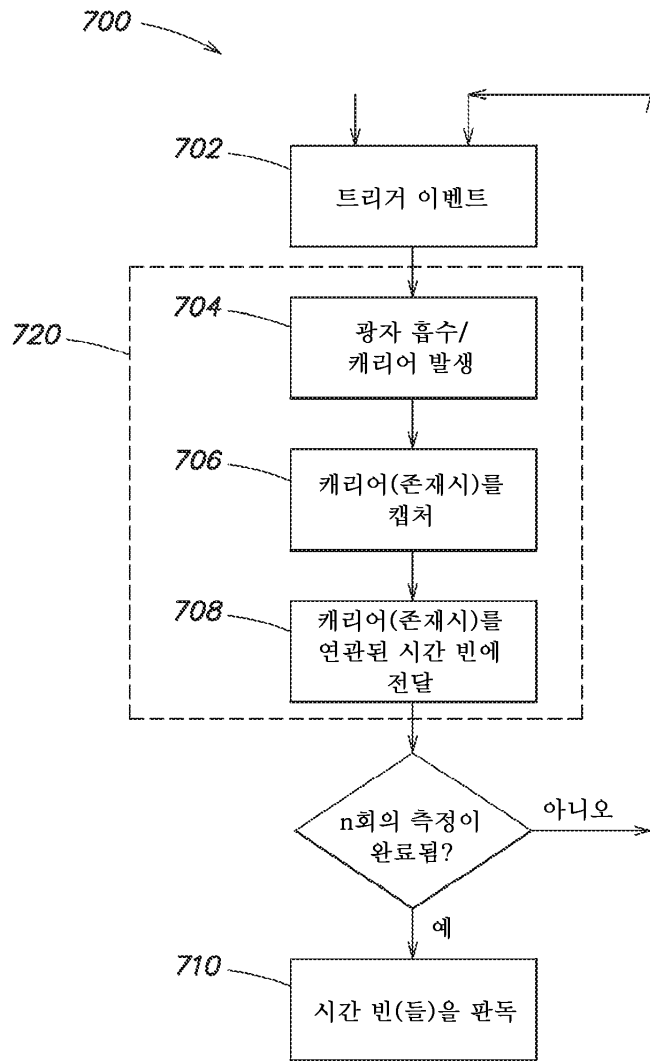
도면7g



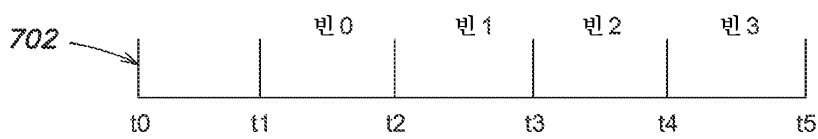
도면

신호	V(구배 페이지)	V(비닝 페이지)	V(전달 페이지)	V(판독 페이지)	타입
vb<0>	0.0	0.0	0.0	0.0	고정됨
vb<1>	3.1	3.1	3.1	3.1	고정됨
b<8>	3.3	0.0	0.0	3.3	1:32
b<7>	3.5	3.5	0.0	3.5	대략적
b<6>	3.7	0.0	0.0	3.7	1:32
b<5>	3.9	3.9	0.0	3.9	대략적
b<4>	4.1	0.0	0.0	4.1	1:32
b<3>	4.3	4.3	0.0	4.3	대략적
b<2>	4.5	0.0	0.0	4.5	1:32
b<1>	4.7	4.7	0.0	4.7	대략적
b<0>	5.0	0.0	0.0	5.0	1:32
st<0>	0.0	0.0	5.0	0.0	대략적
st<1>	2.5	2.5	5.0	2.5	대략적
tx<0>	0.0	0.0	0.0	3.3	FPGA
tx<1>	0.0	0.0	0.0	3.3	FPGA
tx<2>	0.0	0.0	0.0	3.3	FPGA
tx<3>	0.0	0.0	0.0	3.3	FPGA
rs	0.0	0.0	0.0	3.3	FPGA
rt	0.0	0.0	0.0	3.3	FPGA
PVDD	3.3	3.3	3.3	3.3	고정됨

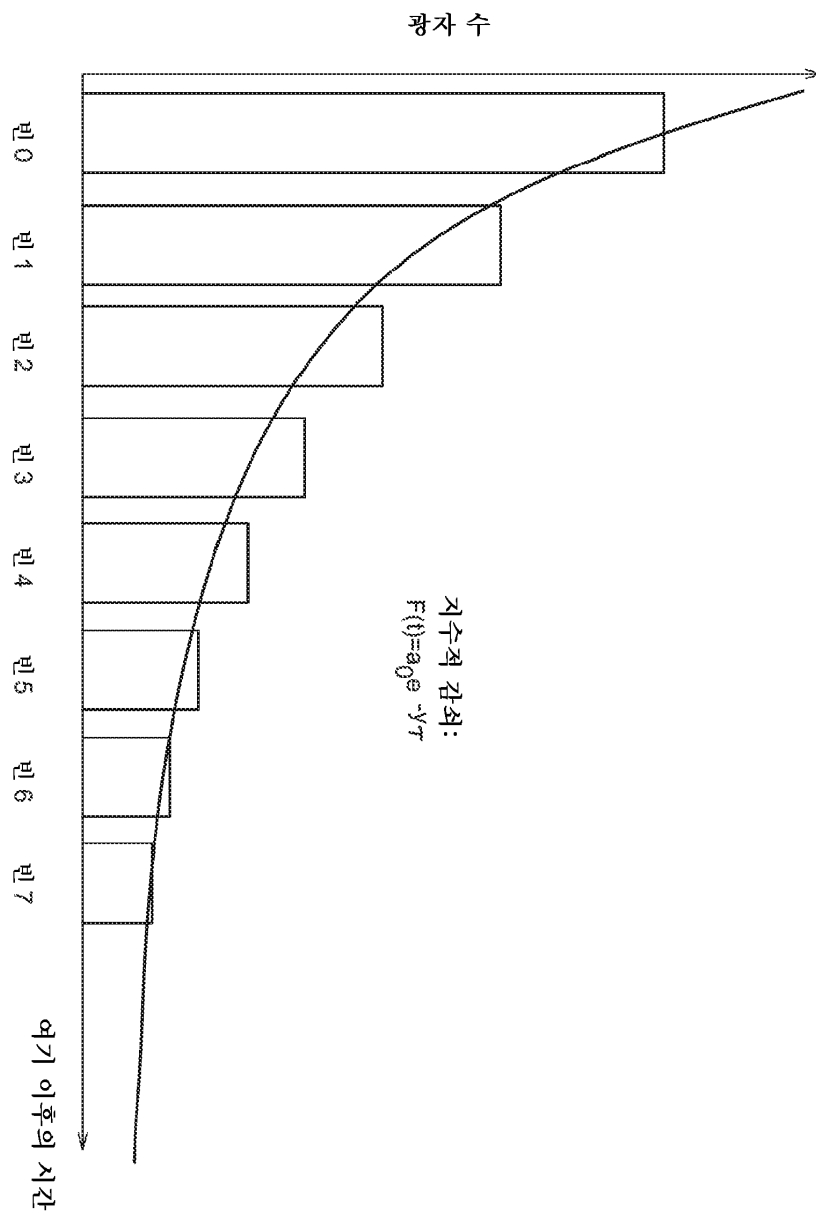
도면8a



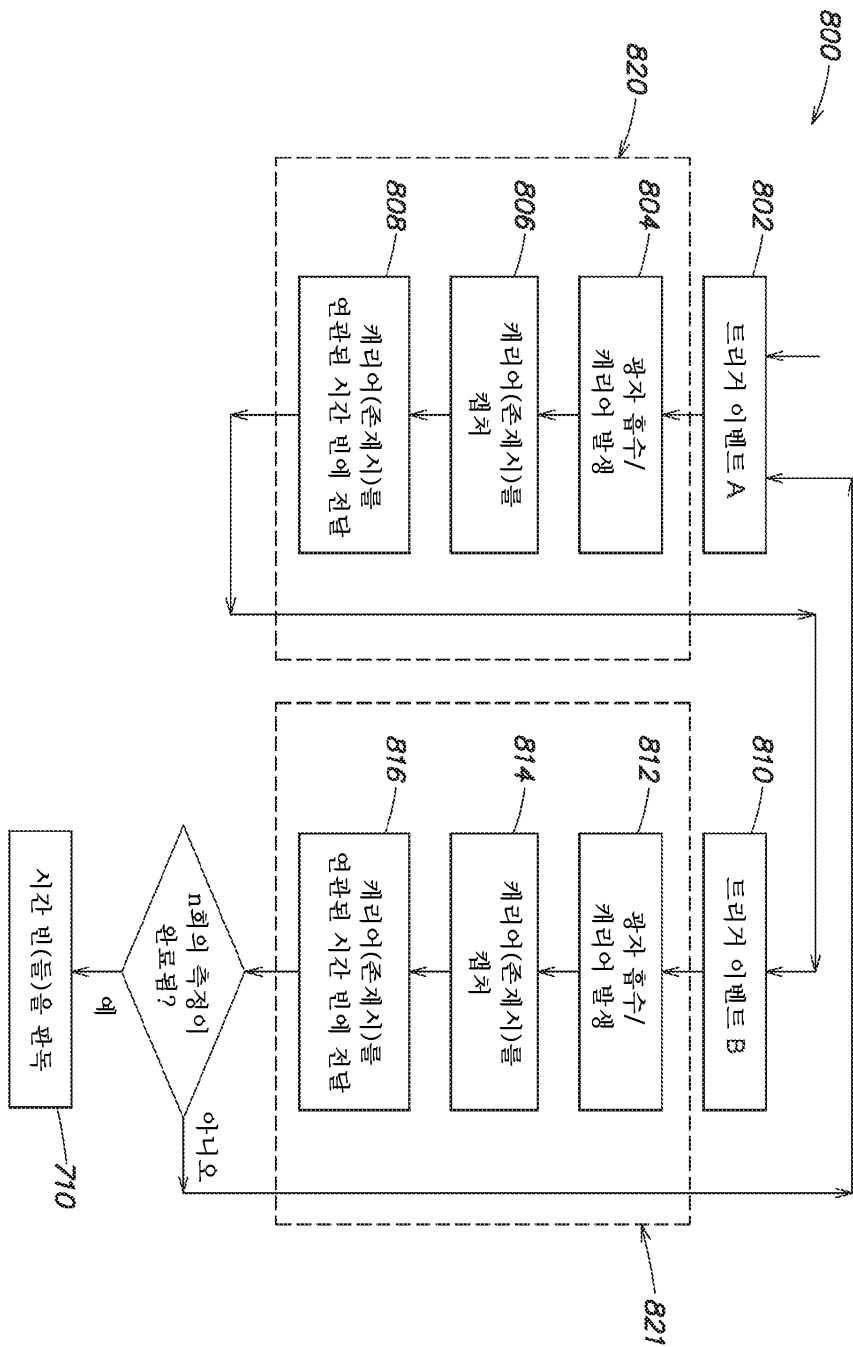
도면8b



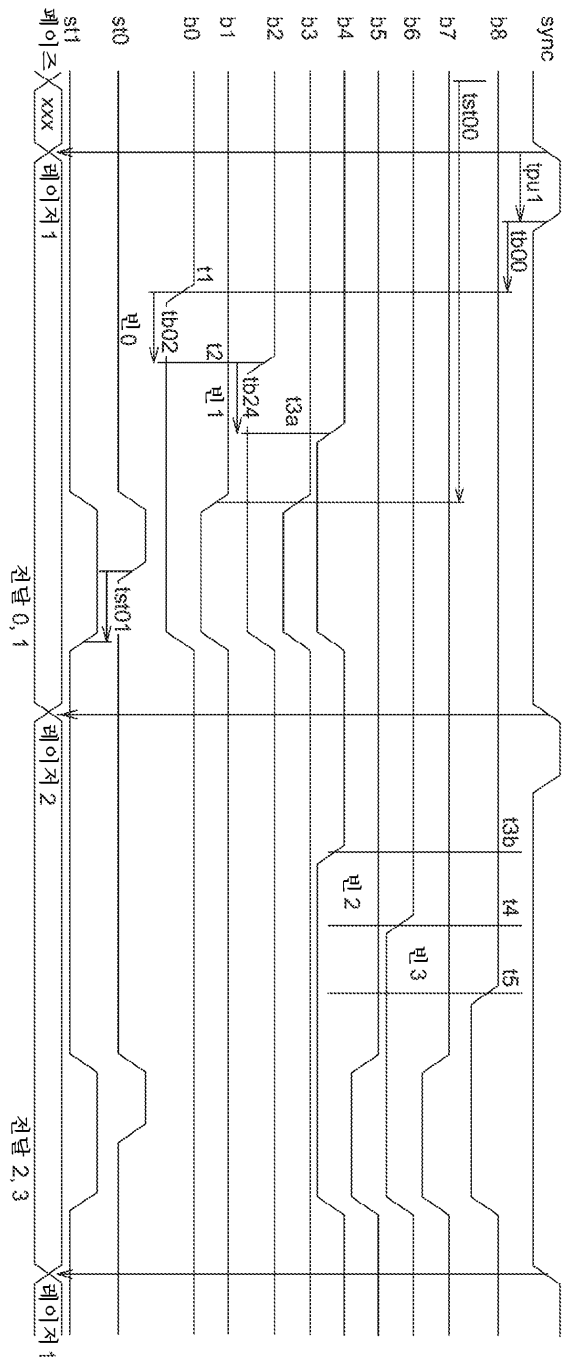
도면8c



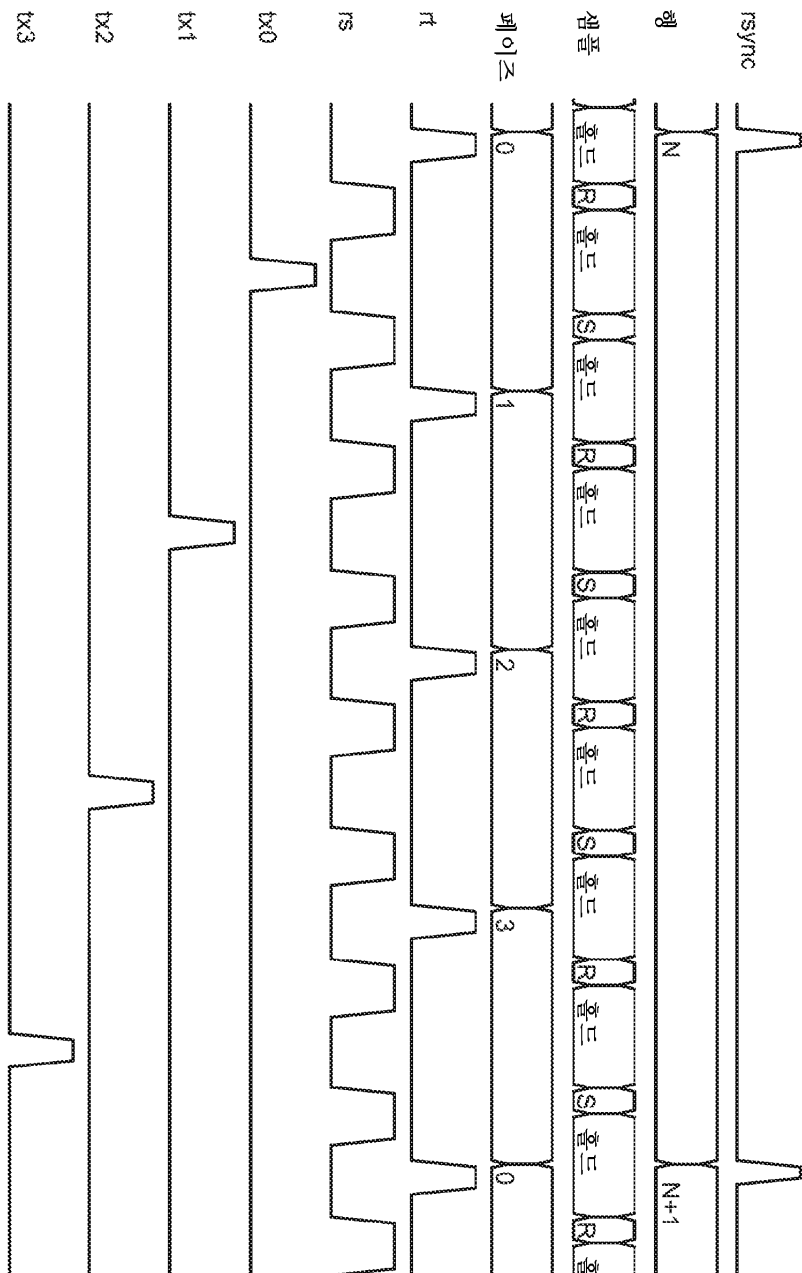
도면8d



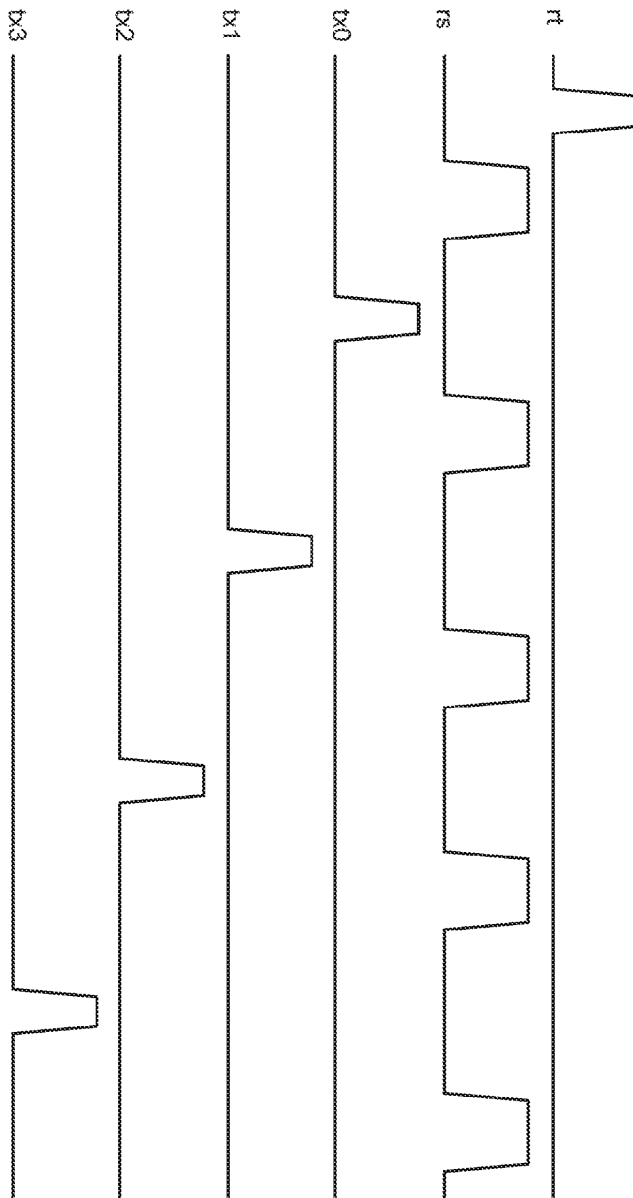
도면8e



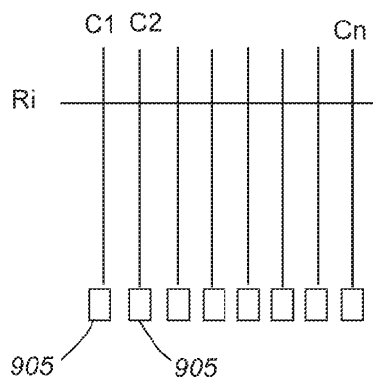
도면9a



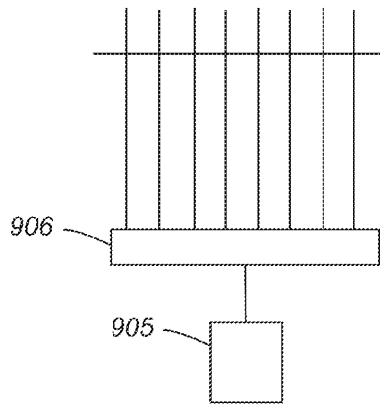
도면9b



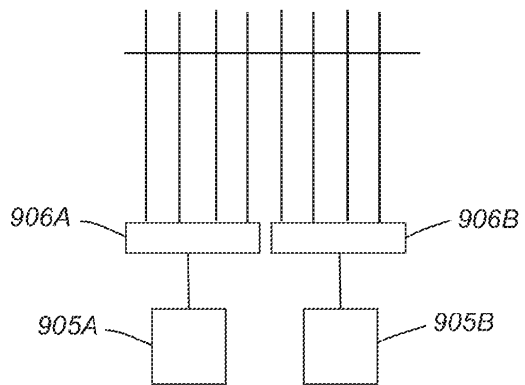
도면10a



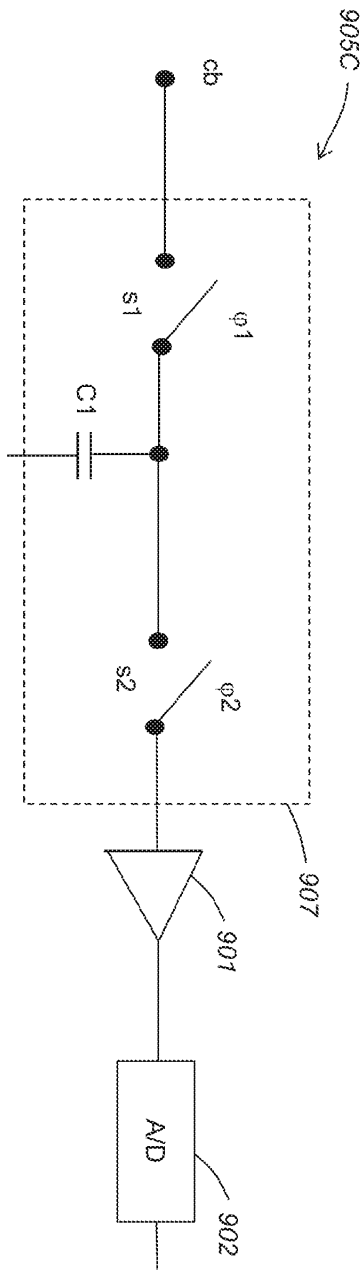
도면10b



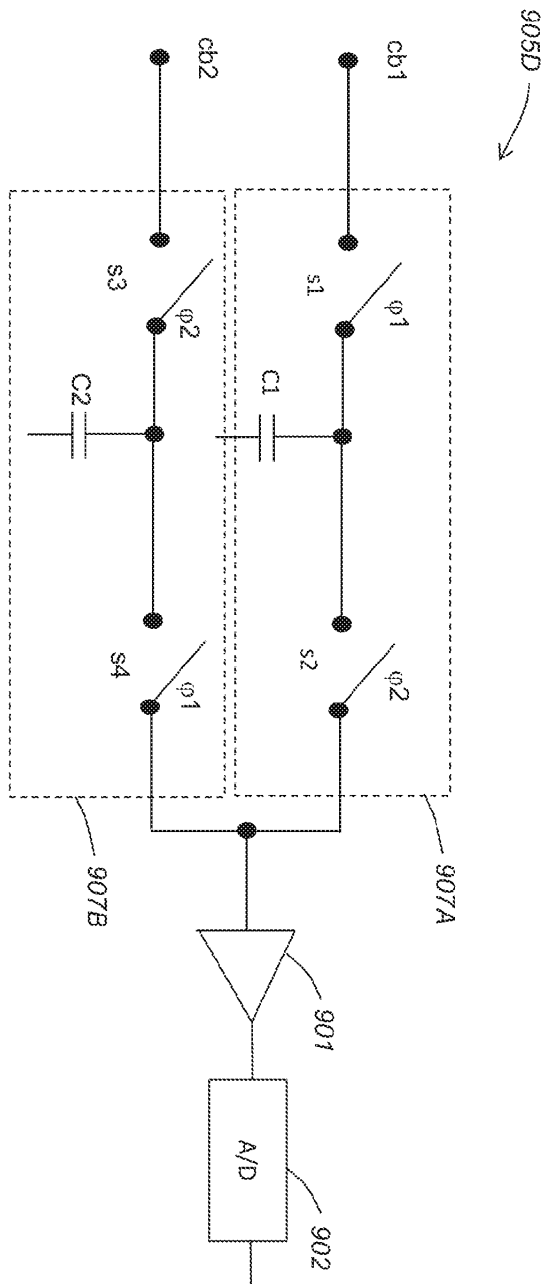
도면10c



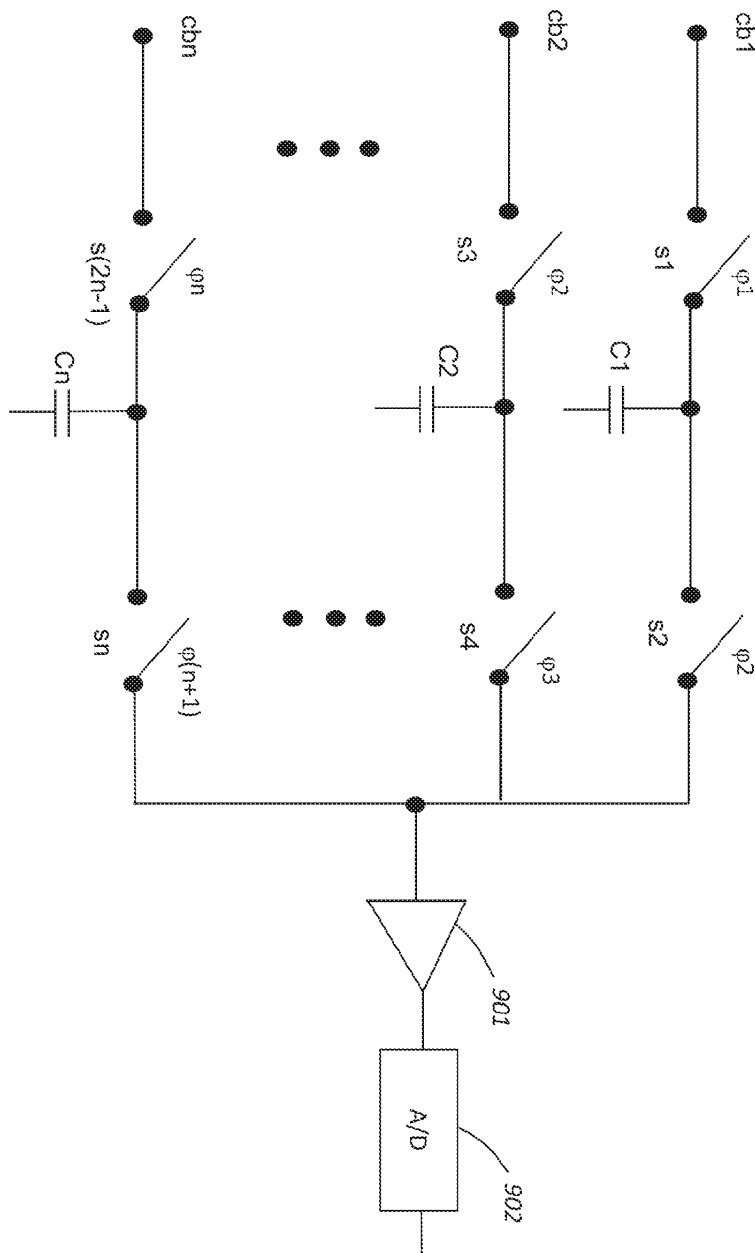
도면10d



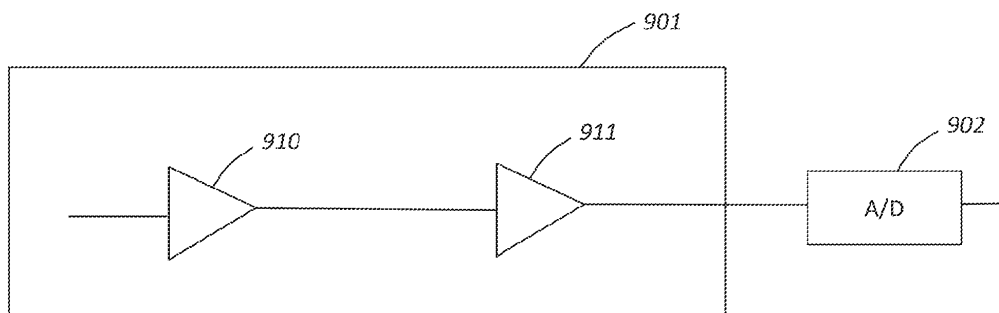
도면10e



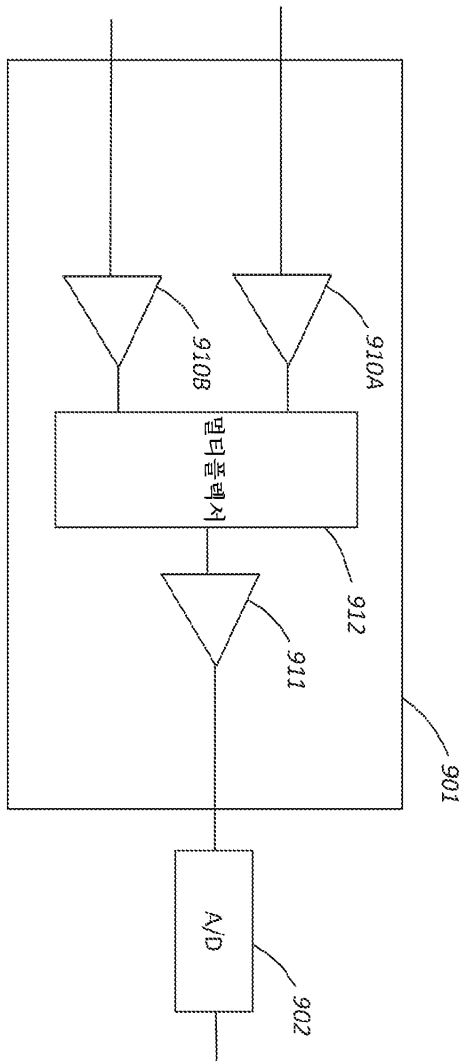
도면10f



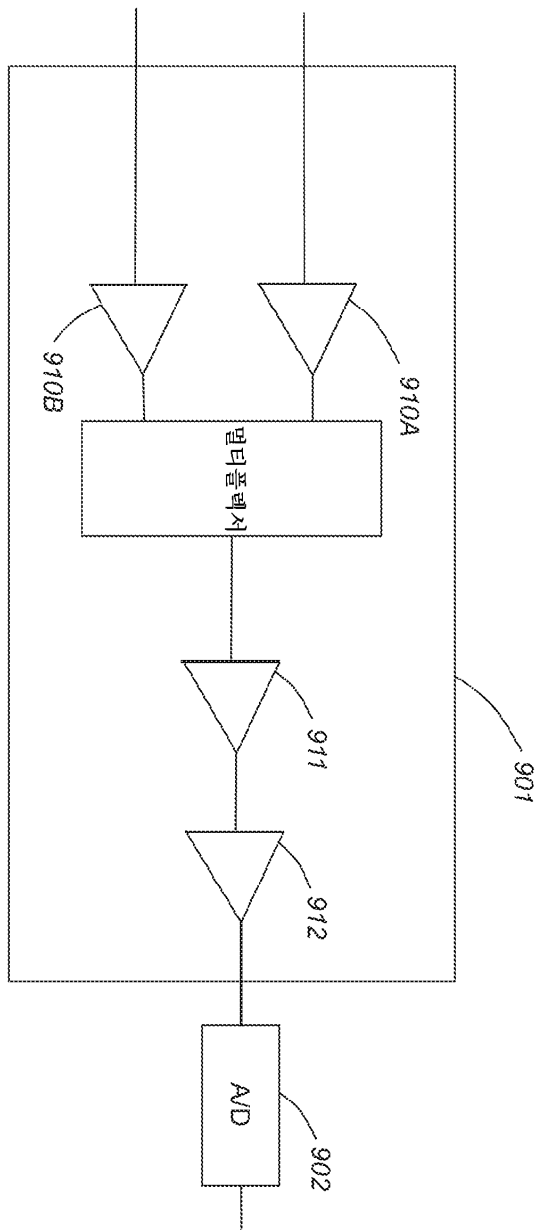
도면10g



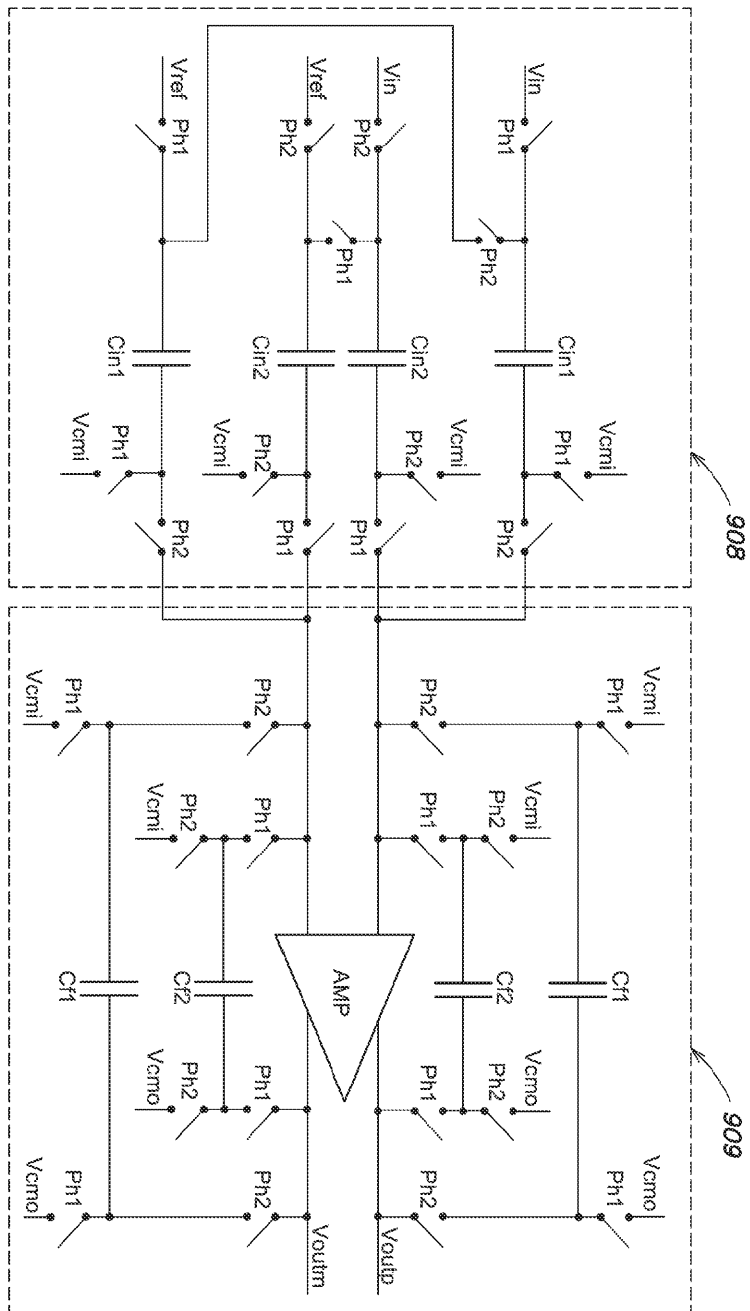
도면10h



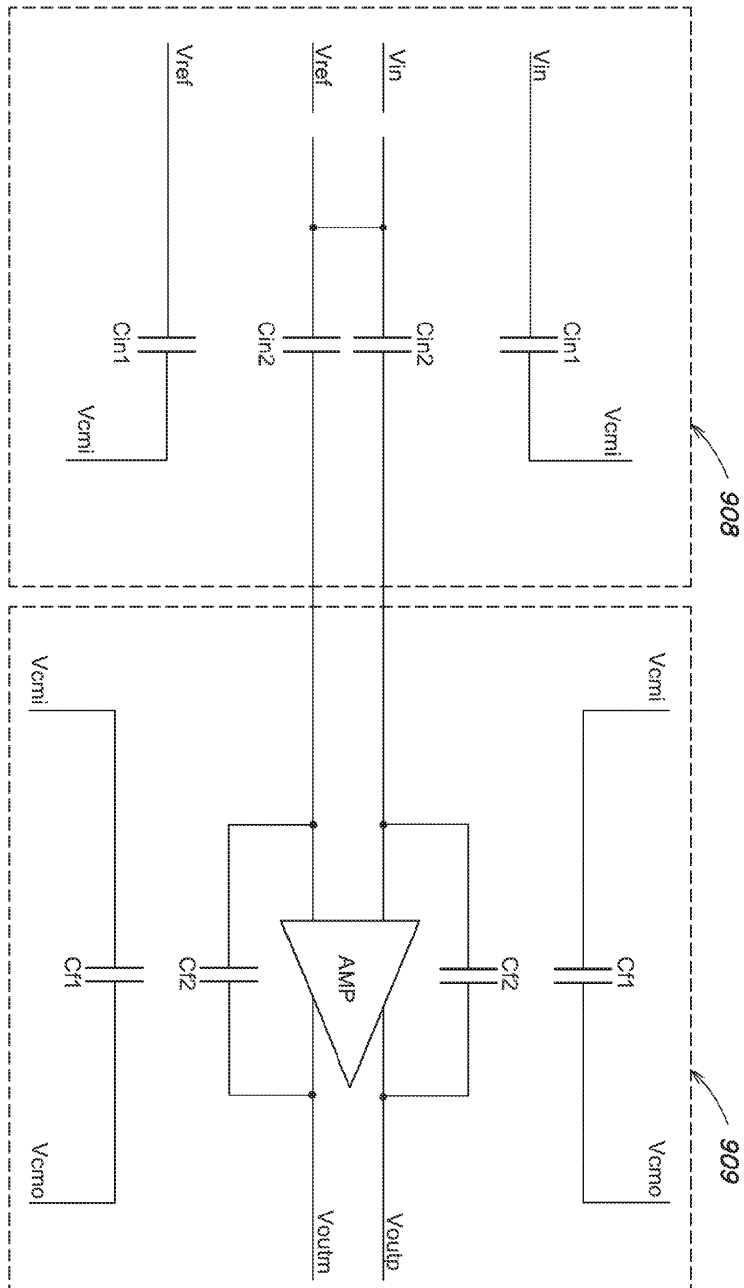
도면10i



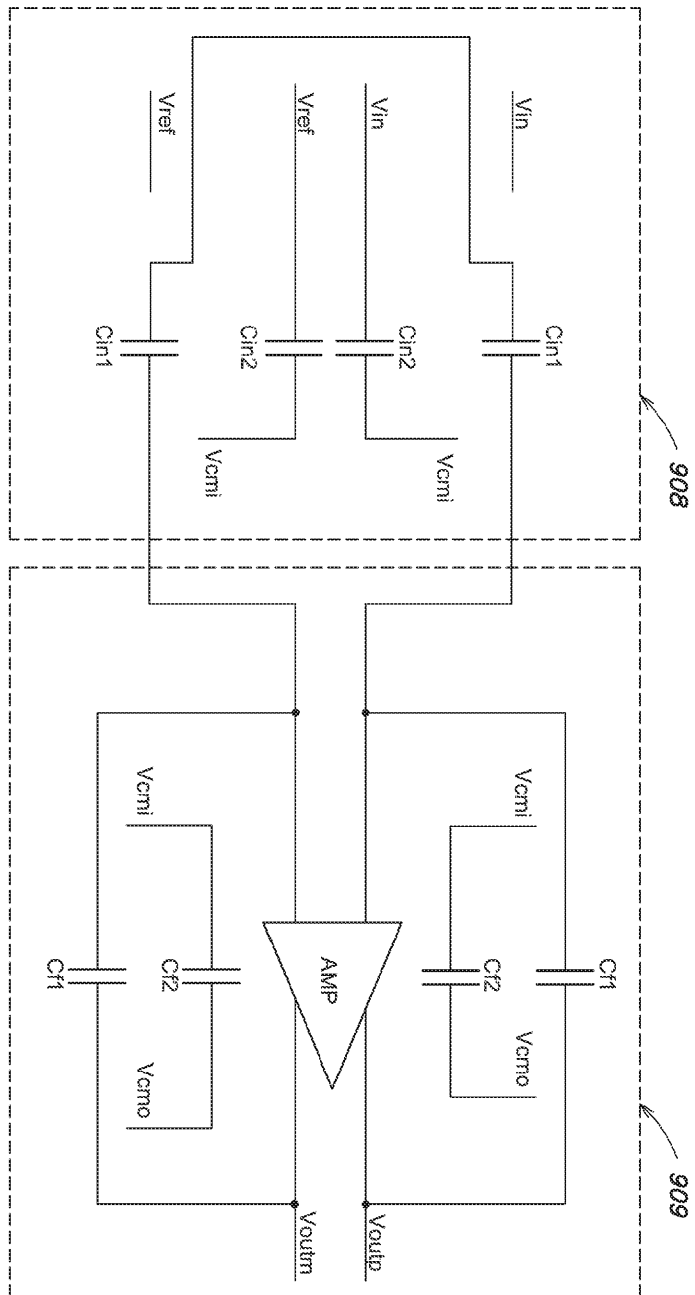
도면10j



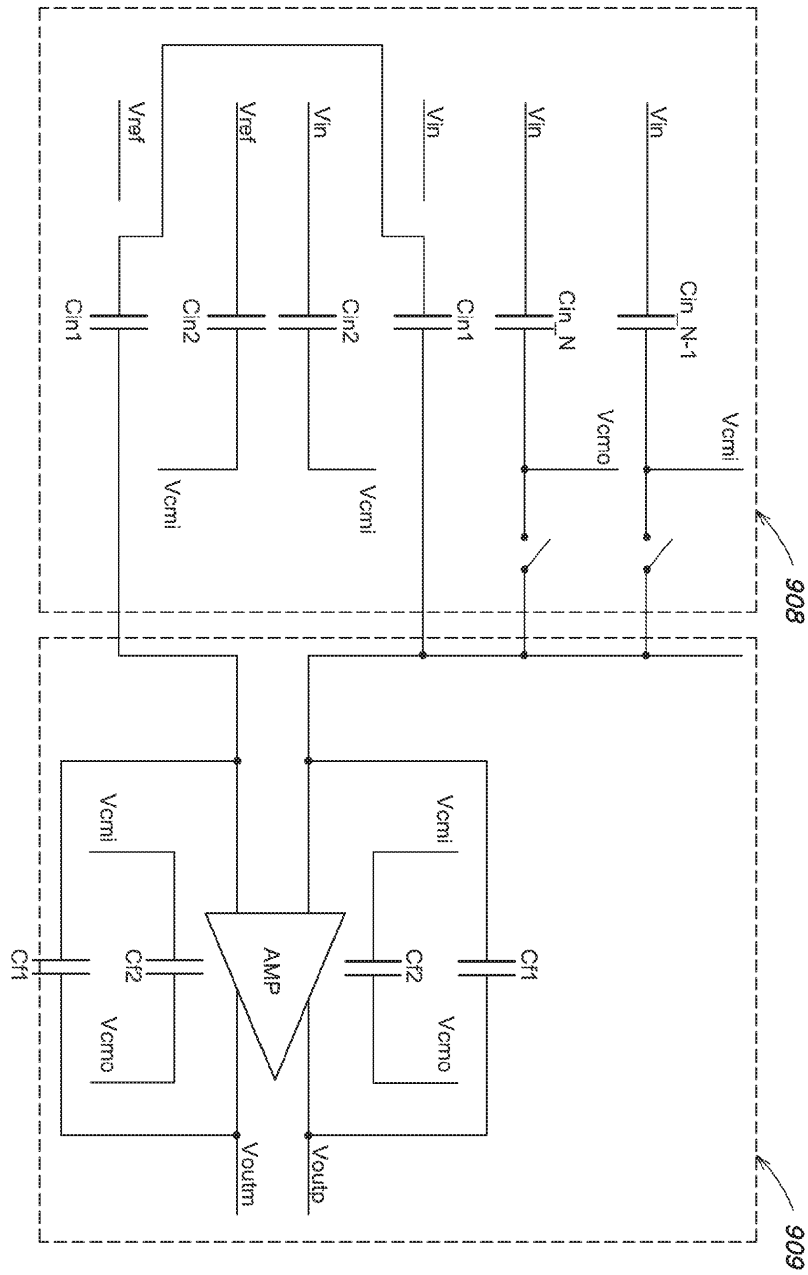
도면10k



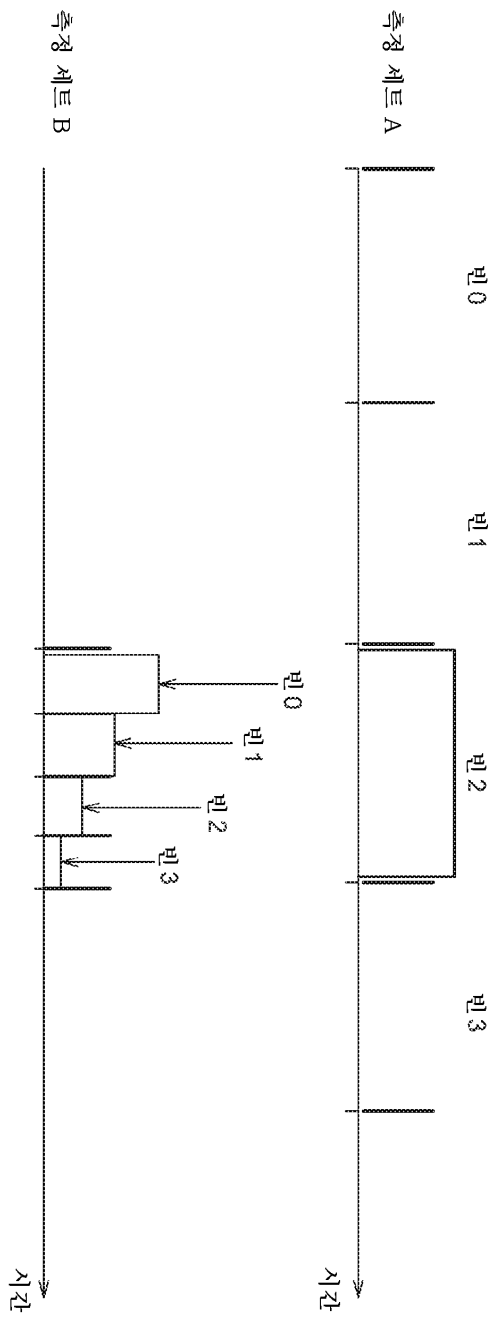
도면101



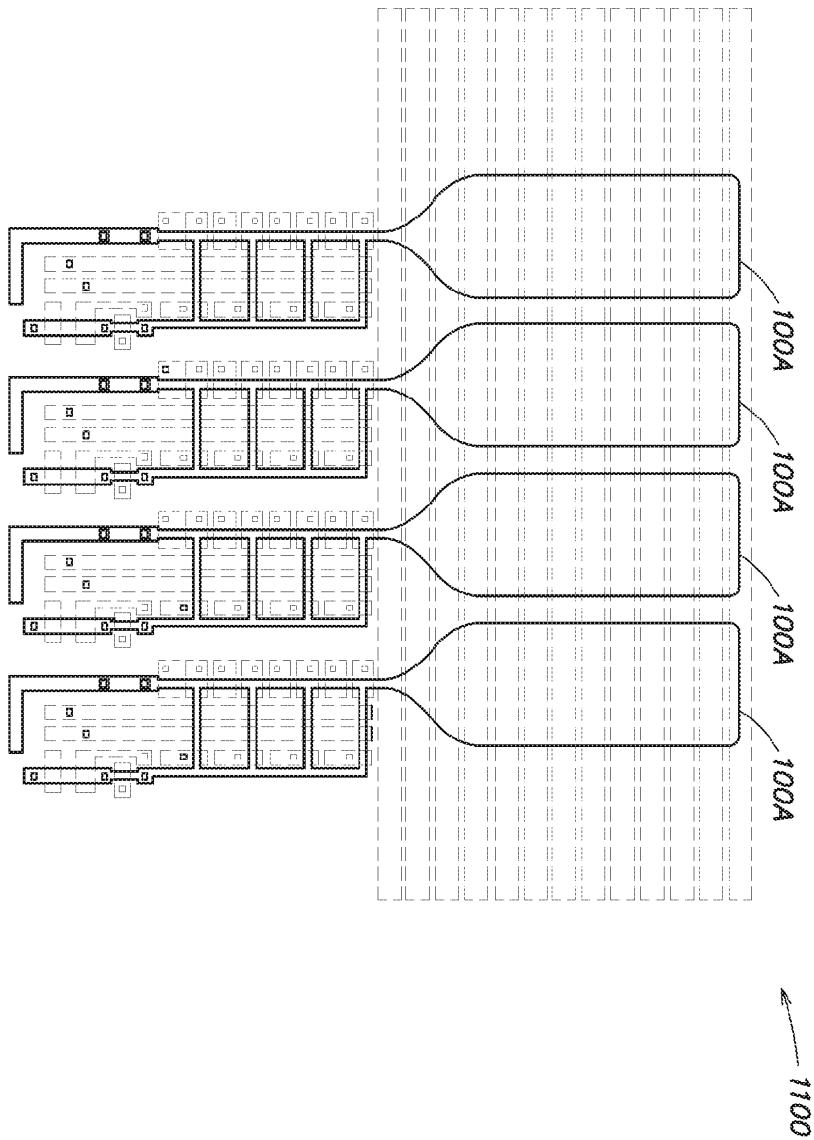
도면10m



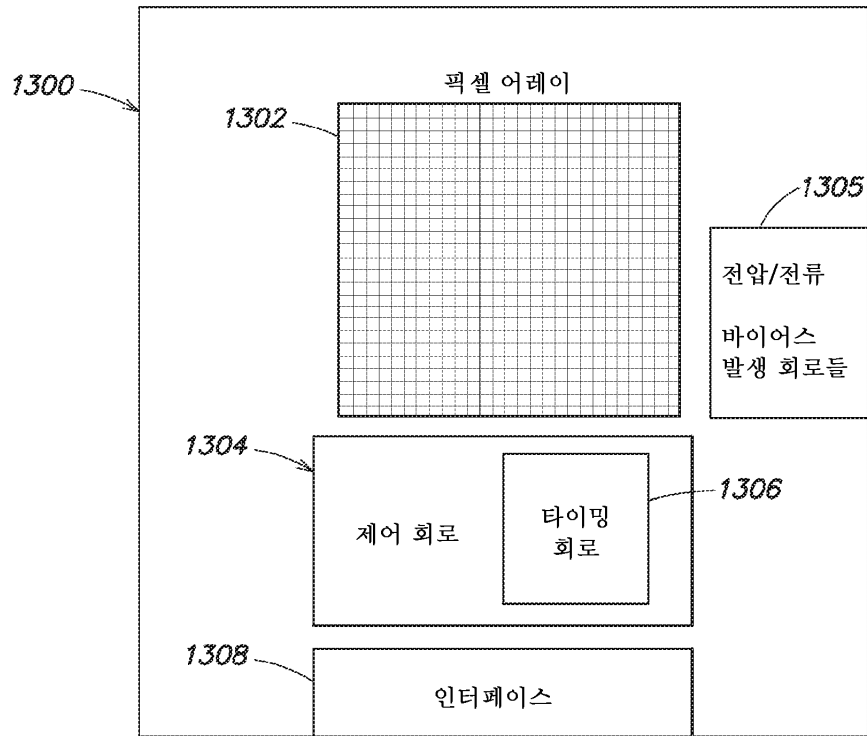
도면11



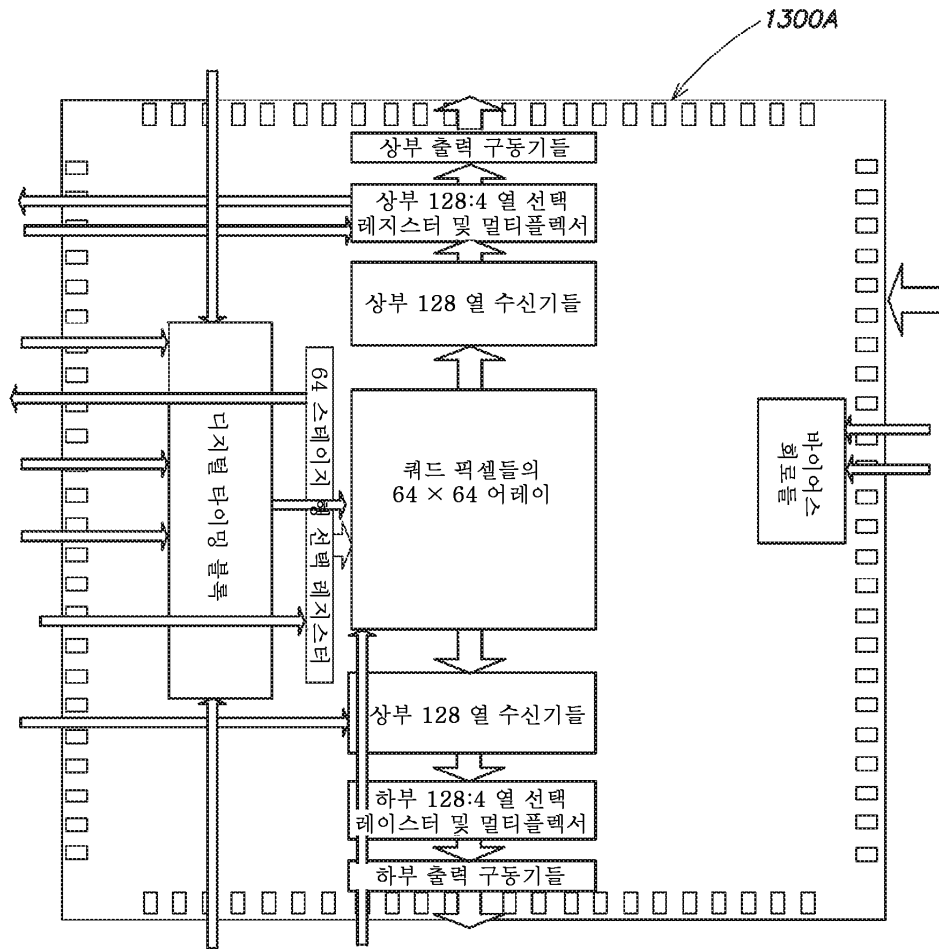
도면12



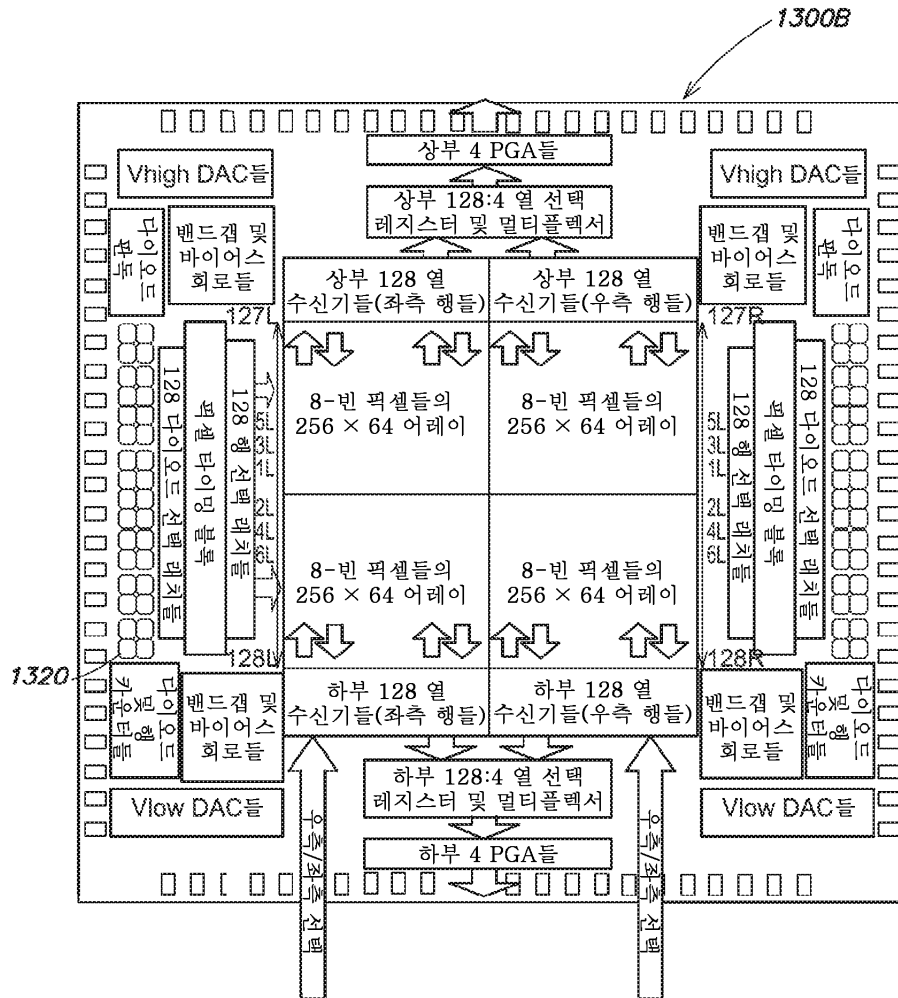
도면13



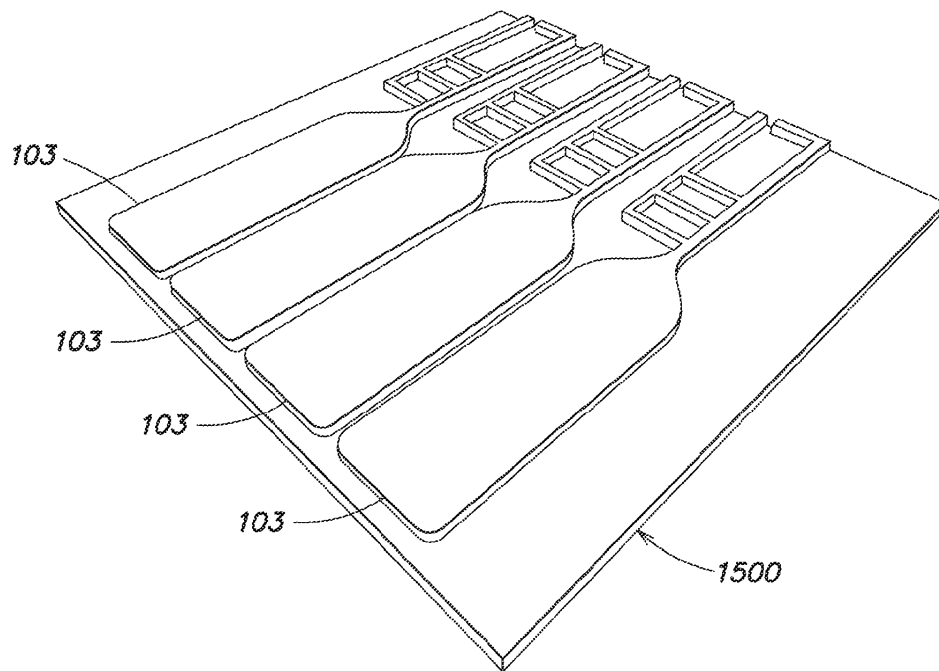
도면14a



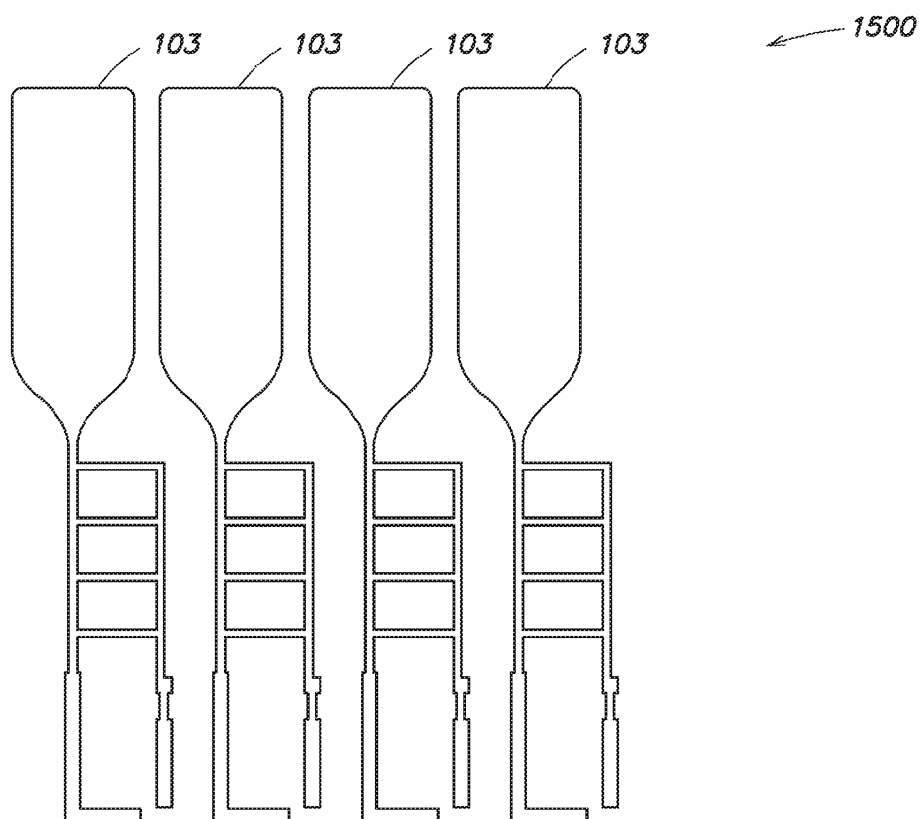
도면14b



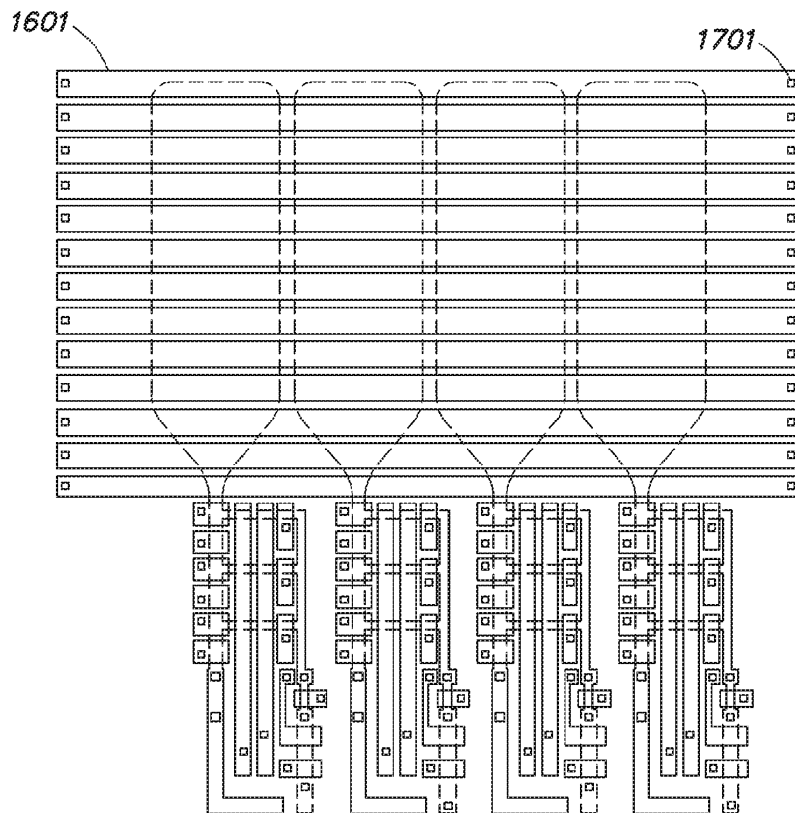
도면15a



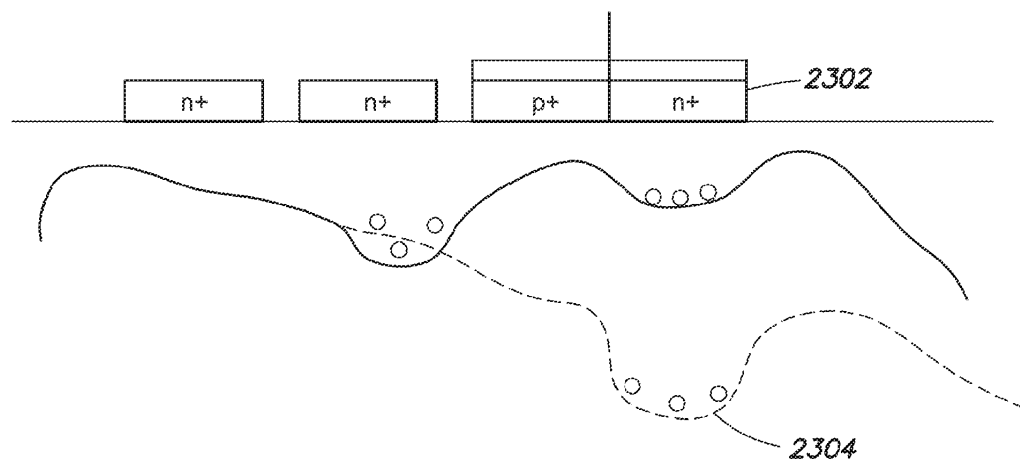
도면15b



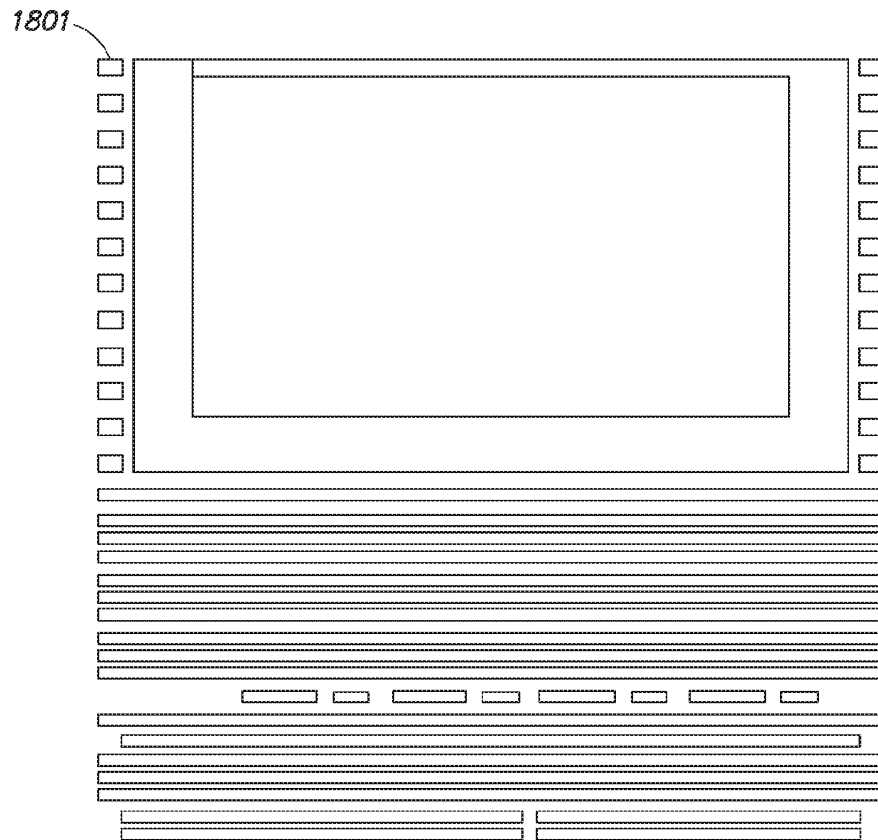
도면16



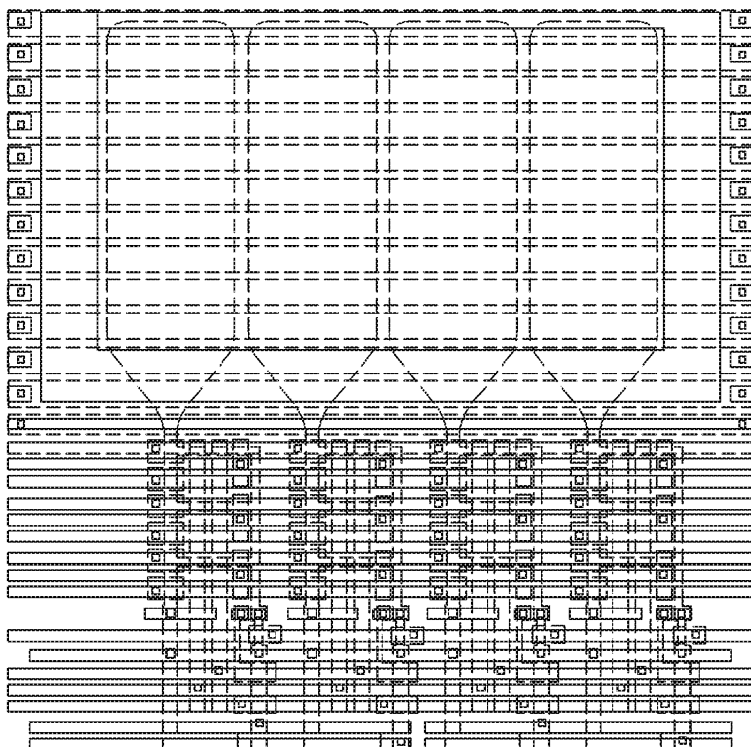
도면17



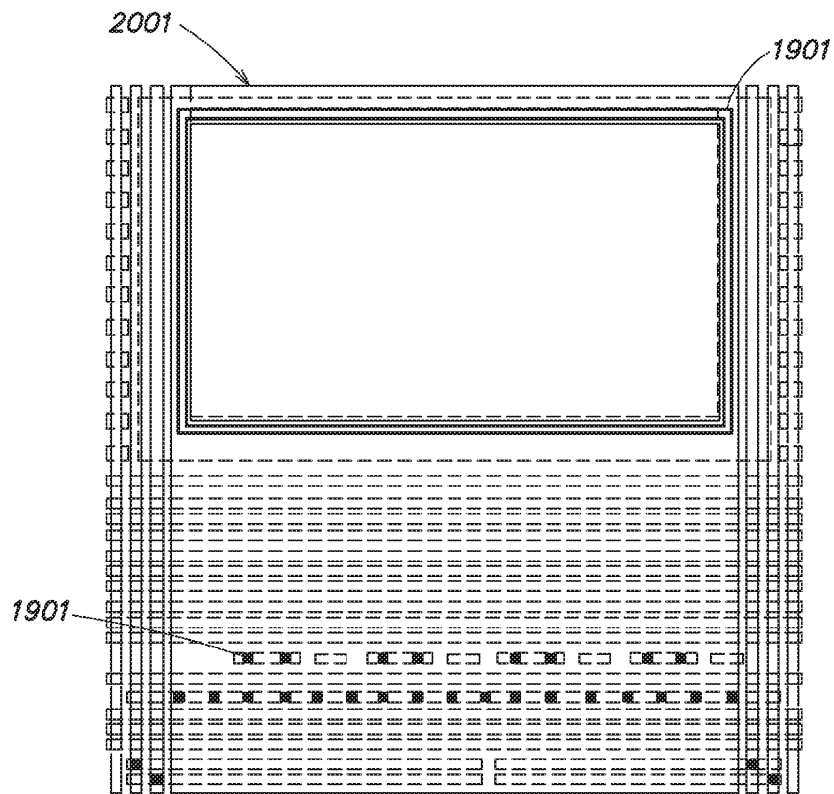
도면18



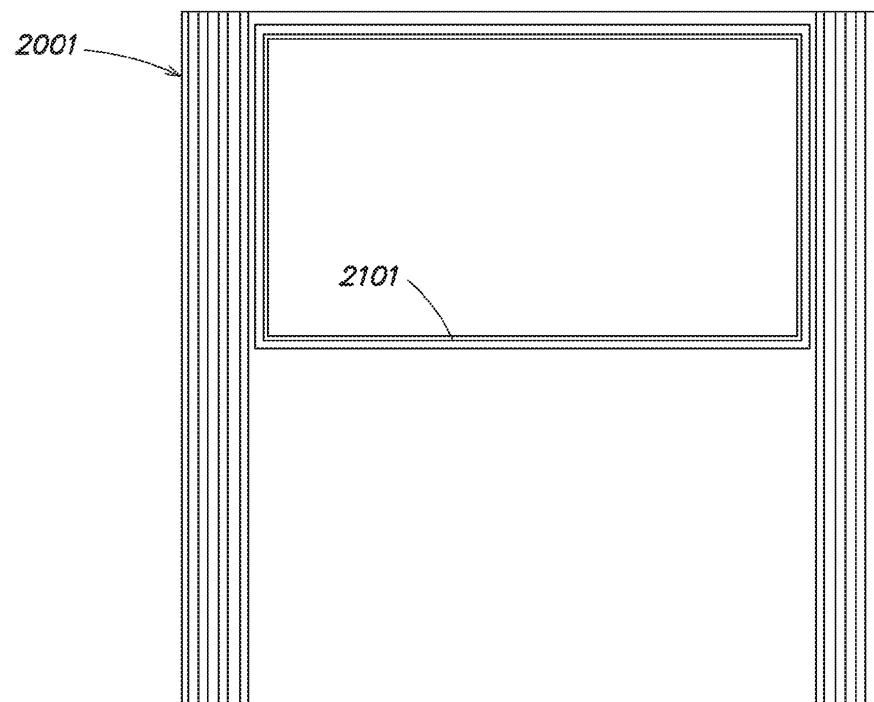
도면19



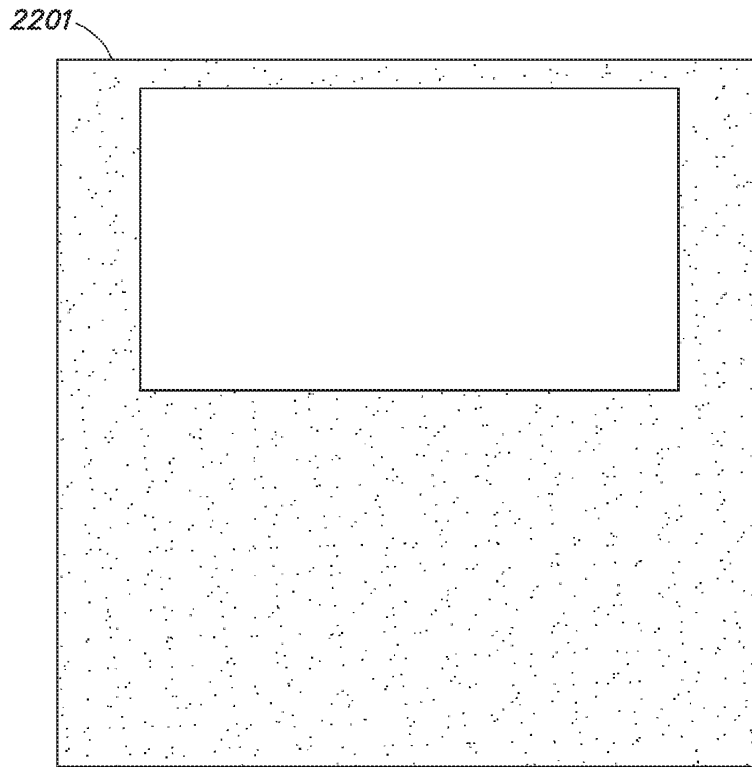
도면20



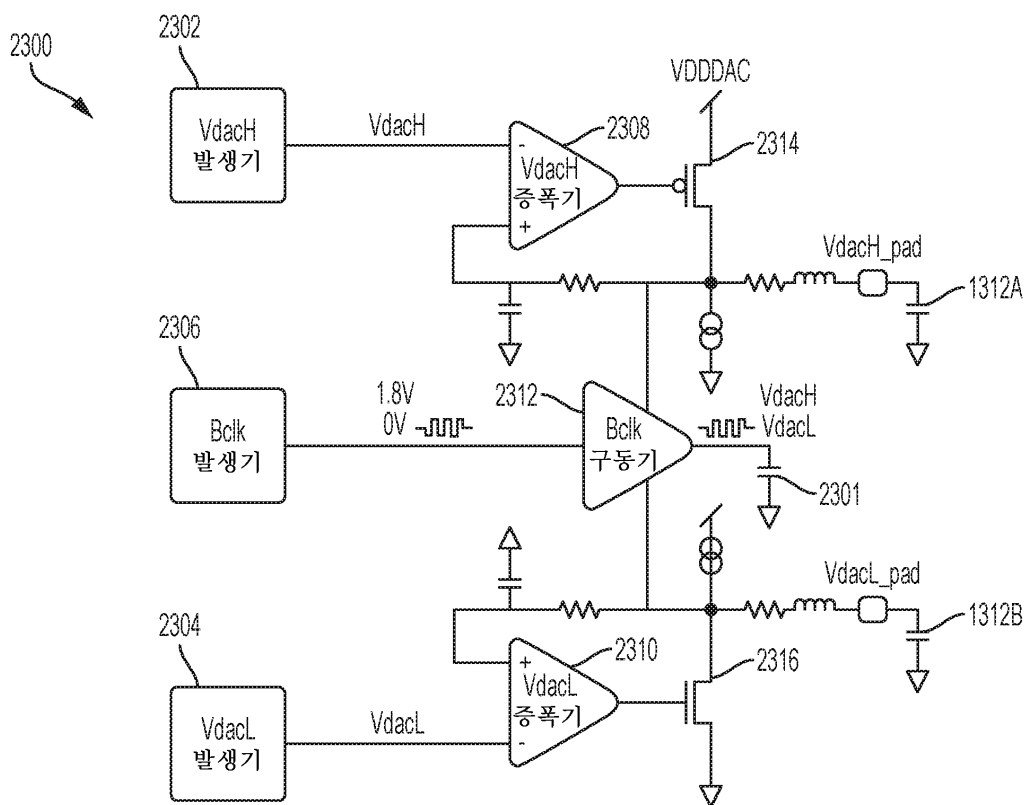
도면21



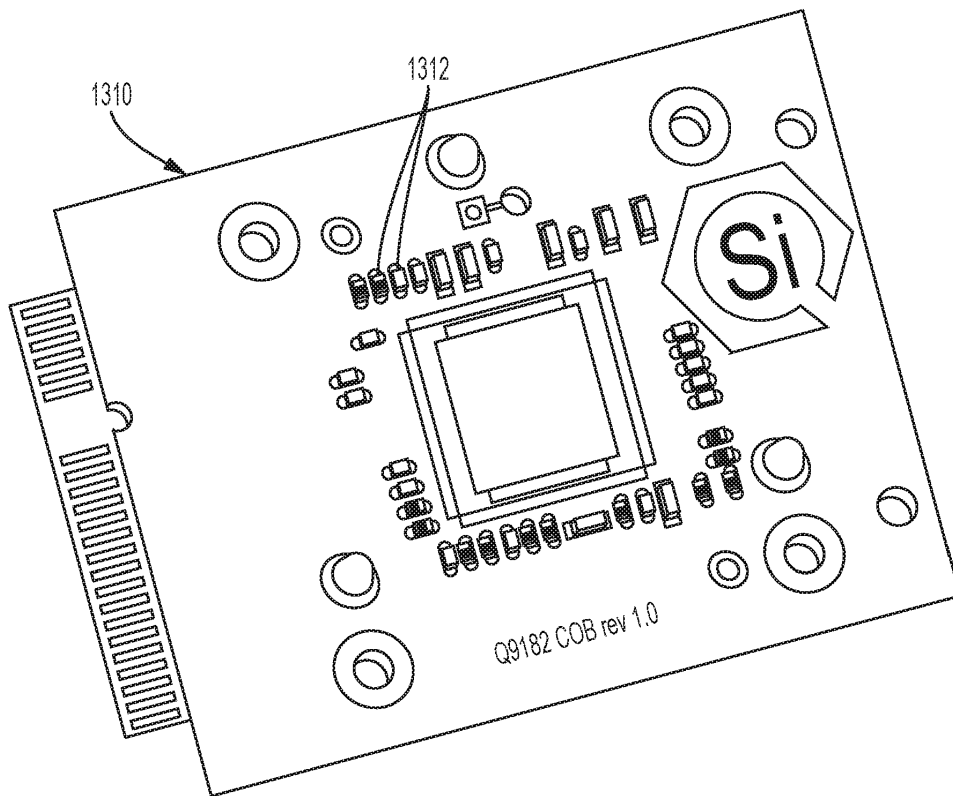
도면22



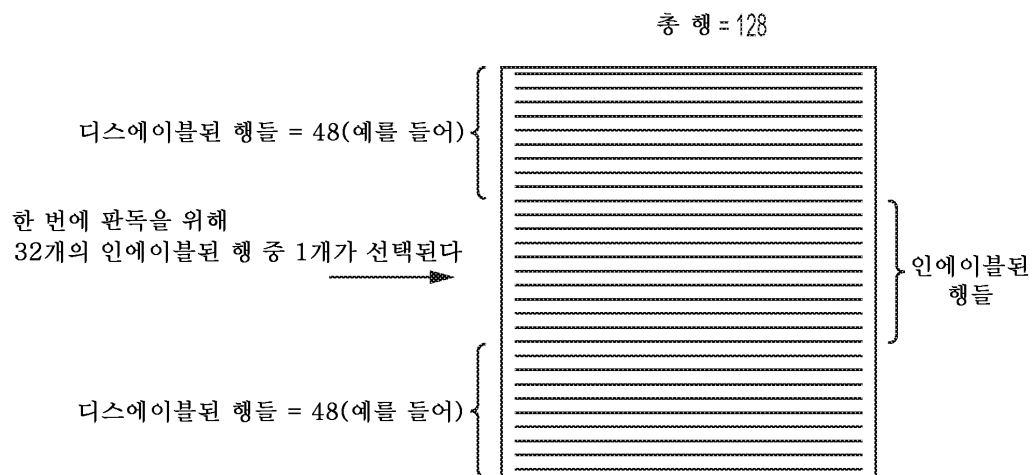
도면23



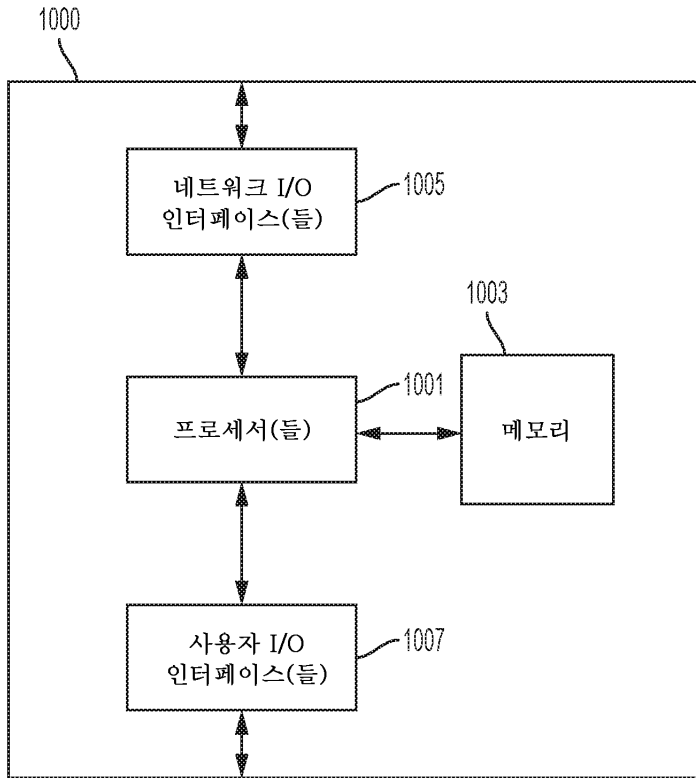
도면24



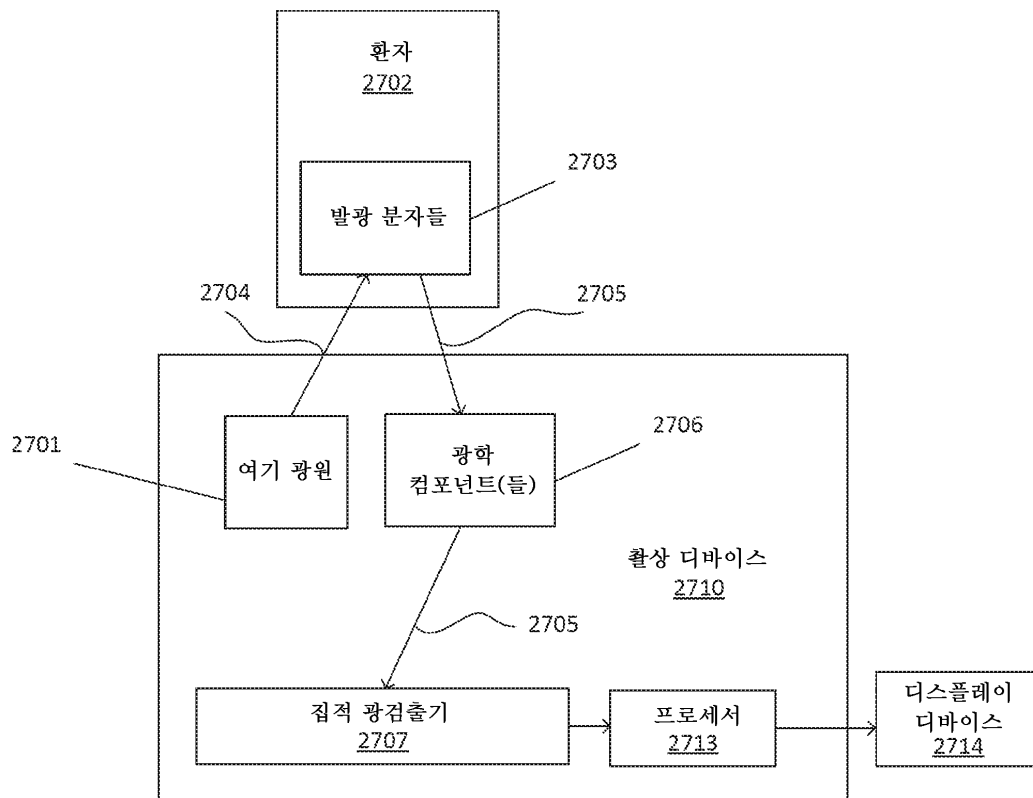
도면25



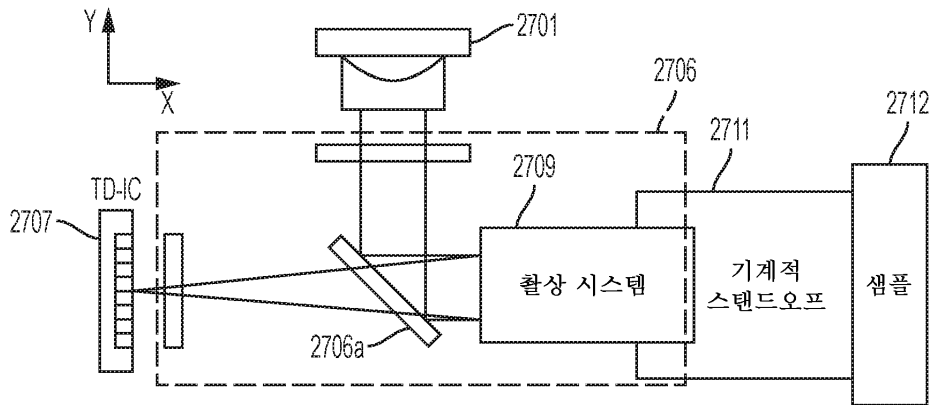
도면26



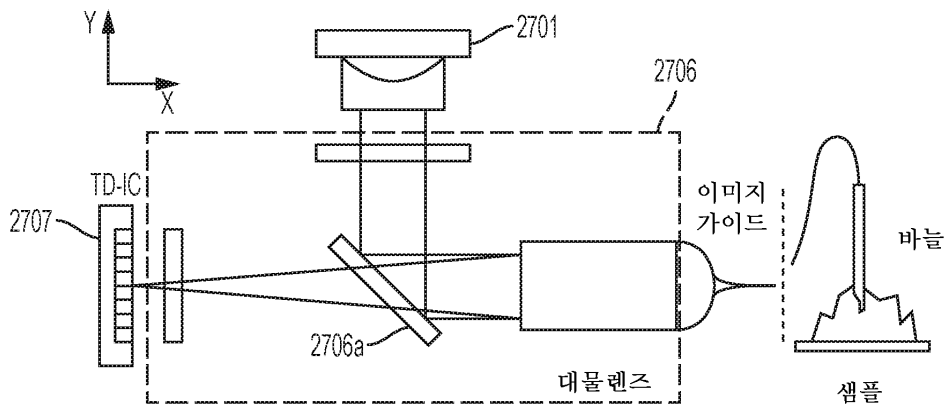
도면27a



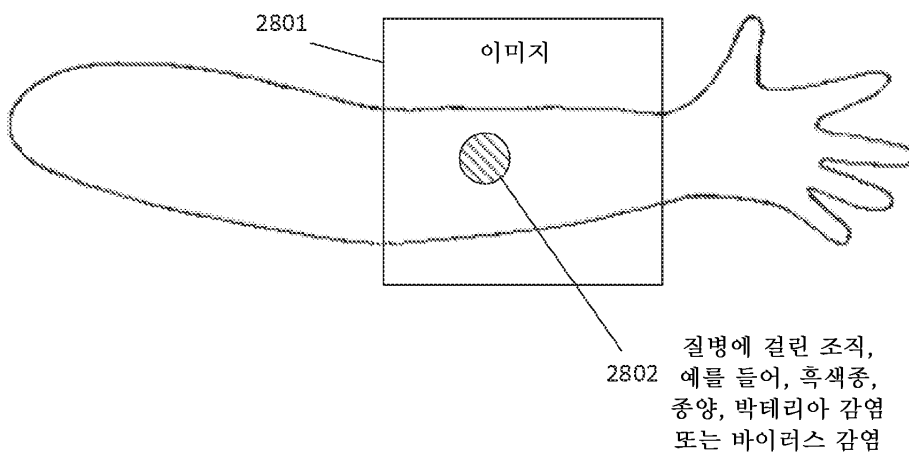
도면27b



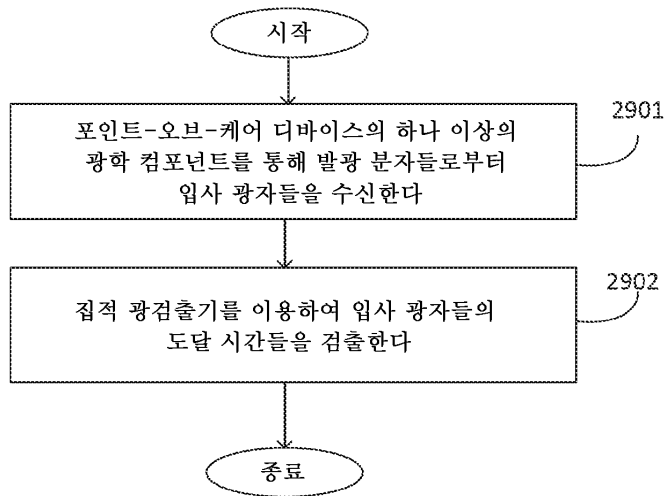
도면27c



도면28



도면29



도면30

