

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月24日(24.10.2024)



(10) 国際公開番号
WO 2024/219087 A1

- (51) 国際特許分類:
H04B 1/04 (2006.01) **H03F 3/24** (2006.01)
H03F 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2024/006928
- (22) 国際出願日: 2024年2月27日(27.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-070374 2023年4月21日(21.04.2023) JP
- (71) 出願人: 株式会社村田製作所
(**MURATA MANUFACTURING CO., LTD.**) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 加藤 棟治 (**KATO, Muncharu**);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社村田製作所内 Kyoto (JP). 岡本 祥

(OKAMOTO, Sho); 〒6178555 京都府長岡京市
東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内
Kyoto (JP). 山口 浩司 (**YAMAGUCHI, Kouji**);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社村田製作所内 Kyoto (JP).

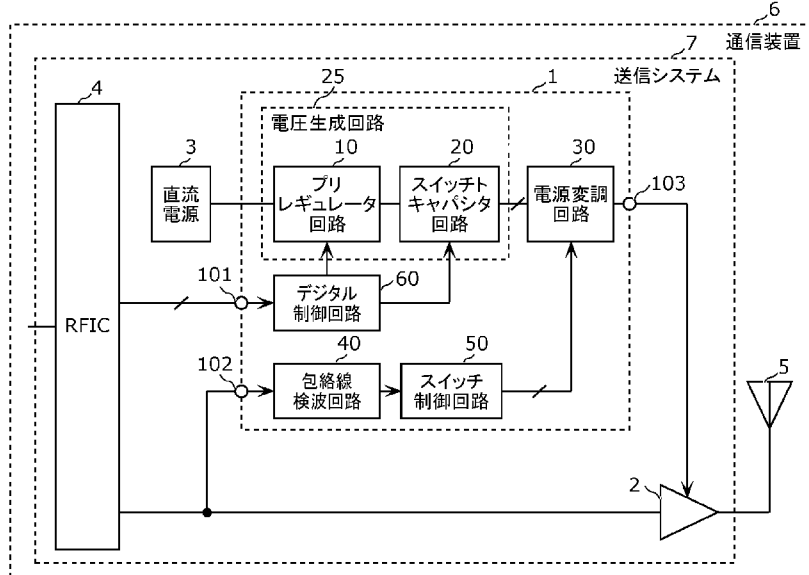
(74) 代理人: 吉川 修一, 外(**YOSHIKAWA, Shuichi** et
al.); 〒5320011 大阪府大阪市淀川区西中島 5
丁目 3 番 1 0 号 イトーピア新大阪ビル 6 階
新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** TRANSMISSION SYSTEM, TRACKER CIRCUIT, AND AMPLIFICATION METHOD

(54) 発明の名称: 送信システム、トラッカ回路及び増幅方法

図2



- 3 DC power supply
6 Communication device
7 Transmission system
10 Pre-regulator circuit
20 Switched capacitor circuit
25 Voltage generation circuit
30 Power supply modulation circuit
40 Envelope detection circuit
50 Switch control circuit
60 Digital control circuit

(57) **Abstract:** A transmission system (7) comprises: an RFIC (4) configured to generate a first high-frequency signal; a power amplifier (2) configured to amplify the first high-frequency signal; and a tracker circuit (1) configured to selectively supply at least one of a plurality of discrete voltages to the power amplifier (2). The tracker circuit (1) is configured to receive the first high-frequency signal generated by the RFIC (4) and select at least one voltage from among the plurality of discrete voltages.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 送信システム (7) は、第 1 高周波信号を生成するよう構成された R F I C (4) と、第 1 高周波信号を増幅するよう構成された電力増幅器 (2) と、複数の離散的電圧のうちの少なくとも 1 つを選択的に電力増幅器 (2) に供給するよう構成されたトラッカ回路 (1) と、を備え、トラッカ回路 (1) は、R F I C (4) によって生成された第 1 高周波信号を受けて複数の離散的電圧の中から少なくとも 1 つの電圧を選択するよう構成されている。

明 細 書

発明の名称：送信システム、トラッカ回路及び増幅方法

技術分野

[0001] 本発明は、送信システム、トラッカ回路及び増幅方法に関する。

背景技術

[0002] 特許文献 1 は、平均出力電力に応じて電力増幅器の電源電圧を制御することによって電力効率の向上を図る平均電力トラッキング（A P T : Average Power Tracking）を開示している。特許文献 2 は、さらなる電力付加効率の改善のためのデジタル・エンベロップ・トラッキング（D - E T : Digital Envelope Tracking）を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第9041464号明細書

特許文献2：米国特許第8829993号明細書

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献 2 に開示された送信システムでは、電圧選択のための制御信号を生成する回路が R F I C（Radio Frequency Integrated Circuit）に組み込まれる必要があり、特許文献 1 に開示された A P T のための R F I C では D - E T を実現することが難しい。

[0005] そこで、本発明は、簡素な R F I C で D - E T を実現することができる送信システム、トラッカ回路、及び、増幅方法を提供する。

課題を解決するための手段

[0006] 本発明の一態様に係る送信システムは、第 1 高周波信号を生成するよう構成された信号処理回路と、第 1 高周波信号を増幅するよう構成された第 1 電力増幅器と、複数の離散的電圧のうちの少なくとも 1 つを選択的に第 1 電力増幅器に供給するよう構成されたトラッカ回路と、を備え、トラッカ回路は

、信号処理回路によって生成された第1高周波信号を受けて複数の離散的電圧の中から少なくとも1つの電圧を選択するよう構成されている。

[0007] 本発明の一態様に係るトラッカ回路は、複数の離散的電圧を生成するよう構成された電圧生成回路と、複数の離散的電圧のうちの少なくとも1つを選択的に電力増幅器に出力するよう構成された電源変調回路と、シリアルデータ伝送規格に基づく第1制御信号が入力される第1外部接続端子と、電力増幅器で増幅される高周波信号が入力される第2外部接続端子と、を備え、電圧生成回路は、第1制御信号に基づいて制御され、電源変調回路は、高周波信号に基づいて制御される。

[0008] 本発明の一態様に係る増幅方法は、高周波信号を生成し、複数の離散的電圧を生成し、生成された高周波信号の包絡線を検出し、検出された包絡線に基づいて、生成された複数の離散的電圧の中から少なくとも1つの電圧を選択し、選択された少なくとも1つの電圧を用いて、高周波信号を増幅する。

発明の効果

[0009] 本発明によれば、簡素なRFICでDETを実現することができる。

図面の簡単な説明

[0010] [図1A]図1Aは、APTモードにおける電源電圧の推移の一例を示すグラフである。

[図1B]図1Bは、AET (Analog Envelope Tracking) モードにおける電源電圧の推移の一例を示すグラフである。

[図1C]図1Cは、DETモードにおける電源電圧の推移の一例を示すグラフである。

[図2]図2は、実施の形態1に係る通信装置の回路構成図である。

[図3]図3は、実施の形態1に係るプリレギュレータ回路、スイッチトキャパシタ回路及び電源変調回路の回路構成図である。

[図4]図4は、実施の形態1に係る包絡線検波回路、制御回路及びデジタル制御回路の回路構成図である。

[図5]図5は、実施の形態1に係る増幅方法を示すフローチャートである。

[図6]図6は、実施の形態1に係る通信装置の部品配置図である。

[図7]図7は、実施の形態2に係る通信装置の回路構成図である。

[図8]図8は、実施の形態2に係る通信装置の部品配置図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態などは、一例であり、本発明を限定する主旨ではない。

[0012] なお、各図は、本発明を示すために適宜強調、省略、又は比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、及び比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡素化される場合がある。

[0013] 以下の各図において、 x 軸及び y 軸は、マザー基板の主面と平行な平面上で互いに直交する軸である。具体的には、平面視においてマザー基板が矩形状を有する場合、 x 軸は、マザー基板の第1辺に平行であり、 y 軸は、マザー基板の第1辺と直交する第2辺に平行である。また、 z 軸は、マザー基板の主面に垂直な軸であり、その正方向は上方向を示し、その負方向は下方向を示す。

[0014] 以下の説明において、「接続される」とは、接続端子及び／又は配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。「直接接続される」とは、他の回路素子を介さずに接続端子及び／又は配線導体で直接接続されることを意味する。「CがA及びBの間に接続される」とは、Cの一端がAに接続され、Cの他端がBに接続されることを意味し、A及びBの間を結ぶ経路にCが直列配置されることを意味する。「A及びBの間を結ぶ経路」とは、AをBに電氣的に接続する導体で構成された経路を意味する。

- [0015] 以下の説明において、「端子」とは、要素内の導体が終了するポイントを意味する。なお、要素間の導体のインピーダンスが十分に低い場合には、端子は、単一のポイントだけでなく、要素間の導体上の任意のポイント又は導体全体と解釈される。
- [0016] また、「平行」及び「垂直」などの要素間の関係性を示す用語、及び、「矩形」などの要素の形状を示す用語、並びに、数値範囲は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数%程度の誤差をも含むことを意味する。
- [0017] まず、高周波信号を高効率に増幅する技術として、高周波信号に基づいて時間の経過とともに動的に調整された電源電圧を電力増幅器に供給するトラッキングモードについて説明する。トラッキングモードとは、電力増幅器に印加される電源電圧を動的に調整するモードである。トラッキングモードにはいくつかの種類があるが、ここでは、A P Tモード、A－E Tモード及びD－E Tモードについて図1 A～図1 Cを参照しながら説明する。図1 A～図1 Cにおいて、横軸は時間を表し、縦軸は電圧を表す。また、太い実線は、電源電圧を表し、細い実線（波形）は、変調信号を表す。
- [0018] 図1 Aは、A P Tモードにおける電源電圧の推移の一例を示すグラフである。A P Tモードとは、平均パワーに基づいて、1フレーム単位で複数の離散的な電圧レベルに電源電圧を変動させるモードである。
- [0019] フレームとは、高周波信号（変調信号）を構成する単位を意味する。例えば5 G N R（5th Generation New Radio）及びL T E（Long Term Evolution）では、フレームは、10個のサブフレームを含み、各サブフレームは、複数のスロットを含み、各スロットは、複数のシンボルで構成される。サブフレーム長は1 m sであり、フレーム長は10 m sである。
- [0020] なお、平均パワーに基づいて1フレーム単位又はそれよりも大きな単位で電圧レベルを変動させるモードをA P Tモードと呼び、1フレームよりも小さな単位（例えばサブフレーム、スロット又はシンボル単位）で電圧レベルを変動させるモードと区別する。

[0021] 図1Bは、A-E-Tモードにおける電源電圧の推移の一例を示すグラフである。A-E-Tモードとは、エンベロープ信号に基づいて電源電圧を連続的に変動させるモードである。A-E-Tモードでは、電源電圧が変調信号の包絡線を追跡することができる。

[0022] エンベロープ信号とは、変調信号の包絡線を示す信号である。エンベロープ値は、例えば $(I^2 + Q^2)$ の平方根で表される。ここで、 (I, Q) は、コンスタレーションポイントを表す。コンスタレーションポイントとは、デジタル変調された信号をコンスタレーションダイアグラム上で表す点である。 (I, Q) は、例えば、送信情報に基づいてB B I C (Baseband Integrated Circuit) で決定される。

[0023] 図1Cは、D-E-Tモードにおける電源電圧の推移の一例を示すグラフである。D-E-Tモードとは、エンベロープ信号に基づいて、1フレーム内で複数の離散的な電圧レベルに電源電圧を変動させるモードである。D-E-Tモードでは、電源電圧が変調信号の包絡線を追跡することができる。D-E-Tでは、A-P-Tよりも短い時間間隔で電源電圧が変動する。

[0024] (実施の形態1)

以下に、実施の形態1について説明する。本実施の形態に係る通信装置6は、無線接続を提供するために使用することができる。例えば、携帯電話、スマートフォン、タブレットコンピュータ、ウェアラブル・デバイスなどのセルラーネットワーク（モバイルネットワークともいう）におけるユーザ端末（UE：User Equipment）に通信装置6を実装することができる。別の例では、通信装置6を実装することで、IoT（Internet of Things）センサ・デバイス、医療／ヘルスケア・デバイス、車、無人航空機（UAV：Unmanned Aerial Vehicle）（いわゆるドローン）、無人搬送車（AGV：Automated Guided Vehicle）に無線接続を提供することができる。さらに別の例では、通信装置6を実装することで、無線アクセスポイント又は無線ホットスポットで無線接続を提供することもできる。

[0025] [1. 1 通信装置6の回路構成]

本実施の形態に係る通信装置 6 の回路構成について、図 2 を参照しながら説明する。図 2 は、本実施の形態に係る通信装置 6 の回路構成図である。

[0026] なお、図 2 は、例示的な回路構成であり、通信装置 6 は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供される通信装置 6 の説明は、限定的に解釈されるべきではない。

[0027] 本実施の形態に係る通信装置 6 は、トラック回路 1、電力増幅器 2、直流電源 3、及び、RFIC 4 を含む送信システム 7 と、アンテナ 5 と、を備える。

[0028] トラック回路 1 は、複数の離散的電圧のうちの少なくとも 1 つを選択的に電力増幅器 2 に供給することができる。このとき、トラック回路 1 は、RFIC 4 で生成された高周波信号を受けて複数の離散的電圧の中から少なくとも 1 つの電圧を選択することができる。これにより、トラック回路 1 は、電力増幅器 2 に D-E T モードを適用することができる。また、トラック回路 1 は、電力増幅器 2 に A P T モードを適用可能であってもよい。トラック回路 1 の回路構成については後述する。

[0029] 電力増幅器 2 は、第 1 電力増幅器の一例であり、RFIC 4 とアンテナ 5 との間に接続される。さらに、電力増幅器 2 は、トラック回路 1 に接続される。電力増幅器 2 は、トラック回路 1 から選択的に供給された複数の離散的電圧のうちの少なくとも 1 つを用いて、RFIC 4 から供給された高周波信号を増幅することができる。

[0030] 直流電源 3 は、トラック回路 1 に直流電圧を供給することができる。直流電源 3 としては、例えば、充電式電池 (rechargeable battery) を用いることができるが、これに限定されない。なお、直流電源 3 は、送信システム 7 に含まれなくてもよく、通信装置 6 に含まれなくてもよい。

[0031] RFIC 4 は、高周波信号 (第 1 高周波信号の一例) を生成するよう構成された信号処理回路の一例である。RFIC 4 は、例えば BBIC (図示せず) からデジタル I Q 信号を受け、デジタル I Q 信号にデジタル・アナログ変換、直交変調、及び、アップコンバートなどを行うことにより、高周波信

号を生成することができる。さらに、RFIC4は、トラック回路1を制御するためのデジタル制御信号を生成してもよい。なお、RFIC4の制御部としての機能の一部又は全部は、RFIC4の外部（例えばトラック回路1など）に実装されてもよい。

[0032] アンテナ5は、電力増幅器2で増幅された高周波信号を外部に送信することができる。なお、アンテナ5は、通信装置6に含まなくてもよい。また、通信装置6は、アンテナ5に加えて、さらに1以上のアンテナを備えてもよい。

[0033] なお、図2に表された通信装置6の回路構成は、例示であり、これに限定されない。例えば、通信装置6は、高周波信号よりも低い周波数帯域を用いて信号処理するベースバンド信号処理回路を備えてもよい。

[0034] [1. 2 トラック回路1の回路構成]

次に、トラック回路1の回路構成について図2～図4を参照しながら説明する。図3は、本実施の形態に係るプリレギュレータ回路10、スイッチトキャパシタ回路20及び電源変調回路30の回路構成図である。図4は、本実施の形態に係る包絡線検波回路40、スイッチ制御回路50及びデジタル制御回路60の回路構成図である。

[0035] なお、図2～図4は、例示的な回路構成であり、トラック回路1、プリレギュレータ回路10、スイッチトキャパシタ回路20、電源変調回路30、包絡線検波回路40、スイッチ制御回路50及びデジタル制御回路60は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供されるトラック回路1、プリレギュレータ回路10、スイッチトキャパシタ回路20、電源変調回路30、包絡線検波回路40、スイッチ制御回路50及びデジタル制御回路60の説明は、限定的に解釈されるべきではない。

[0036] トラック回路1は、プリレギュレータ回路10及びスイッチトキャパシタ回路20を含む電圧生成回路25と、電源変調回路30と、包絡線検波回路40と、スイッチ制御回路50と、デジタル制御回路60と、外部接続端子

101～103と、を備える。

[0037] プリレギュレータ回路10は、磁気レギュレータ又はDC (Direct Current) /DCコンバータと呼ばれる場合もある。本実施の形態では、プリレギュレータ回路10は、1入力1出力のバックブーストコンバータであり、直流電源3からの入力電圧 (Vbat) を出力電圧 (調整電圧) に変換することができる。なお、プリレギュレータ回路10は、バックコンバータ又はブーストコンバータであってもよい。プリレギュレータ回路10は、例えばRFIC4からのデジタル制御信号に基づいて、出力電圧を変化させることができる。プリレギュレータ回路10の回路構成については、図3を用いて後述する。

[0038] スイッチトキャパシタ回路20は、プリレギュレータ回路10から供給される調整電圧に基づいて複数の離散的電圧を生成することができる。スイッチトキャパシタ回路20の回路構成については、図3を用いて後述する。

[0039] なお、電圧生成回路25は、プリレギュレータ回路10及び／又はスイッチトキャパシタ回路20を含まなくてもよい。例えば、プリレギュレータ回路10は、電圧生成回路25、さらには、トラッカ回路1外に配置されてもよい。また、電圧生成回路25は、スイッチトキャパシタ回路20を含まずに、複数のプリレギュレータ回路10を含んでもよい。

[0040] 電源変調回路30は、スイッチトキャパシタ回路20によって生成された複数の離散的電圧のうちの少なくとも1つを選択的に電力増幅器2に出力することができる。つまり、電源変調回路30は、複数の離散的電圧の中から少なくとも1つの電圧を選択し、選択した電圧を電力増幅器2に供給することができる。電源変調回路30の回路構成については、図3を用いて後述する。

[0041] 包絡線検波回路40は、RFIC4によって生成された高周波信号を受けて、高周波信号の包絡線を検出することができる。包絡線検波回路40の回路構成については、図4を用いて後述する。

[0042] スイッチ制御回路50は、包絡線検波回路40によって検出された包絡線

に基づいて、複数の離散的電圧の中から少なくとも1つの電圧を選択するための制御信号CS31～CS33（第2制御信号の一例）を生成することができる。つまり、スイッチ制御回路50は、RFIC4からの高周波信号に基づいて電源変調回路30を制御することができる。言い換えれば、電源変調回路30は、RFIC4からのデジタル制御信号に基づいて制御されない。スイッチ制御回路50の回路構成については、図4を用いて後述する。

[0043] デジタル制御回路60は、RFIC4からのデジタル制御信号（第1制御信号の一例）に基づいて、プリレギュレータ回路10及びスイッチトキャパシタ回路20を制御することができる。具体的には、デジタル制御回路60は、プリレギュレータ回路10及びスイッチトキャパシタ回路20に含まれるスイッチを制御するための制御信号を生成して出力することができる。デジタル制御回路60については、図4を用いて後述する。なお、デジタル制御回路60は、トラッカ回路1に含まなくてもよい。

[0044] 外部接続端子101は、第1外部接続端子の一例であり、シリアルデータ伝送規格に基づく制御信号（第1制御信号）が入力される。外部接続端子101は、RFIC4に外部接続され、デジタル制御回路60に内部接続される。シリアルデータ伝送規格に基づく制御信号としては、例えばソース同期方式又はクロック埋め込み方式の制御信号を用いることができるが、これらに限定されない。

[0045] 外部接続端子102は、第2外部接続端子の一例であり、電力増幅器2で増幅される高周波信号が入力される。外部接続端子102は、RFIC4に外部接続され、包絡線検波回路40に内部接続される。

[0046] 外部接続端子103は、電力増幅器2に電源電圧を供給するための出力端子である。外部接続端子103は、電力増幅器2に外部接続され、電源変調回路30に内部接続される。

[0047] [1. 2. 1 プリレギュレータ回路10の回路構成]

次に、トラッカ回路1に含まれるプリレギュレータ回路10の回路構成について図3を参照しながら説明する。

- [0048] プリレギュレータ回路 10 は、入力端子 T 1 1 と、出力端子 T 1 2 と、スイッチ S 1 1 ～ S 1 4 と、パワーインダクタ L 1 1 と、キャパシタ C 1 1 と、を備える。
- [0049] 入力端子 T 1 1 は、直流電源 3 から直流電圧 (V b a t) を受けるための端子である。入力端子 T 1 1 は、直流電源 3 に外部接続され、スイッチ S 1 1 に内部接続される。
- [0050] 出力端子 T 1 2 は、スイッチトキャパシタ回路 20 に調整電圧を供給するための端子である。出力端子 T 1 2 は、スイッチトキャパシタ回路 20 の入力端子 T 2 1 に外部接続され、スイッチ S 1 3 に内部接続される。
- [0051] パワーインダクタ L 1 1 は、直流電圧 (V b a t) の昇圧及び降圧に用いられるインダクタである。パワーインダクタ L 1 1 の一端は、スイッチ S 1 1 及び S 1 2 に接続され、パワーインダクタ L 1 1 の他端は、スイッチ S 1 3 及び S 1 4 に接続される。
- [0052] スイッチ S 1 1 は、入力端子 T 1 1 とパワーインダクタ L 1 1 の一端との間に接続される。この接続構成において、スイッチ S 1 1 は、開閉を切り替えることで、入力端子 T 1 1 とパワーインダクタ L 1 1 の一端との間の接続及び非接続を切り替えることができる。
- [0053] スイッチ S 1 2 は、パワーインダクタ L 1 1 の一端とグランドとの間に接続される。この接続構成において、スイッチ S 1 2 は、開閉を切り替えることで、パワーインダクタ L 1 1 の一端とグランドとの間の接続及び非接続を切り替えることができる。
- [0054] スイッチ S 1 3 は、パワーインダクタ L 1 1 の他端と出力端子 T 1 2 との間に接続される。この接続構成において、スイッチ S 1 3 は、開閉を切り替えることで、パワーインダクタ L 1 1 の他端と出力端子 T 1 2 との間の接続及び非接続を切り替えることができる。
- [0055] スイッチ S 1 4 は、パワーインダクタ L 1 1 の他端とグランドとの間に接続される。この接続構成において、スイッチ S 1 4 は、開閉を切り替えることで、パワーインダクタ L 1 1 の他端とグランドとの間の接続及び非接続を

切り替えることができる。

[0056] キャパシタC 1 1 は、スイッチS 1 3 及び出力端子T 1 2 の間の経路とグラウンドとの間に接続される。具体的には、キャパシタC 1 1 の2つの電極の一方は、スイッチS 1 3 及び出力端子T 1 2 に接続され、キャパシタC 1 1 の2つの電極の他方は、グラウンドに接続される。

[0057] なお、図3に示したプリレギュレータ回路10の構成は、一例であり、これに限定されない。例えば、スイッチS 1 1 ～S 1 4 の一部は、ダイオードに置き換えられてもよい。また、プリレギュレータ回路10の一部又は全部は、トラッカ回路1に含まなくてもよい。

[0058] [1. 2. 2 スイッチトキャパシタ回路20の回路構成]

次に、トラッカ回路1に含まれるスイッチトキャパシタ回路20の回路構成について図3を参照しながら説明する。

[0059] スイッチトキャパシタ回路20は、ラダー型の回路構成を有する。具体的には、スイッチトキャパシタ回路20は、キャパシタC 2 1 ～C 2 7 と、スイッチS 2 1 ～S 2 C と、入力端子T 2 1 と、出力端子T 2 2 ～T 2 4 と、を備える。エネルギー及び電荷は、プリレギュレータ回路10から入力端子T 2 1 を介してノードN 3 に入力され、ノードN 1 ～N 3 から出力端子T 2 2 ～T 2 4 を介して電源変調回路30に引き出される。

[0060] 入力端子T 2 1 は、プリレギュレータ回路10から調整電圧を受けるための端子である。入力端子T 2 1 は、プリレギュレータ回路10に外部接続され、ノードN 3 に内部接続される。

[0061] 出力端子T 2 2 は、電源変調回路30に複数の離散的電圧のうちの電圧（V 1 ）を供給するための端子である。出力端子T 2 2 は、電源変調回路30に外部接続され、ノードN 1 に内部接続される。

[0062] 出力端子T 2 3 は、電源変調回路30に複数の離散的電圧のうちの電圧（V 2 ）を供給するための端子である。出力端子T 2 3 は、電源変調回路30に外部接続され、ノードN 2 に内部接続される。

[0063] 出力端子T 2 4 は、電源変調回路30に複数の離散的電圧のうちの電圧（

V3) を供給するための端子である。出力端子T24は、電源変調回路30に外部接続され、ノードN3に内部接続される。なお、出力端子T24は、入力端子T21と統合されてもよい。

[0064] キャパシタC21～C24は、フライングキャパシタ（トランスファキャパシタと呼ばれる場合もある）であり、プリレギュレータ回路10から供給された調整電圧（V1）を昇圧及び／又は降圧するために用いられる。より具体的には、キャパシタC21～C24は、3つのノードN1～N3において $(V3 - V2) : (V2 - V1) : (V1 - V_G) = 1 : 1 : 1$ 及び $V3 > V2 > V1 > V_G$ を満たすV1～V3が維持されるように、キャパシタC21～C24とノードN1～N3及びグランドとの間で電荷を移動させる。ここで、V_Gは、グランド電位を表す。

[0065] キャパシタC21の2つの電極の一方は、スイッチS21の一端及びスイッチS22の一端に接続される。キャパシタC21の2つの電極の他方は、スイッチS25の一端及びスイッチS26の一端に接続される。

[0066] キャパシタC22の2つの電極の一方は、スイッチS23の一端及びスイッチS24の一端に接続される。キャパシタC22の2つの電極の他方は、スイッチS27の一端及びスイッチS28の一端に接続される。

[0067] キャパシタC23の2つの電極の一方は、スイッチS25の一端及びスイッチS26の一端に接続される。キャパシタC23の2つの電極の他方は、スイッチS29の一端及びスイッチS2Aの一端に接続される。

[0068] キャパシタC24の2つの電極の一方は、スイッチS27の一端及びスイッチS28の一端に接続される。キャパシタC24の2つの電極の他方は、スイッチS2Bの一端及びスイッチS2Cの一端に接続される。

[0069] キャパシタC25～C27は、平滑キャパシタであり、ノードN1～N3における電圧（V1～V3）の保持及び平滑化に用いられる。

[0070] キャパシタC25はノードN2及びN3の間に接続される。具体的には、キャパシタC25の2つの電極の一方は、ノードN3に接続される。一方、キャパシタC25の2つの電極の他方は、ノードN2に接続される。

- [0071] キャパシタC 2 6はノードN 1及びN 2の間に接続される。具体的には、キャパシタC 2 6の2つの電極の一方は、ノードN 2に接続される。一方、キャパシタC 2 6の2つの電極の他方は、ノードN 1に接続される。
- [0072] キャパシタC 2 7は、ノードN 1及びグラウンドの間に接続される。具体的には、キャパシタC 2 7の2つの電極の一方は、ノードN 1に接続される。一方、キャパシタC 2 7の2つの電極の他方は、グラウンドに接続される。
- [0073] スイッチS 2 1は、キャパシタC 2 1及びノードN 2の間に接続される。具体的には、スイッチS 2 1の一端は、キャパシタC 2 1の2つの電極の一方に接続される。一方、スイッチS 2 1の他端は、ノードN 2に接続される。
- [0074] スイッチS 2 2は、キャパシタC 2 1及びノードN 3の間に接続される。具体的には、スイッチS 2 2の一端は、キャパシタC 2 1の2つの電極の一方に接続される。一方、スイッチS 2 2の他端は、ノードN 3に接続される。
- [0075] スイッチS 2 3は、キャパシタC 2 2及びノードN 2の間に接続される。具体的には、スイッチS 2 3の一端は、キャパシタC 2 2の2つの電極の一方に接続される。一方、スイッチS 2 3の他端は、ノードN 2に接続される。
- [0076] スイッチS 2 4は、キャパシタC 2 2及びノードN 3の間に接続される。具体的には、スイッチS 2 4の一端は、キャパシタC 2 2の2つの電極の一方に接続される。一方、スイッチS 2 4の他端は、ノードN 3に接続される。
- [0077] スイッチS 2 5は、キャパシタC 2 1及びC 2 3とノードN 1との間に接続される。具体的には、スイッチS 2 5の一端は、キャパシタC 2 1の2つの電極の他方及びキャパシタC 2 3の2つの電極の一方に接続される。一方、スイッチS 2 5の他端は、ノードN 1に接続される。
- [0078] スイッチS 2 6は、キャパシタC 2 1及びC 2 3とノードN 2との間に接続される。具体的には、スイッチS 2 6の一端は、キャパシタC 2 1の2つ

の電極の他方及びキャパシタC 2 3の2つの電極の一方に接続される。一方、スイッチS 2 6の他端は、ノードN 2に接続される。

[0079] スイッチS 2 7は、キャパシタC 2 2及びC 2 4とノードN 1との間に接続される。具体的には、スイッチS 2 7の一端は、キャパシタC 2 2の2つの電極の他方及びキャパシタC 2 4の2つの電極の一方に接続される。一方、スイッチS 2 7の他端は、ノードN 1に接続される。

[0080] スイッチS 2 8は、キャパシタC 2 2及びC 2 4とノードN 2との間に接続される。具体的には、スイッチS 2 8の一端は、キャパシタC 2 2の2つの電極の他方及びキャパシタC 2 4の2つの電極の一方に接続される。一方、スイッチS 2 8の他端は、ノードN 2に接続される。

[0081] スイッチS 2 9は、キャパシタC 2 3及びグラウンドの間に接続される。具体的には、スイッチS 2 9の一端は、キャパシタC 2 3の2つの電極の他方に接続される。一方、スイッチS 2 9の他端は、グラウンドに接続される。

[0082] スイッチS 2 Aは、キャパシタC 2 3及びノードN 1の間に接続される。具体的には、スイッチS 2 Aの一端は、キャパシタC 2 3の2つの電極の他方に接続される。一方、スイッチS 2 Aの他端は、ノードN 1に接続される。

[0083] スイッチS 2 Bは、キャパシタC 2 4及びグラウンドの間に接続される。具体的には、スイッチS 2 Bの一端は、キャパシタC 2 4の2つの電極の他方に接続される。一方、スイッチS 2 Bの他端は、グラウンドに接続される。

[0084] スイッチS 2 Cは、キャパシタC 2 4及びノードN 1の間に接続される。具体的には、スイッチS 2 Cの一端は、キャパシタC 2 4の2つの電極の他方に接続される。一方、スイッチS 2 Cの他端は、ノードN 1に接続される。

[0085] スイッチS 2 2、S 2 3、S 2 6、S 2 7、S 2 A及びS 2 Bを含む第1セットのスイッチと、スイッチS 2 1、S 2 4、S 2 5、S 2 8、S 2 9及びS 2 Cを含む第2セットのスイッチとは、デジタル制御回路60からの制御信号C S 2 0に基づいて互いに逆に開閉が切り替えられる。

[0086] 具体的には、第1フェーズでは、第1セットのスイッチが閉じられ、第2セットのスイッチが開かれる。これにより、キャパシタC21の2つの電極の一方はノードN3に接続され、キャパシタC21の2つの電極の他方、キャパシタC22の2つの電極の一方、キャパシタC23の2つの電極の一方はノードN2に接続され、キャパシタC22の2つの電極の他方、キャパシタC23の2つの電極の他方、及び、キャパシタC24の2つの電極の一方はノードN3に接続され、キャパシタC24の2つの電極の他方はグラウンドに接続される。

[0087] 逆に、第2フェーズでは、第1セットのスイッチが開かれ、第2セットのスイッチが閉じられる。これにより、キャパシタC22の2つの電極の一方はノードN3に接続され、キャパシタC21の2つの電極の一方、キャパシタC22の2つの電極の他方、キャパシタC24の2つの電極の一方はノードN2に接続され、キャパシタC21の2つの電極の他方、キャパシタC23の2つの電極の一方、及び、キャパシタC24の2つの電極の他方はノードN3に接続され、キャパシタC23の2つの電極の他方はグラウンドに接続される。

[0088] このような第1フェーズ及び第2フェーズが繰り返されることで、キャパシタC21～C24は、相補的に充電及び放電を行うことができる。例えば、第1フェーズ及び第2フェーズの一方において、キャパシタC21及びC23からキャパシタC25～C27への充電が実行され、第1フェーズ及び第2フェーズに他方において、キャパシタC22及びC24からキャパシタC25～C27への充電が実行される。つまり、キャパシタC25～C27には、キャパシタC21～C24のいずれかから常に充電されるので、ノードN1、N2又はN3から電源変調回路30へ高速で電流が流れても、ノードN1、N2又はN3には高速で電荷が補充され、ノードN1、N2又はN3の電位変動を抑制することができる。

[0089] このように動作することで、スイッチトキャパシタ回路20は、キャパシタC25～C27のそれぞれの両端でほぼ等しい電圧を維持することができる。

る。具体的には、 $V_1 \sim V_3$ のラベルが付された 3 つのノード $N_1 \sim N_3$ において、 $(V_3 - V_2) : (V_2 - V_1) : (V_1 - V_G) = 1 : 1 : 1$ を満たす $V_1 \sim V_3$ が維持される。

[0090] なお、 $(V_3 - V_2) : (V_2 - V_1) : (V_1 - V_G)$ は、 $1 : 1 : 1$ に限定されず、任意の比（例えば、 $1 : 2 : 3$ 、 $1 : 2 : 4$ 、 $3 : 2 : 1$ 、 $4 : 2 : 1$ 等）に設計され得る。

[0091] [1. 2. 3 電源変調回路 30 の回路構成]

次に、トラッカ回路 1 に含まれる電源変調回路 30 の回路構成について図 3 を参照しながら説明する。

[0092] 電源変調回路 30 は、入力端子 $T_{31} \sim T_{33}$ と、スイッチ $S_{31} \sim S_{33}$ と、出力端子 T_{34} と、を備える。

[0093] 入力端子 $T_{31} \sim T_{33}$ は、スイッチトキャパシタ回路 20 によって生成された複数の離散的電圧 ($V_1 \sim V_3$) を受けるための端子である。入力端子 $T_{31} \sim T_{33}$ は、スイッチトキャパシタ回路 20 の出力端子 $T_{22} \sim T_{24}$ にそれぞれ外部接続され、スイッチ $S_{31} \sim S_{33}$ にそれぞれ内部接続される。

[0094] 出力端子 T_{34} は、電力増幅器 2 に、複数の離散的電圧のうちの少なくとも 1 つを選択的に供給するための端子である。出力端子 T_{34} は、電力増幅器 2 に外部接続され、スイッチ $S_{31} \sim S_{33}$ に内部接続される。

[0095] スwitch S_{31} は、入力端子 T_{31} と出力端子 T_{34} との間に接続される。この接続構成において、スイッチ S_{31} は、スイッチ制御回路 50 からの制御信号 C_{S31} によって開閉が切り替えられることで、入力端子 T_{31} と出力端子 T_{34} との間の接続及び非接続を切り替えることができる。

[0096] スwitch S_{32} は、入力端子 T_{32} と出力端子 T_{34} との間に接続される。この接続構成において、スイッチ S_{32} は、スイッチ制御回路 50 からの制御信号 C_{S32} によって開閉が切り替えられることで、入力端子 T_{32} と出力端子 T_{34} との間の接続及び非接続を切り替えることができる。

[0097] スwitch S_{33} は、入力端子 T_{33} と出力端子 T_{34} との間に接続される

。この接続構成において、スイッチS 3 3は、スイッチ制御回路5 0からの制御信号C S 3 3によって開閉が切り替えられることで、入力端子T 3 3と出力端子T 3 4との間の接続及び非接続を切り替えることができる。

[0098] 本実施の形態では、これらのスイッチS 3 1～S 3 3は排他的にオンになるように制御される。つまり、スイッチS 3 1～S 3 3のいずれかのみが閉じられ、スイッチS 3 1～S 3 3の残りのすべてが開かれるように制御される。これにより、電源変調回路3 0は、複数の離散的電圧（V 1～V 3）の中から選択された1つの電圧を電力増幅器2に供給することができる。

[0099] なお、図3に示した電源変調回路3 0の構成は、一例であり、これに限定されない。特に、スイッチS 3 1～S 3 3は、3つの入力端子T 3 1～T 3 3の少なくとも1つを選択的に出力端子T 3 4に接続できればよく、どのような構成であってもよく、どのように制御されてもよい。例えば、スイッチS 3 1～S 3 3のうちの2つが閉じられ、スイッチS 3 1～S 3 3のうちの残りの1つが開かれてもよい。

[0100] [1. 2. 4 包絡線検波回路4 0の回路構成]

次に、トラッカ回路1に含まれる包絡線検波回路4 0の回路構成について図4を参照しながら説明する。包絡線検波回路4 0は、入力端子T 4 1と、出力端子T 4 2と、ダイオードD 4 1と、キャパシタC 4 1と、抵抗R 4 1と、を備える。

[0101] 入力端子T 4 1は、高周波信号を受けるための端子である。入力端子T 4 1は、外部接続端子1 0 2に外部接続され、ダイオードD 4 1の入力端に内部接続される。

[0102] 出力端子T 4 2は、包絡線信号をスイッチ制御回路5 0に供給するための端子である。出力端子T 4 2は、スイッチ制御回路5 0に外部接続され、ダイオードD 4 1の出力端に内部接続される。

[0103] ダイオードD 4 1は、入力端子T 4 1及び出力端子T 4 2の間に接続される。

[0104] キャパシタC 4 1は、ダイオードD 4 1の出力端と出力端子T 4 2との間

の経路とグランドとの間に抵抗 R_{41} と並列に接続される。

[0105] 抵抗 R_{41} は、ダイオード D_{41} の出力端と出力端子 T_{42} との間の経路とグランドとの間にキャパシタ C_{41} と並列に接続される。

[0106] なお、図4では、包絡線検波回路40の最も単純な回路構成を例示したが、包絡線検波回路40の回路構成は、これに限定されない。

[0107] [1. 2. 5 スイッチ制御回路50の回路構成]

次に、トラッカ回路1に含まれるスイッチ制御回路50の回路構成について図4を参照しながら説明する。

[0108] スイッチ制御回路50は、入力端子 T_{51} と、出力端子 $T_{52} \sim T_{54}$ と、コンパレータ $C_{51} \sim C_{54}$ と、を備える。

[0109] 入力端子 T_{51} は、包絡線信号を受けるための端子である。入力端子 T_{51} は、包絡線検波回路40に外部接続され、コンパレータ $C_{51} \sim C_{54}$ に内部接続される。

[0110] 出力端子 $T_{52} \sim T_{54}$ は、電源変調回路30に制御信号 $CS_{31} \sim CS_{33}$ をそれぞれ供給するための端子である。出力端子 $T_{52} \sim T_{54}$ は、電源変調回路30に接続される。

[0111] 制御信号 $CS_{31} \sim CS_{33}$ は、第2制御信号の一例であり、複数の離散的電圧の中から少なくとも1つの電圧を選択するための信号である。具体的には、制御信号 $CS_{31} \sim CS_{33}$ は、電源変調回路30のスイッチ $S_{31} \sim S_{33}$ の開閉をそれぞれ制御するための信号である。

[0112] 本実施の形態では、制御信号 CS_{31} が高レベルの電圧を有する場合に、スイッチ S_{31} が閉じられ、制御信号 CS_{31} が低レベルの電圧を有する場合に、スイッチ S_{31} が開かれる。同様に、制御信号 CS_{32} が高レベルの電圧を有する場合に、スイッチ S_{32} が閉じられ、制御信号 CS_{32} が低レベルの電圧を有する場合に、スイッチ S_{32} が開かれる。同様に、制御信号 CS_{33} が高レベルの電圧を有する場合に、スイッチ S_{33} が閉じられ、制御信号 CS_{33} が低レベルの電圧を有する場合に、スイッチ S_{33} が開かれる。

- [0113] なお、制御信号CS31～CS33の電圧とスイッチS31～S33の開閉との関係は、逆であってもよい。つまり、制御信号が高レベルの電圧を有する場合にスイッチが開かれてもよく、制御信号が低レベルの電圧を有する場合にスイッチが閉じられてもよい。
- [0114] コンパレータC51は、包絡線信号と参照電圧Vref1とを比較することができる。コンパレータC51の非反転入力端は、参照電圧Vref1の電圧源に接続される。コンパレータC51の反転入力端は、入力端子T51に接続される。コンパレータC51の出力端は、出力端子T52に接続される。これにより、参照電圧Vref1が包絡線信号よりも高い場合に、コンパレータC51は、制御信号CS31を高レベル電圧で出力端子T52に出力することができる。一方、参照電圧Vref1が包絡線信号よりも低い場合に、コンパレータC51は、制御信号CS31を低レベル電圧で出力端子T52に出力することができる。
- [0115] コンパレータC52は、包絡線信号と参照電圧Vref1とを比較することができる。コンパレータC52の非反転入力端は、入力端子T51に接続される。コンパレータC52の反転入力端は、Vref1の電圧源に接続される。コンパレータC52の出力端は、出力端子T53に接続される。
- [0116] コンパレータC53は、包絡線信号と参照電圧Vref2とを比較することができる。コンパレータC53の非反転入力端は、参照電圧Vref2の電圧源に接続される。コンパレータC53の反転入力端は、入力端子T51に接続される。コンパレータC53の出力端は、出力端子T53に接続される。なお、参照電圧Vref2は、参照電圧Vref1よりも高い。
- [0117] コンパレータC52及びC53は、ウィンドウコンパレータ回路を構成する。ウィンドウコンパレータ回路は、包絡線信号が参照電圧Vref1及びVref2の範囲に含まれる場合に高レベル電圧を出力端子T53に出力し、包絡線信号が参照電圧Vref1及びVref2の範囲に含まれない場合に低レベル電圧を出力端子T53に出力することができる。
- [0118] コンパレータC54は、包絡線信号と参照電圧Vref2とを比較するこ

とができる。コンパレータC 5 4の非反転入力端は、入力端子T 5 1に接続される。コンパレータC 5 4の反転入力端は、参照電圧V r e f 2の電圧源に接続される。コンパレータC 5 4の出力端は、出力端子T 5 4に接続される。これにより、コンパレータC 5 4は、包絡線信号が参照電圧V r e f 2よりも高い場合に高レベル電圧を出力端子T 5 4に出力し、包絡線信号が参照電圧V r e f 2よりも低い場合に低レベル電圧を出力端子T 5 4に出力することができる。

[0119] 以上のように、スイッチ制御回路5 0は、包絡線信号が参照電圧V r e f 1よりも低い場合に、複数の離散的電圧の中から第1電圧（V 1）を選択するための制御信号C S 3 1を生成することができる。また、スイッチ制御回路5 0は、包絡線信号が参照電圧V r e f 1よりも高く、かつ、包絡線信号が参照電圧V r e f 2よりも低い場合に、複数の離散的電圧の中から第2電圧（V 2）を選択するための制御信号C S 3 2を生成することができる。さらに、スイッチ制御回路5 0は、包絡線信号が参照電圧V r e f 2よりも高い場合に、複数の離散的電圧の中から第3電圧（V 3）を選択するための制御信号C S 3 3を生成することができる。

[0120] なお、図4に表されたスイッチ制御回路5 0の回路構成は、例示であり、これに限定されない。例えば、スイッチ制御回路5 0は、制御信号C S 3 1～C S 3 3の代わりに、デジタル制御ライン（D C L : Digital Control Line）信号をデジタル制御回路6 0に出力するよう構成されてもよい。この場合、デジタル制御回路6 0は、D C L 信号からスイッチS 3 1～S 3 3の制御信号C S 3 1～C S 3 3を生成してもよい。

[0121] [1 . 2 . 6 デジタル制御回路6 0の回路構成]

次に、トラッカ回路1に含まれるデジタル制御回路6 0の回路構成について図4を参照しながら説明する。

[0122] デジタル制御回路6 0は、外部接続端子1 0 1を介して、シリアルデータ伝送規格に基づくデジタル制御信号（第1制御信号の一例）を受けることができる。図4では、シリアルデータ伝送規格に基づくデジタル制御信号とし

て、ソース同期方式のデジタル制御信号が用いられている。したがって、デジタル制御回路60は、2つの外部接続端子101を介して、クロック信号（CLK）及びデータ信号（DATA）をそれぞれ受けることができる。

[0123] デジタル制御回路60は、クロック信号（CLK）及びデータ信号（DATA）を処理して、プリレギュレータ回路10及びスイッチトキャパシタ回路20をそれぞれ制御するための制御信号CS10及びCS20を生成することができる。プリレギュレータ回路10に含まれるスイッチS11～S14の開閉は、制御信号CS10によって制御され、スイッチトキャパシタ回路20に含まれるスイッチS21～S2Cは、制御信号CS20によって制御される。

[0124] [1.3 増幅方法]

次に、本実施の形態に係る増幅方法について図5を参照しながら説明する。図5は、本実施の形態に係る増幅方法を示すフローチャートである。

[0125] まず、RFIC4は、高周波信号を生成する（S101）。プリレギュレータ回路10及びスイッチトキャパシタ回路20は、複数の離散的電圧（V1～V3）を生成する（S102）。包絡線検波回路40は、RFIC4によって生成された高周波信号の包絡線を検出する（S103）。電源変調回路30は、包絡線検波回路40によって検出された包絡線に基づいて、複数の離散的電圧（V1～V3）の中から少なくとも1つの電圧を選択する（S104）。電力増幅器2は、選択された少なくとも1つの電圧を用いて、RFIC4によって生成された高周波信号を増幅する（S105）。

[0126] [1.4 通信装置6の実装例]

次に、通信装置6の実装例を図6を参照しながら説明する。図6は、本実施の形態に係る通信装置6の部品配置図である。なお、図6では、各部品の配置関係が容易に理解できるように、各部品にその機能を表す略称（「ANT」など）が付されているが、実際の各部品には、当該略称は付されなくてもよい。また、図6において、部品間を電氣的に接続する導体は単純な線で表されている。

[0127] マザー基板 8 には、トラックモジュール (DET) と、PA モジュール (PA1) と、RFIC4 と、が配置されている。

[0128] トラックモジュール (DET) には、トラック回路 1 が実装される。トラックモジュール (DET) は、マザー基板 8 の平面視において PA モジュール (PA1) に隣接して配置されている。トラックモジュール (DET) の外部接続端子 101 は、RFIC4 に接続され、RFIC4 からクロック信号 (CLK) 及びデータ信号 (DATA) が供給される。トラックモジュール (DET) の外部接続端子 102 は、RFIC4 に接続され、RFIC4 から高周波信号 (RF) が供給される。ここでは、RFIC4 とトラックモジュール (DET) との間を接続する導体は、RFIC4 と PA モジュール (PA1) との間を接続する導体から分岐している。トラックモジュール (DET) の外部接続端子 103 は、PA モジュール (PA1) に接続され、電源電圧 (Vcc) を供給する。

[0129] PA モジュール (PA1) には、電力増幅器 2 が実装される。PA モジュール (PA1) は、アンテナ 5 の近傍に配置されている。

[0130] アンテナ 5 (ANT) は、マザー基板 8 の上辺側に配置され、PA モジュール (PA1) の近傍に配置されている。

[0131] [1.5 効果など]

以上のように、本実施の形態に係る送信システム 7 は、第 1 高周波信号を生成するよう構成された RFIC4 と、第 1 高周波信号を増幅するよう構成された電力増幅器 2 と、複数の離散的電圧のうちの少なくとも 1 つを選択的に電力増幅器 2 に供給するよう構成されたトラック回路 1 と、を備え、トラック回路 1 は、RFIC4 によって生成された第 1 高周波信号を受けて複数の離散的電圧の中から少なくとも 1 つの電圧を選択するよう構成されている。

[0132] これによれば、高周波信号を受けて複数の離散的電圧の中から少なくとも 1 つの電圧が選択されるので、RFIC4 は、電圧選択のためのデジタル制御信号を生成しなくてもよい。DET では、包絡線に基づいて高速に電圧

が切り替えられる必要があるため、通常のシリアルデータ伝送規格に基づくデジタル制御信号で電圧選択を制御することは難しい。そのため、従来は、パラレルデータ伝送規格に基づくデジタル制御信号（例えばデジタル制御レベル信号）が用いられ、パラレルデータ伝送規格に基づくデジタル制御信号を生成する回路が R F I C 4 に組み込まれる必要がある。これに対して、本実施の形態に係る送信システム 7 では、トラック回路 1 で高周波信号を受けて電圧が選択されるので、パラレルデータ伝送規格に基づくデジタル制御信号を生成する回路が R F I C 4 に組み込まれなくてもよく、簡素な R F I C 4 で D - E T を実現することができる。

[0133] また例えば、本実施の形態に係る送信システム 7 において、トラック回路 1 は、R F I C 4 によって生成された第 1 高周波信号を受けて、第 1 高周波信号の包絡線を検出するよう構成された包絡線検波回路 4 0 と、包絡線検波回路 4 0 によって検出された包絡線に基づいて、複数の離散的電圧の中から少なくとも 1 つの電圧を選択するための制御信号を生成するよう構成されたスイッチ制御回路 5 0 と、を備えてもよい。

[0134] これによれば、包絡線検波回路 4 0 で検出された包絡線に基づいて電圧選択を制御することができ、比較的簡単な回路で高速に電圧を切り替えることができる。

[0135] また例えば、本実施の形態に係る送信システム 7 において、複数の離散的電圧は、第 1 電圧と第 1 電圧よりも高い第 2 電圧とを含んでもよく、スイッチ制御回路 5 0 は、包絡線が参照電圧よりも低い場合に、複数の離散的電圧の中から第 1 電圧を選択するための制御信号を生成するよう構成されてもよく、包絡線が参照電圧よりも高い場合に、複数の離散的電圧の中から第 2 電圧を選択するための制御信号を生成するよう構成されてもよい。

[0136] これによれば、包絡線を参照電圧と比較することで制御信号を生成することができ、コンパレータなどの比較的簡単な回路で高速に制御信号を生成することができる。

[0137] また例えば、本実施の形態に係る送信システム 7 において、スイッチ制御

回路50は、制御信号として、デジタル制御レベル信号を生成するよう構成されてもよい。

[0138] これによれば、RFIC4の代わりにスイッチ制御回路50がDCL信号を生成することができ、DCL信号に従って電圧選択を制御するデジタル制御回路をトラック回路1に流用することができる。

[0139] また、本実施の形態に係るトラック回路1は、複数の離散的電圧を生成するよう構成された電圧生成回路25と、複数の離散的電圧のうちの少なくとも1つを選択的に電力増幅器2に出力するよう構成された電源変調回路30と、シリアルデータ伝送規格に基づく第1制御信号（CLK、DATA）が入力される外部接続端子101と、電力増幅器2で増幅される高周波信号が入力される外部接続端子102と、を備え、電圧生成回路25は、第1制御信号に基づいて制御され、電源変調回路30は、高周波信号に基づいて制御される。

[0140] これによれば、高周波信号に基づいて電源変調回路30が制御されるので、トラック回路1は、RFIC4から電圧選択のためのデジタル制御信号を受けなくてもよい。したがって、パラレルデータ伝送規格に基づくデジタル制御信号を生成する回路がRFIC4に組み込まれなくてもよく、簡素なRFIC4でDETを実現することができる。

[0141] また例えば、本実施の形態に係るトラック回路1は、さらに、外部接続端子102を介して入力された高周波信号の包絡線を検出するよう構成された包絡線検波回路40と、包絡線検波回路40によって検出された包絡線に基づいて、複数の離散的電圧の中から少なくとも1つの電圧を選択するための第2制御信号（CS31～CS33）を生成するよう構成されたスイッチ制御回路50と、を備えてもよい。

[0142] これによれば、包絡線検波回路40で検出された包絡線に基づいて電圧選択を制御することができ、比較的簡単な回路で高速に電圧を切り替えることができる。

[0143] また例えば、本実施の形態に係るトラック回路1において、スイッチ制御

回路 50 は、包絡線を参照電圧と比較するコンパレータ C51～C54 を含んでもよい。

[0144] これによれば、コンパレータ C51～C54 などの比較的簡単な回路でスイッチ制御回路 50 を構成することができる。

[0145] また例えば、本実施の形態に係る送信システム 7 において、スイッチ制御回路 50 は、第 2 制御信号として、デジタル制御レベル信号を生成するように構成されてもよい。

[0146] これによれば、RFIC4 の代わりにスイッチ制御回路 50 が DCL 信号を生成することができ、DCL 信号に従って電圧選択を制御するデジタル制御回路をトラック回路 1 に流用することができる。

[0147] また、本実施の形態に係る増幅方法は、高周波信号を生成し (S101)、複数の離散的電圧を生成し (S102)、生成された高周波信号の包絡線を検出し (S103)、検出された包絡線に基づいて、生成された複数の離散的電圧の中から少なくとも 1 つの電圧を選択し (S104)、選択された少なくとも 1 つの電圧を用いて高周波信号を増幅する (S105)。

[0148] これによれば、高周波信号から包絡線が検出され、当該包絡線に基づいて電圧が選択されるので、RFIC4 は、電圧選択のためのデジタル制御信号を生成しなくてもよい。したがって、パラレルデータ伝送規格に基づくデジタル制御信号を生成する回路が RFIC4 に組み込まれなくてもよく、簡素な RFIC4 で DET を実現することができる。

[0149] (実施の形態 2)

次に、実施の形態 2 について説明する。本実施の形態では、APT モードが適用され、DET モードが適用されない電力増幅器が通信装置に含まれる点が、実施の形態 1 と主として異なる。以下に、本実施の形態について、実施の形態 1 と異なる点を中心に図面を参照しながら説明する。

[0150] [2. 1 通信装置 6A の回路構成]

本実施の形態に係る通信装置 6A の回路構成について、図 7 を参照しながら説明する。図 7 は、本実施の形態に係る通信装置 6A の回路構成図である

。

[0151] なお、図 7 は、例示的な回路構成であり、通信装置 6 A は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供される通信装置 6 A の説明は、限定的に解釈されるべきではない。

[0152] 本実施の形態に係る通信装置 6 A は、送信システム 7 A とアンテナ 5 とを備える。送信システム 7 A は、トラッカ回路 1 と、電力増幅器 2 と、直流電源 3 と、RFIC 4 A と、DC/DC コンバータ回路 10 A と、電力増幅器 2 A と、を備える。

[0153] RFIC 4 A は、電力増幅器 2 に供給される第 1 高周波信号に加えて、電力増幅器 2 A に供給される第 2 高周波信号を生成することができる。

[0154] DC/DC コンバータ回路 10 A は、直流電源 3 からの入力電圧 (V_{bat}) を、電力増幅器 2 A への供給電圧 (V_{cc}) に変換することができる。DC/DC コンバータ回路 10 A は、電力増幅器 2 A に供給される第 2 高周波信号の平均電力に基づいて、電力増幅器 2 A への供給電圧 (V_{cc}) を変化させることができる。これにより、DC/DC コンバータ回路 10 A は、電力増幅器 2 A に APT モードを適用することができる。DC/DC コンバータ回路 10 A は、プリレギュレータ回路 10 と同様の回路構成を有するので、その図示及び説明を省略する。

[0155] 電力増幅器 2 A は、RFIC 4 A とアンテナ 5 との間に接続される。さらに、電力増幅器 2 A は、DC/DC コンバータ回路 10 A に接続される。電力増幅器 2 A は、DC/DC コンバータ回路 10 A から供給された電圧を用いて、RFIC 4 A から供給された第 2 高周波信号を増幅することができる。

[0156] [2. 2 通信装置 6 A の実装例]

次に、通信装置 6 A の実装例を図 8 を参照しながら説明する。図 8 は、本実施の形態に係る通信装置 6 A の部品配置図である。なお、図 8 では、各部品の配置関係が容易に理解できるように、各部品にその機能を表す略称（「ANT」など）が付されているが、実際の各部品には、当該略称は付されな

くてもよい。また、図8において、部品間を電氣的に接続する導体は単純な線で表されている。

[0157] マザー基板8には、トラックモジュール(D E T)と、P Aモジュール(P A 1、P A 2)と、R F I C 4 Aと、コンバータモジュール(D C / D C)と、が配置されている。

[0158] コンバータモジュール(D C / D C)には、D C / D Cコンバータ回路10 Aが実装される。コンバータモジュール(D C / D C)は、マザー基板8の平面視においてP Aモジュール(P A 2)に隣接して配置されている。

[0159] P Aモジュール(P A 2)には、電力増幅器2 Aが実装される。P Aモジュール(P A 2)は、アンテナ5の近傍に配置されている。

[0160] [2. 3 効果など]

以上のように、本実施の形態に係る送信システム7 Aにおいて、R F I C 4 Aは、さらに、第2高周波信号を生成するよう構成されてもよく、送信システム7 Aは、さらに、入力電圧を供給電圧に変換するよう構成されたD C / D Cコンバータ回路10 Aと、D C / D Cコンバータ回路10 Aからの供給電圧を用いて、第2高周波信号を増幅するよう構成された電力増幅器2 Aと、を備えてもよい。

[0161] これによれば、簡素なR F I C 4 AでD - E T及びA P Tを実現することができる。

[0162] (他の実施の形態)

以上、本発明に係る送信システム、トラック回路及び増幅方法について、実施の形態に基づいて説明したが、本発明に係る送信システム、トラック回路及び増幅方法は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせることで実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、上記送信システム又は上記トラック回路を内蔵した各種機器も本発明に含まれる。

[0163] 例えば、上記各実施の形態に係る各種回路の回路構成において、図面に関

示された各回路素子及び信号経路を接続する経路の間に、別の回路素子及び配線などが挿入されてもよい。例えば、電力増幅器 2 とアンテナ 5 との間に、フィルタ及び／又はインピーダンス整合回路が挿入されてもよい。

[0164] また例えば、上記各実施の形態においてスイッチトキャパシタ回路 20 によって生成される複数の離散的電圧の数は、2 つであってもよく、4 つ以上であってもよい。この場合、スイッチトキャパシタ回路 20 のラダーの段数が増やされてもよい。

[0165] また例えば、トラッカ回路 1 は、複数の電力増幅器に電圧を供給してもよい。この場合、トラッカ回路 1 は、複数の電源変調回路 30 を備えてもよい。

[0166] 以下に、上記各実施の形態に基づいて説明した送信システム、トラッカ回路及び増幅方法の特徴を示す。

[0167] < 1 >

第 1 高周波信号を生成するよう構成された信号処理回路と、
前記第 1 高周波信号を増幅するよう構成された第 1 電力増幅器と、
複数の離散的電圧のうちの少なくとも 1 つを選択的に前記第 1 電力増幅器に供給するよう構成されたトラッカ回路と、を備え、
前記トラッカ回路は、前記信号処理回路によって生成された前記第 1 高周波信号を受けて前記複数の離散的電圧の中から少なくとも 1 つの電圧を選択するよう構成されている、
送信システム。

[0168] < 2 >

前記トラッカ回路は、
前記信号処理回路によって生成された前記第 1 高周波信号を受けて、前記第 1 高周波信号の包絡線を検出するよう構成された包絡線検波回路と、
前記包絡線検波回路によって検出された前記包絡線に基づいて、前記複数の離散的電圧の中から少なくとも 1 つの電圧を選択するための制御信号を生成するよう構成されたスイッチ制御回路と、を備える、

< 1 >に記載の送信システム。

[0169] < 3 >

前記複数の離散的電圧は、第 1 電圧と前記第 1 電圧よりも高い第 2 電圧とを含み、

前記スイッチ制御回路は、

前記包絡線が参照電圧よりも低い場合に、前記複数の離散的電圧の中から前記第 1 電圧を選択するための制御信号を生成するよう構成され、

前記包絡線が前記参照電圧よりも高い場合に、前記複数の離散的電圧の中から前記第 2 電圧を選択するための制御信号を生成するよう構成されている

、

< 2 >に記載の送信システム。

[0170] < 4 >

前記スイッチ制御回路は、前記制御信号として、デジタル制御レベル信号を生成するよう構成されている、

< 2 >又は< 3 >に記載の送信システム。

[0171] < 5 >

前記信号処理回路は、さらに、第 2 高周波信号を生成するよう構成され、

前記送信システムは、さらに、

入力電圧を供給電圧に変換するよう構成されたコンバータ回路と、

前記コンバータ回路からの前記供給電圧を用いて、前記第 2 高周波信号を増幅するよう構成された第 2 電力増幅器と、を備える、

< 1 >~< 4 >のいずれか 1 つに記載の送信システム。

[0172] < 6 >

複数の離散的電圧を生成するよう構成された電圧生成回路と、

前記複数の離散的電圧のうちの少なくとも 1 つを選択的に電力増幅器に出力するよう構成された電源変調回路と、

シリアルデータ伝送規格に基づく第 1 制御信号が入力される第 1 外部接続端子と、

前記電力増幅器で増幅される高周波信号が入力される第2外部接続端子と、を備え、

前記電圧生成回路は、前記第1制御信号に基づいて制御され、

前記電源変調回路は、前記高周波信号に基づいて制御される、トラッカ回路。

[0173] <7>

前記トラッカ回路は、さらに、

前記第2外部接続端子を介して入力された前記高周波信号の包絡線を検出するよう構成された包絡線検波回路と、

前記包絡線検波回路によって検出された前記包絡線に基づいて、前記複数の離散的電圧の中から少なくとも1つの電圧を選択するための第2制御信号を生成するよう構成されたスイッチ制御回路と、を備える、

<6>に記載のトラッカ回路。

[0174] <8>

前記スイッチ制御回路は、前記包絡線を参照電圧と比較するコンパレータを含む、

<7>に記載のトラッカ回路。

[0175] <9>

前記スイッチ制御回路は、前記第2制御信号として、デジタル制御レベル信号を生成するよう構成されている、

<7>又は<8>に記載のトラッカ回路。

[0176] <10>

高周波信号を生成し、

複数の離散的電圧を生成し、

生成された前記高周波信号の包絡線を検出し、

検出された前記包絡線に基づいて、生成された前記複数の離散的電圧の中から少なくとも1つの電圧を選択し、

選択された前記少なくとも1つの電圧を用いて、前記高周波信号を増幅す

る、

増幅方法。

産業上の利用可能性

[0177] 本発明は、高周波信号を送信する送信システムとして、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0178]
- 1 トラッカ回路
 - 2、2 A 電力増幅器
 - 3 直流電源
 - 4、4 A R F I C
 - 5 アンテナ
 - 6、6 A 通信装置
 - 7、7 A 送信システム
 - 8 マザー基板
 - 1 0 プリレギュレータ回路
 - 1 0 A D C / D C コンバータ回路
 - 2 0 スイッチトキャパシタ回路
 - 2 5 電圧生成回路
 - 3 0 電源変調回路
 - 4 0 包絡線検波回路
 - 5 0 スイッチ制御回路
 - 6 0 デジタル制御回路
 - 1 0 1、1 0 2、1 0 3 外部接続端子

請求の範囲

- [請求項1] 第1高周波信号を生成するよう構成された信号処理回路と、
前記第1高周波信号を増幅するよう構成された第1電力増幅器と、
複数の離散的電圧のうちの少なくとも1つを選択的に前記第1電力増幅器に供給するよう構成されたトラッカ回路と、を備え、
前記トラッカ回路は、前記信号処理回路によって生成された前記第1高周波信号を受けて前記複数の離散的電圧の中から少なくとも1つの電圧を選択するよう構成されている、
送信システム。
- [請求項2] 前記トラッカ回路は、
前記信号処理回路によって生成された前記第1高周波信号を受けて、前記第1高周波信号の包絡線を検出するよう構成された包絡線検波回路と、
前記包絡線検波回路によって検出された前記包絡線に基づいて、前記複数の離散的電圧の中から少なくとも1つの電圧を選択するための制御信号を生成するよう構成されたスイッチ制御回路と、を備える、
請求項1に記載の送信システム。
- [請求項3] 前記複数の離散的電圧は、第1電圧と前記第1電圧よりも高い第2電圧とを含み、
前記スイッチ制御回路は、
前記包絡線が参照電圧よりも低い場合に、前記複数の離散的電圧の中から前記第1電圧を選択するための制御信号を生成するよう構成され、
前記包絡線が前記参照電圧よりも高い場合に、前記複数の離散的電圧の中から前記第2電圧を選択するための制御信号を生成するよう構成されている、
請求項2に記載の送信システム。
- [請求項4] 前記スイッチ制御回路は、前記制御信号として、デジタル制御レベ

ル信号を生成するよう構成されている、

請求項 2 又は 3 に記載の送信システム。

[請求項5] 前記信号処理回路は、さらに、第 2 高周波信号を生成するよう構成され、

前記送信システムは、さらに、

入力電圧を供給電圧に変換するよう構成されたコンバータ回路と、

前記コンバータ回路からの前記供給電圧を用いて、前記第 2 高周波信号を増幅するよう構成された第 2 電力増幅器と、を備える、

請求項 1 ～ 4 のいずれか 1 項に記載の送信システム。

[請求項6] 複数の離散的電圧を生成するよう構成された電圧生成回路と、

前記複数の離散的電圧のうちの少なくとも 1 つを選択的に電力増幅器に出力するよう構成された電源変調回路と、

シリアルデータ伝送規格に基づく第 1 制御信号が入力される第 1 外部接続端子と、

前記電力増幅器で増幅される高周波信号が入力される第 2 外部接続端子と、を備え、

前記電圧生成回路は、前記第 1 制御信号に基づいて制御され、

前記電源変調回路は、前記高周波信号に基づいて制御される、

トラッカ回路。

[請求項7] 前記トラッカ回路は、さらに、

前記第 2 外部接続端子を介して入力された前記高周波信号の包絡線を検出するよう構成された包絡線検波回路と、

前記包絡線検波回路によって検出された前記包絡線に基づいて、前記複数の離散的電圧の中から少なくとも 1 つの電圧を選択するための第 2 制御信号を生成するよう構成されたスイッチ制御回路と、を備える、

請求項 6 に記載のトラッカ回路。

[請求項8] 前記スイッチ制御回路は、前記包絡線を参照電圧と比較するコンパ

レータを含む、

請求項 7 に記載のトラッカ回路。

[請求項9] 前記スイッチ制御回路は、前記第 2 制御信号として、デジタル制御レベル信号を生成するよう構成されている、

請求項 7 又は 8 に記載のトラッカ回路。

[請求項10] 高周波信号を生成し、

複数の離散的電圧を生成し、

生成された前記高周波信号の包絡線を検出し、

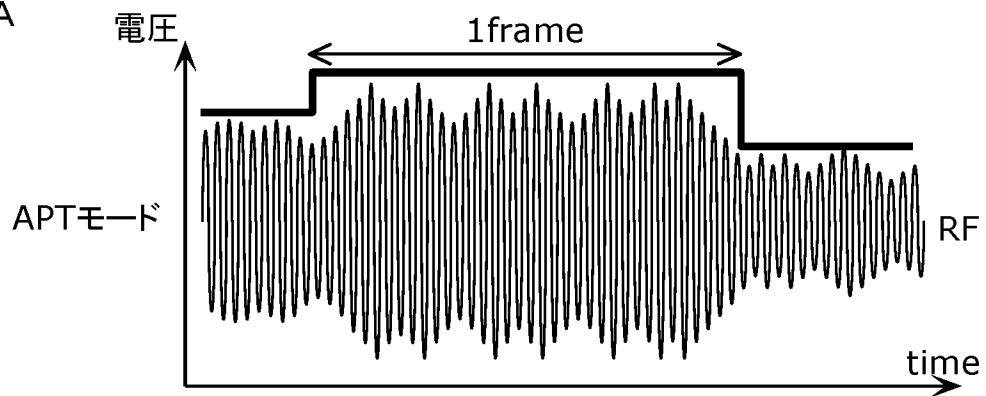
検出された前記包絡線に基づいて、生成された前記複数の離散的電圧の中から少なくとも 1 つの電圧を選択し、

選択された前記少なくとも 1 つの電圧を用いて、前記高周波信号を増幅する、

増幅方法。

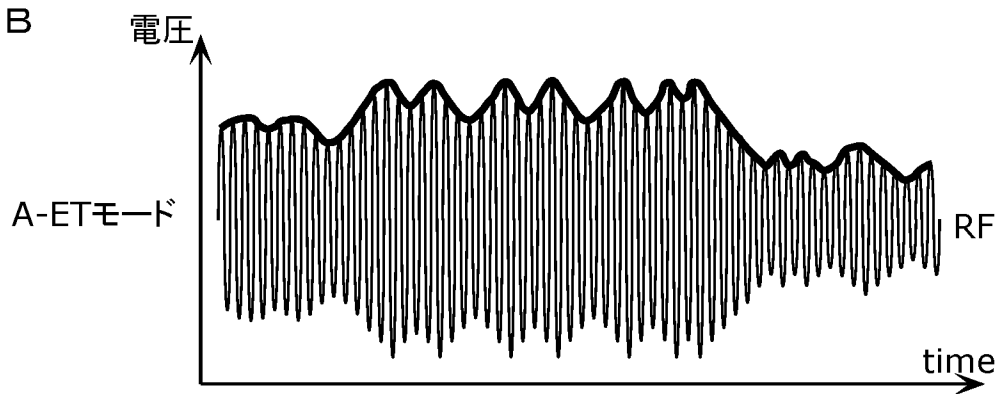
[図1A]

図1A



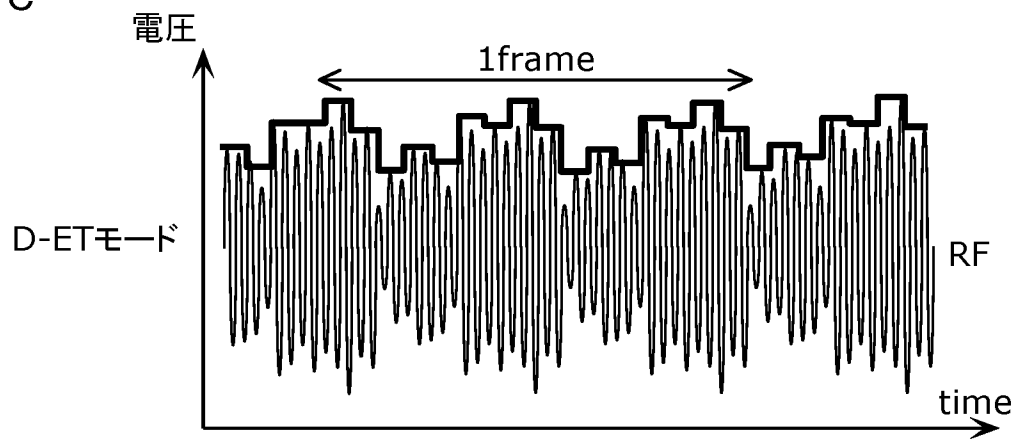
[図1B]

図1B

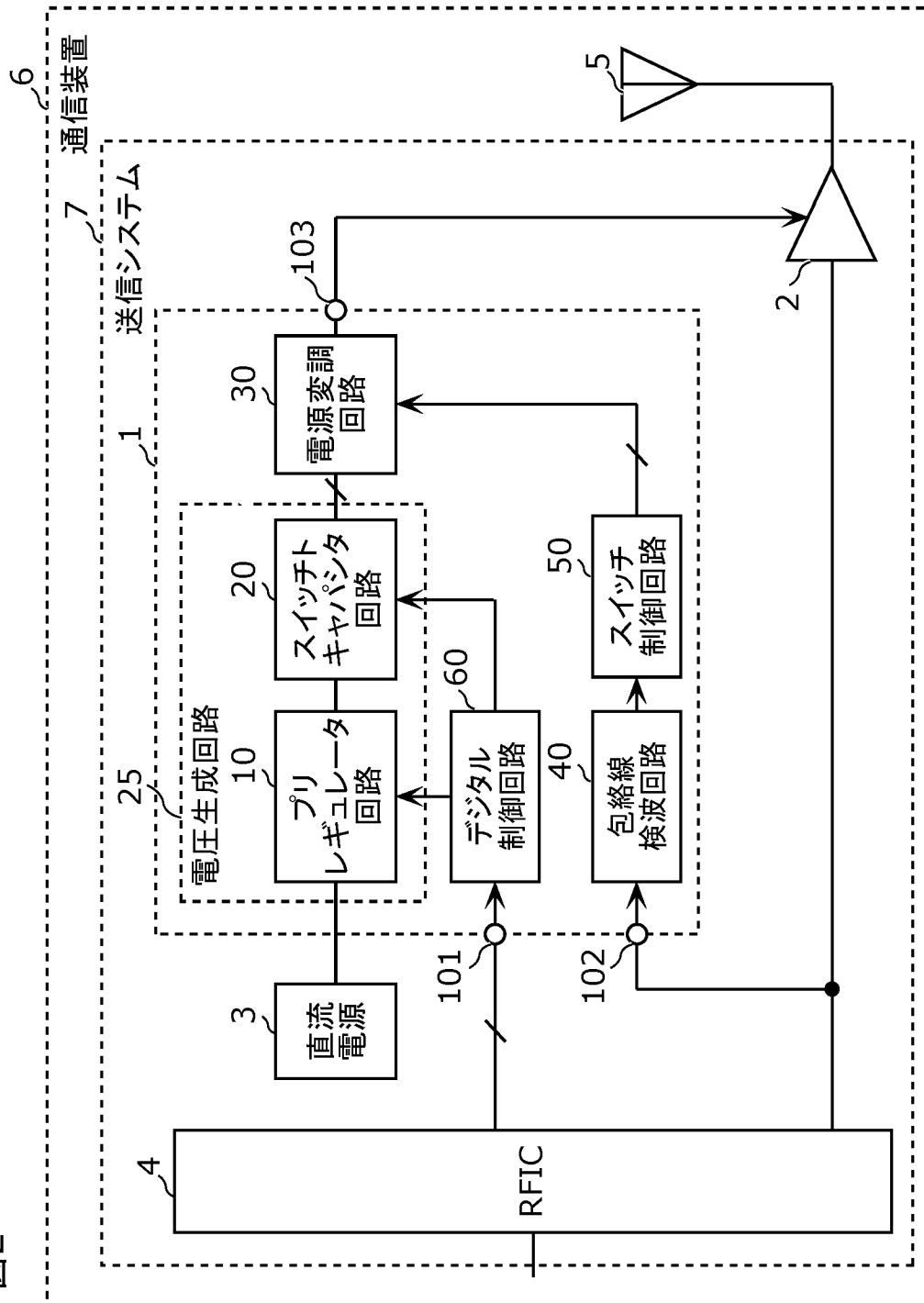


[図1C]

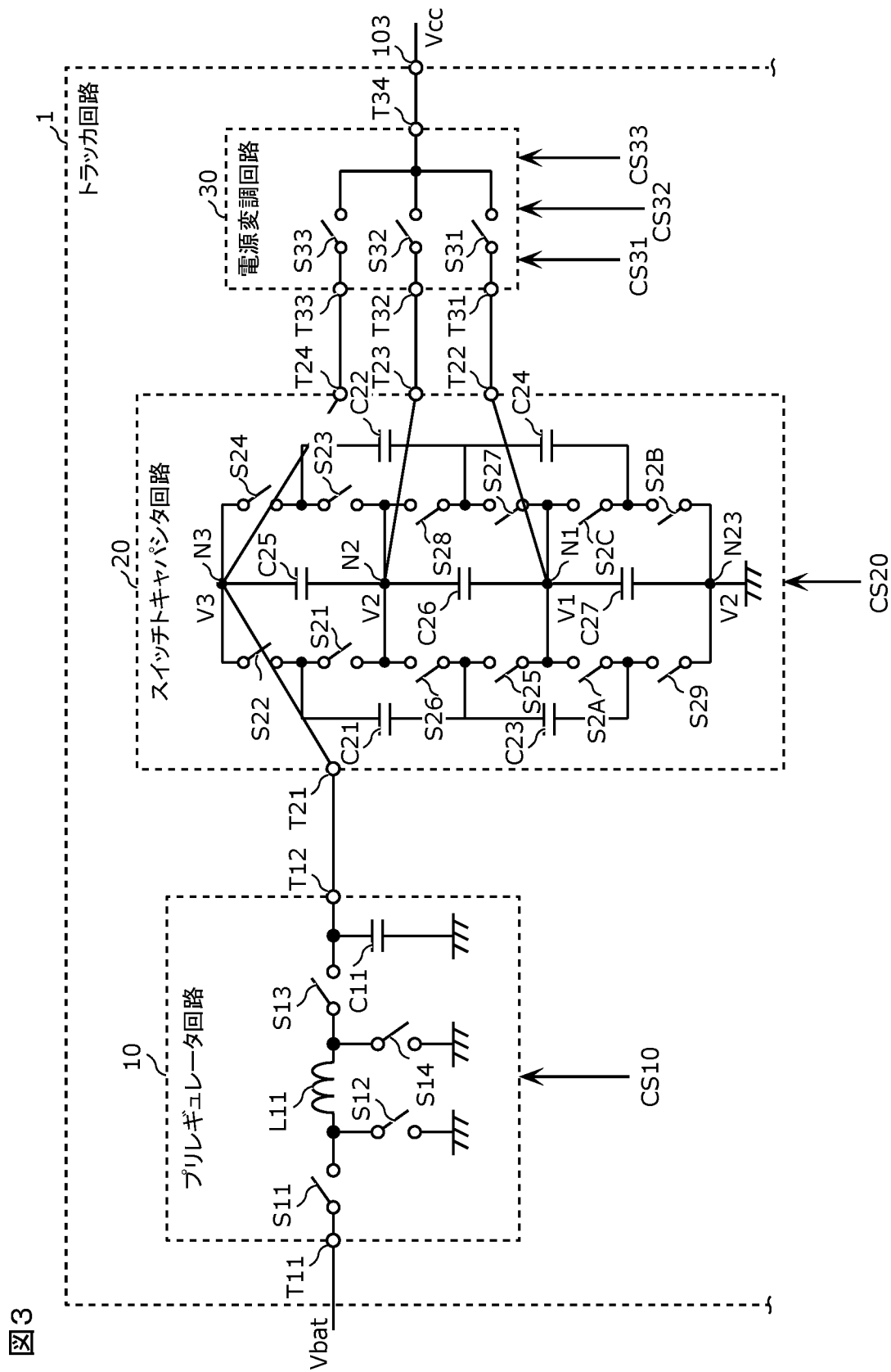
図1C



[図2]



[図3]



[図4]

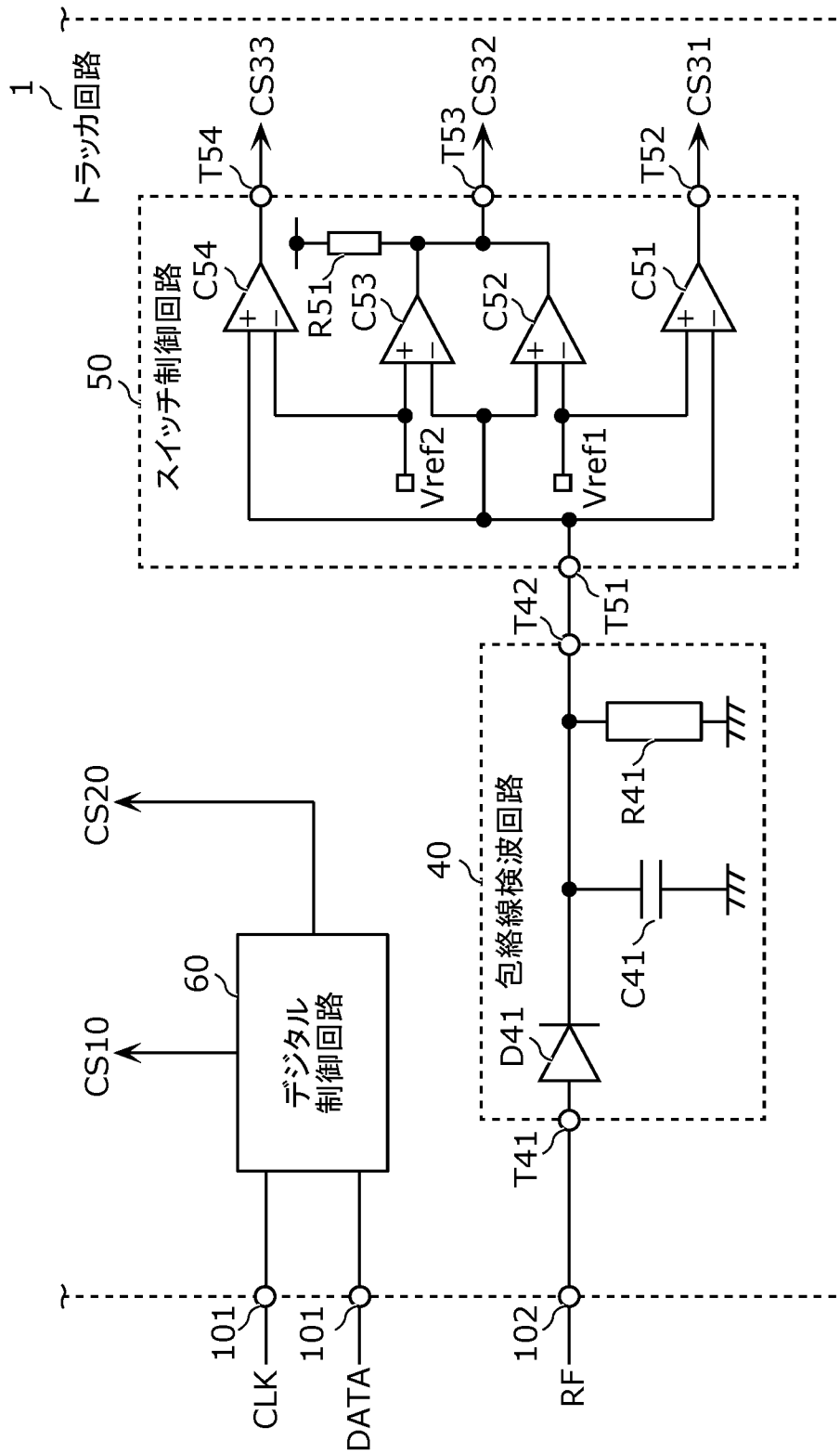
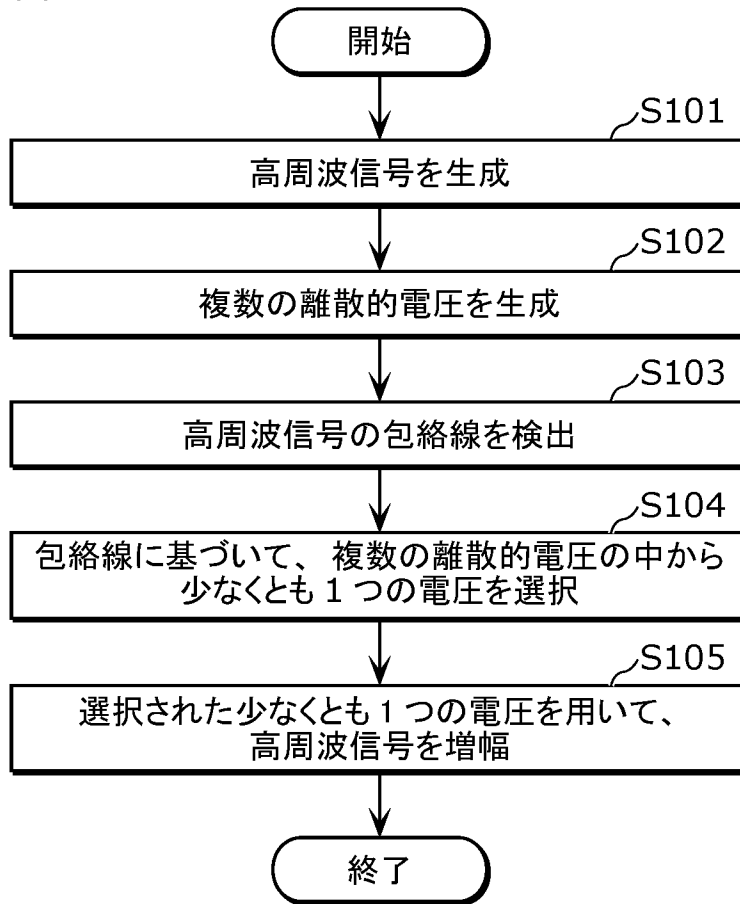


図4

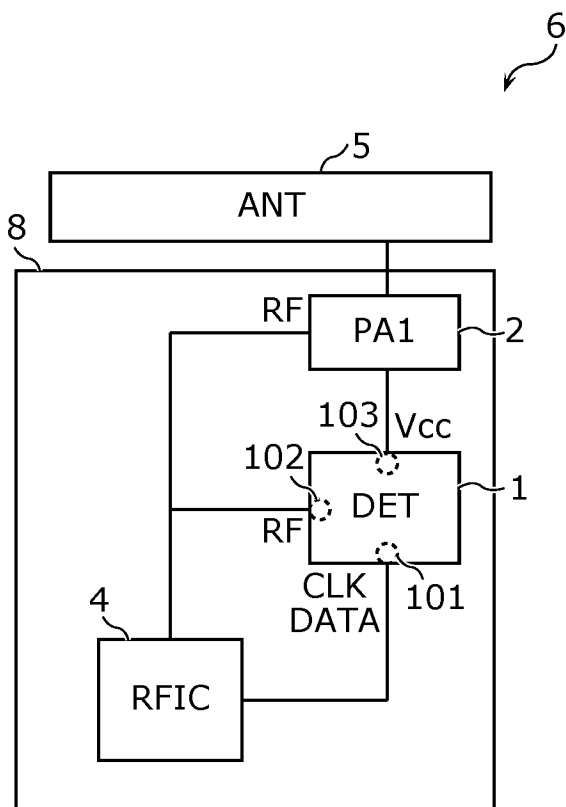
[図5]

図5

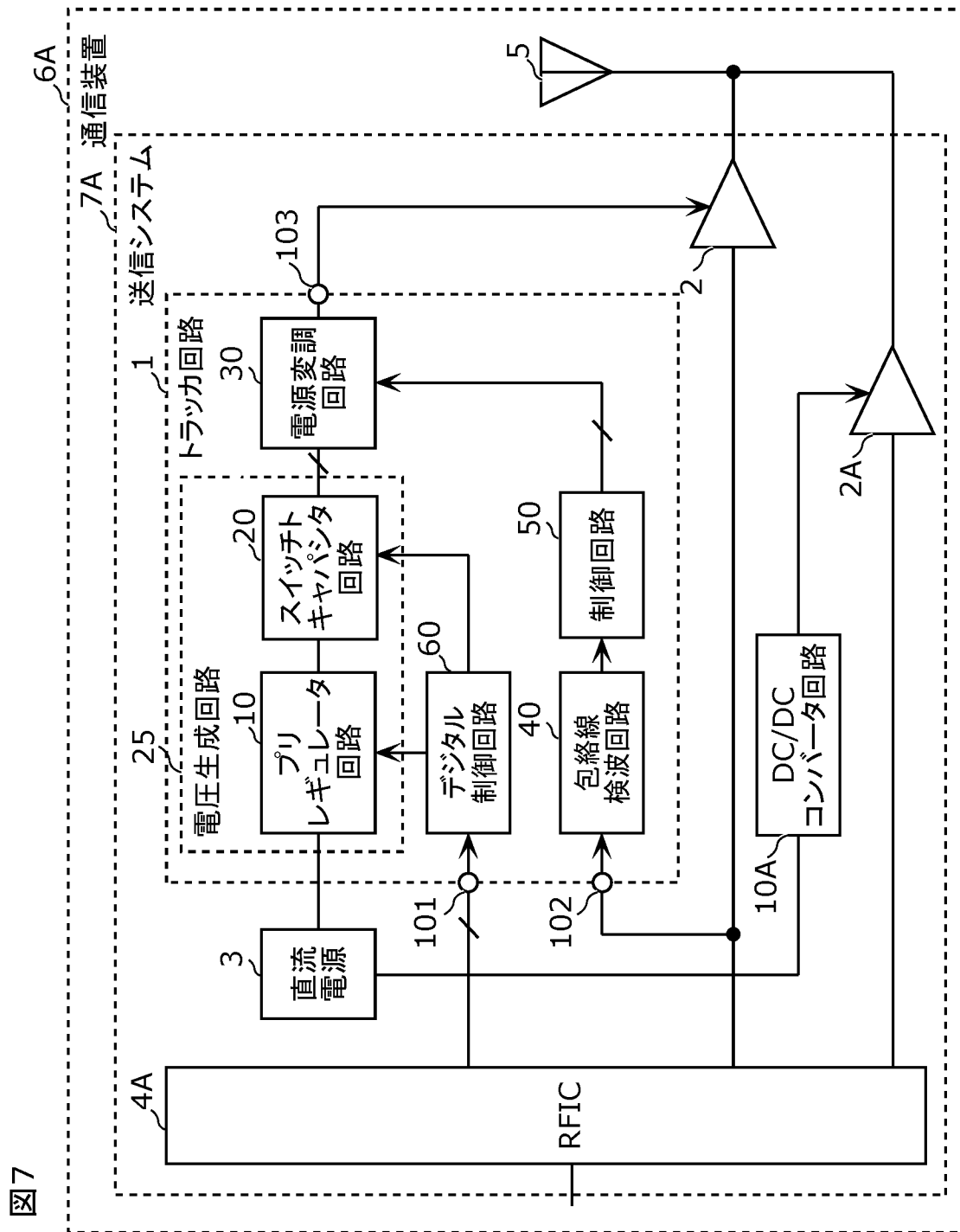


[図6]

図6

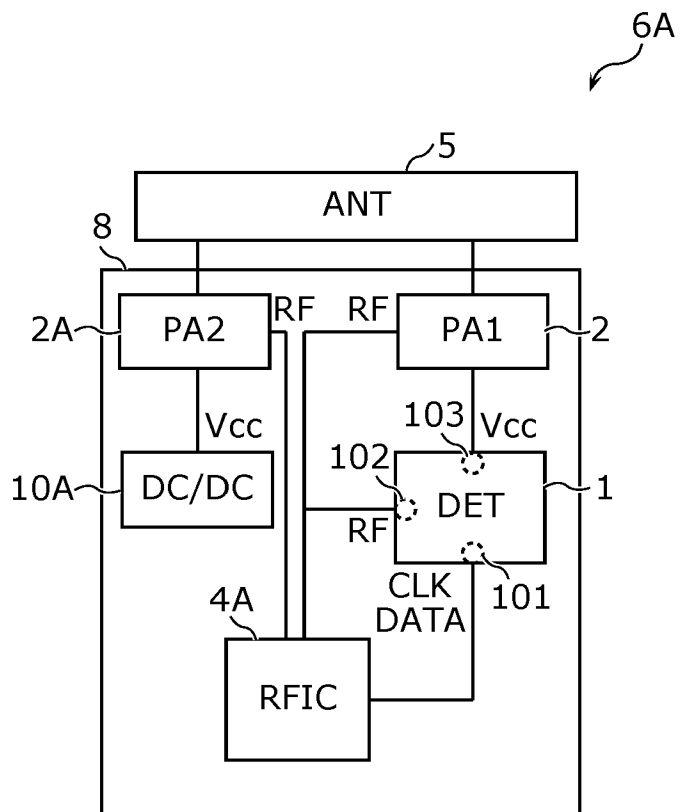


[図7]



[図8]

図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/006928

A. CLASSIFICATION OF SUBJECT MATTER H04B 1/04 (2006.01)i; H03F 1/02 (2006.01)i; H03F 3/24 (2006.01)i FI: H04B1/04 A; H03F1/02 144; H03F3/24 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04B1/04; H03F1/02; H03F3/24 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-187674 A (HITACHI, LTD.) 19 September 2013 (2013-09-19) paragraphs [0012], [0021]-[0031], fig. 7-9, 10B, 11	1-2, 4, 6-10 5 3
X Y A	JP 2019-195168 A (SAMSUNG ELECTRONICS CO., LTD.) 07 November 2019 (2019-11-07) paragraphs [0013]-[0021], [0024]-[0026], [0032]-[0036], fig. 1, 3	1 2, 4-5, 10 3, 6-9
Y A	JP 2005-513943 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 12 May 2005 (2005-05-12) paragraph [0017], fig. 1	2, 4-5, 10 1, 3, 6-9
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 24 April 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/006928

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-517650 A (NUJIRA LIMITED) 17 July 2014 (2014-07-17)	2, 4-5, 10
A	paragraph [0020], fig. 1	1, 3, 6-9
Y	JP 2022-545160 A (INTEL CORPORATION) 26 October 2022 (2022-10-26)	2, 4-5, 10
A	paragraphs [0191]-[0193], fig. 15, 18B	1, 3, 6-9

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(i) The number of inventions included in the claims

The number of inventions of the international application described in claims 1-10 is two.

(ii) Classification of claims

Due to the reasons indicated in (iii) below, claims 1-5 and 10 are classified as "invention 1", and claims 6-9 are classified as "invention 2".

(iii) The reasons for determining that the requirement of unity of invention is not fulfilled

Claims 1-10 are classified into the following two inventions.

(Invention 1) Claims 1-5 and 10

Claim 1 is classified as "invention 1" as a result of having the feature of "a transmission system comprising: a signal processing circuit configured to generate a first high frequency signal; a first power amplifier configured to amplify the first high frequency signal; and a tracker circuit configured to selectively supply at least one among a plurality of discrete voltages to the first power amplifier, wherein the tracker circuit is configured to receive the first high frequency signal generated by the signal processing circuit and select at least one voltage from among the plurality of discrete voltages" (hereinafter referred to as "feature A").

Document 1 (see paragraphs [0012], [0021]-[0031], fig. 7-9, 10B, 11, etc.) discloses "feature A" described above, and claim 1 thus lacks novelty in the light of document 1, and thus claim 1 does not have special technical features. The invention as in claim 2 depending from claim 1 is also disclosed in document 1, and thus claim 2 lacks novelty in the light of document 1. However, claim 3 depending from claim 2 has the special technical feature of "configured to generate a control signal for selecting the first voltage from among the plurality of discrete voltages when the envelope is lower than the reference voltage, and configured to generate a control signal for selecting the second voltage from among the plurality of discrete voltages when the envelope is higher than the reference voltage". Therefore, claims 1-3, claims 4-5 depending from claims 1-3, and claim 10 which expresses claim 2 in a different category are classified as "invention 1".

(Invention 2) Claims 6-9

Claim 6 and claims 7-9 depending from claim 6 cannot be said to have the same or corresponding special technical feature as claim 3 classified as "invention 1". Furthermore, claims 6-9 are also not dependent claims of claim 1 classified as "invention 1". Additionally, claims 6-9 are not substantially identical to or similarly closely related to any of the claims classified as "invention 1". Therefore, claims 6-9 are classified as "invention 2".

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/006928

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/006928

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-187674	A	19 September 2013	US 2012/0309333 A1 paragraphs [0014], [0045]- [0056], fig. 7-9, 10B, 11	
JP	2019-195168	A	07 November 2019	US 2019/0334750 A1 paragraphs [0028]-[0036], [0039]-[0041], [0047]-[0051], fig. 1, 3 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
JP	2005-513943	A	12 May 2005	US 2005/0151586 A1 paragraph [0024], fig. 1 WO 2003/056698 A2 CN 1672322 A	
JP	2014-517650	A	17 July 2014	US 2013/0049858 A1 paragraph [0028], fig. 1 WO 2012/175709 A1 GB 2488380 A KR 10-2014-0040209 A CN 103907283 A	
JP	2022-545160	A	26 October 2022	US 2021/0067182 A1 paragraphs [0191]-[0193], fig. 15, 18B WO 2021/040828 A1 CN 114175478 A KR 10-2022-0050880 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04B 1/04(2006.01)i; H03F 1/02(2006.01)i; H03F 3/24(2006.01)i
FI: H04B1/04 A; H03F1/02 144; H03F3/24

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04B1/04; H03F1/02; H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-187674 A（株式会社日立製作所）19.09.2013（2013 - 09 - 19） 段落0012、0021-0031、図7-9、10B、11	1-2, 4, 6-10
Y		5
A		3
X	JP 2019-195168 A（三星電子株式会社）07.11.2019（2019 - 11 - 07） 段落0013-0021、0024-0026、0032-0036、図1、3	1
Y		2, 4-5, 10
A		3, 6-9
Y	JP 2005-513943 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ） 12.05.2005（2005 - 05 - 12） 段落0017、図1	2, 4-5, 10
A		1, 3, 6-9

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

24. 04. 2024

国際調査報告の発送日

14. 05. 2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

対馬 英明 5K 1211

電話番号 03-3581-1101 内線 3596

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-517650 A (ヌジラ リミテッド) 17.07.2014 (2014 - 07 - 17) 段落 0 0 2 0、図 1	2, 4-5, 10
A		1, 3, 6-9
Y	JP 2022-545160 A (インテル コーポレイション) 26.10.2022 (2022 - 10 - 26) 段落 0 1 9 1 - 0 1 9 3、図 1 5、1 8 B	2, 4-5, 10
A		1, 3, 6-9

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（i）請求の範囲に含まれる発明の数

請求の範囲1-10に記載されている国際出願の発明の数は2である。

（ii）各発明に区分した請求項の番号

下記（iii）に示す理由により、請求項1-5、10は「発明1」に区分し、請求項6-9は「発明2」に区分する。

（iii）発明の単一性の要件を満たさないと判断した理由

請求の範囲1-10は、以下の2つに区分される。

（発明1）請求項1-5、10

請求項1は、「第1高周波信号を生成するよう構成された信号処理回路と、前記第1高周波信号を増幅するよう構成された第1電力増幅器と、複数の離散的電圧のうちの少なくとも1つを選択的に前記第1電力増幅器に供給するよう構成されたトラック回路と、を備え、前記トラック回路は、前記信号処理回路によって生成された前記第1高周波信号を受けて前記複数の離散的電圧の中から少なくとも1つの電圧を選択するよう構成されている、送信システム」という技術的特徴（以下、「技術的特徴A」という。）を有しているので、「発明1」に区分する。

文献1（段落0012、0021-0031、図7-9、10B、11等を参照）には上述の「技術的特徴A」が記載されており、請求項1は文献1により新規性が欠如しているから、請求項1は特別な技術的特徴を有しない。請求項1の従属請求項である請求項2に係る発明も文献1に記載されており、請求項2は文献1により新規性が欠如している。しかしながら、請求項2の従属請求項である請求項3は、「前記包絡線が参照電圧よりも低い場合に、前記複数の離散的電圧の中から前記第1電圧を選択するための制御信号を生成するよう構成され、前記包絡線が前記参照電圧よりも高い場合に、前記複数の離散的電圧の中から前記第2電圧を選択するための制御信号を生成するよう構成されている」という特別な技術的特徴を有している。したがって、請求項1-3、請求項1-3に従属する請求項4-5、及び、請求項2を異なるカテゴリーで表現した請求項10、を「発明1」に区分する。

（発明2）請求項6-9

請求項6、及び、請求項6に従属する請求項7-9は、「発明1」に区分された請求項3と、同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項6-9は、「発明1」に区分された請求項1の従属請求項でもない。さらに、請求項6-9は、「発明1」に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。したがって、請求項6-9は「発明2」に区分する。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/006928

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-187674	A	19.09.2013	US 2012/0309333 A1 段落 0 0 1 4、0 0 4 5 - 0 0 5 6、図 7 - 9、1 0 B、1 1	
JP	2019-195168	A	07.11.2019	US 2019/0334750 A1 段落 0 0 2 8 - 0 0 3 6、 0 0 3 9 - 0 0 4 1、0 0 4 7 - 0 0 5 1、図 1、3 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
JP	2005-513943	A	12.05.2005	US 2005/0151586 A1 段落 0 0 2 4、図 1 WO 2003/056698 A2 CN 1672322 A	
JP	2014-517650	A	17.07.2014	US 2013/0049858 A1 段落 0 0 2 8、図 1 WO 2012/175709 A1 GB 2488380 A KR 10-2014-0040209 A CN 103907283 A	
JP	2022-545160	A	26.10.2022	US 2021/0067182 A1 段落 0 1 9 1 - 0 1 9 3、 図 1 5、1 8 B WO 2021/040828 A1 CN 114175478 A KR 10-2022-0050880 A	