

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-197863
(P2016-197863A)

(43) 公開日 平成28年11月24日(2016.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO3K 19/096 (2006.01)	HO3K 19/096 B	5F110
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5J056

審査請求 有 請求項の数 4 O L (全 44 頁)

(21) 出願番号 特願2016-110620 (P2016-110620)
 (22) 出願日 平成28年6月2日 (2016.6.2)
 (62) 分割の表示 特願2012-111309 (P2012-111309) の分割
 原出願日 平成24年5月15日 (2012.5.15)
 (31) 優先権主張番号 特願2011-112845 (P2011-112845)
 (32) 優先日 平成23年5月19日 (2011.5.19)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 集積回路

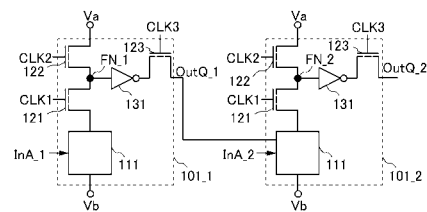
(57) 【要約】

【課題】 消費電力を低減する。

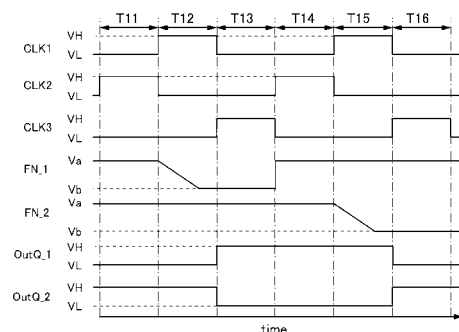
【解決手段】 入力信号を元に論理演算処理を行い、論理演算処理の結果に応じて設定される電位を記憶データとして保持し、記憶データに応じた値の信号を出力信号として出力する機能を有する演算回路を具備し、演算回路は、論理演算処理を行う演算部と、記憶データの電位を、論理演算処理の結果に応じた電位に設定するか否かを制御する第1の電界効果トランジスタと、記憶データの電位を、基準電位に設定するか否かを制御する第2の電界効果トランジスタと、記憶データに応じた値の信号を出力信号として出力するか否かを制御する第3の電界効果トランジスタと、を備える。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

演算部と、
 Nチャネル型の第1のトランジスタと、
 Nチャネル型の第2のトランジスタと、
 Nチャネル型の第3のトランジスタと、
 インバータと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記演算部の第1端子と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記インバータの入力端子と電氣的に接続され、

前記インバータの出力端子は、前記第3のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、

前記第1のトランジスタのゲートには、第1のクロック信号が入力され、

前記第2のトランジスタのゲートには、第2のクロック信号が入力され、

前記第1のクロック信号の位相は、前記第2のクロック信号の位相とは異なり、

前記第1乃至前記第3のトランジスタは、チャンネルとして酸化物半導体層を有することを特徴とする集積回路。

10

20

【請求項 2】

請求項 1 において、

前記第3のトランジスタのゲートには、第3のクロック信号が入力され、

前記第3のクロック信号の位相は、前記第1のクロック信号の位相とは異なり、

前記第3のクロック信号の位相は、前記第2のクロック信号の位相とは異なることを特徴とする集積回路。

【請求項 3】

請求項 1 又は請求項 2 において、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛とを有することを特徴とする集積回路。

30

【請求項 4】

請求項 1 又は請求項 2 において、

前記酸化物半導体層は、インジウムと、錫と、亜鉛とを有することを特徴とする集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、回路に関する。

【背景技術】

40

【0002】

近年、電子機器のさらなる高性能化のために、システム L S I など、複数の機能を有する集積回路が1つのチップにより構成された演算処理装置の開発が進められている。

【0003】

上記演算処理装置では、例えば同一基板上に C M O S 回路を用いた演算回路及び記憶回路などの機能回路が別々に設けられ、データバスとなる配線を介して演算回路及び記憶回路との間でデータの転送が行われる(例えば特許文献1)。

【0004】

さらに、演算回路の一部に記憶手段を備え、論理演算処理機能及びデータ保持機能を併せ持つ演算回路が提案されている。上記演算回路では、データバスを介さずに論理演算処理

50

の結果のデータを記憶することができるため、消費電力を低減することができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-282721号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の演算回路では、記憶手段が揮発性であるため、演算回路のデータを保持するためには、別途不揮発性の記憶回路にデータを待避させる必要があった。よって、データを待避させる際にも電力が消費されるため、従来の演算回路において、低消費電力化は不十分である。

10

【0007】

また、従来の演算回路では、記憶手段を構成する素子の数が多く、回路面積が大きいといった問題があった。

【0008】

本発明の一態様では、消費電力を低減することを課題の一つとする。また、本発明の一態様では、消費電力を低減し、且つ回路面積を小さくすることを課題の一つとする。

【課題を解決するための手段】

【0009】

本発明の一態様では、複数の演算回路を具備し、演算回路の構成を、演算部と、出力信号の電位を演算部の論理演算処理の結果に応じた値に設定するか否かを制御する第1のトランジスタと、出力信号の電位を演算部の基準電位に応じた値に設定するか否かを制御する第2のトランジスタと、出力信号の電位を第1のトランジスタ及び第2のトランジスタの接続箇所の電位に応じた値に設定するか否かを制御する第3のトランジスタと、を備え、上記第1のトランジスタ及び第2のトランジスタ、若しくは第3のトランジスタ、又は第1のトランジスタ乃至第3のトランジスタとして、オフ電流の低い電界効果トランジスタを用いる構成にすることにより、論理演算処理を行う機能、及び論理演算処理の結果を表すデータを記憶する機能を併せ持つ回路を提供する。

20

【0010】

上記回路では、各演算回路においてオフ電流の低い電界効果トランジスタを用いたトランジスタをオフ状態にすることにより、データを保持することができる。さらに、上記トランジスタをオフ状態にすることにより、長期間データを記憶することができる。

30

【0011】

本発明の一態様は、入力信号を元に論理演算処理を行い、論理演算処理の結果に応じて設定される電位を記憶データとして保持し、記憶データに応じた値の信号を出力信号として出力する機能を有する演算回路を具備し、演算回路は、論理演算処理を行う演算部と、記憶データの電位を、論理演算処理の結果に応じた電位に設定するか否かを制御する第1の電界効果トランジスタと、記憶データの電位を、基準電位に設定するか否かを制御する第2の電界効果トランジスタと、記憶データに応じた値の信号を出力信号として出力するか否かを制御する第3の電界効果トランジスタと、を備え、第1及び第2の電界効果トランジスタのそれぞれ、若しくは第3の電界効果トランジスタ、又は第1乃至第3の電界効果トランジスタのそれぞれにおける、チャンネル幅1 μ mあたりのオフ電流は、10aA以下である回路である。

40

【発明の効果】

【0012】

本発明の一態様により、電力の消費を抑制しつつデータを保持することができるため、消費電力を低減することができる。

【図面の簡単な説明】

【0013】

50

- 【図 1】集積回路の例を説明するための図。
- 【図 2】集積回路の例を説明するための図。
- 【図 3】集積回路における演算回路の例を説明するための図。
- 【図 4】集積回路における演算回路の例を説明するための図。
- 【図 5】集積回路における演算回路の例を説明するための図。
- 【図 6】トランジスタの構造例を説明するための図。
- 【図 7】C A A C の構造例を説明するための図。
- 【図 8】C A A C の構造例を説明するための図。
- 【図 9】C A A C の構造例を説明するための図。
- 【図 10】C A A C の構造例を説明するための図。 10
- 【図 11】トランジスタの作製方法例を説明するための図。
- 【図 12】酸化物半導体層における欠陥密度とトランジスタの電界効果移動度との関係を説明するための図。
- 【図 13】トランジスタの断面構造例を説明するための図。
- 【図 14】トランジスタにおける電気特性の計算結果を説明するための図。
- 【図 15】トランジスタにおける電気特性の計算結果を説明するための図。
- 【図 16】トランジスタにおける電気特性の計算結果を説明するための図。
- 【図 17】トランジスタにおける電気特性の測定結果を説明するための図。
- 【図 18】トランジスタにおける電気特性の測定結果を説明するための図。
- 【図 19】トランジスタにおける電気特性の測定結果を説明するための図。 20
- 【図 20】トランジスタにおける酸化物半導体層の X R D 測定結果を説明するための図。
- 【図 21】トランジスタの特性を説明するための図。
- 【図 22】トランジスタの特性を説明するための図。
- 【図 23】トランジスタの特性を説明するための図。
- 【図 24】演算処理装置の例を説明するための図。
- 【図 25】電子機器の例を説明するための図。
- 【発明を実施するための形態】
- 【0014】
- 本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。 30
- 【0015】
- なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。
- 【0016】
- また、第 1、第 2 などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数の数に限定されない。
- 【0017】
- (実施の形態 1) 40
- 本実施の形態では、記憶手段を備え、論理演算処理を行う機能及び論理演算処理の結果のデータを記憶する機能を有する演算回路を複数具備する集積回路の例について説明する。
- 【0018】
- 本実施の形態における集積回路の例について、図 1 を用いて説明する。
- 【0019】
- 図 1 (A) に示す集積回路は、演算回路 101__1 と、演算回路 101__2 と、を具備する。
- 【0020】
- 演算回路 101__1 には、入力信号 I n A __1 が入力され、演算回路 101__1 は、入力信号 I n A __1 を元に論理演算処理を行い、論理演算処理の結果に応じた値の出力信号 O 50

Out Q₁ を出力する機能を有する。なお、互いに異なる複数の信号を入力信号 In A₁ としてもよい。

【0021】

演算回路 101₂ には、入力信号の一つとして演算回路 101₁ の出力信号、及び入力信号 In A₂ が入力され、演算回路 101₂ は、入力信号 In A₂ を元に論理演算処理を行い、論理演算処理の結果に応じた値の出力信号 Out Q₂ を出力する機能を有する。なお、互いに異なる複数の信号を入力信号 In A₂ としてもよい。

【0022】

演算回路 101₁ 及び演算回路 101₂ のそれぞれは、演算部 111 と、トランジスタ 121 と、トランジスタ 122 と、インバータ 131 と、トランジスタ 123 と、を備える。なお、演算回路 101₁ 及び演算回路 101₂ を必ずしも同じ構成でなくともよく、少なくとも演算回路 101₁ が、演算部 111 と、トランジスタ 121 と、トランジスタ 122 と、インバータ 131 と、トランジスタ 123 と、を備える構成であればよい。

【0023】

演算部 111 は、論理演算処理を行う機能を有する。

【0024】

演算部 111 は、信号入力端子と、第 1 端子と、第 2 端子と、を有する。このとき、信号入力端子には、入力信号（演算回路 101₁ では入力信号 In A₁、演算回路 101₂ では演算回路 101₁ の出力信号及び入力信号 In A₂）が入力され、第 2 端子には、電位 V_b が与えられ、演算部 111 は、信号入力端子に入力される入力信号に応じて論理演算処理を行う。また、演算部 111 では、論理演算処理の結果に応じて第 1 端子と第 2 端子を導通状態にするか否かが設定される。

【0025】

トランジスタ 121 は、出力信号 Out Q（演算回路 101₁ では出力信号 Out Q₁、演算回路 101₂ では演算回路 101₁ の出力信号 Out Q₂）の電位を演算部 111 の論理演算処理の結果に応じた値にするか否かを制御する機能を有する。

【0026】

トランジスタ 121 としては、例えば電界効果トランジスタを用いることができる。このとき、トランジスタ 121 のソース及びドレインの一方の電位が演算部 111 における論理演算処理の結果に応じて設定される。また、トランジスタ 121 のゲートには、例えばクロック信号 CLK₁ が入力されるが、これに限定されず、トランジスタ 121 の状態を変化させることができるように、トランジスタ 121 のゲートに他の信号又は電圧が与えられる構成でもよい。

【0027】

トランジスタ 122 は、出力信号 Out Q₁ の電位を基準電位にするか否かを制御する機能を有する。

【0028】

トランジスタ 122 としては、例えば電界効果トランジスタを用いることができる。このとき、トランジスタ 122 のソース及びドレインの一方には、基準電位となる電位 V_a が与えられ、トランジスタ 122 のソース及びドレインの他方は、トランジスタ 121 のソース及びドレインの他方に電氣的に接続され、該接続箇所をノード FN（演算回路 101₁ ではノード FN₁、演算回路 101₂ ではノード FN₂）ともいう。また、トランジスタ 122 のゲートには、例えばクロック信号 CLK₂ が入力されるが、これに限定されず、トランジスタ 122 の状態を変化させることができるように、トランジスタ 122 のゲートに他の信号又は電圧が与えられる構成でもよい。

【0029】

インバータ 131 は、ノード FN（演算回路 101₁ ではノード FN₁、演算回路 101₂ ではノード FN₂）の電位に応じた値の信号を出力する機能を有する。インバータ 131 には、ノード FN（演算回路 101₁ ではノード FN₁、演算回路 101

10

20

30

40

50

__ 2ではノードFN__ 2)の電位の信号が入力され、インバータ131は、入力された信号に応じた値の出力信号Out Q (演算回路101__ 1では出力信号Out Q__ 1、演算回路101__ 2では出力信号Out Q__ 2)を出力する。なお、必ずしもインバータ131を設けなくてもよく、ノードFN (演算回路101__ 1ではノードFN__ 1、演算回路101__ 2ではノードFN__ 2)において電荷を保持することができる構成であればインバータ131が無い構成にしてもよい。また、例えば、インバータ131の代わりにスイッチ又はバッファなどを設けてもよい。

【0030】

トランジスタ123は、ノードFN (演算回路101__ 1ではノードFN__ 1、演算回路101__ 2ではノードFN__ 2)の電位に応じた値の信号を出力信号Out Q (演算回路101__ 1では出力信号Out Q__ 1、演算回路101__ 2では出力信号Out Q__ 2)として出力するか否かを制御する機能を有する。

10

【0031】

トランジスタ123としては、例えば電界効果トランジスタを用いることができる。このとき、トランジスタ123のソース及びドレインの一方の電位は、ノードFN (演算回路101__ 1ではノードFN__ 1、演算回路101__ 2ではノードFN__ 2)の電位に応じた値になる。例えば、トランジスタ123のソース及びドレインの一方には、インバータ131の出力信号が入力される。また、トランジスタ123のゲートには、例えばクロック信号CLK3が入力されるが、これに限定されず、トランジスタ123の状態を変化させることができるように、トランジスタ123のゲートに他の信号又は電圧が与えられる構成でもよい。また、演算回路101__ 1におけるトランジスタ123のソース及びドレインの他方は、演算回路101__ 2における演算部111に電氣的に接続される。

20

【0032】

トランジスタ121及びトランジスタ122のそれぞれ、若しくはトランジスタ123、又はトランジスタ121乃至トランジスタ123のそれぞれとしては、オフ電流が低いトランジスタを用いることができる。このとき、上記トランジスタのオフ電流は、チャンネル幅1 μ mあたり10 a A (1×10^{-17} A)以下、好ましくはチャンネル幅1 μ mあたり1 a A (1×10^{-18} A)以下、さらに好ましくはチャンネル幅1 μ mあたり10 z A (1×10^{-20} A)以下、さらに好ましくはチャンネル幅1 μ mあたり1 z A (1×10^{-21} A)以下、さらに好ましくはチャンネル幅1 μ mあたり100 y A (1×10^{-22} A)以下である。

30

【0033】

上記オフ電流の低いトランジスタとしては、例えばシリコンよりバンドギャップが広く、例えば2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上であり、チャンネルが形成される半導体層を含むトランジスタを用いることができる。上記バンドギャップの広いトランジスタとしては、例えばチャンネルが形成される酸化物半導体層を含む電界効果トランジスタなどを用いることができる。

【0034】

なお、図1(A)において、トランジスタ121乃至トランジスタ123として用いられている回路記号は、一例として上記酸化物半導体層を含むトランジスタであることを表す回路記号であるが、これに限定されない。

40

【0035】

また、電位Va及び電位Vbの一方は、高電源電位Vddであり、電位Va及び電位Vbの他方は、低電源電位Vssである。高電源電位Vddは、相対的に低電源電位Vssより高い値の電位であり、低電源電位Vssは、相対的に高電源電位Vddより低い値の電位である。電位Va及び電位Vbの値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。また、電位Va及び電位Vbの電位差を電源電圧としてもよい。

【0036】

また、クロック信号CLK1としては、例えばクロック信号CLK2より1周期未満の範囲で位相が遅れたクロック信号を用いることができる。また、クロック信号CLK3とし

50

ては、例えばクロック信号CLK1より1周期未満の範囲で位相が遅れたクロック信号を用いることができる。

【0037】

また、演算回路101__1及び演算回路101__2の構成は必ずしも同じでなくてもよく、例えば少なくとも一つの演算回路が演算部111、トランジスタ121、トランジスタ122、インバータ131、及びトランジスタ123を備える構成であればよい。

【0038】

次に、本実施の形態における集積回路の駆動方法例として、図1(A)に示す集積回路の駆動方法例について、図1(B)に示すタイミングチャートを用いて説明する。ここでは一例として、トランジスタ121乃至トランジスタ123を、上記酸化物半導体層を含むNチャンネル型の電界効果トランジスタとする。また、ハイレベルのときのクロック信号CLK1乃至クロック信号CLK3の電位を電位VHとし、ローレベルのときのクロック信号CLK1乃至クロック信号CLK3の電位を電位VLとする。また、電位Vaを電源電位Vddとし、電位Vbを接地電位Vgndとする。

10

【0039】

まず、トランジスタ121をオフ状態にし、トランジスタ122をオン状態にし、トランジスタ123をオフ状態にする。例えば、図1(B)における期間T11において、クロック信号CLK1がローレベルになることにより、トランジスタ121がオフ状態になり、クロック信号CLK2がハイレベルになることにより、トランジスタ122がオン状態になり、クロック信号CLK3がローレベルになることにより、トランジスタ123がオフ状態になる。

20

【0040】

このとき、ノードFN__1及びノードFN__2の電位が電位Vaと同等の値になる。よって、ノードFN__1及びノードFN__2がプリチャージされる。

【0041】

次に、トランジスタ121をオン状態にし、トランジスタ122をオフ状態にし、トランジスタ123をオフ状態にする。例えば、図1(B)における期間T11の後の期間T12において、クロック信号CLK1がハイレベルになることにより、トランジスタ121がオン状態になり、クロック信号CLK2がローレベルになることにより、トランジスタ122がオフ状態になる。

30

【0042】

このとき、演算部111における入力信号InA__1及び入力信号InA__2に従った論理演算処理の結果に応じてノードFN__1及びノードFN__2の電位が設定される。例えば、図1(B)における期間T12では、演算回路101__1において演算部111の論理演算処理の結果に応じて演算部111の第1端子と第2端子が導通状態になり、ノードFN__1の電荷が徐々に放出され、ノードFN__1の電位は、電位Vbと同等の値になる。なお、これに限定されず、ノードFN__2の電位を変化させてもよい。さらに、トランジスタ123のソース及びドレインの一方の電位は、インバータ131の出力信号の電位に応じて設定される、つまりノードFN__1又はノードFN__2の電位に応じて設定される。

40

【0043】

次に、トランジスタ121をオフ状態にし、トランジスタ122をオフ状態にし、トランジスタ123をオン状態にする。例えば、図1(B)における期間T12の後の期間T13において、クロック信号CLK3がハイレベルになることにより、トランジスタ123がオン状態になる。

【0044】

このとき、期間T13に示すように、出力信号OutQ__1は、ハイレベルになり、出力信号OutQ__2は、ローレベルになる。その結果、演算部111の入力信号の値が決定する。

【0045】

50

その後、例えば、図 1 (B) の期間 T 1 3 の後の期間 T 1 4 のように、トランジスタ 1 2 1 をオフ状態にし、トランジスタ 1 2 2 をオン状態にし、トランジスタ 1 2 3 をオフ状態にしてもよい。

【 0 0 4 6 】

このとき、ノード F N _ 1 及びノード F N _ 2 の電位が電位 V a と同等の値になる。よって、ノード F N _ 1 及びノード F N _ 2 がプリチャージされる。

【 0 0 4 7 】

次に、期間 T 1 4 の後の期間 T 1 5 において、トランジスタ 1 2 1 をオン状態にし、トランジスタ 1 2 2 をオフ状態にし、トランジスタ 1 2 3 をオフ状態にする。

【 0 0 4 8 】

このとき、期間 T 1 5 に示すように、演算回路 1 0 1 _ 1 において、演算部 1 1 1 の論理演算処理の結果に応じて演算部 1 1 1 の第 1 端子と第 2 端子が非導通状態になる。また、演算回路 1 0 1 _ 2 において、演算部 1 1 1 の第 1 端子と第 2 端子が導通状態になり、ノード F N _ 2 の電荷が徐々に放出され、ノード F N _ 2 の電位が変化する。

【 0 0 4 9 】

次に、期間 T 1 5 の後の期間 T 1 6 に示すように、トランジスタ 1 2 1 をオフ状態にし、トランジスタ 1 2 2 をオフ状態にし、トランジスタ 1 2 3 をオン状態にする。

【 0 0 5 0 】

このとき、図 1 (B) における期間 T 1 6 に示すように、出力信号 O u t Q _ 1 は、ローレベルになり、出力信号 O u t Q _ 2 は、ハイレベルになる。その結果、演算部 1 1 1 の入力信号の値が決定する。

【 0 0 5 1 】

また、トランジスタ 1 2 1 及びトランジスタ 1 2 2 がノーマリ・オフ型のトランジスタである場合、及び集積回路への電源電圧の供給を停止することもできる。集積回路への電源電圧の供給を停止する場合、少なくともクロック信号 C L K 1 及びクロック信号 C L K 2 、又はクロック信号 C L K 1 乃至クロック信号 C L K 3 をローレベルと同等の値の電位にし、集積回路へのクロック信号 C L K 1 及びクロック信号 C L K 2 の供給、又はクロック信号 C L K 1 乃至クロック信号 C L K 3 の供給を停止させた後に、集積回路への電源電圧の供給を停止する。

【 0 0 5 2 】

このとき、トランジスタ 1 2 1 乃至トランジスタ 1 2 3 のゲートの電位は、ローレベルと同等の状態になるため、トランジスタ 1 2 1 乃至トランジスタ 1 2 3 がオフ状態になる。しかし、演算回路 1 0 1 _ 1 のノード F N _ 1 及び演算回路 1 0 1 _ 2 のノード F N _ 2 の電位は記憶データとして保持される。

【 0 0 5 3 】

以上が、図 1 (A) に示す集積回路の駆動方法例の説明である。

【 0 0 5 4 】

なお、図 1 (A) に示す構成に限定されず、クロック信号 C L K 3 を用いずに演算回路を構成することもできる。クロック信号 C L K 3 を用いない演算回路の構成例について図 2 (A) に示す。

【 0 0 5 5 】

図 2 (A) に示す演算回路は、図 1 (A) に示すトランジスタ 1 2 3 の代わりに P チャネル型の電界効果トランジスタであるトランジスタ 1 2 4 及びトランジスタ 1 2 5 を設けた構成である。

【 0 0 5 6 】

このとき、トランジスタ 1 2 4 のゲートには、クロック信号 C L K 1 及びクロック信号 C L K 2 の一方 (図 2 (A) ではクロック信号 C L K 1) が入力され、トランジスタ 1 2 4 のソース及びドレインの一方には、インバータ 1 3 1 の出力信号が入力され、トランジスタ 1 2 4 のソース及びドレインの他方の電位は、ノード F N (演算回路 1 0 1 _ 1 ではノード F N _ 1 、演算回路 1 0 1 _ 2 ではノード F N _ 2) の電位に応じて設定される。ま

10

20

30

40

50

た、トランジスタ 1 2 5 のゲートには、クロック信号 C L K 1 及びクロック信号 C L K 2 の他方 (図 2 (A) ではクロック信号 C L K 2) が入力され、トランジスタ 1 2 5 のソース及びドレインの一方は、トランジスタ 1 2 4 のソース及びドレインの他方に電氣的に接続される。

【 0 0 5 7 】

さらに、図 2 (A) に示す集積回路の駆動方法例では、図 2 (B) に示すように、期間 T 1 1 及び期間 T 1 4 において、トランジスタ 1 2 4 がオン状態になり、トランジスタ 1 2 5 がオフ状態になる。また、期間 T 1 2 及び期間 T 1 5 において、トランジスタ 1 2 4 がオフ状態になり、トランジスタ 1 2 5 がオン状態になる。また、期間 T 1 3 及び期間 T 1 6 において、トランジスタ 1 2 4 がオン状態になり、トランジスタ 1 2 5 がオン状態になる。その他の動作については図 1 (A) に示す集積回路の駆動方法例の説明と同じであるため、図 1 (A) に示す集積回路の駆動方法例の説明を適宜援用する。

10

【 0 0 5 8 】

また、図 1 及び図 2 に示す演算回路 1 0 1 __ 1 及び演算回路 1 0 1 __ 2 では、演算部 1 1 1 の構成により、様々な論理演算を行うことができる。一例として、図 1 (A) に示す演算回路の構成例について図 3 乃至図 5 に示す。なお、図 3 乃至図 5 では、便宜のため演算回路 1 0 1 __ 1 の構成のみ示すが、これに限定されず、演算回路 1 0 1 __ 2 についても同様の構成を適用することができる。

【 0 0 5 9 】

図 3 に示す演算回路は、N O T 演算を行う演算回路の例である。図 3 に示す演算回路では、P チャンネル型の電界効果トランジスタであるトランジスタ 1 5 1 を用いて演算部 1 1 1 を構成することにより、N O T 演算を行うことができる。このとき、トランジスタ 1 5 1 のソース及びドレインの一方は、トランジスタ 1 2 1 のソース及びドレインの一方に電氣的に接続され、トランジスタ 1 5 1 のソース及びドレインの他方には、電位 V b が与えられ、トランジスタ 1 5 1 のゲートには、入力信号 I n A __ 1 が入力される。

20

【 0 0 6 0 】

図 4 (A) に示す演算回路は、A N D 演算を行う演算回路の例である。図 4 (A) に示す演算回路では、N チャンネル型の電界効果トランジスタであるトランジスタ 1 6 1 及びトランジスタ 1 6 2 を用いて構成することにより、A N D 演算を行うことができる。このとき、トランジスタ 1 6 1 のソース及びドレインの一方は、トランジスタ 1 2 1 のソース及びドレインの一方に電氣的に接続され、トランジスタ 1 6 1 のゲートには、入力信号 I n A 1 __ 1 が入力される。また、トランジスタ 1 6 2 のソース及びドレインの一方は、トランジスタ 1 6 1 のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 6 2 のソース及びドレインの他方には、電位 V b が与えられ、トランジスタ 1 6 2 のゲートには、入力信号 I n A 2 __ 1 が入力される。

30

【 0 0 6 1 】

図 4 (B) に示す演算回路は、O R 演算を行う演算回路の例である。図 4 (B) に示す演算回路では、P チャンネル型の電界効果トランジスタであるトランジスタ 1 7 1 及びトランジスタ 1 7 2 を用いて構成することにより、O R 演算を行うことができる。このとき、トランジスタ 1 7 1 のソース及びドレインの一方は、トランジスタ 1 2 1 のソース及びドレインの一方に電氣的に接続され、トランジスタ 1 7 1 のソース及びドレインの他方には、電位 V b が与えられ、トランジスタ 1 7 1 のゲートには、入力信号 I n A 1 __ 1 が入力される。また、トランジスタ 1 7 2 のソース及びドレインの一方は、トランジスタ 1 2 1 のソース及びドレインの一方に電氣的に接続され、トランジスタ 1 7 2 のソース及びドレインの他方には、電位 V b が与えられ、トランジスタ 1 7 2 のゲートには、入力信号 I n A 2 __ 1 が入力される。

40

【 0 0 6 2 】

図 4 (C) に示す演算回路は、E N O R 演算を行う演算回路の例である。図 4 (C) に示す演算回路では、N チャンネル型の電界効果トランジスタであるトランジスタ 1 8 1 及びトランジスタ 1 8 2 と、P チャンネル型の電界効果トランジスタであるトランジスタ 1 8 3 及

50

びトランジスタ184とを用いて構成することにより、E NOR演算を行うことができる。このとき、トランジスタ181のソース及びドレインの一方は、トランジスタ121のソース及びドレインの一方に電氣的に接続され、トランジスタ181のゲートには、入力信号InA1_1が入力される。また、トランジスタ182のソース及びドレインの一方は、トランジスタ181のソース及びドレインの他方に電氣的に接続され、トランジスタ182のソース及びドレインの他方には、電位Vbが与えられ、トランジスタ182のゲートには、入力信号InA2_1が入力される。また、トランジスタ183のソース及びドレインの一方は、トランジスタ121のソース及びドレインの一方に電氣的に接続され、トランジスタ183のゲートには、入力信号InA1_1が入力される。また、トランジスタ184のソース及びドレインの一方は、トランジスタ183のソース及びドレインの他方に電氣的に接続され、トランジスタ184のソース及びドレインの他方には、電位Vbが与えられ、トランジスタ184のゲートには、入力信号InA2_1が入力される。

10

20

30

40

50

【0063】

なお、図5(A)に示すように、図4(A)に示すトランジスタ161及びトランジスタ162をPチャンネル型の電界効果トランジスタにすることにより、NAND演算を行う演算回路を構成することもできる。また、図5(B)に示すように、図4(B)に示すトランジスタ171及びトランジスタ172をNチャンネル型の電界効果トランジスタにすることにより、NOR演算を行う演算回路を構成することもできる。また、図5(C)に示すように、図4(C)に示すトランジスタ182をPチャンネル型の電界効果トランジスタにし、トランジスタ184をNチャンネル型の電界効果トランジスタにすることにより、EOR演算を行う演算回路を構成することもできる。

【0064】

また、本実施の形態の集積回路における演算回路の例は、上記構成に限定されず、例えば図1乃至図5のいずれか一つに示す演算回路を複数用いて、複数の信号を出力信号として出力する演算回路を構成することもできる。

【0065】

図1乃至図5を用いて説明したように、本実施の形態における集積回路の一例では、第1の演算回路(例えば演算回路101_1)及び第2の演算回路(例えば演算回路101_2)を備え、第1の演算回路は、論理演算処理を行う演算部と、出力信号の電位を上記演算部の論理演算処理の結果に応じた値にするか否かを制御する第1のトランジスタ(例えばトランジスタ121)と、出力信号の電位を基準電位に応じた値に設定するか否かを制御する第2のトランジスタ(例えばトランジスタ122)と、第1のトランジスタ及び第2のトランジスタにより設定された電位を出力信号として出力するか否かを制御する第3のトランジスタ(例えばトランジスタ123)と、を備えることにより、論理演算処理を行う機能、及びデータを記憶する機能を併せ持つ演算回路を構成することができる。例えば、第1のトランジスタ及び第2のトランジスタをオフ状態にすることにより、保持容量などを用いなくとも演算回路にデータを記憶することができる。また、上記構成にすることにより、演算回路の構成を相補的な構成とする必要がないため、演算回路のトランジスタの数を、CMOS回路で構成する場合に比べて少なくすることができる。また、信号線の数を少なくすることができるため、回路面積を小さくすることができる。また、貫通電流を抑制することができ、消費電力を低減することができる。

【0066】

また、本実施の形態における集積回路の一例では、上記第1のトランジスタ及び上記第2のトランジスタのそれぞれ、若しくは第3のトランジスタ、又は上記第1のトランジスタ乃至第3のトランジスタとしてオフ電流の低い電界効果トランジスタを用いることにより、オフ状態のときにおけるトランジスタのリーク電流を少なくすることができる。よって、長期のデータの保持が可能となり、他の不揮発性記憶回路にデータを待避させる必要がなくなるため、動作速度を向上させることができ、また、消費電力を低減することができる。

【 0 0 6 7 】

さらに、表 1 は M R A M に用いられる磁気トンネル接合素子 (M T J 素子ともいう) と、酸化物半導体を用いたトランジスタ及びシリコン半導体を用いたトランジスタの積層 (O S / S i ともいう) を備える場合の上記不揮発性記憶回路との対比を示す。

【 0 0 6 8 】

【 表 1 】

	スピントロニクス(MTJ素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOSLSI 向き
5) オーバーヘッド	大きい (ジュール熱が大きいため)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D 化	難(できて二層まで)	容易(何層でも可)
9) 集積化度(F ²)	4F ² ~15F ²	3D 化の積層数で決まる (上層 OSFET 工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	OS 材料
11) ビットコスト	高い	低い (OS を構成する材料によっては In など)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

10

20

30

【 0 0 6 9 】

M T J 素子としては、磁性材料が用いられる。このため、M T J 素子をキュリー温度以上にすると磁性が失われてしまう欠点がある。また、M T J 素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。さらに、M T J 素子は、メモリの大容量化によって書き込み電流が増大し、消費電力が増大してしまうといった問題がある。

【 0 0 7 0 】

また、M T J 素子は、磁界耐性が弱く、強磁界にさらされるとスピンの向きが狂いやすい。また、M T J 素子に用いる磁性体は、ナノスケールにすることにより磁化揺らぎが生じる。

40

【 0 0 7 1 】

また、M T J 素子はビット当たりの材料コストから見ても高価である。

【 0 0 7 2 】

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャンネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコン M O S F E T と同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じにくい。このことからシリコン集積回路と非常に整合性が良いといえる。

【 0 0 7 3 】

(実施の形態 2)

本実施の形態では、上記実施の形態に示す演算回路のトランジスタに適用可能な酸化物半

50

導体層を含む電界効果トランジスタの例について説明する。

【0074】

本実施の形態におけるトランジスタの構造例について、図6を用いて説明する。

【0075】

図6(A)に示すトランジスタは、導電層601__aと、絶縁層602__aと、半導体層603__aと、導電層605a__aと、導電層605b__aと、を含む。

【0076】

半導体層603__aは、領域604a__a及び領域604b__aを含む。領域604a__a及び領域604b__aは、互いに離間し、それぞれドーパントが添加された領域である。なお、領域604a__a及び領域604b__aの間の領域がチャンネル形成領域になる。半導体層603__aは、被素子形成層600__aの上に設けられる。なお、必ずしも領域604a__a及び領域604b__aを設けなくてもよい。

10

【0077】

導電層605a__a及び導電層605b__aは、半導体層603__aの上に設けられ、半導体層603__aに電氣的に接続される。また、導電層605a__a及び導電層605b__aの側面は、テーパ状である。

【0078】

また、導電層605a__aは、領域604a__aの一部に重畳するが、必ずしもこれに限定されない。導電層605a__aを領域604a__aの一部に重畳させることにより、導電層605a__a及び領域604a__aの間の抵抗値を小さくすることができる。また、導電層605a__aに重畳する半導体層603__aの領域の全てが領域604a__aである構造にしてもよい。

20

【0079】

また、導電層605b__aは、領域604b__aの一部に重畳するが、必ずしもこれに限定されない。導電層605b__aを領域604b__aの一部に重畳させることにより、導電層605b__a及び領域604b__aの間の抵抗を小さくすることができる。また、導電層605b__aに重畳する半導体層603__aの領域の全てが領域604b__aである構造にしてもよい。

【0080】

絶縁層602__aは、半導体層603__a、導電層605a__a、及び導電層605b__aの上に設けられる。

30

【0081】

導電層601__aは、絶縁層602__aの一部の上に設けられ、絶縁層602__aを介して半導体層603__aに重畳する。絶縁層602__aを介して導電層601__aと重畳する半導体層603__aの領域がチャンネル形成領域になる。

【0082】

また、図6(B)に示すトランジスタは、導電層601__bと、絶縁層602__bと、半導体層603__bと、導電層605a__bと、導電層605b__bと、絶縁層606aと、絶縁層606bと、絶縁層607と、を含む。

【0083】

半導体層603__bは、領域604a__b及び領域604b__bを含む。領域604a__b及び領域604b__bは、互いに離間し、それぞれドーパントが添加された領域である。半導体層603__bは、例えば導電層605a__b、導電層605b__b、及び被素子形成層600__bの上に設けられ、導電層605a__b及び導電層605b__bに電氣的に接続される。なお、必ずしも領域604a__b及び領域604b__bを設けなくてもよい。

40

【0084】

絶縁層602__bは、半導体層603__bの一部の上に設けられる。

【0085】

導電層601__bは、絶縁層602__bの一部の上に設けられ、絶縁層602__bを介し

50

て半導体層 603__b に重畳する。なお、絶縁層 602__b を介して導電層 601__b と重畳する半導体層 603__b の領域がトランジスタのチャネル形成領域になる。なお、導電層 601__b の上に絶縁層が設けられていてもよい。

【0086】

絶縁層 606a は、絶縁層 602__b の上に設けられ、導電層 601__b における一对の側面の一方に接する。

【0087】

絶縁層 606b は、絶縁層 602__b の上に設けられ、導電層 601__b における一对の側面の他方に接する。

【0088】

なお、絶縁層 602__b を介して絶縁層 606a 及び絶縁層 606b に重畳する領域 604a__b 及び領域 604b__b の部分のドーパントの濃度は、絶縁層 606a 及び絶縁層 606b に重畳しない領域 604a__b 及び領域 604b__b の部分のドーパントの濃度より低くてもよい。

【0089】

導電層 605a__b 及び導電層 605b__b は、半導体層 603__b の上に設けられる。

【0090】

導電層 605a__b は、領域 604a__b に電氣的に接続される。また、導電層 605a__b は、絶縁層 606a に接する。

【0091】

導電層 605b__b は、領域 604b__b に電氣的に接続される。また、導電層 605b__b は、絶縁層 606b に接する。

【0092】

絶縁層 607 は、導電層 601__b、導電層 605a__b、導電層 605b__b、絶縁層 606a、及び絶縁層 606b の上に設けられる。

【0093】

さらに、図 6 (A) 及び図 6 (B) に示す各構成要素について説明する。

【0094】

被素子形成層 600__a 及び被素子形成層 600__b としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 600__a 及び被素子形成層 600__b として用いることもできる。

【0095】

導電層 601__a 及び導電層 601__b のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

【0096】

導電層 601__a 及び導電層 601__b としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 601__a 及び導電層 601__b に適用可能な材料の積層により、導電層 601__a 及び導電層 601__b を構成することもできる。

【0097】

絶縁層 602__a 及び絶縁層 602__b のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

【0098】

絶縁層 602__a 及び絶縁層 602__b としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は酸化ランタン層を用いることができる。また、絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の積層により絶縁層 602__a 及び絶縁層 602__b を構成することもできる。

10

20

30

40

50

【0099】

また、絶縁層602__a及び絶縁層602__bとしては、例えば元素周期表における第13族元素及び酸素元素を含む材料の絶縁層を用いることもできる。例えば、半導体層603__a及び半導体層603__bが第13族元素を含む場合に、半導体層603__a及び半導体層603__bに接する絶縁層として第13族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることができる。

【0100】

第13族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上の物質のことをいう。例えば、 Al_2O_x ($x=3+$ 、 x は0より大きく1より小さい値)、 Ga_2O_x ($x=3+$ 、 x は0より大きく1より小さい値)、又は $Ga_xAl_{2-x}O_{3+x}$ (x は0より大きく2より小さい値、 x は0より大きく1より小さい値)で表記される材料を用いることもできる。

10

【0101】

また、絶縁層602__a及び絶縁層602__bに適用可能な材料の層の積層により絶縁層602__a及び絶縁層602__bを構成することもできる。例えば、複数の Ga_2O_x で表記される酸化ガリウムを含む層の積層により絶縁層602__a及び絶縁層602__bを構成してもよい。また、 Ga_2O_x で表記される酸化ガリウムを含む絶縁層及び Al_2O_x で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層602__a及び絶縁層602__bを構成してもよい。

20

【0102】

半導体層603__a及び半導体層603__bのそれぞれは、トランジスタのチャネルが形成される層としての機能を有する。半導体層603__a及び半導体層603__bに適用可能な酸化物半導体としては、例えばIn系酸化物(例えば酸化インジウムなど)、Sn系酸化物(例えば酸化スズなど)、又はZn系酸化物(例えば酸化亜鉛など)などを用いることができる。

【0103】

また、上記金属酸化物としては、例えば、四元系金属酸化物、三元系金属酸化物、二元系金属酸化物などの金属酸化物を用いることもできる。なお、上記酸化物半導体として適用可能な金属酸化物は、特性のばらつきを減らすためのスタビライザーとしてガリウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてスズを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてハフニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてアルミニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとして、ランタノイドである、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムの一つ又は複数を含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。

30

40

【0104】

例えば、四元系金属酸化物としては、例えばIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物などを用いることができる。

【0105】

また、三元系金属酸化物としては、例えばIn-Ga-Zn系酸化物(IGZOともいう)、In-Sn-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物

50

、Al - Ga - Zn系酸化物、Sn - Al - Zn系酸化物、又はIn - Hf - Zn系酸化物、In - La - Zn系酸化物、In - Ce - Zn系酸化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、又はIn - Lu - Zn系酸化物などを用いることができる。

【0106】

また、二元系金属酸化物としては、例えばIn - Zn系酸化物、Sn - Zn系酸化物、Al - Zn系酸化物、Zn - Mg系酸化物、Sn - Mg系酸化物、In - Mg系酸化物、In - Sn系酸化物、又はIn - Ga系酸化物などを用いることができる。

10

【0107】

なお、例えばIn - Ga - Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0108】

また、酸化物半導体としては、 $InL_3(O_3)(ZnO)_m$ (m は0より大きい数)で表記される材料を用いることもできる。 $InL_3(O_3)(ZnO)_m$ のLは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

【0109】

また、酸化物半導体としては、 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)又は $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)の原子比のIn - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。また、酸化物半導体としては、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)又は $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$)の原子比のIn - Sn - Zn系酸化物やその組成の近傍の酸化物を用いることができる。

20

【0110】

しかし、これらに限られず、必要とする半導体特性(移動度、閾値電圧、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

30

【0111】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0112】

また、半導体層603__a及び半導体層603__bとしては、c軸に配向し、かつab面、表面又は界面の方向から見て三角形又は六角形状の原子配列を有し、c軸において金属原子が層状又は金属原子と酸素原子とが層状に配列しており、ab面においてa軸又はb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう)の層を用いることができる。

40

【0113】

CAACは、単結晶ではないが、非晶質のみから形成されている材料でもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0114】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は、一定の方向(例えば、CAACが形成される基板面、CAACの表面などに垂直な方向)に揃っていてもよい。又は、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACが形成される基板面、CA

50

ACの表面などに垂直な方向)を向いていてもよい。

【0115】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0116】

このようなCAACの例としては、例えば膜状に形成され、膜表面又は基板面に垂直な方向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子(又は窒素原子)の層状配列が認められる結晶を挙げることができる。

【0117】

また、酸化物半導体としては、c軸方向に配向する結晶領域の組成が $In_{n_1}Ga_{1-n_1}O_3(ZnO)_M$ (ただし、 $0 < n_1 < 1$ 、 $M = 1$ 以上3以下の数)で表され、c軸方向に配向する結晶領域を含む全体の半導体層の組成が $In_PGa_QO_R(ZnO)_M$ (ただし、 $0 < P < 2$ 、 $0 < Q < 2$ 、 $M = 1$ 以上3以下の数)で表される材料を用いることもできる。

【0118】

また、例えば、半導体層603__a及び半導体層603__bがCAACの酸化物半導体層の場合において、トランジスタのチャネル長を30nmとすると、半導体層603__a及び半導体層603__bの厚さを例えば5nm程度にしてもトランジスタにおける短チャネル効果を抑制することができる。

【0119】

ここで、CAACに含まれる結晶構造例について図7乃至図10を用いてさらに説明する。なお、特に断りがない限り、図7乃至図10は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。また、図7において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0120】

図7(A)では、1個の6配位のインジウム原子(6配位のInともいう)と6配位のInに近接する6個の4配位の酸素原子(4配位のOともいう)と、を有する構造を示す。なお、Inなどの1個の金属原子と該金属原子に近接する酸素原子により構成される部分を小グループという。また、図7(A)では、便宜のため、八面体構造を平面構造で示している。また、図7(A)の上半分及び下半分には、それぞれ3個ずつ4配位のOがある。また、図7(A)に示す小グループの総電荷は0である。

【0121】

図7(B)では、1個の5配位のGaと、5配位のGaに近接する3個の3配位の酸素原子(3配位のOともいう)と、5配位のGaに近接する2個の4配位のOと、を有する構造を示す。3個の3配位のOのそれぞれは、いずれもab面に存在する。また、図7(B)の上半分及び下半分のそれぞれには、1個ずつ4配位のOがある。また、インジウム原子には、6配位だけではなく、5配位のインジウム原子(5配位のIn)も存在するため、5配位のInと、3個の3配位のOと、2個の4配位のOにより、図7(B)に示す構造を構成することもできる。また、図7(B)に示す小グループの総電荷は0である。

【0122】

図7(C)では、1個の4配位の亜鉛原子(4配位のZnともいう)と、4配位のZnに近接する4個の4配位のOと、を有する構造を示す。図7(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。また、図7(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。なお、図7(C)に示す小グループの総電荷は0である。

【0123】

図7(D)では、1個の6配位のスズ原子(6配位のSnともいう)と、6配位のSnに

10

20

30

40

50

近接する 6 個の 4 配位の O と、を有する構造を示す。図 7 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。なお、図 7 (D) に示す小グループの総電荷は + 1 となる。

【 0 1 2 4 】

図 7 (E) では、2 個の垂鉛原子を含む小グループを示す。図 7 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 7 (E) に示す小グループの総電荷は - 1 となる。

【 0 1 2 5 】

なお、複数の小グループの集合体を中グループといい、複数の中グループの集合体を大グループという。

【 0 1 2 6 】

ここで、上記小グループ同士が結合する規則について説明する。例えば、図 7 (A) に示す 6 配位の I_n の上半分における 3 個の 4 配位の O は、下方向に近接する 3 個の 6 配位の I_n に結合し、下半分における 3 個の 4 配位の O は、上方向に近接する 3 個の 6 配位の I_n に結合する。また、5 配位の G_a の上半分における 1 個の 3 配位の O は、下方向に近接する 1 個の 5 配位の G_a に結合し、下半分における 1 個の 3 配位の O は、上方向に近接する 1 個の 5 配位の G_a に結合する。また、4 配位の Z_n の上半分における 1 個の 4 配位の O は、下方向に近接する 1 個の 4 配位の Z_n に結合し、下半分における 3 個の O は、上方向に近接する 3 個の 4 配位の Z_n に結合する。このように、金属原子の上方向における 4 配位の O の数と、その O の下方向に近接する金属原子の数は等しく、同様に金属原子の下方向における 4 配位の O の数と、その O の上方向に近接する金属原子の数は等しい。このとき、O は 4 配位なので、下方向に近接する金属原子の数と、上方向に近接する金属原子の数の和は 4 になる。従って、金属原子の上方向における 4 配位の O の数と、別の金属原子の下方向における 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は、結合することができる。例えば、6 配位の金属原子 (I_n 又は S_n) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子又は 4 配位の金属原子と結合することになる。

【 0 1 2 7 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。また、この他にも、層構造の合計の電荷が 0 となるように、複数の小グループが結合して中グループを構成する。

【 0 1 2 8 】

さらに、図 8 (A) では、 $I_n - S_n - Z_n$ 系酸化物の層構造を構成する中グループのモデル図を示す。また、図 8 (B) では、3 つの中グループで構成される大グループを示す。また、図 8 (C) では、図 8 (B) に示す層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 1 2 9 】

なお、図 8 (A) では、便宜のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 S_n の上半分及び下半分のそれぞれに 3 個ずつ 4 配位の O があることを、丸棒の 3 として示している。同様に、図 8 (A) において、 I_n の上半分及び下半分のそれぞれには、1 個ずつ 4 配位の O があることを、丸棒の 1 として示している。また、同様に、図 8 (A) では、下半分に 1 個の 4 配位の O があり、上半分に 3 個の 4 配位の O がある Z_n と、上半分に 1 個の 4 配位の O があり、下半分に 3 個の 4 配位の O がある Z_n と、を示している。

【 0 1 3 0 】

図 8 (A) において、 $I_n - S_n - Z_n$ 系酸化物の層構造を構成する中グループでは、上から順に、4 配位の O が 3 個ずつ上半分及び下半分にある S_n が、4 配位の O が 1 個ずつ上半分及び下半分にある I_n に結合し、該 I_n が、上半分に 3 個の 4 配位の O がある Z_n に結合し、且つ下半分の 1 個の 4 配位の O 及び上記 Z_n を介して、4 配位の O が 3 個ずつ上半分及び下半分にある I_n と結合し、該 I_n 原子が、上半分に 1 個の 4 配位の O がある

10

20

30

40

50

Zn原子2個からなる小グループと結合し、且つ該小グループの下半分における1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるSn原子と結合している。複数の上記中グループが結合することにより、大グループが構成される。

【0131】

ここで、3配位のO及び4配位のOの場合、結合1本当たりの電荷は、それぞれ-0.667、-0.5と考えることができる。例えば、In(6配位又は5配位)、Zn(4配位)、Sn(5配位又は6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループの電荷は+1となる。そのため、Snを含む層構造を形成するためには、+1である電荷を打ち消す-1の電荷が必要となる。電荷が-1となる構造として、図7(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

10

【0132】

さらに、図8(B)に示す大グループが繰り返された構造にすることにより、In-Sn-Zn系酸化物の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn酸化物の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (mは0又は自然数)とする組成式で表すことができる。

【0133】

また、本実施の形態に示す他の四元系金属酸化物、三元系金属酸化物、二元系金属酸化物、その他の金属酸化物などを用いた場合も同様である。

20

【0134】

例えば、In-Ga-Zn系酸化物の層構造を構成する中グループのモデル図を図9(A)に示す。

【0135】

図9(A)において、In-Ga-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるInが、4配位のOが1個上半分にあるZnに結合し、且つ該Znの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分及び下半分にあるGaに結合し、且つ該Gaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分及び下半分にあるInに結合している構成である。複数の上記中グループが結合することにより、大グループが構成される。

30

【0136】

図9(B)では、3つの中グループで構成される大グループを示す。また、図9(B)に示す層構造をc軸方向から観察した場合の原子配列を図9(C)に示す。

【0137】

ここで、In(6配位又は5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、Zn及びGaのいずれかを含む小グループの電荷は0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0138】

なお、In-Ga-Zn系酸化物の層構造を構成する中グループは、図9(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせで大グループを構成することもできる。

40

【0139】

具体的には、図9(B)に示した大グループが繰り返されることで、In-Ga-Zn系酸化物の結晶を得ることができる。得られるIn-Ga-Zn系酸化物の層構造は、 $InGaO_3(ZnO)_n$ (nは自然数。)とする組成式で表される。

【0140】

n=1($InGaZnO_4$)の場合、例えば結晶構造を図10(A)に示す構造にすることができる。また、Ga及びInは5配位をとるため、図7(B)を用いて説明したように、結晶構造を図10(A)に示す結晶構造におけるGaがInに置き換わった構造にす

50

ることできる。

【0141】

また、 $n = 2$ ($InGaZn_2O_5$) の場合、例えば結晶構造を図10(B)に示す結晶構造にすることができる。なお、Ga及びInは5配位をとるため、図7(B)を用いて説明したように、結晶構造を図10(B)に示す結晶構造におけるGaがInに置き換わった構造にすることもできる。

【0142】

以上がCAACの構造例の説明である。CAACのように結晶性を有する酸化物半導体は、アモルファスの酸化物半導体と比べて欠陥が少ない。

【0143】

さらに、図6(A)及び図6(B)に示す領域604a__a、領域604b__a、領域604a__b、及び領域604b__bは、ドーパントが添加され、トランジスタのソース又はドレインとしての機能を有する。ドーパントとしては、例えば元素周期表における13族の元素(例えば硼素など)、元素周期表における15族の元素(例えば窒素、リン、及び砒素の一つ又は複数)、及び希ガス元素(例えばヘリウム、アルゴン、及びキセノンの一つ又は複数)の一つ又は複数を用いることができる。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。領域604a__a、領域604b__a、領域604a__b、及び領域604b__bにドーパントを添加することにより導電層との間の抵抗を小さくすることができるため、トランジスタを微細化することができる。

【0144】

導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

【0145】

導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bとしては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層により、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bを構成することができる。また、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bに適用可能な材料の積層により、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bを構成することもできる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層と銅を含む層の積層により、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bを構成することができる。

【0146】

また、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、又は酸化インジウム酸化亜鉛を用いることができる。なお、導電層605a__a、導電層605b__a、導電層605a__b、及び導電層605b__bに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0147】

絶縁層606a及び絶縁層606bとしては、例えば絶縁層602__a及び絶縁層602__bに適用可能な材料の層を用いることができる。また、絶縁層606a及び絶縁層606bに適用可能な材料の積層により、絶縁層606a及び絶縁層606bを構成してもよい。

【0148】

10

20

30

40

50

絶縁層 607 は、トランジスタへの不純物の侵入を抑制する保護絶縁層としての機能を有する。

【0149】

絶縁層 607 としては、例えば絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の層を用いることができる。また、絶縁層 607 に適用可能な材料の積層により、絶縁層 607 を構成してもよい。例えば、酸化シリコン層、酸化アルミニウム層などにより、絶縁層 607 を構成してもよい。例えば、酸化アルミニウム層を用いることにより、半導体層 603__b への不純物の侵入抑制効果をより高めることができ、また、半導体層 603__b 中の酸素の脱離抑制効果を高めることができる。

【0150】

なお、本実施の形態のトランジスタを、チャネル形成層としての機能を有する酸化物半導体層の一部の上に絶縁層を含み、該絶縁層を介して酸化物半導体層に重畳するように、ソース又はドレインとしての機能を有する導電層を含む構造としてもよい。上記構造である場合、絶縁層は、トランジスタのチャネル形成層を保護する層（チャネル保護層ともいう）としての機能を有する。チャネル保護層としての機能を有する絶縁層としては、例えば絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の層を用いることができる。また、絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の積層によりチャネル保護層としての機能を有する絶縁層を構成してもよい。

【0151】

また、被素子形成層 600__a 及び被素子形成層 600__b の上に下地層を形成し、該下地層の上にトランジスタを形成してもよい。このとき、下地層としては、例えば絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の層を用いることができる。また、絶縁層 602__a 及び絶縁層 602__b に適用可能な材料の積層により下地層を構成することにより、下地層に含まれる酸素が半導体層 603__a 及び半導体層 603__b を介して脱離するのを抑制することができる。

【0152】

さらに、本実施の形態におけるトランジスタの作製方法例として、図 6 (A) に示すトランジスタの作製方法例について、図 11 を用いて説明する。図 11 は、図 6 に示すトランジスタの作製方法例を説明するための断面模式図である。

【0153】

まず、図 11 (A) に示すように、被素子形成層 600__a を準備し、被素子形成層 600__a の上に半導体層 603__a を形成する。

【0154】

例えば、スパッタリング法を用いて半導体層 603__a に適用可能な酸化物半導体材料の膜（酸化物半導体膜ともいう）を成膜することにより、半導体層 603__a を形成することができる。なお、上記酸化物半導体膜を成膜した後に、該酸化物半導体膜の一部をエッチングしてもよい。また、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を成膜してもよい。

【0155】

また、スパッタリングターゲットとして、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]、 $4 : 2 : 3$ [原子数比]、 $3 : 1 : 2$ [原子数比]、 $1 : 1 : 2$ [原子数比]、 $2 : 1 : 3$ [原子数比]、又は $3 : 1 : 4$ [原子数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を成膜してもよい。上記組成比である酸化物ターゲットを用いることにより、結晶性の高い酸化物半導体膜を成膜することができ、多結晶又は C A A C が形成されやすくなる。

【0156】

また、スパッタリングターゲットとして、 $In : Sn : Zn = 1 : 2 : 2$ [原子数比]、 $2 : 1 : 3$ [原子数比]、 $1 : 1 : 1$ [原子数比]、又は $20 : 45 : 35$ [原子数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を成膜してもよい。上記組成比

10

20

30

40

50

である酸化物ターゲットを用いることにより、結晶性の高い酸化物半導体膜を成膜することができ、多結晶又はC A A Cが形成されやすくなる。

【0157】

また、スパッタリングターゲットとして、 $In : Zn = 50 : 1$ 乃至 $In : Zn = 1 : 2$ （モル数比に換算すると $In_2O_3 : ZnO = 25 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 4$ ）、好ましくは $In : Zn = 20 : 1$ 乃至 $In : Zn = 1 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 10 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 2$ ）、さらに好ましくは $In : Zn = 15 : 1$ 乃至 $In : Zn = 1.5 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 15 : 2$ 乃至 $In_2O_3 : ZnO = 3 : 4$ ）の組成比である酸化物ターゲットを用いてIn-Zn系酸化物の膜を成膜してもよい。また、In-Zn系酸化物半導体膜の成膜に用いるターゲットは、原子数比が $In : Zn : O = S : U : R$ のとき、 $R > 1.5S + U$ とする。Inの量を多くすることにより、トランジスタの電界効果移動度（単に移動度ともいう）を向上させることができる。

10

【0158】

また、スパッタリング法を用いる場合、例えば、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で半導体層603__aを形成する。このとき、希ガスと酸素の混合雰囲気下で半導体層603__aを形成する場合には、希ガスの量に対して酸素の量が多い方が好ましい。

【0159】

また、スパッタリング法を用いた成膜を行う場合、堆積される膜中に水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物が含まれないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑えることが好ましい。

20

【0160】

例えば、スパッタリング法を用いて膜を成膜する前に、スパッタリング装置の予備加熱室において予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、上記不純物を脱離することができる。

【0161】

また、スパッタリング法を用いて成膜する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側にRF電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

30

【0162】

また、スパッタリング法を用いて成膜する場合、吸着型の真空ポンプなどを用いて、膜を成膜する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。上記真空ポンプを用いることにより、上記不純物を含む排気の逆流を低減することができる。

40

【0163】

また、スパッタリングガスとして、例えば上記不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物の濃度を低減することができる。例えば、スパッタリングガスとして、露点-70以下であるガスを用いることが好ましい。

【0164】

また、スパッタリング法の代わりに真空蒸着法、PECVD（Plasma-Enhanced Chemical Vapor Deposition）法、PLD（Pulsed Laser Deposition）法、ALD（Atomic Layer Deposition）法、又はMBE（Molecular Beam Epitaxy）法などを用いて酸化物半導体膜を成膜してもよい。

【0165】

50

また、本実施の形態におけるトランジスタの作製方法例において、膜の一部をエッチングして層を形成する場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

【0166】

また、半導体層603__aとしてCAACである酸化物半導体層を形成する場合、スパッタリング法を用い、酸化物半導体膜が形成される被素子形成層の温度を100 以上600 以下、好ましくは150 以上550 以下、さらに好ましくは200 以上500 以下にして酸化物半導体膜を成膜する。被素子形成層の温度を高くして酸化物半導体膜を成膜することにより、膜中の不純物濃度が低減し、作製されるトランジスタの電界効果移動度を向上させ、ゲートバイアス・ストレスに対する安定性を高めることができる。また、酸化物半導体膜中の原子配列が整い、高密度化され、多結晶またはCAACが形成されやすくなる。さらに、酸素ガス雰囲気でも、希ガスなどの余分な原子が含まれないため、多結晶またはCAACが形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。また、酸化物半導体膜を薄くするほど、トランジスタの短チャネル効果が低減される。

10

【0167】

また、このとき、被素子形成層600__aは平坦であることが好ましい。例えば、被素子形成層600__aの平均面粗さは、1nm以下、さらには0.3nm以下nm以下であることが好ましい。被素子形成層600__aの平坦性を向上させることにより、アモルファス状態の酸化物半導体以上に移動度を向上させることができる。例えば、化学的機械研磨(CMP)処理及びプラズマ処理の一つ又は複数により、被素子形成層600__aを平坦化することができる。このとき、プラズマ処理には、希ガスイオンで表面をスパッタリングする処理やエッチングガスを用いて表面をエッチングする処理も含まれる。

20

【0168】

次に、図11(B)に示すように、半導体層603__aの上に導電層605a__a及び導電層605b__aを形成する。

【0169】

例えば、スパッタリング法などを用いて導電層605a__a及び導電層605b__aに適用可能な材料の膜を第1の導電膜として成膜し、該第1の導電膜の一部をエッチングすることにより導電層605a__a及び導電層605b__aを形成することができる。

30

【0170】

次に、図11(C)に示すように、半導体層603__aに接するように絶縁層602__aを形成する。

【0171】

例えば、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、スパッタリング法を用いて絶縁層602__aに適用可能な膜を成膜することにより、絶縁層602__aを形成することができる。絶縁層602__aを形成する際の被素子形成層600__aの温度は、室温以上300 以下であることが好ましい。

40

【0172】

また、絶縁層602__aを形成する前にN₂O、N₂、又はArなどのガスを用いたプラズマ処理を行い、露出している半導体層603__aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、絶縁層602__aを形成することが好ましい。

【0173】

次に、図11(D)に示すように、絶縁層602__aの上に導電層601__aを形成する。

【0174】

例えば、スパッタリング法などを用いて導電層601__aに適用可能な材料の膜を第2の

50

導電膜として成膜し、該第2の導電膜の一部をエッチングすることにより導電層601__aを形成することができる。

【0175】

また、図6(A)に示すトランジスタの作製方法の一例では、例えば600以上750以下、又は600以上基板の歪み点未満の温度で加熱処理を行う。例えば、酸化物半導体膜を成膜した後、酸化物半導体膜の一部をエッチングした後、第1の導電膜を成膜した後、第1の導電膜の一部をエッチングした後、絶縁層602__aを形成した後、第2の導電膜を成膜した後、又は第2の導電膜の一部をエッチングした後に上記加熱処理を行う。上記加熱処理を行うことにより、水素、水、水酸基、又は水素化物などの不純物が半導体層603__aから排除される。

10

【0176】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA(Gas Rapid Thermal Anneal)装置又はLRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。

20

【0177】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、半導体層603__aに酸素が供給され、半導体層603__a中の酸素欠乏に起因する欠陥を低減

30

【0178】

また、図6(A)に示すトランジスタの作製方法の一例では、半導体層603__a形成後、導電層605a__a及び導電層605b__a形成後、絶縁層602__a形成後、導電層601__a形成後、又は上記加熱処理後に酸素プラズマによる酸素ドーピング処理など、酸素イオンを電界で加速させる方法を用いて酸化物半導体膜に酸素を注入してもよい。例えば2.45GHzの高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法を用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層602__aを、化学量論的組成比より酸素が多い状態にする。

40

【0179】

半導体層603__aに接する絶縁層中の酸素を過剰にすることにより、半導体層603__aに酸素が供給されやすくなる。よって、半導体層603__a中、又は絶縁層602__aと、半導体層603__aとの界面における酸素欠陥を低減することができるため、半導体層603__aのキャリア濃度をより低減することができる。また、これに限定されず、製造過程により半導体層603__aに含まれる酸素を過剰にした場合であっても、半導体層603__aに接する上記絶縁層により、半導体層603__aからの酸素の脱離を抑制することができる。

50

【0180】

例えば、絶縁層602__aとして、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を Ga_2O_x にすることができる。

【0181】

また、絶縁層602__aとして、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を Al_2O_x にすることができる。

【0182】

また、絶縁層602__aとして、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_3$ とすることができる。

10

【0183】

以上の工程によって、半導体層603__aから、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ半導体層603__aに酸素を供給することにより、酸化物半導体層を高純度化させることができる。

【0184】

さらに、上記加熱処理とは別に、絶縁層602__aを形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理（好ましくは200以上600以下、例えば250以上350以下）を行ってもよい。

【0185】

上記に示す被素子形成層600__aの加熱温度又は酸化物半導体膜の成膜後の加熱処理の温度は、150以上、好ましくは200以上、より好ましくは400以上である。酸化物半導体膜の成膜後の加熱処理では、300以上であれば膜中に含まれる水素等の不純物を放出させ、該不純物を除去すること（脱水化、脱水素化）ができる。

20

【0186】

上記加熱処理は酸素中で行うことができるが、上記脱水化・脱水素化を窒素雰囲気又は減圧下で行ってから、酸素雰囲気中で熱処理をするように2段階で行うようにしてもよい。脱水化・脱水素化後に酸素を含む雰囲気中で熱処理することにより、酸化物半導体中に酸素を加えることも可能となり、上記加熱処理の効果をより高めることができる。また、上記加酸化処理を、酸化物半導体層に接するように絶縁層を設けた状態で熱処理を行ってもよい。例えば酸化物半導体層中及び酸化物半導体層に積層する層との界面には、酸素欠損による欠陥が生成されやすいが、上記加熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することができる。上記過剰な酸素は、主に格子間に存在する酸素であり、その酸素濃度を $1 \times 10^{16} / cm^3$ 以上 $2 \times 10^{20} / cm^3$ 以下にすることにより、例えば結晶化した場合であっても結晶に歪みなどを与えることなく酸化物半導体層中に酸素を含ませることができる。

30

【0187】

また、酸化物半導体膜の成膜後に加熱処理を行うことにより、作製されるトランジスタのゲートバイアス・ストレスに対する安定性を高めることができる。また、トランジスタの電界効果移動度を向上させることもできる。

【0188】

さらに、図11(E)に示すように、導電層601__aが形成される側から半導体層603__aにドーパントを添加することにより、絶縁層602__aを介して自己整合で領域604a__a及び領域604b__aを形成する。

40

【0189】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

【0190】

なお、図6(A)に示すトランジスタの作製方法例を示したが、これに限定されず、例えば図6(B)に示す各構成要素において、名称が図6(A)に示す各構成要素と同じであり且つ機能の少なくとも一部が図6(A)に示す各構成要素と同じであれば、図6(A)

50

に示すトランジスタの作製方法例の説明を適宜援用することができる。

【0191】

図6乃至図11を用いて説明したように、本実施の形態におけるトランジスタの一例では、ゲートとしての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、ゲート絶縁層としての機能を有する絶縁層を介してゲートとしての機能を有する導電層に重畳し、チャンネルが形成される酸化物半導体層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの一方としての機能を有する導電層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの他方としての機能を有する導電層と、を含む構成にすることにより、トランジスタを構成することができる。

【0192】

また、本実施の形態におけるトランジスタの一例では、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができる。

【0193】

酸化物半導体をトランジスタに適用するにはキャリア濃度を $10^{18} / \text{cm}^3$ 以下にすることが好ましい。InあるいはZnを含む酸化物半導体は、GaやSnを酸化物半導体を構成する一元素として含ませることのみならず、上記のように酸化物半導体膜の高純度化（水素等の除去）を図ることや、成膜後の熱処理をすることによってキャリア濃度を $10^{18} / \text{cm}^3$ 以下にすることができる。

【0194】

また、酸化物半導体膜を成膜する際の加熱処理及び成膜後の加熱処理の一つ又は複数を行うことにより、トランジスタの閾値電圧をプラスシフトさせ、ノーマリ・オフ化させることができ、また、チャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を、 10 aA ($1 \times 10^{-17} \text{ A}$) 以下、さらには 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらには 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらには 1 zA ($1 \times 10^{-21} \text{ A}$) 以下、さらには 100 yA ($1 \times 10^{-22} \text{ A}$) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態におけるトランジスタのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

【0195】

本実施の形態の酸化物半導体層を含むトランジスタを、例えば上記実施の形態における演算回路における出力信号の電位を制御するためのトランジスタに用いることにより、演算回路におけるデータの保持時間を長くすることができる。

【0196】

また、本実施の形態におけるトランジスタの一例は、他のトランジスタ（例えば、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタ）と積層させることができる。よって、同一基板上に上記酸化物半導体層を含むトランジスタ及び上記他のトランジスタを形成しつつ、回路面積を縮小することができる。

【0197】

また、上記酸化物半導体を用いたトランジスタは、非晶質又は結晶のいずれの場合であっても比較的高い電界効果移動度を得ることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体膜から不純物を除去して高純度化することにより、結晶化を図ることもできる。例えば、In-Sn-Zn系酸化物半導体では $31 \text{ cm}^2 / \text{Vs}$ 超、好ましくは $39 \text{ cm}^2 / \text{Vs}$ 超、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 超の電界効果移動度を得ることも可能である。また、高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{Vs}$ を超える電界効果移動度を実現することも可能になると示唆される。また、本実施の形態におけるトランジスタの一例では、酸化物半導体層の欠陥密度が少ないほどトランジスタの電界効果移動度が高くなると示唆される。その理由について以下に説明する。

【0198】

10

20

30

40

50

酸化物半導体層を含む電界効果トランジスタに限らず、実際に測定される電界効果トランジスタの電界効果移動度は、様々な理由によって本来の電界効果移動度よりも低くなる。電界効果移動度を低下させる要因としては、半導体層内部の欠陥や半導体層と絶縁層との界面の欠陥がある。例えば、Levinsonモデルを用いると、酸化物半導体層に欠陥がないと仮定した場合のトランジスタの電界効果移動度を理論的に導き出すことができる。

【0199】

半導体層本来の電界効果移動度を μ_0 とし、測定される電界効果移動度を μ とし、半導体層中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、測定される電界効果移動度である μ は、下記の式（1）で表される。

10

【0200】

【数1】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (1)$$

【0201】

上記式（1）において、Eはポテンシャル障壁の高さであり、kはボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルにおいて、ポテンシャル障壁の高さであるEは、下記の式（2）で表される。

20

【0202】

【数2】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon Cox Vg} \quad (2)$$

【0203】

上記式（2）において、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 μ は半導体の誘電率、nはチャネルのキャリア面濃度、 C_{ox} は単位面積当たりの容量、Vgはゲート電圧（ゲートとソースの間の電圧）、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同じとして差し支えない。さらに、線形領域におけるドレイン電流Id（ドレインとソースの間の電流）は、下記の式（3）で表される。

30

【0204】

【数3】

$$Id = \frac{W\mu Vg Vd Cox}{L} \exp\left(-\frac{E}{kT}\right) \quad (3)$$

【0205】

上記式（3）において、Lはチャネル長、Wはチャネル幅であり、ここでは、 $L = W = 10\mu m$ である。また、Vdはドレイン電圧である。さらに、上式の両辺をVgで割り、更に両辺の対数を取ると、式（3）を下記の式（4）に変換することができる。

40

【数4】

$$\ln\left(\frac{Id}{Vg}\right) = \ln\left(\frac{W\mu Vd Cox}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu Vd Cox}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon Cox Vg} \quad (4)$$

【0206】

上記式（4）において、右辺はVgの関数である。式（4）からわかるように、縦軸を $\ln(I_d / Vg)$ 、横軸を $1 / Vg$ とする直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - Vg$ 特性から、欠陥密度を評価することができる。

50

例えば、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) の比率が、In : Ga : Zn = 1 : 1 : 1 [原子数比] である酸化物半導体膜の欠陥密度 N は、 $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0207】

上記の方法により求めた欠陥密度などをもとに、上記の式 (1) 及び式 (2) を用いて本来の半導体層の電界効果移動度である μ_0 を求めると、 $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ となる。通常、欠陥のある In - Ga - Zn 系酸化物で測定される電界効果移動度は、 $40 \text{ cm}^2 / \text{Vs}$ 程度であるが、しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。このことから、欠陥が少ないほど酸化物半導体の移動度、さらにはトランジスタの電界効果移動度は高いことがわかる。例えば CAAC などの酸化物半導体層は、欠陥密度が低い。

10

【0208】

ただし、半導体層内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、チャネルとゲート絶縁層との界面から x だけ離れた場所における移動度 μ_1 は、下記の式 (5) で表される。

【数5】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (5)$$

20

【0209】

上記式 (5) において、 D はゲート方向の電界、 B 、 l は定数である。 B 及び l は、実際の測定結果より求めることができ、上記の測定結果では、 $B = 2.38 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ (界面散乱が及ぶ深さ) となる。式 (5) では、 D が増加する (すなわち、ゲート電圧が高くなる) と式 (5) の第2項が増加するため、 D が増加すると移動度 μ_1 は低下することがわかる。

【0210】

半導体層内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 の計算結果を図12に示す。なお、上記計算には、シノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用する。また、酸化物半導体層において、バンドギャップを 2.8 eV とし、電子親和力を 4.7 eV とし、比誘電率を 15 とし、厚さを 15 nm とする。さらに、トランジスタにおいて、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 eV 、 4.6 eV 、 4.6 eV とする。また、ゲート絶縁層において、厚さを 100 nm とし、比誘電率を 4.1 とする。さらに、トランジスタにおいて、チャネル長及びチャネル幅をともに $10 \mu\text{m}$ とし、ドレイン電圧 V_d を 0.1 V とする。

30

【0211】

図12に示すように、ゲート電圧 V_g が 1 V 付近のときの電界効果移動度は、 $100 \text{ cm}^2 / \text{Vs}$ 以上と高いが、ゲート電圧 V_g がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (Atomic Layer Flatness ともいう) が望ましい。

40

【0212】

さらに、上記のように高い電界効果移動度の酸化物半導体を用いた、微細なトランジスタにおける電気特性の計算結果を以下に示す。

【0213】

まず、計算に用いたトランジスタの断面構造を図13に示す。図13に示すトランジスタは酸化物半導体層にN型の半導体領域 $653a$ 及び $653b$ 、並びに半導体領域 $653c$ を有する。半導体領域 $653a$ 及び半導体領域 $653b$ の抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0214】

50

図 1 3 (A) に示すトランジスタは、下地絶縁物 6 5 1 及び埋め込み絶縁物 6 5 2 の上に設けられる。埋め込み絶縁物 6 5 2 は、酸化アルミニウムを用いて下地絶縁物 6 5 1 に埋め込まれるように設けられる。埋め込み絶縁物 6 5 2 を設けることにより、半導体領域 6 5 3 c に酸素を供給しやすくすることができる。

【 0 2 1 5 】

また、図 1 3 (A) に示すトランジスタは、半導体領域 6 5 3 a と、半導体領域 6 5 3 b と、半導体領域 6 5 3 c と、ゲート絶縁層 6 5 4 と、ゲート電極 6 5 5 と、側壁絶縁物 6 5 6 a と、側壁絶縁物 6 5 6 b と、絶縁層 6 5 7 と、ソース電極 6 5 8 a と、ドレイン電極 6 5 8 b と、を含む。

【 0 2 1 6 】

半導体領域 6 5 3 c は、半導体領域 6 5 3 a 及び半導体領域 6 5 3 b の間に挟まれて設けられる。半導体領域 6 5 3 c は、チャンネル形成領域となる真性の半導体領域である。

【 0 2 1 7 】

ゲート電極 6 5 5 は、ゲート絶縁層 6 5 4 の上に設けられる。なお、ゲート電極 6 5 5 の幅を 3 3 n m とする。

【 0 2 1 8 】

側壁絶縁物 6 5 6 a 及び側壁絶縁物 6 5 6 b は、ゲート電極 6 5 5 の側面に接するように設けられる。図 1 3 (A) に示すトランジスタでは、側壁絶縁物 6 5 6 a の下の半導体領域は、N 型の半導体領域 6 5 3 a に含まれ、側壁絶縁物 6 5 6 b の下の半導体領域は、N 型の半導体領域 6 5 3 b に含まれる。なお、側壁絶縁物 6 5 6 a 及び側壁絶縁物 6 5 6 b のそれぞれの幅を 5 n m とする。

【 0 2 1 9 】

絶縁層 6 5 7 は、ゲート電極 6 5 5 の上に設けられる。絶縁層 6 5 7 は、ゲート電極 6 5 5 と他の配線との短絡を防止する機能を有する。

【 0 2 2 0 】

ソース電極 6 5 8 a は、半導体領域 6 5 3 a に接する。

【 0 2 2 1 】

ドレイン電極 6 5 8 b は、半導体領域 6 5 3 b に接する。

【 0 2 2 2 】

なお、図 1 3 (A) に示すトランジスタにおけるチャンネル幅を 3 3 n m とする。

【 0 2 2 3 】

また、図 1 3 (B) に示すトランジスタは、図 1 3 (A) に示すトランジスタと比較して、側壁絶縁物 6 5 6 a 及び側壁絶縁物 6 5 6 b の下の半導体領域の導電型が異なる。図 1 3 (B) に示すトランジスタでは、側壁絶縁物 6 5 6 a 及び側壁絶縁物 6 5 6 b の下の半導体領域は、真性の半導体領域 6 5 3 c に含まれる。すなわち、図 1 3 (B) に示すトランジスタは、半導体領域 6 5 3 a とゲート電極 6 5 5 が重ならない領域及び半導体領域 6 5 3 c とゲート電極 6 5 5 が重ならない領域を含む。この領域のそれぞれをオフセット領域といい、その幅をオフセット長 (L o f f と もいう) という。図 1 3 (B) において、オフセット長は、側壁絶縁物 6 5 6 a 及び側壁絶縁物 6 5 6 b のそれぞれの幅と同じである。

【 0 2 2 4 】

なお、計算に使用するその他のパラメータは上記のとおりである。また、計算には、シノプシス社製デバイス計算ソフト、S e n t a u r u s D e v i c e を使用した。

【 0 2 2 5 】

図 1 4 は、図 1 3 (A) に示される構造のトランジスタのドレイン電流 I_d (実線) 及び電界効果移動度 μ (点線) のゲート電圧 V_g (ゲートとソースの電位差) の依存性を示す図である。ドレイン電流 I_d は、ドレイン電圧 V_d (ドレインとソースの電位差) を + 1 V とし、電界効果移動度 μ はドレイン電圧を + 0 . 1 V として計算したものである。

【 0 2 2 6 】

図 1 4 (A) は、ゲート絶縁層 6 5 4 の厚さが 1 5 n m であるトランジスタの場合の図で

10

20

30

40

50

あり、図14(B)は、ゲート絶縁層654の厚さが10nmであるトランジスタの場合の図であり、図14(C)は、ゲート絶縁層654の厚さが5nmであるトランジスタの場合の図である。図14(A)乃至図14(C)に示すように、ゲート絶縁層654が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、電界効果移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った傾向が無い。また、ゲート電圧1V前後で、ドレイン電流 I_d の値は、記憶回路などで必要とされる $10\mu A$ を超える。

【0227】

図15は、図13(B)に示す構造で、オフセット長(L_{off})を5nmであるトランジスタのドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧 V_g 依存性を示す図である。ここでは、ドレイン電圧 V_d を+1Vとしてドレイン電流 I_d を計算し、ドレイン電圧 V_d を+0.1Vとして電界効果移動度 μ を計算する。さらに、図15(A)は、ゲート絶縁層654の厚さが15nmである場合の図であり、図15(B)は、ゲート絶縁層654の厚さが10nmである場合の図であり、図15(C)は、ゲート絶縁層654の厚さが5nmである場合の図である。

10

【0228】

また、図16は、図13(B)に示される構造のトランジスタで、オフセット長L_{off}を15nmとしたもののドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧依存性を示す。ここでは、ドレイン電流 I_d を、ドレイン電圧 V_d を+1Vとして計算し、移動度 μ はドレイン電圧 V_d を+0.1Vとして計算する。図16(A)は、ゲート絶縁層654の厚さが15nmである場合の図であり、図16(B)は、ゲート絶縁層654の厚さが10nmである場合の図であり、図16(C)は、ゲート絶縁層654の厚さが5nmの場合の図である。

20

【0229】

図14乃至図16からわかるように、いずれもゲート絶縁層654が薄くなるほど、トランジスタのオフ電流が顕著に低下する一方、移動度 μ のピーク値やトランジスタのオン電流には目立った傾向が無い。

【0230】

なお、電界効果移動度 μ のピークは、図14では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図15では $60\text{ cm}^2/\text{Vs}$ 程度であり、図16では $40\text{ cm}^2/\text{Vs}$ 程度であることから、オフセット長(L_{off})が増加するほど低下する。また、トランジスタのオフ電流も同様な傾向がある。一方、トランジスタのオン電流は、オフセット長(L_{off})が増加すると共に減少するが、トランジスタのオフ電流の減少に比べるとはるかに緩やかである。また、いずれのトランジスタもゲート電圧1V前後で、ドレイン電流は、例えば記憶回路などで必要とされる $10\mu A$ を超える。

30

【0231】

上記に示すように、酸化物半導体を含むトランジスタでは、電界効果移動度を高くすることもできるため、上記実施の形態における演算回路を支障なく動作させることができる。

【0232】

さらに、上記トランジスタの一例として、チャネル形成層としてIn、Sn、Znを含有する酸化物半導体層を含むトランジスタの例について説明する。

40

【0233】

例えば、In、Sn、及びZnを主成分とする酸化物半導体層と、厚さ100nmのゲート絶縁層を含み、チャネル長Lが $3\mu\text{m}$ 、チャネル幅Wが $10\mu\text{m}$ であるトランジスタの特性を図17(A)乃至図17(C)に示す。なお、 V_d は10Vとする。

【0234】

図17(A)は、被素子形成層を意図的に加熱せず、スパッタリング法を用いてIn、Sn、Znを主成分とする酸化物半導体膜を成膜して酸化物半導体層を形成したときにおけるトランジスタの特性を示す図である。図17(A)において、電界効果移動度は $18.8\text{ cm}^2/\text{Vs}$ である。一方、図17(B)は、基板を200℃に加熱してIn、Sn、

50

Znを主成分とする酸化物半導体膜を成膜して酸化物半導体層を形成したときのトランジスタの特性を示す図である。図17(B)において、電界効果移動度は $32.2 \text{ cm}^2/\text{Vs}$ である。よって、意図的に加熱することにより、トランジスタの電界効果移動度が向上することがわかる。

【0235】

また、図17(C)は、In、Sn、及びZnを主成分とする酸化物半導体膜を200でスパッタリング法を用いて成膜して酸化物半導体層を形成した後、650で加熱処理をしたときのトランジスタの特性を示す図である。図17(C)において、電界効果移動度は $34.5 \text{ cm}^2/\text{Vs}$ である。よって、酸化物半導体膜を成膜した後に加熱処理をすることによって、上記電界効果移動度が高くなることがわかる。

10

【0236】

なお、In、Sn、及びZnを主成分とする酸化物半導体層に酸素イオンを注入し、加熱処理により該酸化物半導体に含まれる水素、水、水酸基、又は水素化物などの不純物を放出させ、その加熱処理と同時に又はその後の加熱処理により酸化物半導体層を結晶化させても良い。上記結晶化又は再結晶化の処理により結晶性の良い非単結晶酸化物半導体層を得ることができる。

【0237】

また、被素子形成層を意図的に加熱しないで形成されたIn、Sn、及びZnを主成分とする酸化物半導体層を含むトランジスタは、例えば図17(A)に示すように、閾値電圧がマイナスになってしまう傾向がある。しかし、被素子形成層を意図的に加熱して形成された酸化物半導体層を用いた場合、例えば図17(B)に示すように、加熱しない場合と比べて閾値電圧が高くなる。よって、酸化物半導体膜を成膜する際の加熱及び成膜後の加熱処理の一つ又は複数により、トランジスタがノーマリ・オフになりやすくなることわかる。

20

【0238】

また、In、Sn及びZnの比率を変えることによってトランジスタの閾値電圧を制御することができる。例えば、酸化物半導体膜の組成比を $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ とすることにより、トランジスタをノーマリ・オフ型にしやすいことができる。

【0239】

さらに、例えば、 $2 \text{ MV}/\text{cm}$ 、150、1時間印加の条件において、ゲートバイアス・ストレス試験(BT試験ともいう)を行うと、ドリフトが $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満となる。よって、酸化物半導体膜を成膜する際の加熱及び成膜後の加熱処理の一つ又は複数を行うことにより、ゲートバイアス・ストレスに対する安定性が高くなることわかる。ここで、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタにおけるBT試験の結果を図18及び図19に示す。なお、BT試験としては、プラスBT試験とマイナスBT試験を行った。

30

【0240】

プラスBT試験としては、まず被素子形成層(基板)の温度を25とし、 V_d を10Vとし、トランジスタの V_g-I_d 特性の測定を行った。次に、被素子形成層(基板)の温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が $2 \text{ MV}/\text{cm}$ となるように V_g を20Vとし、そのまま1時間保持した。次に、 V_g を0Vとした。次に、被素子形成層(基板)の温度を25とし、 V_d を10Vとし、トランジスタの V_g-I_d 測定を行った。

40

【0241】

また、マイナスBT試験としては、まず被素子形成層(基板)の温度を25とし、 V_d を10Vとし、トランジスタの V_g-I_d 特性の測定を行った。次に、被素子形成層(基板)の温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が $-2 \text{ MV}/\text{cm}$ となるように V_g に -20 V を印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、被素子形成層(基板)の温度を25とし、 V_d を10Vとし、トランジスタの V_g-I_d 測定を行った。

50

【0242】

試料1のプラスBT試験の結果を図18(A)に示し、試料1のマイナスBT試験の結果を図18(B)に示す。また、試料2のプラスBT試験の結果を図19(A)に示し、試料2のマイナスBT試験の結果を図19(B)に示す。

【0243】

図18(A)及び図18(B)に示すように、試料1のプラスBT試験及びマイナスBT試験によるトランジスタの閾値電圧の変動は、それぞれ1.80V及び-0.42Vであった。また、図19(A)及び図19(B)に示すように、試料2のプラスBT試験及びマイナスBT試験によるトランジスタの閾値電圧の変動は、それぞれ0.79V及び0.76Vであった。よって、試料1及び試料2の両方において、BT試験前後におけるトランジスタの閾値電圧の変動が小さく、信頼性が高いことがわかる。

10

【0244】

さらに、組成比が $In : Sn : Zn = 1 : 1 : 1$ である金属酸化物のターゲットを用いて、被素子形成層を意図的に加熱せずにスパッタリング法を用いて成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。しかし、上記酸化物半導体膜を加熱処理することにより結晶化させることができる。このときの加熱処理温度は任意であるが、例えば650の加熱処理を行うことで、X線回折において明確な回折ピークを観測することができる。

【0245】

ここで、 $In - Sn - Zn - O$ 膜のXRD測定の結果を以下に示す。なお、XRD測定では、Bruker AXS社製X線回折装置D8 ADVANCEを用いてOut-of-Plane法で測定した。

20

【0246】

XRD分析を行った試料として、試料A及び試料Bを用意した。以下に試料A及び試料Bの作製方法を説明する。

【0247】

脱水素化処理済みの石英基板上に $In - Sn - Zn - O$ 膜を100nmの厚さで成膜した。

【0248】

当該 $In - Sn - Zn - O$ 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W(DC)として成膜した。このときのターゲットとして、 $In : Sn : Zn = 1 : 1 : 1$ [原子数比]の $In - Sn - Zn - O$ ターゲットを用いた。なお、成膜時の加熱温度は200とした。上記工程により作製した試料を試料Aとする。

30

【0249】

次に、試料Aと同様の方法で作製した試料に対し、650の温度で加熱処理を行った。ここでは、窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行った。上記工程により作製した試料を試料Bとする。

【0250】

試料A及び試料BのXRDスペクトルを図20に示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35°近傍及び37°~38°に結晶由来のピークが観測された。よって、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜を成膜する際の加熱、及び成膜後の加熱処理の一つ又は複数を行うことにより、酸化物半導体層の結晶性が向上することがわかる。

40

【0251】

酸化物半導体膜を成膜する際の加熱、及び成膜後の加熱処理の一つ又は複数を行うことにより、作製したトランジスタのチャンネル幅1μmあたりのオフ電流は、例えば図21に示すように、被素子形成層(基板)の温度が125の場合には、0.1aA(1×10^{-19} A)以下、85の場合には10zA(1×10^{-20} A)以下であった。電流値の対数が温度の逆数に比例することから、室温(27)の場合には上記トランジスタのチャンネル幅1μmあたりのオフ電流は0.1zA(1×10^{-22} A)以下であると予想さ

50

れる。従って、上記トランジスタのチャネル幅 $1\ \mu\text{m}$ あたりのオフ電流を 125 において $1\ \text{aA}$ ($1 \times 10^{-18}\ \text{A}$) 以下に、 85 において $100\ \text{zA}$ ($1 \times 10^{-19}\ \text{A}$) 以下に、室温において $1\ \text{zA}$ ($1 \times 10^{-21}\ \text{A}$) 以下にすることができる。

【0252】

なお、 In 、 Sn 、 Zn を主成分とする酸化物半導体膜は、加熱処理によって膜中の水素、を除去することができるが、 In 、 Ga 、 Zn を主成分とする酸化物半導体膜と比べて水分の放出温度が高いため、最初から不純物の含まれない膜を形成しておくことが好ましい。

【0253】

さらに、酸化物半導体膜の成膜後に 650 の加熱処理を行った試料のトランジスタにおいて、被素子形成層（基板）の温度と電気的特性の関係について評価した。

10

【0254】

測定に用いたトランジスタは、チャネル長 L が $3\ \mu\text{m}$ 、チャネル幅 W が $10\ \mu\text{m}$ 、 L_{ov} が片側 $3\ \mu\text{m}$ （合計 $6\ \mu\text{m}$ ）、 dW が $0\ \mu\text{m}$ のトランジスタである。なお、 V_d は $10\ \text{V}$ とした。また、被素子形成層（基板）の温度が、 -40 、 -25 、 25 、 75 、 125 、及び 150 である6条件で上記評価を行った。なお、 L_{ov} とは、ゲート電極とソース電極及びドレイン電極となる一対の電極とのチャネル長方向に重畳する幅のことをいい、 dW とは、酸化物半導体膜に対するソース電極及びドレイン電極のチャネル幅方向のはみ出しのことをいう。

【0255】

図22に、 I_d （実線）及び電界効果移動度（点線）の V_g 依存性を示す。また、図23（A）に被素子形成層（基板）の温度と閾値電圧の関係を示し、図23（B）に被素子形成層（基板）の温度と電界効果移動度の関係を示す。

20

【0256】

図22及び図23（A）より、被素子形成層（基板）の温度が高いほど閾値電圧が低くなることがわかる。なお、その範囲は $-40 \sim 150$ で $1.09\ \text{V} \sim -0.23\ \text{V}$ であった。

【0257】

また、図22及び図23（B）より、被素子形成層（基板）の温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40 \sim 150$ で $36\ \text{cm}^2/\text{Vs} \sim 32\ \text{cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

30

【0258】

以上が In 、 Sn 、 Zn を含有する酸化物半導体層を含むトランジスタの説明である。

【0259】

上記 In 、 Sn 、 Zn を主成分とする上記酸化物半導体層を含むトランジスタでは、オフ電流を $1\ \text{aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30\ \text{cm}^2/\text{Vs}$ 以上、好ましくは $40\ \text{cm}^2/\text{Vs}$ 以上、より好ましくは $60\ \text{cm}^2/\text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33\ \text{nm}/40\ \text{nm}$ のトランジスタにおいて、ゲート電圧が $2.7\ \text{V}$ でドレイン電圧が $1.0\ \text{V}$ のときに、 $12\ \mu\text{A}$ 以上のオン電流を流すことができる。また、トランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いた回路の中に上記酸化物半導体層を含むトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する回路を提供することができる。

40

【0260】

（実施の形態3）

本実施の形態では、CPUなどの演算処理装置の例について説明する。

【0261】

本実施の形態における演算処理装置の例について、図24を用いて説明する。

50

【0262】

図24に示す演算処理装置は、バスインターフェース（IFともいう）801と、制御装置（CTLともいう）802と、キャッシュメモリ（CACHともいう）803と、命令デコーダ（IDecoderともいう）805と、演算論理ユニット（ALUともいう）806と、を具備する。

【0263】

バスインターフェース801は、外部との信号のやりとり、及び演算処理装置内の各回路との信号のやりとりなどを行う機能を有する。

【0264】

制御装置802は、演算処理装置内の各回路の動作を制御する機能を有する。

10

【0265】

例えば、上記実施の形態における集積回路を用いて制御装置802を構成することができる。

【0266】

キャッシュメモリ803は、制御装置802により制御され、演算処理装置における動作時のデータを一時的に保持する機能を有する。なお、例えば、1次キャッシュ及び2次キャッシュとして、演算処理装置にキャッシュメモリ803を複数設けてもよい。

【0267】

命令デコーダ805は、読み込んだ命令信号を翻訳する機能を有する。翻訳された命令信号は、制御装置802に入力され、制御装置802は命令信号に応じた制御信号を演算論理ユニット806に出力する。

20

【0268】

例えば、上記実施の形態における集積回路を用いて命令デコーダ805を構成することができる。

【0269】

演算論理ユニット806は、制御装置802により制御され、入力された命令信号に応じて論理演算処理を行う機能を有する。

【0270】

例えば、上記実施の形態における演算回路を用いて演算論理ユニット806を構成することができる。

30

【0271】

なお、演算処理装置にレジスタを設けてもよい。このときレジスタは、制御装置802により制御される。例えば、複数のレジスタを演算処理装置に設け、あるレジスタを演算論理ユニット806用のレジスタとし、別のレジスタを命令デコーダ805用のレジスタとしてもよい。

【0272】

図24を用いて説明したように、本実施の形態における演算処理装置の一例では、上記実施の形態の演算回路を、制御装置、命令デコーダ、又は演算論理ユニットなどのユニットに用いることにより、各ユニットにおいて、データの保持を行うことができ、処理速度を向上させることができる。

40

【0273】

また、本実施の形態における演算処理装置の一例では、上記実施の形態における演算回路を用いることにより、消費電力を抑制しつつ、長時間データの保持を行うことができる。よって、演算処理装置の消費電力を低減することができる。また、実施の形態における演算回路を用いることにより、演算処理装置の面積を小さくすることができる。

【0274】

（実施の形態4）

本実施の形態では、上記実施の形態における演算処理装置を備えた電子機器の例について説明する。

【0275】

50

本実施の形態における電子機器の構成例について、図25(A)乃至図25(D)を用いて説明する。

【0276】

図25(A)に示す電子機器は、携帯型情報端末の例である。図25(A)に示す情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

【0277】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、図25(A)に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

10

【0278】

図25(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

【0279】

図25(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0280】

図25(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図25(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004と、筐体1004に設けられた表示部1005と、筐体1001b及び筐体1004を接続する軸部1006と、を具備する。

20

【0281】

また、図25(B)に示す携帯型情報端末では、軸部1006により筐体1001b又は筐体1004を動かすことにより、筐体1001bを筐体1004に重畳させることができる。

【0282】

なお、筐体1001bの側面1003b又は筐体1004の側面1007に外部機器に接続させるための接続端子、図25(B)に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

30

【0283】

また、表示部1002b及び表示部1005に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005を必ずしも設けなくてもよく、表示部1005の代わりに、入力装置であるキーボードを設けてもよい。

【0284】

図25(B)に示す携帯型情報端末は、筐体1001b又は筐体1004の中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図25(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

40

【0285】

図25(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0286】

図25(C)に示す電子機器は、設置型情報端末の例である。図25(C)に示す設置型情報端末は、筐体1001cと、筐体1001cに設けられた表示部1002cと、を具備する。

【0287】

なお、表示部1002cを、筐体1001cにおける甲板部1008に設けることもできる。

【0288】

50

また、図 25 (C) に示す設置型情報端末は、筐体 1001c の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図 25 (C) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0289】

さらに、図 25 (C) に示す設置型情報端末における筐体 1001c の側面 1003c に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数も設けてもよい。

【0290】

図 25 (C) に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末 (マルチメディアステーションともいう)、又は遊技機としての機能を有する。

10

【0291】

図 25 (D) は、設置型情報端末の例である。図 25 (D) に示す設置型情報端末は、筐体 1001d と、筐体 1001d に設けられた表示部 1002d と、を具備する。なお、筐体 1001d を支持する支持台を設けてもよい。

【0292】

なお、筐体 1001d の側面 1003d に外部機器に接続させるための接続端子、図 25 (D) に示す設置型情報端末を操作するためのボタンのうち、一つ又は複数も設けてもよい。

20

【0293】

また、図 25 (D) に示す設置型情報端末は、筐体 1001d の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との信号の送受信を行うインターフェースと、を備えてもよい。なお、図 25 (D) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0294】

図 25 (D) に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【0295】

上記実施の形態の演算処理装置は、図 25 (A) 乃至図 25 (D) に示す電子機器の CPU として用いられる。

30

【0296】

図 25 を用いて説明したように、本実施の形態における電子機器の一例は、CPU として上記実施の形態における演算処理装置を具備する構成である。

【0297】

また、本実施の形態における電子機器の一例では、上記実施の形態における演算処理装置を用いることにより、消費電力を抑制しつつ、長時間データの保持を行うことができる。よって、演算処理装置の消費電力を低減することができる。また、実施の形態における演算回路を用いることにより、演算処理装置の面積を小さくすることができる。

【符号の説明】

40

【0298】

- 101 演算回路
- 111 演算部
- 121 トランジスタ
- 122 トランジスタ
- 123 トランジスタ
- 124 トランジスタ
- 125 トランジスタ
- 131 インバータ
- 151 トランジスタ

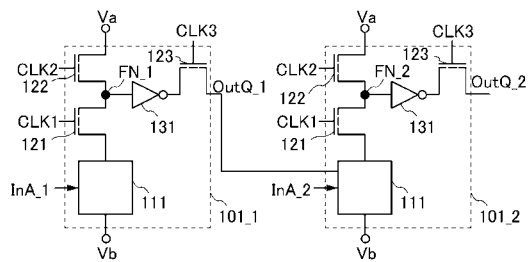
50

1 6 1	トランジスタ	
1 6 2	トランジスタ	
1 7 1	トランジスタ	
1 7 2	トランジスタ	
1 8 1	トランジスタ	
1 8 2	トランジスタ	
1 8 3	トランジスタ	
1 8 4	トランジスタ	
6 0 0	被素子形成層	
6 0 1	導電層	10
6 0 2	絶縁層	
6 0 3	半導体層	
6 0 4 a	領域	
6 0 4 b	領域	
6 0 5 a	導電層	
6 0 5 b	導電層	
6 0 6 a	絶縁層	
6 0 6 b	絶縁層	
6 0 7	絶縁層	
6 5 1	下地絶縁物	20
6 5 2	埋め込み絶縁物	
6 5 3 a	半導体領域	
6 5 3 b	半導体領域	
6 5 3 c	半導体領域	
6 5 4	ゲート絶縁層	
6 5 5	ゲート電極	
6 5 6 a	側壁絶縁物	
6 5 6 b	側壁絶縁物	
6 5 7	絶縁層	
6 5 8 a	ソース電極	30
6 5 8 b	ドレイン電極	
8 0 1	バスインターフェース	
8 0 2	制御装置	
8 0 3	キャッシュメモリ	
8 0 5	命令デコーダ	
8 0 6	演算論理ユニット	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	40
1 0 0 8	甲板部	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	
1 0 0 3 a	側面	50

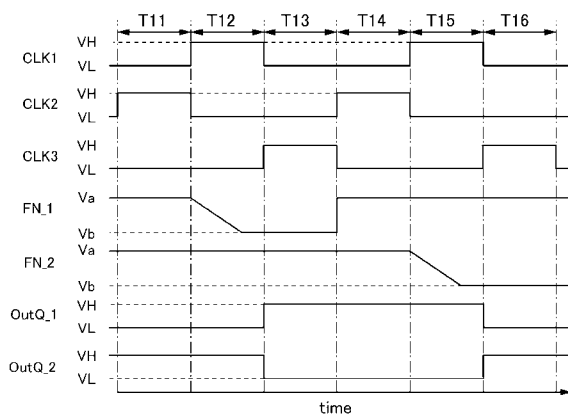
- 1 0 0 3 b 側面
- 1 0 0 3 c 側面
- 1 0 0 3 d 側面

【 図 1 】

(A)

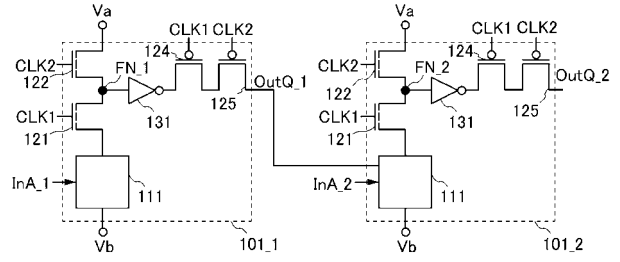


(B)

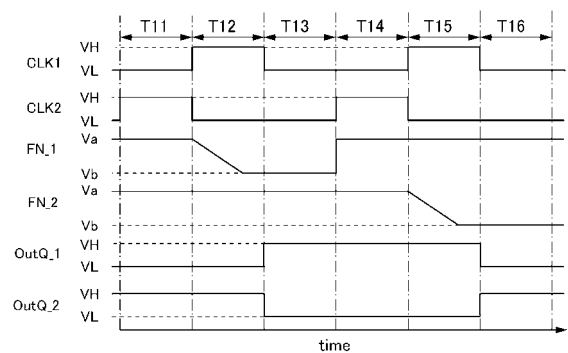


【 図 2 】

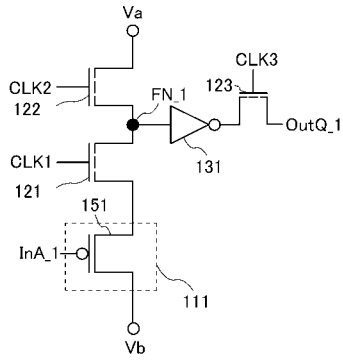
(A)



(B)

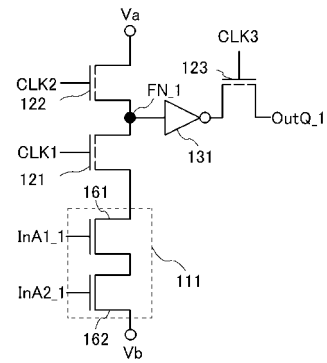


【 図 3 】

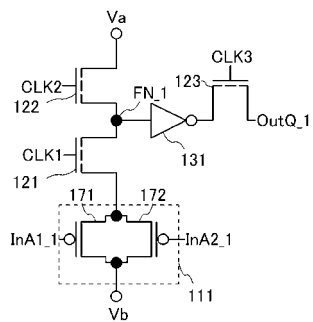


【 図 4 】

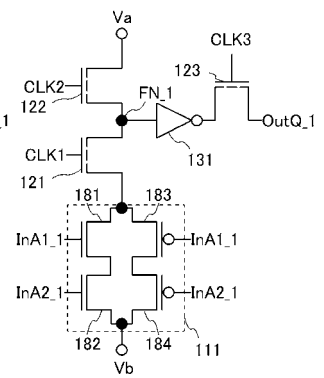
(A)



(B)

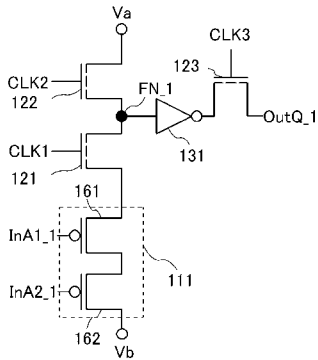


(C)

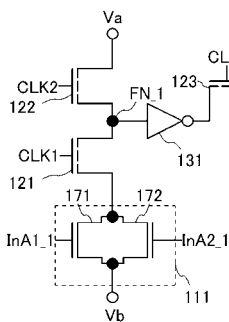


【 図 5 】

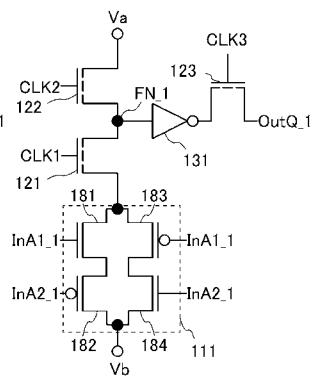
(A)



(B)

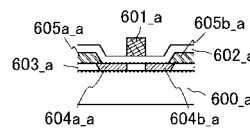


(C)

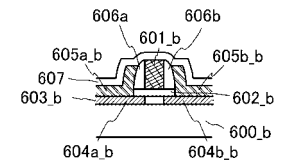


【 図 6 】

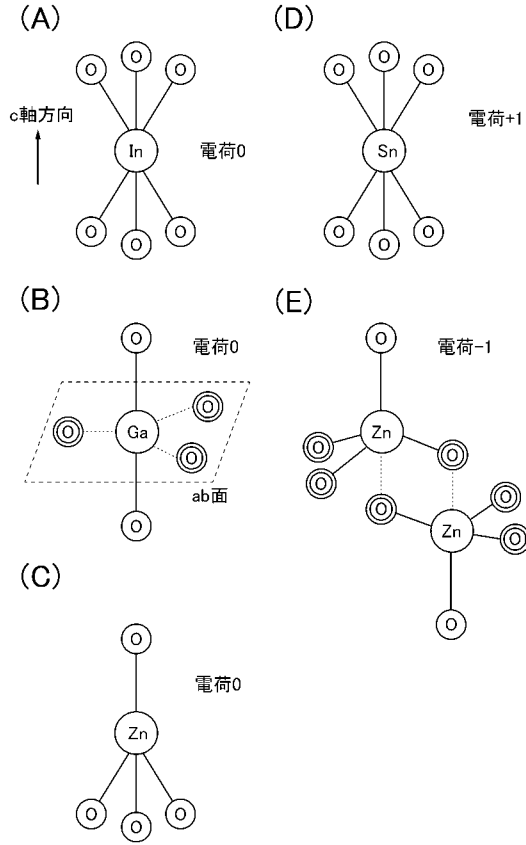
(A)



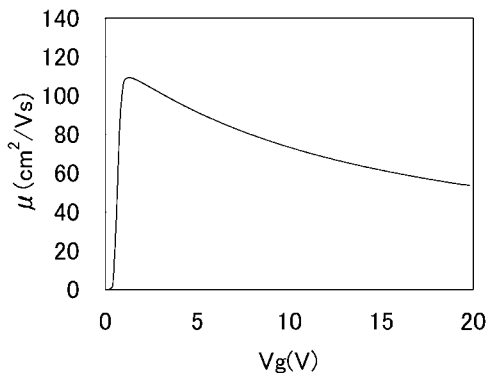
(B)



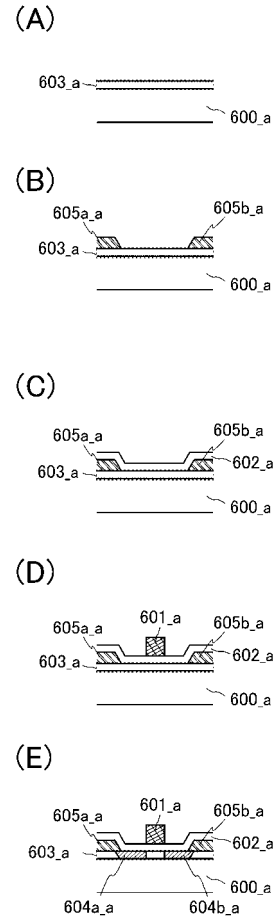
【 図 7 】



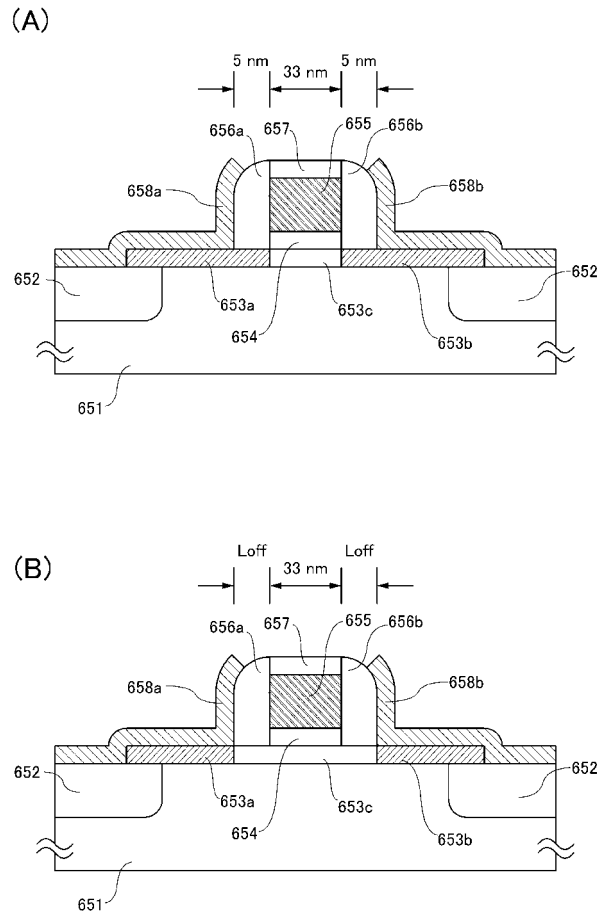
【 図 1 2 】



【 図 1 1 】

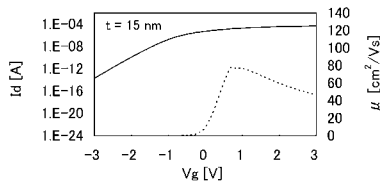


【 図 1 3 】

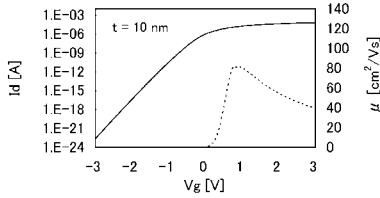


【 図 1 4 】

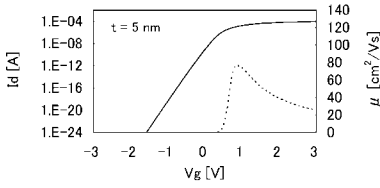
(A)



(B)

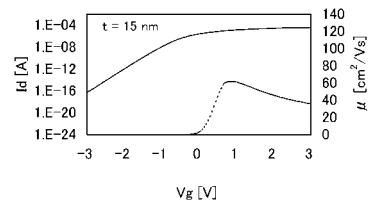


(C)

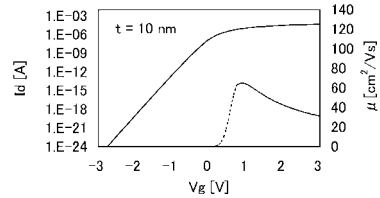


【 図 1 5 】

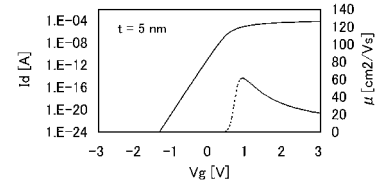
(A)



(B)

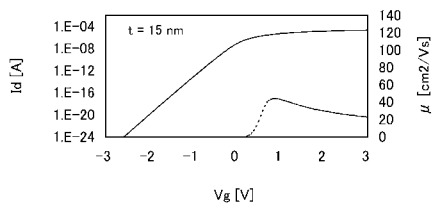


(C)

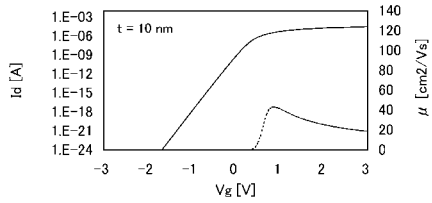


【 図 1 6 】

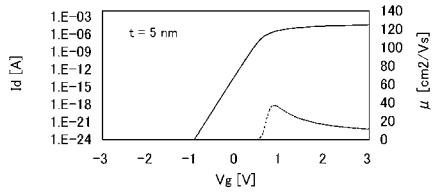
(A)



(B)

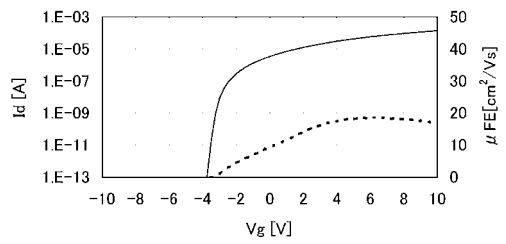


(C)

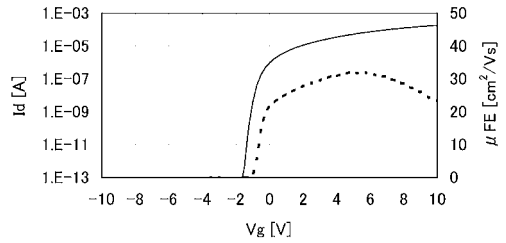


【 図 1 7 】

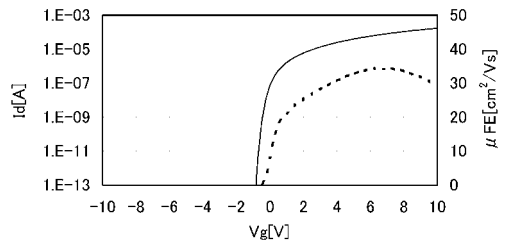
(A)



(B)

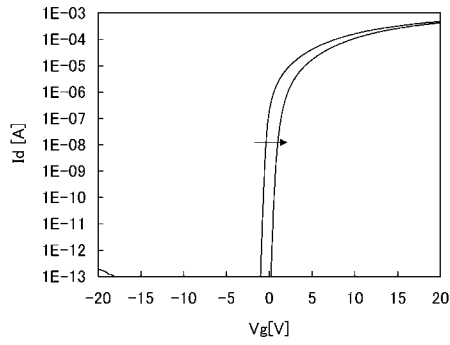


(C)

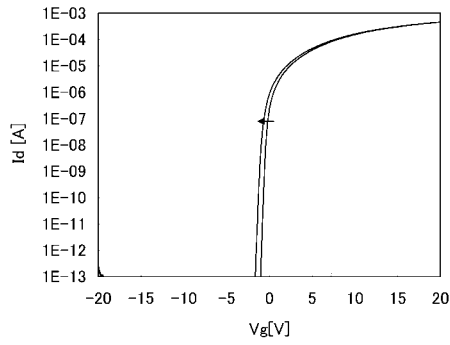


【 図 1 8 】

(A)

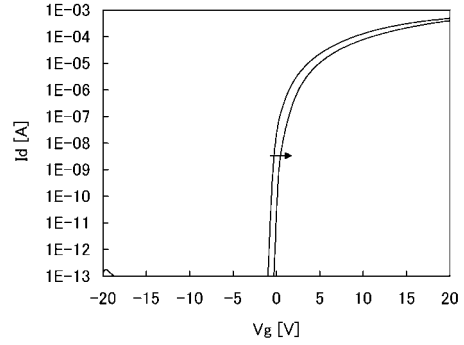


(B)

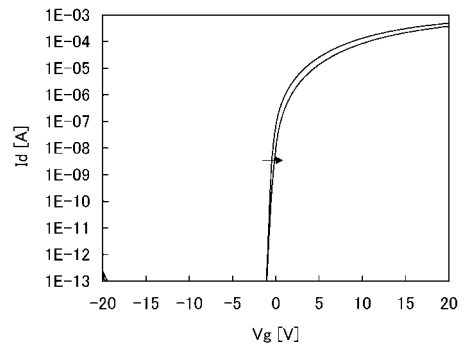


【 図 1 9 】

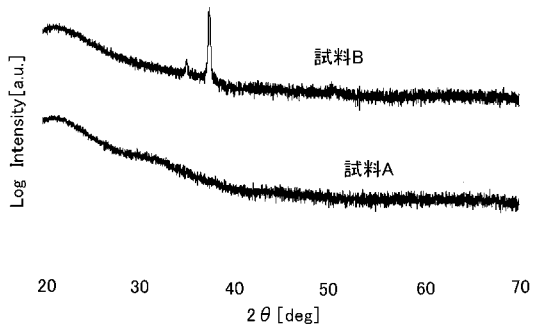
(A)



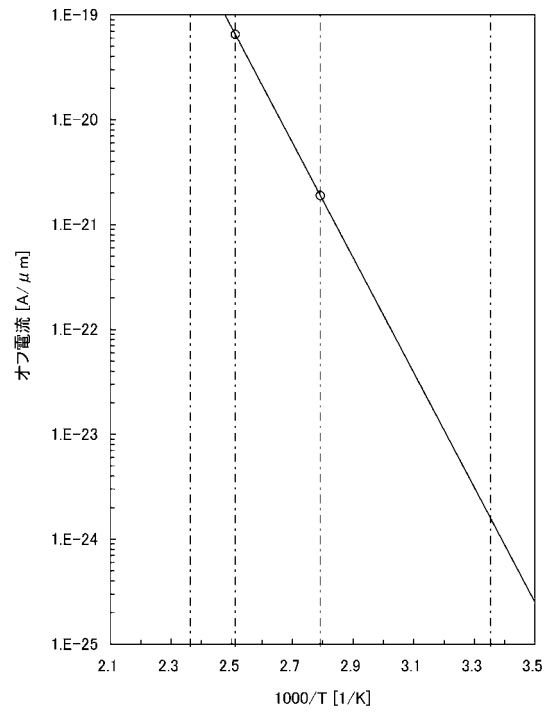
(B)



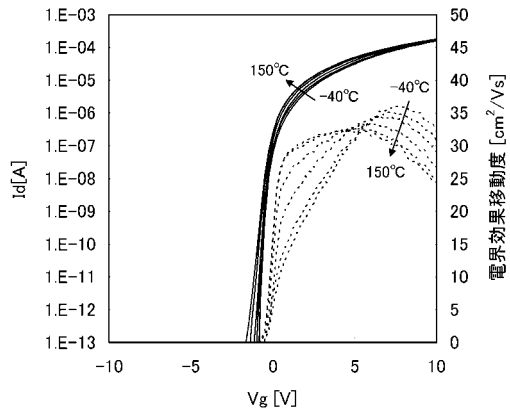
【 図 2 0 】



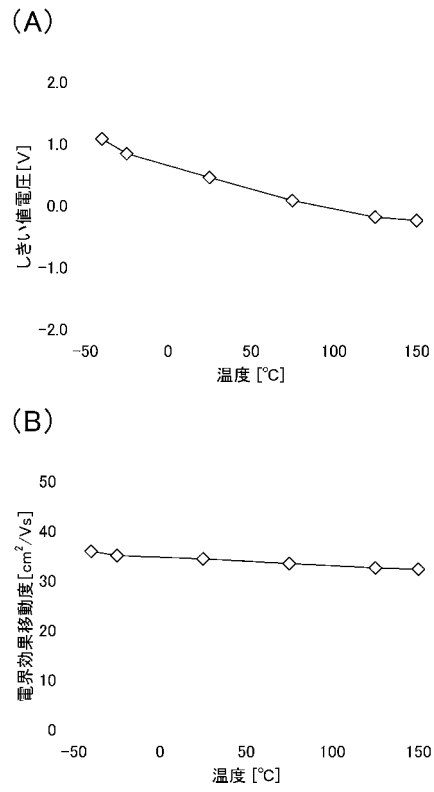
【 図 2 1 】



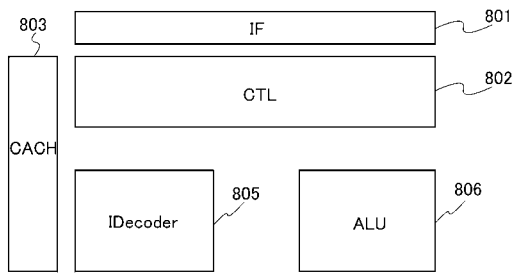
【 図 2 2 】



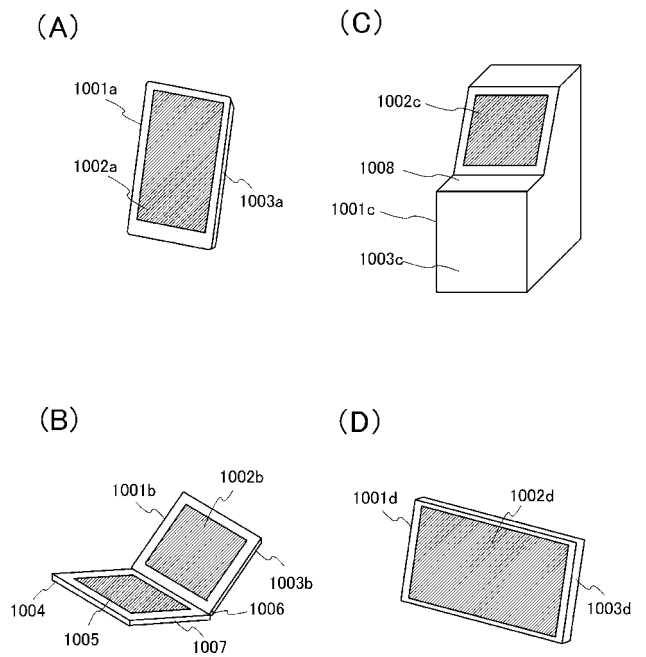
【 図 2 3 】



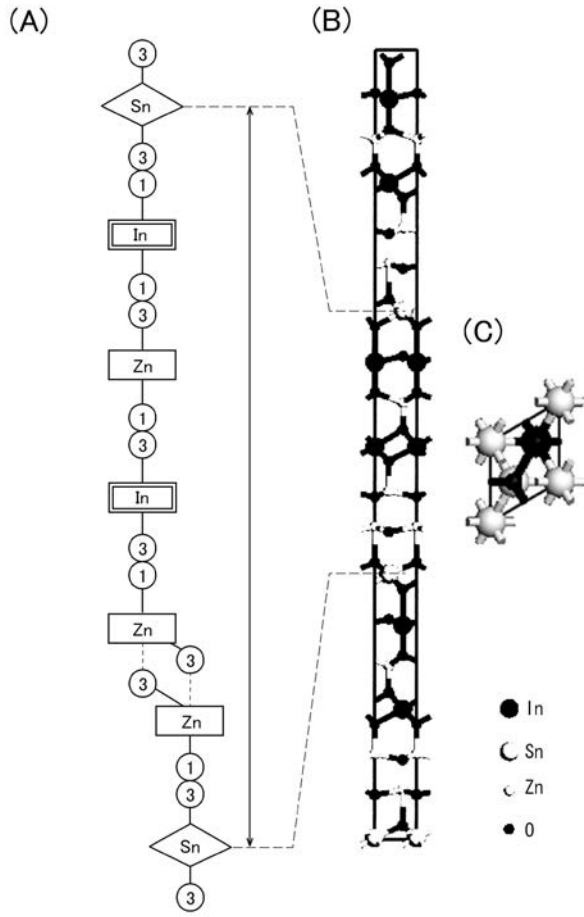
【 図 2 4 】



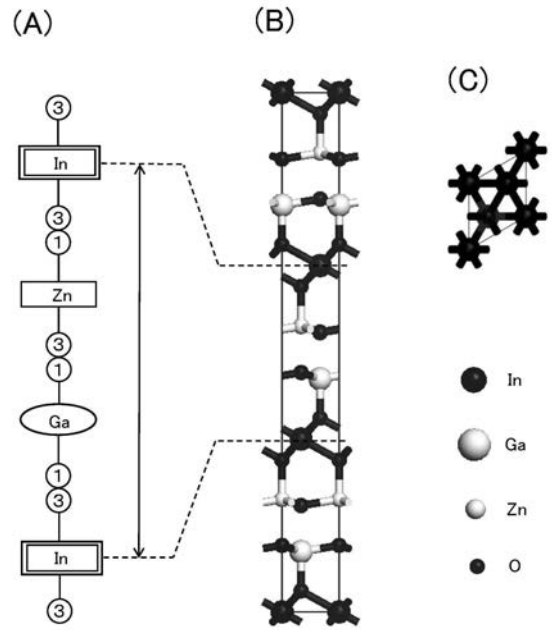
【 図 2 5 】



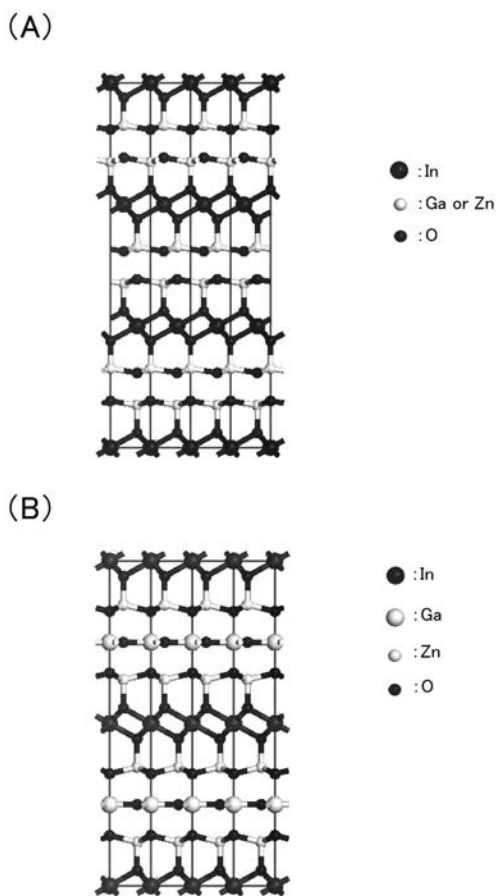
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5F110 AA04 AA08 BB03 BB05 CC02 DD12 DD13 DD14 DD15 DD17
EE02 EE03 EE04 EE06 EE14 EE31 EE44 FF01 FF02 FF03
FF04 FF09 FF28 FF35 FF36 GG01 GG06 GG12 GG13 GG15
GG17 GG28 GG29 GG35 GG42 GG43 GG45 GG57 GG58 HJ12
HJ13 HK02 HK03 HK04 HK06 HK07 HK21 HK33 HK42 HM03
HM14 NN03 NN22 NN23 NN24 QQ11 QQ19
5J056 AA03 BB17 BB40 DD13 DD28 FF03 FF06 KK02