

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294555

(P2005-294555A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

H01L 27/146

F I

H01L 27/14

A

テーマコード (参考)

4M118

審査請求 未請求 請求項の数 16 O L (全 26 頁)

(21) 出願番号 特願2004-107928 (P2004-107928)

(22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100078282

弁理士 山本 秀策

(74) 代理人 100062409

弁理士 安村 高明

(74) 代理人 100107489

弁理士 大塩 竹志

(72) 発明者 小西 武文

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

Fターム(参考) 4M118 AA05 AB01 BA14 CA04 DB09

DB11 EA01 FA06 FA26 FA28

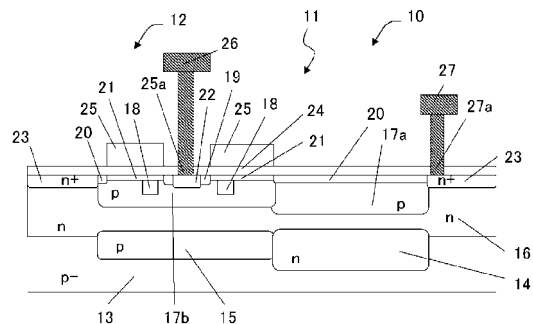
(54) 【発明の名称】 固体撮像素子およびその製造方法、電子情報機器

(57) 【要約】

【課題】 MOS型イメージセンサにおいてソースコンタクト部の結晶欠陥発生を抑制し、非選択初期化動作時のソース領域表面の電界強度を十分低下させる。

【解決手段】 p型基板13上のn型層16上に、受光ダイオード11と光信号検出用MOSトランジスタ12を含むp型ウェル領域17aおよび17bを有する単位画素部10が複数配列され、MOSトランジスタ21のソース領域19近傍にホールポケット領域18が設けられた固体撮像素子において、ソース領域19に隣接する表層部に、表面近傍の不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下のソースコンタクト層22を設け、このソースコンタクト層22を介してソース領域19とソース配線とを接続する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

光照射により電荷を発生可能とする受光部と、該受光部からの電荷を蓄積可能とする電荷蓄積領域とを有し、該電荷蓄積領域の蓄積電荷量に応じた信号読み出しを可能とする信号検出用トランジスタ手段を備えた単位画素部が複数配列された固体撮像素子において、

該信号検出用トランジスタ手段には、ソース領域およびドレイン領域が所定間隔を置いて設けられ、

該ソース領域に所定電位を印加するためのソース配線と該ソース領域間に設けられ、該ソース領域よりも高い不純物濃度のソースコンタクト層と、該ドレイン領域に所定電位を印加するためのドレイン配線と該ドレイン領域間に設けられ、該ドレイン領域よりも高い不純物濃度のドレインコンタクト層とのうち少なくとも該ソースコンタクト層は、その界面準位により暗電流の発生が抑えられると共に不純物導入による結晶欠陥が回避されるように、該コンタクト層表面近傍の不純物濃度が設定されている固体撮像素子。

【請求項 2】

前記ドレインコンタクト層およびソースコンタクト層のうち少なくとも該ソースコンタクト層は、該コンタクト層表面近傍の不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定されている請求項 1 に記載の固体撮像素子。

【請求項 3】

前記ドレインコンタクト層およびソースコンタクト層のうち少なくとも該ソースコンタクト層は、該コンタクト層表面近傍の不純物濃度が $6 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下に設定されている請求項 1 に記載の固体撮像素子。

【請求項 4】

前記受光部と電荷蓄積領域は、第 1 導電型半導体基板上の第 2 導電型ウェル領域内に設けられた第 1 導電型ウェル領域内に設けられ、

前記信号検出用トランジスタ手段は、該第 1 導電型ウェル領域の表面上に所定の間隔を開けて設けられた第 2 導電型ソース領域および第 2 導電型ドレイン領域を有する請求項 1 に記載の固体撮像素子。

【請求項 5】

前記第 1 導電型が p 型であり、前記第 2 導電型が n 型である請求項 4 に記載の固体撮像素子。

【請求項 6】

前記第 1 導電型が n 型であり、前記第 2 導電型が p 型である請求項 4 に記載の固体撮像素子。

【請求項 7】

前記ソースコンタクト層は、前記第 1 導電型ウェル領域の表面に沿って前記ソース領域に隣接する該第 1 導電型ウェル領域の表層部に形成されている請求項 4 ~ 6 のいずれかに記載の固体撮像素子。

【請求項 8】

前記ドレインコンタクト層は、前記ドレイン領域の外周端部に接して、前記受光部および信号検出用トランジスタ手段を囲むように、前記第 2 導電型ウェル領域の表層部に形成されている請求項 4 ~ 6 のいずれかに記載の固体撮像素子。

【請求項 9】

前記電荷蓄積領域は、高濃度第 1 導電型半導体領域からなり、前記第 1 導電型ウェル領域内で該第 2 導電型ソース領域近傍位置に該第 2 導電型ソース領域を囲むように平面視リング状に設けられた高濃度埋込層であり、

該高濃度埋込層は、前記ドレイン領域から該第 2 導電型ソース領域に至る経路を構成するチャネル領域の直下に設けられている請求項 4 ~ 6 のいずれかに記載の固体撮像素子。

【請求項 10】

前記高濃度埋込層は、チャネル幅方向全域にわたって形成されている請求項 9 に記載の

固体撮像素子。

【請求項 1 1】

前記光信号検出用トランジスタ手段は、前記第 1 導電型ウェル領域上にゲート絶縁膜を介して設けられた平面視リング状のゲート電極を有し、前記ソース領域は該ゲート電極に囲まれた該第 1 導電型ウェル領域の表層部に形成されている請求項 4 ~ 6 のいずれかに記載の固体撮像素子。

【請求項 1 2】

前記ドレイン領域は前記ゲート電極を囲むように前記第 1 導電型ウェル領域の表層部に形成されている請求項 1 1 に記載の固体撮像素子。

【請求項 1 3】

前記基板上に、前記複数の単位画素部が設けられた画素領域と、該複数の画素領域を駆動する駆動回路が設けられた駆動回路領域とを有し、

該駆動回路を構成する C M O S 回路は、前記光信号検出用トランジスタ手段のソースコンタクト層およびドレインコンタクト層よりも高い不純物濃度のソースコンタクト層およびドレインコンタクト層を有する請求項 1 に記載の固体撮像素子。

【請求項 1 4】

請求項 1 ~ 1 3 のいずれかに記載の固体撮像素子を製造する固体撮像素子の製造方法であって、

前記光信号検出用トランジスタ手段のゲート電極の形成後に、該ゲート電極をマスクとして低濃度の第 2 導電型不純物を表面側から導入することによりソース領域およびドレイン領域を形成するトランジスタ駆動領域形成工程と、

該トランジスタ駆動領域形成工程の後に、該ゲート電極の側壁にサイドウォールを形成するサイドウォール形成工程と、

該サイドウォール形成工程の後に、該第 1 導電型ウェル領域に形成された受光部を覆うようにマスクパターンを形成するマスクパターン形成工程と、

該マスクパターン形成工程の後に、該ゲート電極、該ゲート電極のサイドウォールおよび該マスクパターンをそれぞれマスクとして該ソース領域およびドレイン領域よりもそれぞれ狭い範囲に第 2 導電型不純物を、コンタクト層の界面準位により暗電流の発生が抑えられると共に不純物導入による結晶欠陥が回避される該コンタクト層表面近傍の不純物濃度で導入することにより、前記コンタクト層を形成するコンタクト層形成工程とを有する固体撮像素子の製造方法。

【請求項 1 5】

請求項 1 4 に記載の画素領域のソースコンタクト層およびドレインコンタクト層を第 2 導電型不純物導入により形成する前記コンタクト層形成工程とは別に、

前記 C M O S 回路を構成する第 2 導電型 C M O S 領域のソース領域およびドレイン領域を第 2 導電型不純物導入により形成する工程を更に有する請求項 1 4 に記載の固体撮像素子の製造方法。

【請求項 1 6】

請求項 1 ~ 1 3 のいずれかに記載の固体撮像素子と、

該固体撮像素子からの撮像信号を信号処理する画像処理部とを有する電子情報機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば閾値電圧変調方式の M O S 型イメージセンサなどの固体撮像素子とその製造方法、これを撮像部に用いた例えばビデオカメラ、デジタルカメラ、カメラ付き携帯電話装置などの電子情報機器に関する。

【背景技術】

【0002】

従来、例えば C C D 型イメージセンサや M O S 型イメージセンサなどの半導体イメージセンサは、量産性に優れているため、例えばビデオカメラ、デジタルカメラ、カメラ付き

10

20

30

40

50

携帯電話装置などの携帯型電子情報機器において画像入力デバイスとして利用されている。このような携帯型電子情報機器では、電池で駆動するため、駆動電力の低電圧化および低消費電力化が重要であり、さらに、低コスト化およびモジュールサイズの縮小化が重要である。このため、この分野において、MOS型イメージセンサは、CCD型イメージセンサに比べて、消費電力が少なく、従来のCMOSプロセス技術を利用することにより低コスト化が可能で、センサ素子と周辺回路素子とを同一チップ上に作製することによりモジュールサイズの縮小化が可能となることから、MOS型イメージセンサが見直されている。

【0003】

このようなMOS型イメージセンサとして、例えば特許文献1および特許文献2には、
10 閾値電圧変調方式のMOS型イメージセンサが開示されている。以下に、このMOS型イメージセンサについて、図9および図10を用いて詳細に説明する。

【0004】

図9は、従来の閾値電圧変調方式のMOS型イメージセンサにおける単位画素部の構成例を示す平面図であり、図10は図9の単位画素部のAA'線断面図である。なお、ここでは図示していないが、このMOS型イメージセンサは、複数の単位画素部が行方向および列方向に2次元状でマトリックス状に配置されている。

【0005】

図9および図10に示すように、単位画素部210には、光電変換用の受光部を持つ受光ダイオード211と、光信号検出用のMOSトランジスタ212とが隣接して設けられて
20 いる。単位画素部210の図中の上下には、列方向に並ぶ複数の単位画素部210に接続されて、ドレイン配線227およびゲート配線228が設けられている。また、MOSトランジスタ212上を通るように、行方向に並ぶ複数の単位画素部210に接続されてソース配線226が設けられている。

【0006】

シリコン基板またはシリコン基板上のエピタキシャル半導体層213（以下、p型基板213という）内には、受光ダイオード211の形成領域および光信号検出用MOSトランジスタ212の形成領域にわたってn型層216が設けられ、このn型層216上の受光ダイオード211領域にp型ウェル領域217aが設けられ、MOSトランジスタ212の領域にはp型ウェル領域217bが設けられている。また、n型層216下の受光ダイ
30 オード211の形成領域にはn型層214が設けられ、n型層216下の光信号検出用MOSトランジスタ212の形成領域にはp型埋め込み層215が設けられている。

【0007】

受光ダイオード211は、光電変換された信号電荷の発生領域であるp型ウェル領域217aと、そのp型ウェル領域217aの表面側に設けられたn型領域220とを有している。

【0008】

MOSトランジスタ212は、平面視リング状のゲート電極225と、ゲート電極225で囲まれた中央部のn型ソース領域219と、n型ドレイン領域220と、電流担体が移動可能とするチャネル領域221と、キャリアポケット領域218と、n型ソースコン
40 タクト層222と、n型ドレインコンタクト層223とを有している。

【0009】

ゲート電極225は、p型ウェル領域217bの上方にゲート絶縁膜224を介して平面視リング状に形成されており、ゲートコンタクトホール228aを介してゲート配線228と接続されている。

【0010】

n型ソース領域219は、このリング状のゲート電極225の内側中央部（平面視）でp型ウェル領域217bの表層部に設けられている。

【0011】

n型ドレイン領域220は、リング状のゲート電極225の外周側を更に囲むようにp
50

型ウェル領域 2 1 7 a の表層部に設けられている。受光ダイオード 2 1 1 において、この n 型ドレイン領域 2 2 0 に対して、光発生電荷が得られる p 型ウェル領域 2 1 7 a が埋め込み構造になっている。

【 0 0 1 2 】

n 型ソース領域 2 1 9 およびドレイン領域 2 2 0 は M O S トランジスタ 2 1 2 の低濃度ソース/ドレインとして働くため、表面付近での不純物濃度は約 $3 \cdot 0 \times 10^{18} \text{ cm}^{-3}$ 程度に設定されている。

【 0 0 1 3 】

ソースコンタクト層 2 2 2 は、n 型ソース領域 2 1 9 の更に中央部に設けられており、ソースコンタクトホール 2 2 6 a を介してソース配線（ソース電極）2 2 6 が接続されている。 10

【 0 0 1 4 】

ドレインコンタクト層 2 2 3 は、ドレイン領域 2 2 0 外周端部に接して、受光ダイオード 2 1 1 の p 型ウェル領域 2 1 7 a および M O S トランジスタ 2 1 2 の p 型ウェル領域 2 1 7 b を囲むように n 型層 2 1 6 の表層部に設けられており、このドレインコンタクト層 2 2 3 とドレインコンタクトホール 2 2 7 a を介してドレイン領域 2 2 0 とドレイン配線（ドレイン電極）2 2 7 とが接続されている。

【 0 0 1 5 】

ソースコンタクト層 2 2 2 およびドレインコンタクト層 2 2 3 の表面不純物濃度は、金属界面とのコンタクト抵抗を減らすため、通常、シリコン中の不純物固溶度限界付近である約 $3 \cdot 0 \times 10^{20} \text{ cm}^{-3}$ 程度に設定されている。 20

【 0 0 1 6 】

チャネル領域 2 2 1 は、ゲート電極 2 2 5 下にゲート絶縁膜 2 2 4 を介して、n 型ソース領域 2 1 9 と n 型ドレイン領域 2 2 0 との間の p 型ウェル領域 2 1 7 b 上の表層部に、n 型チャネルドープ層として設けられている。

【 0 0 1 7 】

キャリアポケット領域 2 1 8（電荷蓄積領域；例えばホールポケット領域）は、チャネル領域 2 2 1 下であって、n 型ソース領域 2 1 9 近傍の p 型ウェル領域 2 1 7 b 内にソース領域 2 1 9 を囲むようにリング状に形成されている。このホールポケット領域 2 1 8 は、p 型ウェル領域 2 1 7 b よりも不純物濃度が高い高濃度埋込層として形成されている。 30
このホールポケット領域 2 1 8 に、受光ダイオード 2 1 1 で光照射により発生した正孔（ホール；光信号キャリア）が蓄積され、このホールポケット領域 2 1 8 内の光信号キャリアの蓄積量に比例して M O S トランジスタ 2 1 2 の閾値が変化している。

【 0 0 1 8 】

さらに、M O S イメージセンサを駆動する駆動回路などの周辺回路を C M O S プロセスにより p 型基板 2 1 3 上に作製することも可能である。

【 0 0 1 9 】

図 1 1 は、この固体撮像素子において、周辺回路領域に設けられる C M O S 回路の構成例を示す断面図である。

【 0 0 2 0 】

図 1 1 に示すように、この C M O S 回路は、p 型基板 2 1 3 上に、n - M O S 領域 2 3 1 と p - M O S 領域 2 3 2 とが隣接して設けられており、フィールド酸化膜 2 4 4 によって互いに素子分離されている。 40

【 0 0 2 1 】

n - M O S 領域 2 3 1 は、p 型基板 2 1 3 上に設けられた p 型層 2 3 3 の表層部に低濃度 n 型ソース領域およびドレイン領域 2 3 5 が所定の間隔を開けて設けられている。また、低濃度 n 型ソース領域およびドレイン領域 2 3 5 間の外側表層部にはそれぞれ、高濃度 n 型（n +）ソースコンタクト層およびドレインコンタクト層 2 3 7 がそれぞれ設けられており、各コンタクトホール 2 4 5 a をそれぞれ介してソース配線およびドレイン配線 2 4 5 とそれぞれ接続されている。 50

【 0 0 2 2 】

また、低濃度 n 型ソース領域およびドレイン領域 2 3 5 の間の p 型層 2 3 3 上には、ゲート絶縁膜 2 4 1 を介してゲート電極 2 4 2 が設けられており、その側壁はサイドウォール 2 4 3 で覆われている。チャネル領域 2 3 6 は、ゲート電極 2 4 2 の下方で、低濃度 n 型ソース領域およびドレイン領域 2 3 5 間の p 型層 2 3 3 の表層部に低濃度 p 型層として形成される。

【 0 0 2 3 】

p - M O S 領域 2 3 2 は、p 型基板 2 1 3 上に設けられた n 型層 2 3 4 の表層部に低濃度 p 型ソース領域およびドレイン領域 2 3 8 が所定の間隔を開けて設けられている。また、低濃度 p 型ソース領域およびドレイン領域 2 3 8 間の外側表層部にはそれぞれ、高濃度 p 型 (p +) ソースコンタクト層およびドレインコンタクト層 2 4 0 がそれぞれ設けられており、各コンタクトホール 2 4 5 a をそれぞれ介してソース配線およびドレイン配線 2 4 5 とそれぞれ接続されている。

【 0 0 2 4 】

また、低濃度 p 型ソース領域およびドレイン領域 2 3 8 の間の n 型層 2 3 4 上には、ゲート絶縁膜 2 4 1 を介してゲート電極 2 4 2 が設けられており、その側壁はサイドウォール 2 4 3 で覆われている。チャネル領域 2 3 9 は、低濃度 p 型ソース領域およびドレイン領域 2 3 8 間の n 型層 2 3 4 の表層部に低濃度 p 型層として形成される。

【 0 0 2 5 】

上記構成により、この固体撮像装置 (例えば M O S 型イメージセンサ) の基本動作について説明する。なお、この固体撮像装置の単位画素部においては、その一連の撮像動作として、初期化 (リセット) 動作、電荷蓄積動作および信号読み出し動作という各動作が繰り返して行われる。

【 0 0 2 6 】

まず、初期化期間には、ゲート電極 2 2 5、ソース配線 2 2 6 およびドレイン配線 2 2 7 に正の高電圧が印加されてホールポケット領域 2 1 8 に残存する光信号キャリアが p 型埋め込み層 2 1 5 を介して基板 2 1 3 側に排出される。

【 0 0 2 7 】

次に、電荷蓄積期間には、受光ダイオード 2 1 1 への光照射により発生した光信号キャリアである正孔 (ホール) が、ホールポケット領域 2 1 8 内に蓄積される。

【 0 0 2 8 】

さらに、信号読み出し期間には、ホールポケット領域 2 1 8 への光信号キャリアの蓄積量に比例した信号が n 型ソース領域 2 1 9 から出力されて検出される。

【 0 0 2 9 】

図 1 2 は、上記単位画素部 2 1 0 が行方向および列方向に 2 次元状でマトリクス状に複数配列された M O S 型イメージセンサの撮像動作時における入出力タイミングを示すタイミング図である。ここでは、ある行 (選択行) のゲート電位、ドレイン電位およびソース電位と、他の行 (非選択行) のゲート電位およびドレイン電位を示している。

【 0 0 3 0 】

図 1 2 に示すように、まず、初期化期間には、選択行においてゲート電極 2 2 5 のゲート電位およびドレイン配線 2 2 7 のドレイン電位として 6 V 程度の高電圧が印加される。これにより、ゲート電極 2 2 5 下ではチャネル領域が形成され、n 型ソース領域 2 1 9 のソース電位も 6 V 程度となる。ホールポケット領域 2 1 8 に残存する信号電荷 (ホール) が p 型埋め込み層 2 1 5 を介して基板 2 1 3 側に排出される。このとき、非選択行では、ゲート電極 2 2 5 のゲート電位が接地電位付近に固定されている。

【 0 0 3 1 】

次に、電荷蓄積期間には、選択行においてドレイン配線 2 2 7 のドレイン電位が 3 V に下げられ、受光ダイオード 2 1 1 の p 型ウェル領域 2 1 7 a 内にて光電変換により信号電荷が生成され、ホールポケット領域 2 1 8 に信号電荷 (ホール) が蓄積される。このとき、ゲート電位は 3 V 程度に下げられて、光信号検出用トランジスタ 2 1 2 は飽和領域で動

10

20

30

40

50

作しており、ソース電位は 1.5 V 程度となっている。

【0032】

さらに、信号読み出し期間には、ソース配線 226 に定電流源が接続され、ドレイン領域 220、ゲート電極 225 および n 型ソース領域 219 によってソースフォロワ回路が構成される。この状態でゲート電位 V_g に 3 V 程度の電位を印加して MOS トランジスタ 212 を飽和領域で動作させることにより、ホールポケット領域 218 に蓄積された信号電荷量に応じてソース電位が変調されて信号電荷が検出される。

【0033】

ここで、単位画素部 210 が行方向および列方向に複数配列された MOS 型イメージセンサでは、ソース配線 226 が行方向に接続されている。このため、行毎に順次画素信号を出力させる場合、ある行（選択行）の電荷蓄積期間中に他の行（非選択行）の初期化動作（非選択初期化）および読み出し動作（非選択読み出し）が行われる。

【0034】

これにより、例えば非選択行の初期化動作時には、ソース配線 226 に 6 V 程度の高電圧が印加される。しかしながら、図 12 に示すように選択行のゲート電極 225 のゲート電位を接地電位（0 V）付近に保つことにより、チャネルドープ層（チャネル領域 221）の電位が接地電位付近に固定され、ホールポケット領域 218 のポテンシャルは低い状態に保たれる。これにより、選択行のホールポケット領域 218 に蓄積された信号電荷（ホール）は基板 213 側に排出されることなく保存される。この期間が非選択初期化期間である。

【0035】

また、非選択行の信号読み出し動作時にも、選択行のゲート電極 225 の電圧を接地電位付近に保つことにより、ソース配線 226 に選択行の信号が出力されることを防いでいる。この期間が非選択信号読み出し期間である。

【0036】

次に、上記 MOS 型イメージセンサの製造方法について、図 13（a）～図 13（d）を用いて説明する。

【0037】

図 13（a）～図 13（d）は、従来の MOS 型イメージセンサの製造工程について説明するための各製造工程の基板部の断面図である。ここでも、単位画素部 210 の右側に受光ダイオード 211 の形成領域、左側に光信号検出用 MOS トランジスタ 212 の形成領域が示されている。

【0038】

図 13（a）は、ゲート電極 225 が形成された直後の状態を示している。ここでは、p 型半導体基板または半導体基板上の p 型エピタキシャル成長半導体層（p 型基板）213 上に n 型層 216 が形成されている。

【0039】

受光ダイオード 211 の形成領域には、p 型基板 213 および n 型層 216 に接するように n 型埋め込み層 214 が形成されている。その上方の n 型層 216 内に、n 型埋め込み層 214 とほぼ同じ寸法を有する p 型ウェル領域 217a が形成されている。これらの n 型埋め込み層 214 と p 型ウェル領域 217a は、共に第 1 のマスク層を通してイオン注入により形成されている。

【0040】

また、MOS トランジスタ 212 の形成領域には p 型基板 213 および n 型層 216 に接するように p 型埋め込み層 215 が形成されている。その上方の n 型層 216 内に、p 型埋め込み層 215 とほぼ同じ寸法を有する p 型ウェル領域 217b が形成されている。これらの p 型埋め込み層 215 と p 型ウェル領域 217b とは、共に第 2 のマスクを通してイオン注入により形成されている。

【0041】

p 型ウェル領域 217b の表層部側には、n 型チャネルドープ層（チャネル領域 221

10

20

30

40

50

）が形成されている。また、このチャネルドープ層（チャネル領域 2 2 1）下に接して p 型ウェル領域 2 1 7 b 内に p 型高濃度埋め込み層（ホールポケット領域 2 1 8）が形成されている。この p 型高濃度埋め込み層（ホールポケット領域 2 1 8）は第 3 のマスクを通してイオン注入により形成されている。

【0042】

このように、ゲート電極 2 2 5 が形成された状態で、図 1 3（b）に示すように、ゲート電極 2 2 5 をマスクとして、ゲート絶縁膜 2 2 4 を通して n 型不純物をイオン注入することにより、ゲート電極 2 2 5 の両側に低濃度の n 型ソース領域 2 1 9 およびドレイン領域 2 2 0 を形成する。この固体撮像素子において、p 型基板 2 1 3 上に図 1 1 に示すような CMOS 回路を形成する場合には、この製造工程と同時に、例えば n - CMOS 領域 2 3 1 のゲート電極 2 4 2 の両側に低濃度 n 型ソース領域およびドレイン領域 2 3 5 を形成する。

10

【0043】

さらに、上記基板部上に、CVD（Chemical Vapor Deposition）法などにより絶縁膜を形成し、異方性エッチングを行って、図 1 3（c）に示すように、ゲート電極 2 2 5 の側面にその絶縁膜からなるサイドウォール 2 2 9 を形成する。

【0044】

図 1 3（d）に示すように、受光ダイオード 2 1 1 の受光領域を覆うようにレジストマスク 2 3 0 を形成した後、ゲート電極 2 2 5、サイドウォール 2 2 9 およびレジストマスク 2 3 0 をマスクとして n 型不純物をイオン注入する。これにより、n 型ソース領域 2 1 9 の中央部および n 型ドレイン領域 2 2 0 の周辺部にはそれぞれ、高濃度 n 型ソースコンタクト層 2 2 2 および高濃度 n 型ドレインコンタクト層 2 2 3 がそれぞれ形成される。

20

【0045】

この固体撮像素子において、p 型基板 2 1 3 上に図 1 1 に示すような CMOS 回路を形成する場合には、この工程と同時に、例えば n - CMOS 領域 2 3 1 のゲート電極の両側であって、低濃度 n 型ソース領域およびドレイン領域 2 3 5 の外側に高濃度 n 型ソースコンタクト層およびドレインコンタクト層 2 3 7 を形成する。

【0046】

以降、図示は省略するが、レジストマスク 2 3 0 を除去した後、層間絶縁膜を形成し、コンタクトホール 2 2 6 a ~ 2 2 8 a をそれぞれ形成し、ゲート配線 2 2 8、ソース配線 2 2 6 およびドレイン配線 2 2 7 を形成することにより、図 9 および図 1 0 に示すような MOS 型イメージセンサが作製される。

30

【特許文献 1】特開平 1 1 - 1 9 5 7 7 8 号公報

【特許文献 2】特開 2 0 0 1 - 2 2 3 3 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0047】

上記従来の MOS 型イメージセンサでは、受光ダイオード 2 1 1 および光信号検出用 MOS トランジスタ 2 1 2 が、光発生電荷（この場合にはホール）に対して埋込構造を有しているため、光発生電荷以外の電荷による雑音や暗電流を低く維持することができるとされている。

40

【0048】

しかしながら、本願発明者らが上記従来の MOS 型イメージセンサを試作したところ、初期化動作電圧に比例した暗電流ノイズの発生が見られた。以下に、この暗電流発生メカニズムについて、図 1 4 を用いて詳細に説明する。

【0049】

図 1 4 は、従来の MOS 型イメージセンサにおけるソースコンタクト部近傍の構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。ここでは、横軸にソースコンタクト部（ソース領域とソース配線とのコンタクト部）からの距離（ μm ）を示し、縦軸は非選択初期化動作時の電界強度（ V/cm ）と

50

基板表面付近の n 型不純物濃度 (cm^{-3}) を示している。

【0050】

図14の基板表面付近の n 型不純物濃度分布に示すように、MOSトランジスタのソース/ゲート領域では高濃度ソースコンタクト層222からチャネルドープ層221にかけて急激に不純物濃度が低下している。一般に、高濃度ソースコンタクト層の表面不純物濃度は、金属-半導体界面のコンタクト抵抗を可能な限り低くし、かつ、オームの法則に従うオーミック接触を得ることが可能なように、約 $3.0 \times 10^{20} \text{ cm}^{-3}$ 程度まで高められている。また、低濃度ドレイン領域220は、図13に示す従来の製造方法によれば、受光ダイオード211における p 型ウェル領域217aの表層側の n 型不純物層と同程度の表面不純物濃度であり、その値は約 $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、チャネルドープ層221の表面不純物濃度は約 $3.0 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【0051】

非選択初期化動作時には、図12に示すように、ソース配線226を通じてソース領域219および高濃度ソースコンタクト層222に正の高電圧が印加され、同時にチャネルドープ層221の電位が接地電位付近に保たれる。このような状態では、図14の非選択初期化動作時の電界強度分布に示すように、高濃度ソースコンタクト層222からチャネルドープ層221にかけて急激に電界が高くなる。

【0052】

暗電流の発生原因は、半導体基板中の結晶構造の乱れや不純物によってミドルギャップに生じた準位が電子-ホール対の発生中心として働き、そこに高電界が働くことにより発生した電子-ホール対が電流となることである。よって、図14に示すように、高濃度ソースコンタクト層222からチャネルドープ層221にかけて急激に電界が高くなった領域に、このような電子-ホール対の発生中心が存在したことにより暗電流が発生したものと考えられる。

【0053】

このような電子-ホール対の発生中心の生成要因としては、良好な金属-半導体結合を形成するために形成された高濃度ソースコンタクト層222への不純物イオン注入が考えられる。実際に本願発明者らが上記従来のMOS型イメージセンサを試作して高濃度ソースコンタクト層222を透過型電子顕微鏡にて観察したところ、大規模な結晶欠陥の発生が見られた。

【0054】

これらの考察から、初期化動作電圧に比例した暗電流の発生は、高濃度ソースコンタクト層222とチャネルドープ層221の遷移領域に結晶欠陥が達したことにより存在した電子-ホール対の発生中心が、非選択初期化動作時に発生する高電界状態と結びついたことによるものと考えられる。

【0055】

上記従来のMOS型イメージセンサにおいては、信号読み出し時以外にソース/ドレイン電極に殆ど電流が流れることはなく、信号読み出し時においても、その読み出し電流値はソース配線226に接続された定電流源により制御され、大きく変動することはない。したがって、ソース/ドレインコンタクト部において非オーミック接触であることは、動作上問題ではない。

【0056】

そこで、本願発明者らは、高濃度イオン注入による結晶欠陥の導入を回避するため、高濃度ソースコンタクト層222を設けない構造についても試作したが、従来技術と同様に、初期化動作電圧に比例した暗電流ノイズの発生が見られた。以下に、この暗電流発生のメカニズムについて、図15を用いて詳細に説明する。

【0057】

図15は、高濃度ソースコンタクト層を設けないMOS型イメージセンサにおけるソースコンタクト部近傍の構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。ここでは、横軸にソースコンタクト部(ソース

10

20

30

40

50

領域とソース配線とのコンタクト部)からの距離(μm)を示し、縦軸は非選択初期化動作時の電界強度(V/cm)と基板表面付近のn型不純物濃度(cm^{-3})を示している。

【0058】

図15の基板表面付近のn型不純物濃度分布に示すように、ソースコンタクトホール226aと半導体基板との接触領域の不純物濃度は低濃度ソース領域であり、その不純物濃度は約 $3.0 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、チャネルドープ層221の表面不純物濃度は約 $3.0 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【0059】

ここで、図15の非選択初期化動作時の電界強度分布に着目すると、図14に示す従来の構造と比較して、ソースコンタクトホール226aを介してソース配線226と接触する領域の電界強度が大幅に上昇し、 $1.0 \times 10^4 \text{ V}/\text{cm}$ 以上となっていることが分かる。

【0060】

ソース領域219の表面には、サイドウォールエッチング時のエッチングダメージにより界面準位が発生する。また、ソースコンタクトホール形成のためのドライエッチングにより、コンタクトホール226aの周辺にも界面準位が発生する。図14に示す従来の構造では、これらの界面準位の発生領域は、高濃度不純物注入によって、その電界が十分低くなっていたのに対して、図15に示すように、高濃度ソースコンタクト層222を設けない構造では、これらの界面準位の存在領域において電界強度が強くなり、暗電流が発生したものと考えられる。

【0061】

以上ではソースコンタクト部について説明したが、ソースコンタクト部と同時に作製されるドレインコンタクト部(ドレイン領域とドレイン配線とのコンタクト部)についてもソースコンタクト部と同様の問題が生じる。

【0062】

本発明は、上記従来の課題を解決するもので、コンタクト部近傍の結晶欠陥発生を抑制し、かつ、非選択初期化動作時にコンタクト部近傍の電界強度を低減して、暗電流が少なく、初期化動作時の電圧に依存する白点欠陥の発生を抑制し、安定した高い感度特性が得られる固体撮像素子およびその製造方法、これを撮像部に用いた電子情報機器を提供することを目的とする。

【課題を解決するための手段】

【0063】

本発明の固体撮像素子は、光照射により電荷を発生可能とする受光部と、該受光部からの電荷を蓄積可能とする電荷蓄積領域とを有し、該電荷蓄積領域の蓄積電荷量に応じた信号読み出しを可能とする信号検出用トランジスタ手段を備えた単位画素部が複数配列された固体撮像素子において、該信号検出用トランジスタ手段には、ソース領域およびドレイン領域が所定間隔を置いて設けられ、該ソース領域に所定電位を印加するためのソース配線と該ソース領域間に設けられ、該ソース領域よりも高い不純物濃度のソースコンタクト層と、該ドレイン領域に所定電位を印加するためのドレイン配線と該ドレイン領域間に設けられ、該ドレイン領域よりも高い不純物濃度のドレインコンタクト層とのうち少なくとも該ソースコンタクト層は、その界面準位により暗電流の発生が抑えられると共に不純物導入による結晶欠陥が回避されるように、該コンタクト層表面近傍の不純物濃度が設定されており、そのことにより上記目的が達成される。

【0064】

また、好ましくは、本発明の固体撮像素子におけるドレインコンタクト層およびソースコンタクト層のうち少なくとも該ソースコンタクト層は、該コンタクト層表面近傍の不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定されている。

【0065】

さらに、好ましくは、本発明の固体撮像素子におけるドレインコンタクト層およびソー

10

20

30

40

50

スコンタクト層のうち少なくとも該ソースコンタクト層は、該コンタクト層表面近傍の不純物濃度が $6 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下に設定されている。

【0066】

さらに、好ましくは、本発明の固体撮像素子における受光部と電荷蓄積領域は、第1導電型半導体基板上の第2導電型ウェル領域内に設けられた第1導電型ウェル領域内に設けられ、前記信号検出用トランジスタ手段は、該第1導電型ウェル領域の表面上に所定の間隔を開けて設けられた第2導電型ソース領域および第2導電型ドレイン領域を有する。

【0067】

さらに、好ましくは、本発明の固体撮像素子における第1導電型がp型であり、前記第2導電型がn型である。

10

【0068】

さらに、好ましくは、本発明の固体撮像素子における第1導電型がn型であり、前記第2導電型がp型である。

【0069】

さらに、好ましくは、本発明の固体撮像素子におけるソースコンタクト層は、前記第1導電型ウェル領域の表面に沿って前記ソース領域に隣接する該第1導電型ウェル領域の表層部に形成されている。

【0070】

さらに、好ましくは、本発明の固体撮像素子におけるドレインコンタクト層は、前記ドレイン領域の外周端部に接して、前記受光部および信号検出用トランジスタ手段を囲むように、前記第2導電型ウェル領域の表層部に形成されている。

20

【0071】

さらに、好ましくは、本発明の固体撮像素子における電荷蓄積領域は、高濃度第1導電型半導体領域からなり、前記第1導電型ウェル領域内で該第2導電型ソース領域近傍位置に該第2導電型ソース領域を囲むように平面視リング状に設けられた高濃度埋込層であり、該高濃度埋込層は、前記ドレイン領域から該第2導電型ソース領域に至る経路を構成するチャネル領域の直下に設けられている。

【0072】

さらに、好ましくは、本発明の固体撮像素子における高濃度埋込層は、チャネル幅方向全域にわたって形成されている。

30

【0073】

さらに、好ましくは、本発明の固体撮像素子における光信号検出用トランジスタ手段は、前記第1導電型ウェル領域上にゲート絶縁膜を介して設けられた平面視リング状のゲート電極を有し、前記ソース領域は該ゲート電極に囲まれた該第1導電型ウェル領域の表層部に形成されている。

【0074】

さらに、好ましくは、本発明の固体撮像素子におけるドレイン領域は前記ゲート電極を囲むように前記第1導電型ウェル領域の表層部に形成されている。

【0075】

さらに、好ましくは、本発明の固体撮像素子における基板上に、前記複数の単位画素部が設けられた画素領域と、該複数の画素領域を駆動する駆動回路が設けられた駆動回路領域とを有し、該駆動回路を構成するCMOS回路は、前記光信号検出用トランジスタ手段のソースコンタクト層およびドレインコンタクト層よりも高い不純物濃度のソースコンタクト層およびドレインコンタクト層を有する。

40

【0076】

本発明の固体撮像素子の製造方法は、請求項1～13のいずれかに記載の固体撮像素子を製造する固体撮像素子の製造方法であって、前記光信号検出用トランジスタ手段のゲート電極の形成後に、該ゲート電極をマスクとして低濃度の第2導電型不純物を表面側から導入することによりソース領域およびドレイン領域を形成するトランジスタ駆動領域形成工程と、該トランジスタ駆動領域形成工程の後に、該ゲート電極の側壁にサイドウォール

50

を形成するサイドウォール形成工程と、該サイドウォール形成工程の後に、該第1導電型ウェル領域に形成された受光部を覆うようにマスクパターンを形成するマスクパターン形成工程と、該マスクパターン形成工程の後に、該ゲート電極、該ゲート電極のサイドウォールおよび該マスクパターンをそれぞれマスクとして該ソース領域およびドレイン領域よりもそれぞれ狭い範囲に第2導電型不純物を、コンタクト層の界面準位により暗電流の発生が抑えられると共に不純物導入による結晶欠陥が回避される該コンタクト層表面近傍の不純物濃度で導入することにより、前記コンタクト層を形成するコンタクト層形成工程とを有し、そのことにより上記目的が達成される。

【0077】

また、好ましくは、本発明の固体撮像素子の製造方法において、請求項14に記載の画素領域のソースコンタクト層およびドレインコンタクト層を第2導電型不純物導入により形成する前記コンタクト層形成工程とは別に、前記CMOS回路を構成する第2導電型CMOS領域のソース領域およびドレイン領域を第2導電型不純物導入により形成する工程を更に有する。

【0078】

本発明の電子情報機器は、請求項1～13のいずれかに記載の固体撮像素子と、該固体撮像素子からの撮像信号を信号処理する画像処理部とを有し、そのことにより上記目的が達成される。

【0079】

上記構成により、以下に、本発明の作用について説明する。

【0080】

本発明においては、ゲート電極やサイドウォール部を形成後に、これらをマスクとして用いて、第1導電型高濃度埋込層（キャリアポケット領域；電荷蓄積領域）に隣接したソース領域の表層部に第2導電型不純物を更に導入することにより、表面近傍の不純物濃度（ピーク不純物濃度）が $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下であるソースコンタクト層を形成する。また同様に、ゲート電極やサイドウォール部を形成後に、受光部にマスクパターンを形成し、これらをマスクとして用いて、ドレイン領域に接して受光部と光信号検出用トランジスタ手段とを囲むように第2導電型半導体層の表層部に第2導電型不純物を導入することにより、ピーク不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下であるドレインコンタクト層を形成する。

【0081】

ソースコンタクト層のピーク不純物濃度を、通常良好な半導体/金属界面コンタクト特性を得るために設定される $3 \times 10^{20} \text{ cm}^{-3}$ よりも低く、 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することにより、例えばイオン注入法などによる不純物導入に伴う結晶欠陥や非晶質化が回避される。これにより、高濃度不純物層であるソースコンタクト層と低濃度不純物層である低濃度ソース領域やチャネルドープ層との界面に、結晶欠陥により導かれた暗電流発生中心が存在することを回避して、暗電流の発生を回避することができる。

【0082】

また、ソースコンタクト層の不純物濃度がピーク不純物濃度を、 $4 \times 10^{19} \text{ cm}^{-3}$ 以上に設定することにより、固体撮像素子の撮像動作サイクル中、ソース電極（ソース配線）とチャネルドープ層の電位差が最大となる非選択初期化動作時において、サイドウォールエッチング時のエッチングダメージにより界面準位により暗電流が発生するソース領域表面、およびソースコンタクトホール形成のためのドライエッチングにより界面準位により暗電流が発生するコンタクト電極周辺部などの電界強度を $2 \times 10^3 \text{ V/cm}$ 以下に抑制し、暗電流の発生を回避することができる。

【0083】

さらに、周辺回路（駆動回路）領域を構成するCMOS回路のソースコンタクト層およびドレインコンタクト層については、光信号検出用トランジスタ手段のソースコンタクト層およびドレインコンタクト層と異なる不純物導入工程で形成することにより、ピーク不純物濃度を高くして、良好な半導体/金属界面コンタクト特性（オーミックコンタクト）

10

20

30

40

50

を得るための $3 \times 10^{20} \text{ cm}^{-3}$ 程度に設定することができる。

【発明の効果】

【0084】

以上説明したように、本発明によれば、周辺回路の特性劣化を招くことなく、固体撮像素子を構成する単位画素部のソースコンタクト層のピーク不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することにより、暗電流が少なく、初期化動作時の電圧に依存する白点欠陥の発生を抑制し、安定して高い感度特性が得られる固体撮像素子を作製し、これを撮像部に用いた携帯型電子機器などの電子情報機器を実現することが可能となる。

【発明を実施するための最良の形態】

【0085】

以下に、本発明の固体撮像素子を閾値電圧変調方式のMOS型イメージセンサに適用した場合の実施形態について、図面を参照しながら説明する。なお、本発明の固体撮像素子は、MOS型イメージセンサに限定されるものではない。

【0086】

図1は、本発明の固体撮像素子の一実施形態であるMOS型イメージセンサの構成例を模式的に示す一部平面図であり、図2は図1の単位画素部の構成例を示す平面図であり、図3は図2の単位画素部のAA'線断面図である。なお、図2および図3では、一つの単位画素部の構造について示しているが、他の単位画素部についても同様の構造を有している。

【0087】

図1に示すように、固体撮像素子100は、閾値電圧変調方式のMOS型イメージセンサとして機能し、複数の単位画素部10が行方向および列方向に2次元上でマトリックス状に配置されている。複数の単位画素部10は、行方向にソース配線26によって接続され、列方向にドレイン配線27およびゲート配線28によって接続されている。

【0088】

図2および図3に示すように、単位画素部10には、図9および図10に示した従来の固体撮像素子の単位画素部210の場合と同様に、光電変換用の受光ダイオード11と、光信号検出用トランジスタ手段としてのMOSトランジスタ12とが隣接して設けられている。

【0089】

単位画素部10の図中の上下位置には、列方向に並ぶ複数の単位画素部10に接続されて、ドレイン配線27およびゲート配線28が設けられている。また、MOSトランジスタ12の上を通るように、行方向に並ぶ複数の単位画素部10に接続されて、ソース配線26が設けられている。

【0090】

シリコン基板またはシリコン基板上のエピタキシャル半導体層13（以下、p型基板13という）上には、受光ダイオード11の形成領域および光信号検出用MOSトランジスタ12の形成領域にわたってn型層16が設けられ、このn型層16上の受光ダイオード11の領域にp型ウェル領域17aが設けられ、n型層16上のMOSトランジスタ12の領域にはp型ウェル領域17bが設けられている。

【0091】

また、n型層16下の受光ダイオード11の形成領域側には、p型基板13との間にn型層14が設けられ、n型層16下の光信号検出用MOSトランジスタ12側の形成領域には、p型基板13との間にp型埋め込み層15が設けられている。

【0092】

受光ダイオード11は、光電変換された信号電荷の発生領域であるp型ウェル領域17aと、そのp型ウェル領域17aの表面側に設けられたn型領域20とを有している。

【0093】

MOSトランジスタ12は、p型ウェル領域17a内で光電変換された信号電荷を蓄積

10

20

30

40

50

可能とするキャリアポケット領域 18 と、n 型ソース領域 19 と、受光ダイオード 11 の n 型領域 20 と一体的に形成された n 型ドレイン領域 20 と、電流担体が移動するためのチャネル領域 21 と、n 型ソース領域 19 とソース配線 26 の先端部間に設けられた n 型ソースコンタクト層 22 と、n 型ドレイン領域 20 とドレイン配線 27 の先端部間に設けられた n 型ドレインコンタクト層 23 と、チャネル領域 21 の上方にゲート絶縁膜 24 を介して設けられた平面視リング状のゲート電極 25 とを有している。

【0094】

キャリアポケット領域 18 (電荷蓄積領域; 例えばホールポケット領域) は、チャネル領域 21 下にあって、n 型ソース領域 19 の近傍の p 型ウェル領域 17b 内にソース領域 19 を囲むように平面視リング状に形成されている。このホールポケット領域 18 は、p 型ウェル領域 17b よりも不純物濃度が高い高濃度埋込層として形成されている。このホールポケット領域 18 に、受光ダイオード 11 で光照射により発生した正孔 (ホール; 光信号キャリア) が蓄積され、このホールポケット領域 18 内の光信号キャリアの蓄積量に比例して MOS トランジスタ 12 の閾値が変化するようにになっている。

【0095】

n 型ソース領域 19 は、平面視リング状のゲート電極 25 の内側中央で p 型ウェル領域 17b の表層部に設けられている。

【0096】

n 型ドレイン領域 20 は、平面視リング状のゲート電極 25 の外周を囲むように p 型ウェル領域 17b の表層部に設けられている。この n 型ドレイン領域 20 は、受光ダイオード 11 部において、p 型ウェル領域 17a の表面側に設けられた n 型領域 20 と一体的に形成されており、これによって光発生電荷に対する埋め込み構造が形成されている。

【0097】

ソース領域 19 およびドレイン領域 20 は MOS トランジスタ 12 の低濃度ソース/ドレインとして働くため、表面付近での不純物濃度は約 $3 \cdot 0 \times 10^{18} \text{ cm}^{-3}$ 程度に設定されている。

【0098】

チャネル領域 21 は、ゲート電極 25 下にゲート絶縁膜 24 を介して、n 型ソース領域 19 と n 型ドレイン領域 20 との間の p 型ウェル領域 17b の表層部に、n 型チャネルドープ層として設けられている。

【0099】

ソースコンタクト層 22 はソース領域 19 の表層部に設けられており、このソースコンタクト層 22 およびソースコンタクトホール 26a を介してソース領域 19 とソース配線 (ソース電極) 26 とが接続されている。

【0100】

ドレインコンタクト層 23 は、ドレイン領域 20 の外周端部に接して、受光ダイオード 11 の p 型ウェル領域 17a および MOS トランジスタ 12 の p 型ウェル領域 17b を囲むように n 型層 16 の表層部に設けられており、このドレインコンタクト層 23 およびドレインコンタクトホール 27a を介してドレイン領域 20 とドレイン配線 27 (ドレイン電極) とが接続されている。

【0101】

これらのソースコンタクト層 22 およびドレインコンタクト層 23 の表面不純物濃度は、本実施形態では $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定されている。これは本発明の特徴構成であり、その理由について説明すると、 $4 \times 10^{19} \text{ cm}^{-3}$ 以上に設定することにより、サイドウォールエッチング時やコンタクトホール形成時にエッチングダメージにより界面準位により暗電流が生じるソース領域表面やコンタクト部の周辺部において、不純物注入により電界を低くすることができるため、非選択初期化動作時に電界強度を $2 \times 10^3 \text{ V/cm}$ 以下に抑制して暗電流を防ぐことができる。また、 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することにより、不純物導入に伴う結晶欠陥や非晶質化が回避され、ソースコンタクト層 22 とソース領域 19 やチャネルドープ層 (チャネル領域

10

20

30

40

50

21)との界面に結晶欠陥による暗電流発生中心が生じるのを防ぐことができる。以下に詳細に説明する。

【0102】

ゲート電極25は、p型ウェル領域17bの上方にゲート絶縁膜24を介してリング状に形成されており、ゲートコンタクトホール28aを介してゲート配線28と接続されている。なお、ここでは特に図示していないが、ゲート電極25の側壁はサイドウォールで覆われていてもよい。

【0103】

さらに、図1には示していないが、p型基板13上に、図2および図3に示すような単位画素部10が複数設けられた画素領域を駆動する駆動回路などの周辺回路領域(駆動回路領域)をCMOSプロセスにより設ける構成も可能である。この場合のCMOS回路について図4を用いて説明する。

【0104】

図4は、本実施形態の固体撮像素子(MOS型イメージセンサ)100において、周辺回路領域に設けられるCMOS回路の構成例を示す断面図である。

【0105】

図4に示すように、このCMOS回路は、図11に示す従来の固体撮像素子のCMOS回路の場合と同様に、p型基板13上に、n-MOS領域31とp-MOS領域32とが互いに隣接して設けられており、フィールド酸化膜44によって素子分離されている。

【0106】

n-MOS領域31は、p型基板13上に設けられたp型層33の表層部に低濃度n型ソース領域およびドレイン領域35が所定の間隔を開けて設けられている。また、低濃度n型ソース領域およびドレイン領域35に隣接する表層部にはそれぞれ、高濃度n型(n+)ソースコンタクト層およびドレインコンタクト層37がそれぞれ設けられており、各コンタクトホール45aをそれぞれ介してソース配線およびドレイン配線45とそれぞれ接続されている。また、低濃度n型ソース領域およびドレイン領域35の間のp型層33上には、ゲート絶縁膜41を介してゲート電極42が設けられており、その側壁はサイドウォール43で覆われている。チャネル領域36は、ゲート電極42の下方にあって、低濃度n型ソース領域およびドレイン領域35間のp型層33の表層部に低濃度n型層として形成されている。

【0107】

p-MOS領域32は、p型基板13上に設けられたn型層34の表層部に低濃度p型ソース領域およびドレイン領域38が所定の間隔を開けて設けられている。また、低濃度p型ソース領域およびドレイン領域38に隣接する表層部にはそれぞれ、高濃度p型(p+)ソースコンタクト層およびドレインコンタクト層40がそれぞれ設けられており、各コンタクトホール45aをそれぞれ介してソース配線およびドレイン配線45とそれぞれ接続されている。また、低濃度p型ソース領域およびドレイン領域39の間のn型層34上には、ゲート絶縁膜41を介してゲート電極42が設けられており、その側壁はサイドウォール43で覆われている。チャネル領域39は、ゲート電極42の下方にあって、低濃度p型ソース領域およびドレイン領域38間のn型層34の表層部に低濃度p型層として形成されている。

【0108】

以下に、上記構成の固体撮像素子100(例えばMOS型イメージセンサ)の基本動作について説明する。なお、この固体撮像装置100の単位画素部10においては、その一連の撮像動作として、初期化(リセット)動作、電荷蓄積動作および信号読み出し動作という各動作が繰り返して行われる。

【0109】

まず、初期化期間には、ゲート電極25、ソース配線26およびドレイン配線27に正の高電圧が印加されてホールポケット領域18に残存する光信号キャリアがp型埋め込み層15を介して基板13側に排出される。

10

20

30

40

50

【0110】

次に、電荷蓄積期間には、受光ダイオード11への光照射により発生した光信号キャリアである正孔（ホール）が、ホールポケット領域18内に蓄積される。

【0111】

さらに、信号読み出し期間には、ホールポケット領域18への光信号キャリアの蓄積量に比例した信号がソース領域19から出力されて検出される。

【0112】

図5は、上記単位画素部10が行方向および列方向に複数配列されたMOS型イメージセンサの撮像動作時における入出力タイミングを示すタイミング図である。ここでは、選択行のゲート電位、ドレイン電位およびソース電位と、非選択行のゲート電位およびドレイン電位を示している。

10

【0113】

図5に示すように、まず、初期化期間には、選択行においてゲート電極25のゲート電位およびドレイン配線27のドレイン電位として6V程度の高電圧が印加される。これにより、ゲート電極25下ではチャンネル領域21が形成され、ソース領域19のソース電位も6V程度となる。ホールポケット領域18に残存する信号電荷（ホール）がp型埋め込み層15を介して基板13側に排出される。このとき、非選択行では、ゲート電極25のゲート電位が0Vとされている。

【0114】

次に、電荷蓄積期間には、選択行においてドレイン配線27のドレイン電位が3Vに下げられ、受光ダイオード11のp型ウェル領域17a内にて光電変換により信号電荷が生成されて、ホールポケット領域18に信号電荷（ホール）が蓄積される。このとき、ゲート電位は3V程度に下げられて、光信号検出用トランジスタ12は飽和領域で動作しており、ソース電位は1.5V程度となっている。

20

【0115】

さらに、信号読み出し期間には、ソース配線26に定電流源が接続され、ドレイン領域20、ゲート電極25およびソース領域19によってソースフォロワ回路が構成される。この状態でゲート電位 V_g に3V程度の電位を印加してMOSトランジスタ12を飽和領域で動作させることにより、ホールポケット領域18に蓄積された信号電荷量に応じてソース電位が変調されて信号電荷が検出される。

30

【0116】

ここで、単位画素部10が行方向および列方向に2次元状に複数配列されたMOS型イメージセンサでは、ソース配線26が行方向に接続されている。このため、行毎に順次画素信号を出力させる場合、ある行（選択行）の電荷蓄積期間中に他の行（非選択行）の初期化動作（非選択初期化）および読み出し動作（非選択読み出し）が行われる。これにより、非選択行の初期化動作時には、ソース配線26に6V程度の正の高電圧（例えば6V程度）が印加される。

【0117】

しかしながら、図5に示すように選択行のゲート電極25のゲート電位を接地電位（0V）付近に保つことにより、チャンネルドープ層（チャンネル領域21）の電位が接地電位付近に固定され、ホールポケット領域18のポテンシャルは低い状態に保たれる。これにより、選択行のホールポケット領域18に蓄積された信号電荷（ホール）は基板13側に排出されることなく保存される。この期間が非選択初期化期間であり、撮像動作期間においてp型基板13の表面付近の電位差および電界強度が最大となる。

40

【0118】

また、非選択行の信号読み出し動作時にも、選択行のゲート電極25の電圧を接地電位付近に保つことにより、ソース配線26に選択行の信号が出力されることを防いでいる。この期間が非選択信号読み出し期間である。

【0119】

次に、本実施形態の固体撮像素子（MOS型イメージセンサ）100の製造方法につい

50

て、図 6 (a) ~ 図 6 (d) を用いて詳細に説明する。

【 0 1 2 0 】

図 6 (a) ~ 図 6 (d) は、本実施形態の固体撮像素子 1 0 0 の製造工程について説明するための各製造工程における単位画素部の断面図である。ここでは、単位画素部 1 0 の右側に受光ダイオード 1 1 の形成領域、左側に光信号検出用 M O S トランジスタ 1 2 の形成領域が示されている。

【 0 1 2 1 】

図 6 (a) では、ゲート電極 2 5 が形成された直後の状態を示している。ここでは、不純物濃度約 $1 \times 10^{15} \text{ cm}^{-3}$ の p 型半導体基板または半導体基板上の p 型エピタキシャル成長半導体層 1 3 (p 型基板) 上に、ピーク位置約 $0.55 \mu\text{m}$ で、ピーク不純物濃度約 $3 \times 10^{16} \text{ cm}^{-3}$ の n 型層 1 6 が形成されている。 10

【 0 1 2 2 】

受光ダイオード 1 1 の形成領域には p 型基板 1 3 および n 型層 1 6 間にそれらに接するように、ピーク位置約 $1.5 \mu\text{m}$ 、ピーク不純物濃度約 $1 \times 10^{17} \text{ cm}^{-3}$ の n 型埋め込み層 1 4 が形成されている。その上方の n 型層 1 6 内に、n 型埋め込み層 1 4 とほぼ同じ寸法を有し、ピーク位置約 $0.3 \mu\text{m}$ 、ピーク不純物濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ およびピーク位置約 $0.55 \mu\text{m}$ 、ピーク不純物濃度約 $2 \times 10^{16} \text{ cm}^{-3}$ の p 型ウェル領域 1 7 a が形成されている。これらの n 型埋め込み層 1 4 と p 型ウェル領域 1 7 a は、ともに第 1 のマスク層を通してイオン注入により形成される。

【 0 1 2 3 】

また、M O S トランジスタ 1 2 の形成領域には p 型基板 1 3 および n 型層 1 6 間にそれらに接するように、ピーク位置約 $1.2 \mu\text{m}$ 、ピーク不純物濃度約 $5 \times 10^{16} \text{ cm}^{-3}$ の p 型埋め込み層 1 5 が形成されている。その上方の n 型層 1 6 内に、p 型埋め込み層 1 5 とほぼ同じ寸法を有し、ピーク位置約 $0.3 \mu\text{m}$ 、ピーク不純物濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ の p 型ウェル領域 1 7 b が形成されている。これらの p 型埋め込み層 1 5 と p 型ウェル領域 1 7 b は、ともに第 2 のマスクを通してイオン注入により形成されている。 20

【 0 1 2 4 】

p 型ウェル領域 1 7 b の表層部には、ピーク不純物濃度約 $2 \times 10^{17} \text{ cm}^{-3}$ の n 型チャネルドープ層 (チャネル領域 2 1) が形成されている。また、チャネルドープ層 2 1 下に接して p 型ウェル領域 1 7 b にピーク位置約 $0.2 \mu\text{m}$ 、ピーク不純物濃度約 $1 \times 10^{17} \text{ cm}^{-3}$ の p 型高濃度埋め込み層 (ホールポケット領域 1 8) が形成されている。p 型高濃度埋め込み層 (ホールポケット領域 1 8) は第 3 のマスクを通してイオン注入により形成される。 30

【 0 1 2 5 】

このように、ゲート電極 2 5 が形成された状態で、図 6 (b) に示すように、ゲート電極 2 5 をマスクとして、ゲート絶縁膜 2 4 を通して n 型不純物をイオン注入する。これにより、ゲート電極 2 5 の両側にピーク不純物濃度約 $3 \times 10^{18} \text{ cm}^{-3}$ の低濃度 n 型ソース領域 1 9 およびドレイン領域 2 0 を形成する。この固体撮像素子において、p 型基板 1 3 上に図 4 に示すような駆動回路領域を構成する C M O S 回路を形成する場合には、この工程と同時に、n - C M O S 領域 3 1 のゲート電極 4 2 の両側に低濃度 n 型ソース領域 およびドレイン領域 3 5 を形成する。 40

【 0 1 2 6 】

さらに、C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法などにより厚み約 140 nm の絶縁膜を形成し、異方性エッチングを行って、図 6 (c) に示すように、ゲート電極 2 5 の側面にその絶縁膜からなるサイドウォール 2 9 を形成する。

【 0 1 2 7 】

さらに、図 6 (d) に示すように、受光ダイオード 1 1 の受光領域を覆うようにレジストマスク (パターンマスク) 3 0 を形成した後、ゲート電極 2 5、サイドウォール 2 9 およびレジストマスク 3 0 をマスクとして n 型不純物をイオン注入する。これにより、ソース領域 1 9 の中央部およびドレイン領域 2 0 の周辺部にピーク不純物濃度約 8×10^{19} 50

cm^{-3} の高濃度 n 型ソースコンタクト層 22 および高濃度 n 型ドレインコンタクト層 23 が形成される。

【0128】

この固体撮像素子において、p 型基板 13 上に図 4 に示すような駆動回路領域を構成する CMOS 回路を形成する場合には、レジストマスク 30 は CMOS 回路も覆うように形成する。このレジストマスク 30 を除去した後、単位画素部 10 および p - CMOS 領域 32 を覆うようにレジストマスク（マスクパターン）を形成し、n 型不純物イオンを注入することによって、n - CMOS 領域 31 のゲート電極の両側であって、低濃度 n 型ソース領域およびドレイン領域 35 の外側にピーク不純物濃度約 $3 \times 10^{20} \text{cm}^{-3}$ の高濃度 n 型ソースコンタクト層およびドレインコンタクト層 37 を形成することができる。

10

【0129】

以降、図示は省略するが、レジストマスクを除去した後、層間絶縁膜を形成し、コンタクトホール 26a ~ 28a を形成し、ゲート配線 28、ソース配線 26 およびドレイン配線 27 を形成することにより、図 1 ~ 図 3 に示す MOS 型イメージセンサ（および図 4 に示す周辺回路）が作製される。

【0130】

ここで、周辺回路領域（駆動回路領域）を構成する CMOS 回路では、ソース/ドレイン領域とソース/ドレイン電極（配線）とのコンタクト部において、金属 - 半導体界面におけるコンタクト抵抗を可能な限り低くし、かつ、オームの法則に従うオーミック接触を得ることが必要である。したがって、ソースコンタクト層およびドレインコンタクト層 37 の不純物濃度として、固溶度限界付近の約 $3.0 \times 10^{20} \text{cm}^{-3}$ 程度が必要とされる。

20

【0131】

しかしながら、単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 と、その周辺回路領域の n - CMOS 領域におけるソース/ドレインコンタクト層 37 とを同時に形成する従来の固体撮像素子の製造方法では、周辺回路領域を構成する CMOS 回路に合わせて単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 の不純物濃度も約 $3.0 \times 10^{20} \text{cm}^{-3}$ 程度となる。ピーク不純物濃度を約 $3.0 \times 10^{20} \text{cm}^{-3}$ 程度とするためには、イオン注入法において約 $2.0 \times 10^{15} \text{ions/cm}^2$ 程度以上のドーズ量が必要とされるが、この場合には、p 型基板 13 の表面およびイオン注入領域への欠陥導入を回避することが不可能である。

30

【0132】

これに対して、本実施形態では、単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 と、周辺回路領域の n - CMOS 領域におけるソース/ドレインコンタクト層 37 とを異なるイオン注入工程で形成するため、単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 を形成する際に、イオン注入ドーズ量を約 $6.0 \times 10^{14} \text{ions/cm}^2$ 程度とし、ピーク不純物濃度を約 $8.0 \times 10^{19} \text{cm}^{-3}$ 程度とすることが可能になる。これにより、p 型基板 13 の表面およびイオン注入領域への欠陥導入を大幅に抑制することができる。

【0133】

これに対して、本実施形態では、単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 と、周辺回路領域の n - CMOS 領域におけるソース/ドレインコンタクト層 37 とを異なるイオン注入工程で形成するため、単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 を形成する際に、イオン注入ドーズ量を約 $6.0 \times 10^{14} \text{ions/cm}^2$ 程度とし、ピーク不純物濃度を約 $8.0 \times 10^{19} \text{cm}^{-3}$ 程度とすることが可能になる。これにより、p 型基板 13 の表面およびイオン注入領域への欠陥導入を大幅に抑制することができる。

40

【0134】

以上により、本実施形態によれば、周辺駆動回路の特性劣化を招くことなく、固体撮像

50

素子 100 を構成する単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 のピーク不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することが可能となる。この単位画素部 10 のソースコンタクト層 22 およびドレインコンタクト層 23 のピーク不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定することにより、以下のような効果が得られる。

【0135】

まず、ソースコンタクト層 22 の不純物濃度が $9 \times 10^{19} \text{ cm}^{-3}$ 以下であることにより、p 型基板 13 の表面およびイオン注入領域への欠陥導入を大幅に抑制することができ、これにより、ソースコンタクト層 22 と低濃度ソース領域 19 との界面に結晶欠陥が達することにより存在する電子・ホール対の発生中心が、非選択初期化動作時に発生する高電界状態と結びつくことにより暗電流が発生する現象を、回避することが可能となる。

10

【0136】

図 7 は、本実施形態の固体撮像素子 (MOS 型イメージセンサ) 100 におけるソースコンタクト部 22 近傍の積層構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。ここでは、横軸にソースコンタクト部 22 (ソース領域 19 とソース配線 26 とのコンタクト部) からの距離 (μm) を示し、縦軸は非選択初期化動作時の電界強度 (V/cm) と基板表面付近の n 型不純物濃度 (cm^{-3}) を示している。

【0137】

非選択初期化動作時には、図 5 に示すように、ソース配線 26 を通じてソース領域 19 および高濃度ソースコンタクト層 22 に正の高電圧が印加され、同時にチャネルドープ層 21 の電位が接地電位付近に保たれる。このような状態では、図 7 の非選択初期化動作時の電界強度分布に示すように、高濃度ソースコンタクト層 22 からチャネルドープ層 21 にかけて急激に電界が高くなる。

20

【0138】

また、図 7 の基板表面付近の n 型不純物濃度分布に示すように、MOS トランジスタ 12 のソース/ゲート領域では高濃度ソースコンタクト層 22 からチャネルドープ層 21 にかけて不純物濃度が低下しており、高濃度ソースコンタクト層 22 の表面不純物濃度は、従来と同様に約 $3.0 \times 10^{20} \text{ cm}^{-3}$ 程度である。また、低濃度ドレイン領域 20 の表面不純物濃度は、 $4 \times 10^{19} \text{ cm}^{-3}$ 以上 (例えば約 $8.0 \times 10^{19} \text{ cm}^{-3}$ 程度) である。また、チャネルドープ層 21 の表面不純物濃度は、従来と同様に約 $3.0 \times 10^{17} \text{ cm}^{-3}$ 程度である。

30

【0139】

このように、ソースコンタクト層 22 の不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上であることにより、固体撮像素子 100 の撮像動作サイクル中、ソース電極 (ソース配線 26) とチャネルドープ層 21 (チャネル領域) との電位差が最大となる非選択初期化動作時において、サイドウォールエッチング時のエッチングダメージによりソース領域表面に発生する界面準位およびソースコンタクトホール形成のためのドライエッチングにより発生するコンタクト部の周辺部の界面準位などが存在する領域において、図 7 に示すように電界強度が $2 \times 10^3 \text{ V/cm}$ 以下に抑制され、暗電流の発生が回避される。

40

【0140】

なお、上記実施形態では特に説明しなかったが、本実施形態の固体撮像素子 100 を、その製品として携帯型電話装置などの携帯型電子機器の撮像部に用いることができる。これについて図 8 を用いて説明する。

【0141】

図 8 は、本実施形態の固体撮像素子 100 を用いた携帯型電子機器の構成例を示すブロック図である。

【0142】

図 8 に示すように、この携帯型電子機器 150 は、上述した本実施形態の固体撮像素子

50

１００と、この固体撮像素子１００から得られる撮像信号を信号処理する画像処理部１５１と、ユーザからの入力操作命令を受け取る操作部１５２と、ワークメモリとして機能するＲＡＭ１５３と、コンピュータプログラムメモリとして機能するコンピュータ読み出し可能な可読記録媒体としてのＲＯＭ１５４と、画像を表示可能とする表示部１５５と、これらの画像処理部１５１、操作部１５２、ＲＡＭ１５３、ＲＯＭ１５４および表示部１５５をそれぞれ制御可能とする制御部１５６とを備えている。なお、制御部１５６は、各携帯型電子機器１５０間などで画像を通信可能とする通信部（図示せず）を備えていてもよい。

【０１４３】

制御部１５６は、ＣＰＵ（中央演算処理装置）を有しており、操作部１５２からの入力操作指令に基づいて、画像を表示部１５５にて画像表示させたり、通信部によって画像を別のデバイスに通信させたりする。ＲＯＭ１５４およびＲＡＭ１５３には、制御プログラムおよびデータが格納されており、制御部１５６は、ＲＯＭ１５４およびＲＡＭ１５３の制御プログラムおよびそのデータに基づいて、画像処理部１５１および表示部１５５などを制御することができる。

【０１４４】

この携帯型電子機器１５０によれば、本実施形態の固体撮像素子１００において、暗電流が少なく、初期化動作時の電圧に依存する白点欠陥が抑制され、安定した高い感度特性の撮像信号が得られるため、良好な表示品位の画像を表示部１５５に画像表示させたり、通信部によって別のデバイスに通信させたりすることができる。

【０１４５】

このように、例えばビデオカメラ、デジタルカメラ、画像入力カメラ、スキャナ、ファクシミリ、カメラ付き携帯電話機などの画像入力デバイス装置や、このような画像入力デバイス装置を搭載したパーソナルコンピュータなどの各種デバイス（電子情報機器）としての携帯型電子機器１５０の撮像部に本実施形態の固体撮像素子１００を広く利用することができる。

【０１４６】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【産業上の利用可能性】

【０１４７】

本発明は、例えば閾値電圧変調方式のＭＯＳ型イメージセンサなどの固体撮像素子とその製造方法、これを撮像部に用いた例えばビデオカメラ、デジタルカメラ、カメラ付き携帯電話装置などの電子情報機器の分野において、周辺回路の特性劣化を招くことなく、固体撮像素子を構成する単位画素部のソースコンタクト層のピーク不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上 $9 \times 10^{19} \text{ cm}^{-3}$ 以下に設定し、これによって、暗電流が少なく、初期化動作時の電圧に依存する白点欠陥の発生を抑制し、安定して高い感度特性が得られる固体撮像素子１００を作製し、これを用いた携帯型電子機器などの電子情報機器を実現することが可能となる。

【０１４８】

本発明の固体撮像素子１００は、例えばビデオカメラ、デジタルカメラ、画像入力カメラ、スキャナ、ファクシミリ、カメラ付き携帯電話機などの画像入力デバイス装置や、このような画像入力デバイス装置を搭載したパーソナルコンピュータなどの各種デバイスとしての電子情報機器に広く利用することが可能である。

【図面の簡単な説明】

【 0 1 4 9 】

【図 1】本発明の固体撮像素子の一実施形態である MOS 型イメージセンサの構成例を模式的に示す平面図である。

【図 2】図 1 の固体撮像素子における単位画素部のレイアウト例を示す平面図である。

【図 3】図 2 の単位画素部の A A ' 線断面図である。

【図 4】本発明の固体撮像素子の一実施形態において、周辺回路領域に設けられる CMOS 回路の構成例を示す要部断面図である。

【図 5】図 2 の単位画素部が行方向および列方向に複数配列された MOS 型イメージセンサの撮像動作時における入出力タイミングを示すタイミング図である。

【図 6】(a) ~ (d) は、図 1 の固体撮像素子の要部製造工程について説明するための各工程の基板部の断面図である。 10

【図 7】図 1 の固体撮像素子におけるソースコンタクト部近傍の構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。

【図 8】本実施形態の固体撮像素子を用いた携帯型電子機器の構成例を示すブロック図である。

【図 9】従来の閾値電圧変調方式の MOS 型イメージセンサにおける単位画素部のレイアウト例を示す平面図である。

【図 1 0】図 9 の単位画素部の A A ' 線断面図である。

【図 1 1】従来の固体撮像素子において、周辺回路領域に設けられる CMOS 回路の構成例を示す断面図である。 20

【図 1 2】図 9 の単位画素部が行方向および列方向に複数配列された MOS 型イメージセンサの撮像動作時における入出力タイミングを示すタイミング図である。

【図 1 3】(a) ~ (d) は、従来の固体撮像素子の要部製造工程について説明するための各工程の基板部の断面図である。

【図 1 4】従来の固体撮像素子におけるソースコンタクト部近傍の構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。

【図 1 5】高濃度ソースコンタクト層を設けない場合の MOS 型イメージセンサにおけるソースコンタクト部近傍の構造、対応する基板表面付近の n 型不純物濃度分布、および非選択初期化動作時の電界分布を示す図である。

【符号の説明】 30

【 0 1 5 0 】

1 0 単位画素部

1 1 受光ダイオード

1 2 光信号検出用 MOS トランジスタ

1 3 p 型基板

1 4 n 型層

1 5 p 型埋め込み層

1 6 n 型層

1 7 a , 1 7 b p 型ウェル領域

1 8 キャリアポケット領域 40

1 9 n 型ソース領域

2 0 光信号検出用 MOS トランジスタの n 型ドレイン領域および受光ダイオードの n 型領域

2 1 チャネルドープ層 (チャネル領域)

2 2 n 型ソースコンタクト層

2 3 n 型ドレインコンタクト層

2 4 ゲート絶縁膜

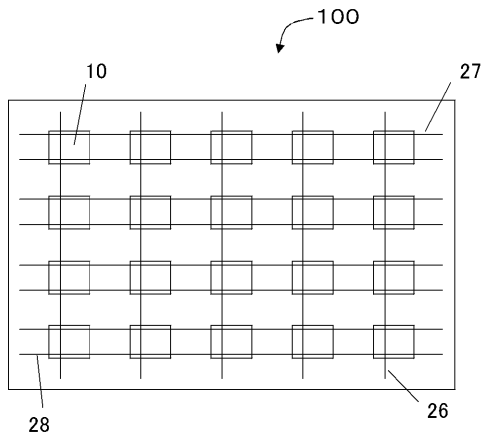
2 5 ゲート電極

2 6 ソース配線

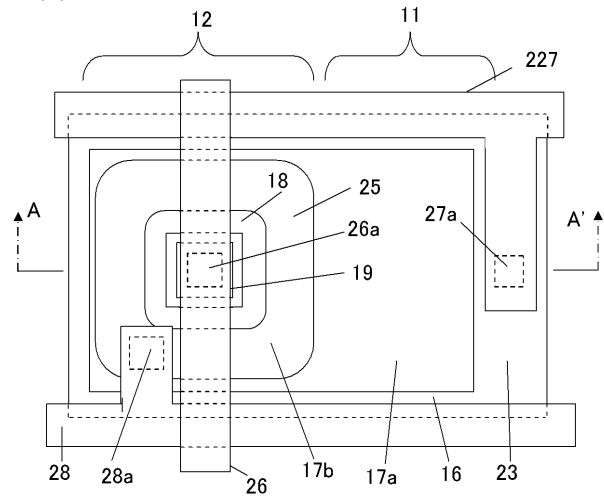
2 6 a ソースコンタクトホール 50

2 7	ドレイン配線	
2 7 a	ドレインコンタクトホール	
2 8 a	ゲートコンタクトホール	
2 8	ゲート配線	
2 9	サイドウォール	
3 0	レジストマスク	
3 1	n - M O S 領域	
3 2	p - M O S 領域	
3 3	p 型層	
3 4	n 型層	10
3 5	n 型ソース / ドレイン領域	
3 6	チャネル領域	
3 7	n 型ソース / ドレインコンタクト層	
3 8	p 型ソース / ドレイン領域	
3 9	チャネル領域	
4 0	p 型ソース / ドレインコンタクト層	
4 1	ゲート絶縁膜	
4 2	ゲート電極	
4 3	サイドウォール	
4 4	フィールド酸化膜	20
4 5 a	ソース / ドレインコンタクトホール	
4 5	ソース / ドレイン配線	
1 0 0	固体撮像素子	
1 5 0	携帯型電子機器	
1 5 1	画像処理部	
1 5 2	操作部	
1 5 3	R A M	
1 5 4	R O M	
1 5 5	表示部	
1 5 6	制御部	30

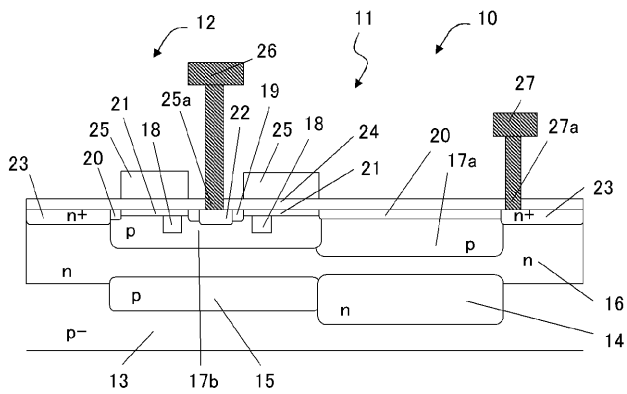
【図 1】



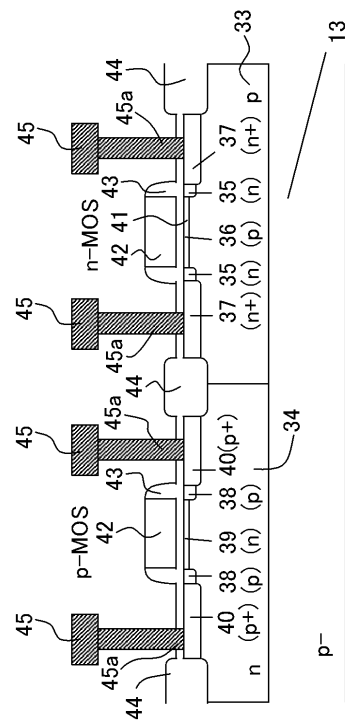
【図 2】



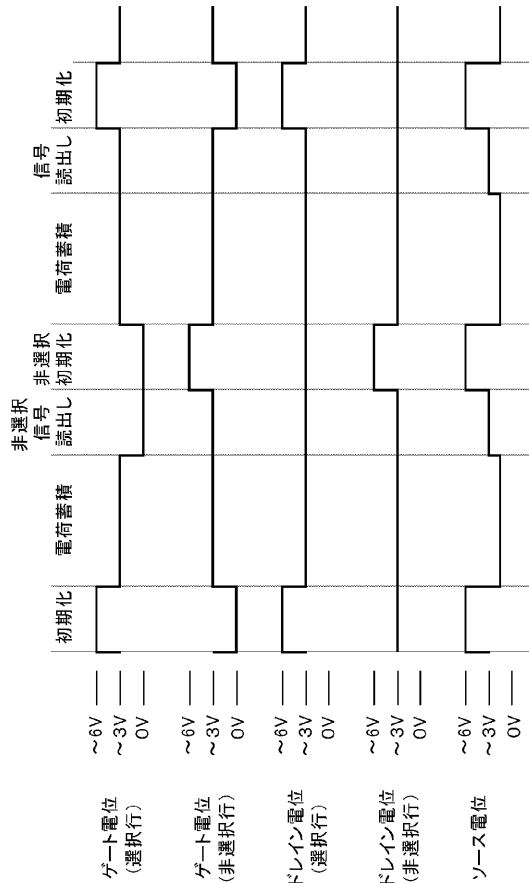
【図 3】



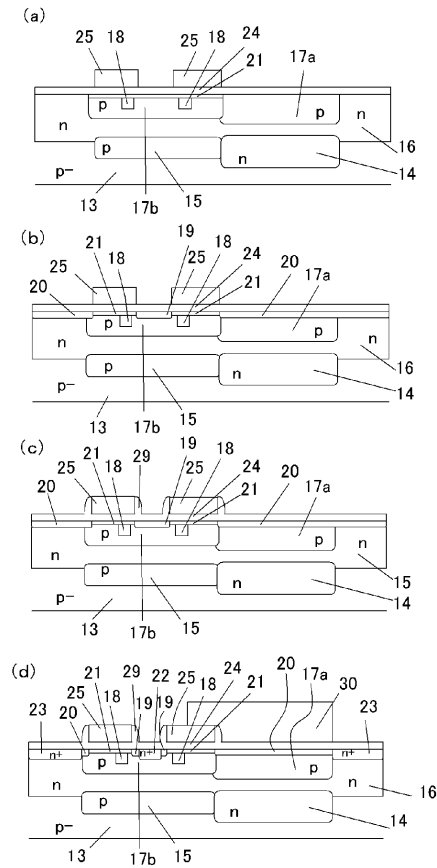
【図 4】



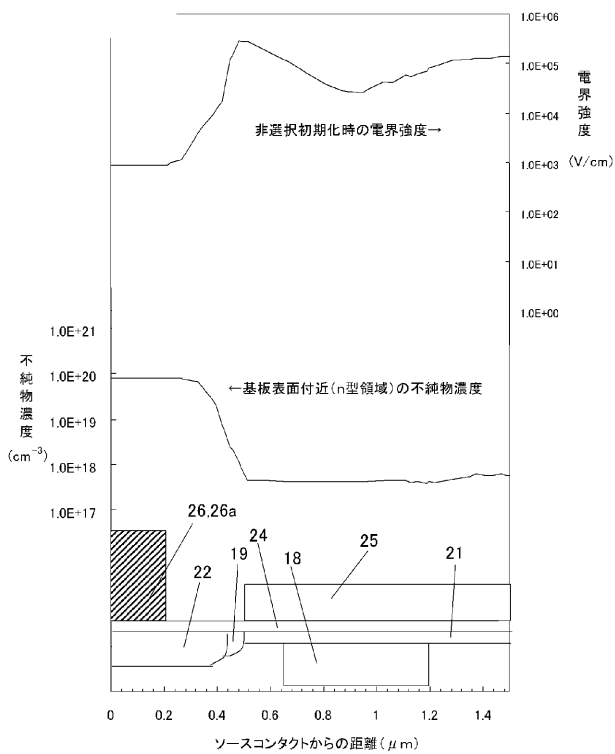
【図 5】



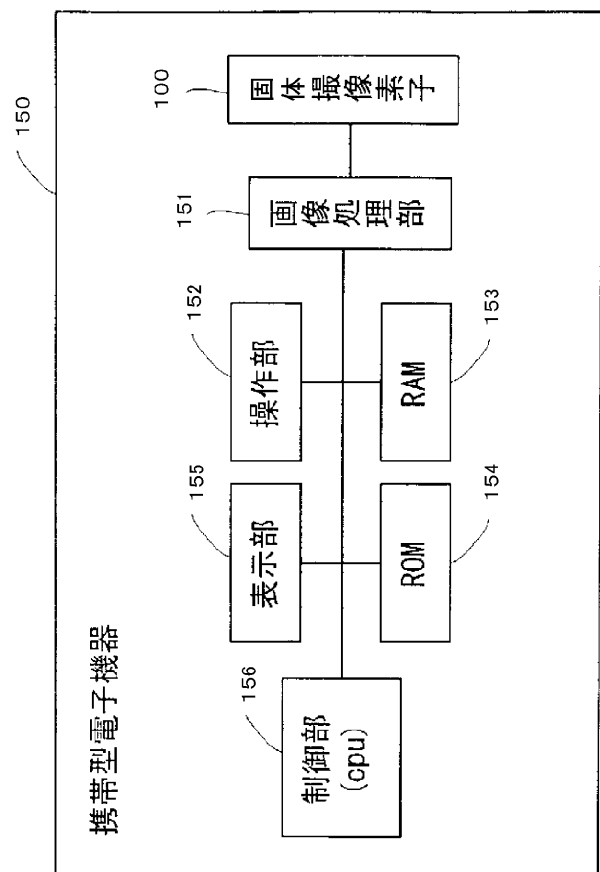
【図 6】



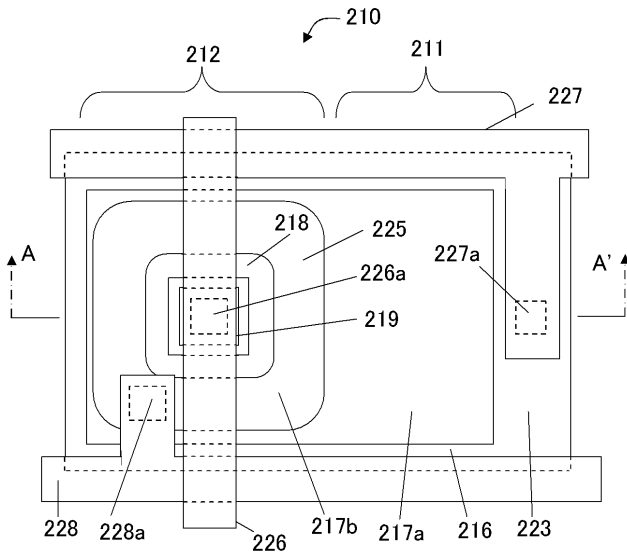
【図 7】



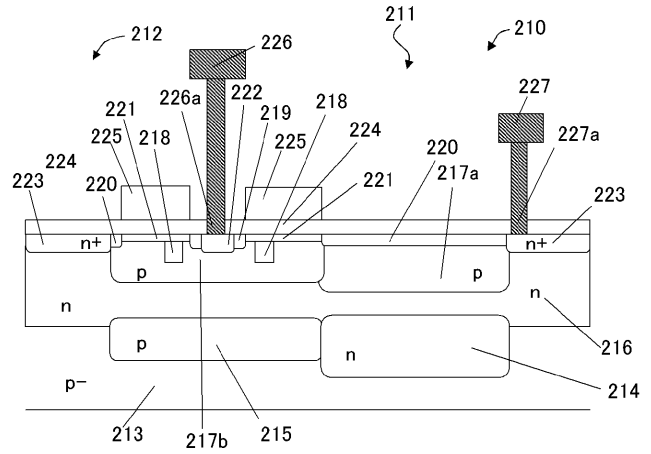
【図 8】



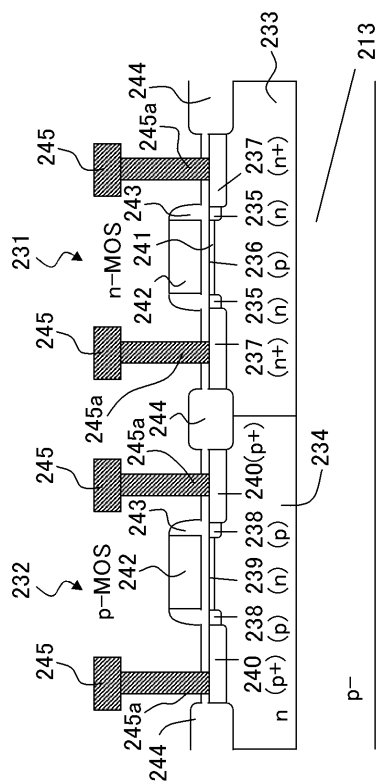
【図 9】



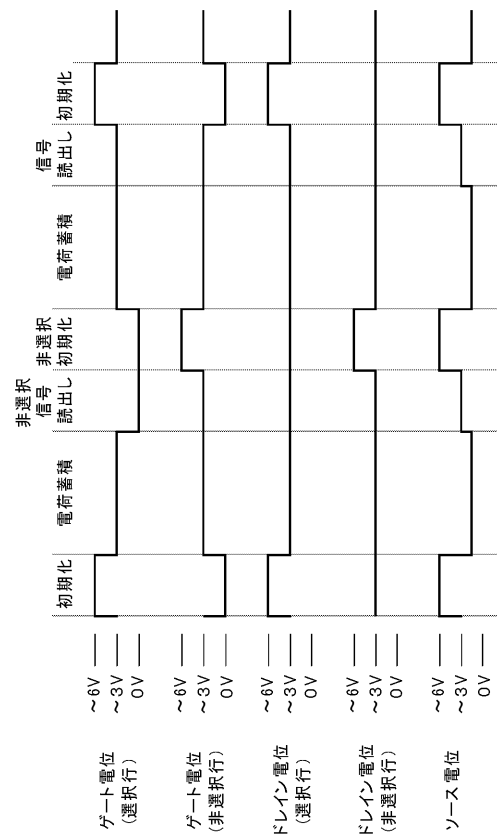
【図 10】



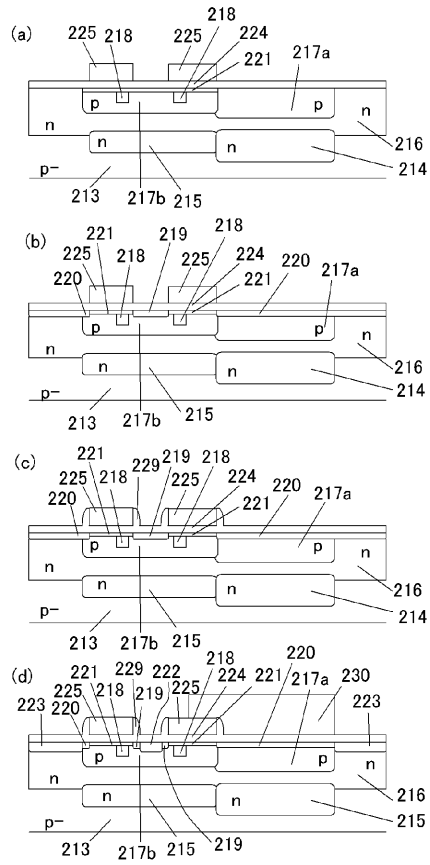
【図 11】



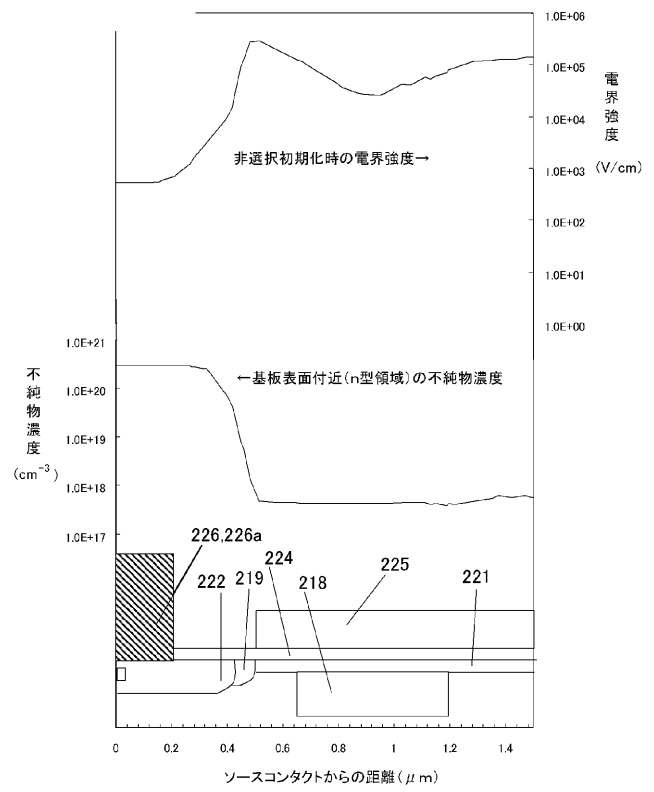
【図 12】



【図 13】



【図 14】



【図 15】

