



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210716

(11)

(B1)

(51) Int. Cl.³
G 06 F 9/06

(22) Přihlášeno 26 09 78
(21) (PV 6210-78)

(40) Zveřejněno 31 03 81

(45) Vydáno 15 08 83

(75)

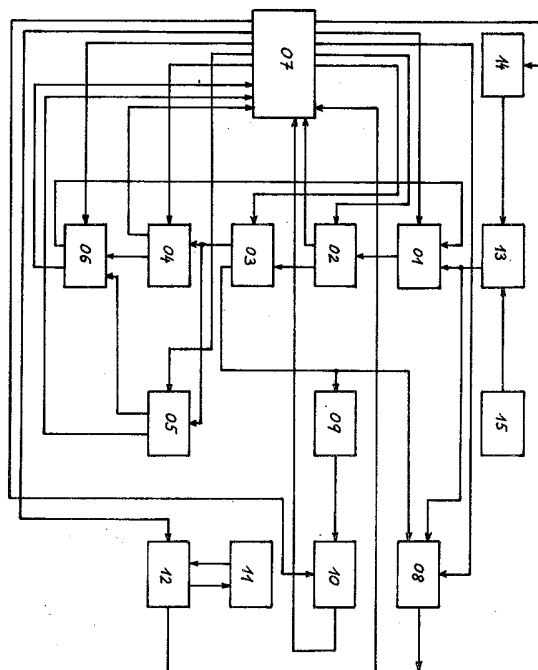
Autor vynálezu

PLISCHKE VRATISLAV ing., THIEL JIŘÍ ing., PRAHA, NĚMEC JAN ing.,
TÁBOR

(54) Zapojení jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje

Toto zapojení umožňuje opravovat program z děrné pásky, případně i tvořit program pomocí klávesnice ručního zadávání údajů na panelu. Upravený nebo vytvořený program se vyděruje v požadovaném tvaru kódu, který může být i jiný než na původní pásce, děrovačem do děrné pásky.

Původní program je nahrán do paměti dat, zatímco prováděné opravy jsou zaznamenány v paměti oprav. Záznam do paměti dat i oprav i výběr z paměti dat i oprav probíhá vždy přes vyrovnávací paměť s kapacitou rovnou maximální možné délce jednoho bloku dat. V této vyrovnávací paměti se provádějí všechny možné úpravy bloku dat pomocí klávesnice ručního nahrávání údajů.



Předmětem vynálezu je zapojení jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje.

Převážná většina známých číslicových řídicích systémů neumožňuje odlaďovat a vytvářet program přímo u obráběcího stroje. Každou změnu programu je nutno provádět na speciálním pracovišti, obecně vzdáleném od obráběcího stroje. Odlaďování programů přímo u obráběcího stroje umožňují pouze složitější, komplexně řešené a tím i značně dražší číslicové řídicí systémy s mikroprocesory.

Tento nedostatek shora uvedené většiny číslicových řídicích systémů může být odstraněn zapojením jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje, sestávající z vstupních obvodů vyrovnávací paměti, vyrovnávací paměti, výstupních obvodů vyrovnávací paměti, bloku paměti dat, bloku paměti oprav, výběrových obvodů paměti, řadiče, vstupních hradel registrů systému, dekodéru pro děrovač, děrovače děrné pásky, panelu odlaďování a paměti navolených režimů, například tlačítka podle vynálezu, jehož podstatou je, že výstupy ze vstupních obvodů dat systému, do jehož jedné vstupů jsou zapojeny výstupy snímače děrné pásky a do druhých vstupů výstupy z klávesnice ručního zadávání údajů, jsou zapojeny do prvních vstupů vstupních obvodů vyrovnávací paměti a do prvních vstupů vstupních hradel registrů systému, zatímco do druhých vstupů vstupních obvodů vyrovnávací paměti jsou zapojeny první výstupy bloku výběrových obvodů paměti, přičemž výstupy ze vstupních obvodů vyrovnávací paměti jsou zapojeny do jedné vstupů vyrovnávací paměti, zatímco první výstupy vyrovnávací paměti jsou zapojeny do prvních vstupů výstupních obvodů vyrovnávací paměti, přičemž první výstupy výstupních obvodů vyrovnávací paměti jsou jednak zapojeny do druhých vstupů vstupních hradel registrů systému, jejichž výstupy jsou potom zapojeny do příslušných registrů systému, a jednak jsou první výstupy výstupních obvodů vyrovnávací paměti zapojeny do vstupů dekodéru děrovače, jehož výstupy jsou zapojeny do datových vstupů děrovače děrné pásky, do jehož druhého vstupu je zapojen desátý výstup řadiče, zatímco druhé výstupy výstupních obvodů vyrovnávací paměti jsou zapojeny do prvních vstupů bloku paměti dat a do prvních vstupů bloku paměti oprav, jejichž první výstupy jsou zapojeny do prvních a druhých vstupů bloku výběrových obvodů paměti a jejichž druhé výstupy jsou zapojeny do prvního a druhého vstupu řadiče, do jehož třetího vstupu je zapojen druhý výstup z bloku výběrových obvodů paměti a do jehož čtvrtého vstupu je zapojen výstup z děrovače děrné pásky, a do jehož pátého vstupu je zapojen druhý výstup vyrovnávací paměti, zatímco do šestého vstupu řadiče je zapojen první výstup bloku paměti navolených režimů například tlačítka, přičemž druhé výstupy bloku paměti navolených režimů například tlačítka jsou zapojeny do vstupů panelu odlaďování, jehož výstupy jsou zapojeny do prvních vstupů bloku paměti režimů, zatímco první výstup řadiče je zapojen do ovládacího vstupu snímače děrné pásky, druhý výstup řadiče je zapojen do třetího vstupu vstupních obvodů vyrovnávací paměti, třetí výstup řadiče je zapojen do třetího vstupu vstupních hradel registrů systému, čtvrtý výstup řadiče je zapojen do druhého vstupu vyrovnávací paměti, pátý výstup řadiče je zapojen do druhého vstupu výstupních obvodů vyrovnávací paměti, šestý výstup řadiče je zapojen do druhého vstupu bloku paměti dat, sedmý výstup řadiče je zapojen do druhého vstupu bloku paměti oprav, osmý výstup řadiče je zapojen do třetího vstupu bloku výběrových obvodů paměti a devátý výstup je zapojen do druhého vstupu bloku paměti navolených režimů například tlačítka.

Výhodou zapojení podle vynálezu je, že je lze použít jako doplněk ke stávajícím číslicovým řídicím systémům, čímž se jejich funkční vlastnosti kvalitativně zlepší. Toto zapojení umožňuje opravovat program z děrné pásky případně i tvořit program pomocí klávesnice ručního zadávání údajů na panelu. Upravený nebo vytvořený program se vyděruje v požadovaném kódu, který může být i jiný než na původní pásce, děrovačem do děrné pásky. Původní program je nahrán do paměti dat, zatímco prováděné opravy jsou zaznamenány v paměti oprav. Data zůstávají v pamětech, dokud nejsou vymazána nebo přehrána jinými daty. Toto uspořádání paměti umožňuje obrábět podle programu čteného z paměti dat a oprav, čímž odpadá část manipulace s děrnou páskou. Zůstává ovšem i původní možnost řídicího systému a to obrábět přímo podle programu z děrné pásky. Této možnosti lze využít zejména při poruše v některém z obvodů odlaďovací jednotky, například v pamětech dat. Zapojení odlaďovací jednotky umožňuje i použití jednotky jako velkokapacitní vyrovnávací paměti pro vstupní programy z externích zdrojů informace, například snímač děrné pásky nebo počítač.

Zapojení jednotky pro odlaďování programů je znázorněno na připojeném výkrese.

Vstupní obvody 13 dat systému zpracovávají datové signály ze snímače 14 děrné pásky a z klávesnice 15 ručního zadávání údajů a převádějí je do vnitřního kódu systému na výstupu vstupních obvodů 13 dat systému. Tyto výstupy vstupních obvodů 13 dat systému jsou zapojeny do prvních vstupů vstupních hradel 08 registrů systému a při vypnuté odlaďovací jednotce jsou tyto první vstupy logicky ekvivalentní výstupům vstupních hradel 08 registrů systému, které jsou zapojeny do příslušných registrů systému. Výstupy vstupních obvodů 13 dat systému jsou také zapojeny do prvních vstupů vstupních obvodů 01 vyrovnávací paměti, do jehož druhých vstupů jsou zapojeny první výstupy bloku 06 výběrových obvodů paměti. Vstupní obvody 01 vyrovnávací paměti umožňují nahrát do prvních vstupů 021 vyrovnávací paměti 02 data ve vnitřním kódu systému buď ze vstupních obvodů 13 dat systému nebo z bloku s kapacitou rovnou maximální možné délce jednoho bloku dat. Ve vyrovnávací paměti 02 se provádí všechny možné úpravy bloku dat pomocí klávesnice 15 ručního nahrávání údajů.

Z vyrovnávací paměti 02 lze vymazat jedno nebo více slov, nebo lze do ní jedno či více slov vložit. Jednotlivá slova lze též číselně opravovat. První výstupy vyrovnávací paměti 02 jsou zapojeny do prvních vstupů výstupních obvodů 03 vyrovnávací paměti, jejíž první výstupy jsou jednak zapojeny do druhých vstupů vstupních hradel 08 registrů systému a jednak do vstupů dekodéru 09 děrovače, který převádí data z vnitřního kódu systému do požadovaného kódu pro děrování, jenž se jeví na výstupech dekodéru 09 děrovače a na prvních vstupech děrovače 10 děrné pásky, kam jsou výstupy dekodéru 09 děrovače zapojeny. Pokud je odlaďovací jednotka zapojena, jsou signály přivedené na druhé vstupy vstupních hradel 08 registrů systému logicky ekvivalentní signálům na výstupech vstupních hradel 08 registrů systému, které jsou zapojeny do příslušných registrů systému.

Druhé výstupy výstupních obvodů 03 vyrovnávací paměti jsou zapojeny do prvních vstupů bloku 04 paměti dat a do prvních vstupů bloku 05 paměti oprav. Bloky 04 paměti dat a 05 paměti oprav obsahují kromě vlastních pamětí též čítače adres těchto pamětí. V paměti dat jsou v bloku 04 nahrány všechny bloky dat původního programu a v paměti oprav bloku 05 jsou nahrány pouze ty bloky dat, ve kterých byla ve vyrovnávací paměti 02 provedena nějaká úprava, popřípadě mohl být tento blok dat nahrán celý znova do vyrovnávací paměti 02 pomocí klávesnice 15 ručního zadávání údajů. Nahráním určitého údaje do paměti oprav v bloku 05 lze zrušit celý příslušný blok v paměti dat v bloku 04. První výstupy bloku 04 paměti dat jsou zapojeny do prvních vstupů bloku 06 výběrových obvodů paměti a první výstupy bloku 05 paměti oprav jsou zapojeny do druhých vstupů bloku 06 výběrových obvodů paměti, který zajišťuje, že na prvních výstupech tohoto bloku se objeví pouze platná data včetně oprav.

Upozorňujeme zde na fakt, že jak nahrávání do bloku 04 paměti dat a do bloku 05 paměti oprav, tak výběr z těchto bloků 04 a 05 probíhá vždy přes vstupní obvody 01 vyrovnávací paměti, dále přes vyrovnávací paměť 02 a výstupní obvody 03 této vyrovnávací paměti, přičemž při nahrávání dat do bloku 04 paměti dat nebo do bloku 05 paměti oprav vystupují data z druhých výstupů výstupních obvodů 03 vyrovnávací paměti, zatímco z prvních výstupů výstupních obvodů 03 vyrovnávací paměti vystupují data při výběru dat z bloku 04 paměti dat nebo z bloku 05 paměti oprav přes blok 06 výběrových obvodů paměti. Na panelu 11 odlaďování jsou umístěna tlačítka jednotlivých režimů činnosti jednotky podle vynálezu a zároveň indikace těchto režimů vyhodnocených v bloku 12 paměti navolených režimů například tlačítka. Činnost všech bloků je řízena mikroprogramem uloženým například v paměti PROM řadiče 07. Obsah jednotlivých bloků dat v pamětech dat a v pamětech oprav bloků 04 a 05 může být indikován buď z vyrovnávací paměti 02, nebo také až z registrů systému, které ale netvoří součást tohoto zapojení, vždy po výběru obsahu jednoho bloku dat z těchto bloků 04 nebo 05.

PŘEDMĚT VYNÁLEZU

Zapojení jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje, sestávající ze vstupních obvodů vyrovnávací paměti, vyrovnávací paměti, výstupních obvodů vyrovnávací paměti, bloku paměti dat, bloku paměti oprav, výběrových obvodů pamětí, řadiče, vstupních hradel registrů systému, dekodéru pro děrovač, děrovače děrné pásy, panelu odlaďování a pamětí navolených režimů například tlačítka, vyznačené tím, že výstupy ze vstupních obvodů (13) dat systému, do jehož prvních vstupů jsou zapojeny výstupy snímače (14) děrné pásy a do druhých vstupů výstupy z klávesnice (15) ručního zadávání údajů, jsou zapojeny do prvních vstupů vstupních obvodů (01) vyrovnávací paměti a do prvních vstupů vstupních hradel (08) registrů systému, zatímco do druhých vstupů vstupních obvodů (01) vyrovnávací paměti jsou zapojeny první výstupy bloku (06) výběrových obvodů pamětí, přičemž výstupy ze vstupních obvodů (01) vyrovnávací paměti jsou zapojeny do prvních vstupů vyrovnávací paměti (02), zatímco první výstupy vyrovnávací paměti (02) jsou zapojeny do prvních vstupů výstupních obvodů (03) vyrovnávací paměti, přičemž první výstupy výstupních obvodů (03) vyrovnávací paměti jsou jednak zapojeny do druhých vstupů vstupních hradel (08) registrů systému, jejichž výstupy jsou potom zapojeny do příslušných registrů systému, a jednak jsou první výstupy výstupních obvodů (03) vyrovnávací paměti zapojeny do vstupů dekodéru (09) děrovače, jehož výstupy jsou zapojeny do datových vstupů děrovače (10) děrné pásy, do jehož druhého vstupu je zapojen desátý výstup řadiče (07), zatímco druhé výstupy výstupních obvodů (03) vyrovnávací paměti jsou zapojeny do prvních vstupů bloku (04) paměti dat a do prvních vstupů bloku (05) paměti oprav, přičemž první výstupy bloku (04) paměti dat a první výstupy bloku (05) paměti oprav jsou zapojeny do prvních a druhých vstupů bloku (06) výběrových obvodů pamětí a jejichž druhé výstupy jsou zapojeny do prvního a druhého vstupu řadiče (07), do jehož třetího vstupu je zapojen druhý výstup z bloku (06) výběrových obvodů pamětí a do jehož čtvrtého vstupu je zapojen výstup z děrovače (10) děrné pásy, a do jehož pátého vstupu je zapojen druhý výstup vyrovnávací paměti (02), zatímco do šestého vstupu řadiče (07) je zapojen první výstup bloku (12) pamětí navolených režimů například tlačítka, přičemž druhé výstupy bloku (12) pamětí navolených režimů například tlačítka jsou zapojeny do vstupů panelu odlaďování (11), jehož výstupy jsou zapojeny do prvních vstupů bloku (12) pamětí režimů, zatímco první výstup řadiče (07) je zapojen do ovládacího vstupu snímače (14) děrné pásy, druhý výstup řadiče (07) je zapojen do třetího vstupu vstupních obvodů (01) vyrovnávací paměti, třetí výstup řadiče (07) je zapojen do třetího vstupu vstupních hradel (08) registrů systému, čtvrtý výstup řadiče (07) je zapojen do druhého vstupu vyrovnávací paměti (02), pátý výstup řadiče (07) je zapojen do druhého vstupu výstupních obvodů (03) vyrovnávací paměti, šestý výstup řadiče (07) je zapojen do druhého vstupu bloku (04) paměti dat, sedmý výstup řadiče (07) je zapojen do druhého vstupu bloku (05) paměti oprav, osmý výstup řadiče (07) je zapojen do třetího vstupu bloku (06) výběrových obvodů pamětí a devátý výstup řadiče (07) je zapojen do druhého vstupu bloku (12) pamětí navolených režimů například tlačítka.

1 list výkresů

