

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3725708号
(P3725708)

(45) 発行日 平成17年12月14日(2005.12.14)

(24) 登録日 平成17年9月30日(2005.9.30)

(51) Int. Cl.⁷

F I

HO 1 L 21/822	HO 1 L 27/04	C
HO 1 L 21/762	HO 1 L 29/78	3 O 1 G
HO 1 L 27/04	HO 1 L 21/76	D
HO 1 L 29/78		

請求項の数 2 (全 24 頁)

<p>(21) 出願番号 特願平10-276045 (22) 出願日 平成10年9月29日(1998.9.29) (65) 公開番号 特開2000-114463(P2000-114463A) (43) 公開日 平成12年4月21日(2000.4.21) 審査請求日 平成14年1月23日(2002.1.23)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100058479 弁理士 鈴江 武彦 (74) 代理人 100084618 弁理士 村松 貞男 (74) 代理人 100068814 弁理士 坪井 淳 (74) 代理人 100092196 弁理士 橋本 良郎 (74) 代理人 100091351 弁理士 河野 哲 (74) 代理人 100088683 弁理士 中村 誠</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、前記半導体基板の素子領域を取り囲む素子分離絶縁層と、前記素子領域上に形成される絶縁膜と、前記絶縁膜上に形成される導電膜とを具備し、前記素子領域の全体、前記絶縁膜及び前記導電膜によりキャパシタを構成し、前記素子領域は、複数の辺及び複数の角を有する多角形を有し、前記導電膜は、前記素子領域の互いに隣接する二つの辺を覆い、かつ、前記素子領域の互いに隣接する二つの辺の交点である角を覆わないことを特徴とする半導体装置。

【請求項2】

半導体基板と、前記半導体基板の素子領域を取り囲む素子分離絶縁層と、前記素子領域上に形成される絶縁膜と、前記絶縁膜上に形成される導電膜とを具備し、前記素子領域の全体、前記絶縁膜及び前記導電膜によりキャパシタを構成し、前記素子領域は、複数の辺及び複数の角を有するリング形状を有し、前記導電膜は、前記リング形状の内側の互いに隣接する二つの辺を覆い、かつ、前記リング形状の内側の互いに隣接する二つの辺の交点である角を覆わないことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、素子分離領域と素子領域に跨って配置される導電膜を備え、かつ、素子領域で、半導体基板、絶縁層、導電膜からなるキャパシタ構造を有するような半導体装置に関し

10

20

、特に、M O S F E TやM O Sキャパシタに使用されるものである。

【 0 0 0 2 】

【 従来 の 技術 】

・ 例 1

図 3 1 は、従来の M O S キャパシタのレイアウトの一例を示している。図 3 2 は、図 3 1 の A - A ' 線に沿う断面図である。

【 0 0 0 3 】

シリコン基板 1 1 上には、S T I (Shallow Trench Isolation) 構造の素子分離絶縁膜 1 2 が形成される。素子分離絶縁膜 1 2 は、素子分離領域となり、素子領域を取り囲んでいる。素子領域は、四角形のレイアウトを有しており、四つの辺と四つの角を有している。

10

【 0 0 0 4 】

素子領域におけるシリコン基板 1 1 内には、シリコン基板 1 1 の導電型と同じ導電型を有し、かつ、シリコン基板 1 1 の不純物濃度よりも高い不純物濃度を有する拡散層 1 3 が形成される。拡散層 1 3 には、シリコン基板 1 1 の電位を設定するために設けられる配線 1 4 が接続される。

【 0 0 0 5 】

素子領域におけるシリコン基板 1 1 上には、シリコン酸化膜 1 5 が形成される。また、素子分離絶縁膜 1 2 上及びシリコン酸化膜 1 5 上には、導電膜 1 6 が形成される。導電膜 1 6 は、金属や、不純物を含む半導体などから構成される。導電膜 1 6 は、素子分離領域と素子領域に跨って配置され、素子領域では、シリコン基板 1 1、シリコン酸化膜 1 5、導電膜 1 6 からなるキャパシタ構造が形成される。また、導電膜 1 6 は、素子領域の三つの辺 C と二つの角 B を覆っている。

20

【 0 0 0 6 】

導電膜 1 6 上には、層間絶縁膜 (T E O S 膜、B P S G 膜など) 1 7 が形成される。層間絶縁膜 1 7 上には、配線 1 4 , 1 8 が形成される。配線 1 4 は、コンタクトホール 1 9 を経由して拡散層 1 3 に接続され、配線 1 8 は、コンタクトホール 2 0 を経由して導電膜 1 6 に接続される。

【 0 0 0 7 】

上記構造を有する M O S キャパシタでは、導電膜 1 6 は、素子領域の三つの辺 C と二つの角 B を覆っている。これは、導電膜 1 6 のパターンニング時に合せずれが生じても、最大のキャパシタ面積を確保するためである。

30

【 0 0 0 8 】

しかし、このような構造では、シリコン基板 1 1 と導電膜 1 6 の間に電圧を加えた場合、図 3 1 の平面で見たときは、導電膜 1 6 に覆われた素子領域の辺 C 及び角 B の部分、図 3 2 の断面で見たときは、導電膜 1 6 に覆われた素子領域の端 D の部分のシリコン酸化膜 1 5 に電界が集中するという問題がある。特に、素子領域の角 B においては、この電界集中は、顕著に起こる。

【 0 0 0 9 】

素子領域の角 B で電界集中が顕著に起こる理由は、素子領域の角 B では、平面的に見ても、また、断面的に見ても、素子領域の縁がテーパ状になっており、かつ、この角 B を導電膜 1 6 が覆っているためである。この点については、製造方法の説明で詳述する。

40

【 0 0 1 0 】

また、素子領域の角 B において、M O S キャパシタのキャパシタ絶縁膜 (シリコン酸化膜 1 5) に電界が集中すると、その角 B の部分のキャパシタ絶縁膜の絶縁破壊が発生し易くなる。よって、この電界集中は、半導体装置の信頼性や製造歩留りの低下の原因となる。

【 0 0 1 1 】

以下、図 3 1 及び図 3 2 の M O S キャパシタの製造方法について説明する。

【 0 0 1 2 】

まず、図 3 3 に示すように、熱酸化により、シリコン基板 1 1 上にバッファシリコン酸化膜 2 1 を形成する。また、L P C V D 法により、バッファシリコン酸化膜 2 1 上に、C M

50

P (chemical mechanical polishing) 時のマスク材として機能するシリコン窒化膜 2 2 を形成する。

【 0 0 1 3 】

次に、図 3 4 に示すように、フォトリソグラフィ工程により、シリコン窒化膜 2 2 上に、素子分離領域と素子領域を区画するためのレジストパターンを形成し、かつ、このレジストパターンをマスクにして、異方性エッチング (R I E など) により、シリコン窒化膜 2 2、バッファシリコン酸化膜 2 1 及びシリコン基板 1 1 を順次エッチングする。その結果、シリコン基板 1 1 中には、素子分離領域となるトレンチ 2 3 が形成される。この後、レジストパターンは、除去される。

【 0 0 1 4 】

次に、図 3 5 及び図 3 6 に示すように、L P C V D 法により、シリコン基板 1 1 上の全面に、トレンチ 2 3 を完全に満たすシリコン酸化膜を形成する。この後、C M P により、シリコン窒化膜 2 2 をストップとする条件の下で、このシリコン酸化膜を研磨する。その結果、シリコン酸化膜は、トレンチ 2 3 内のみに残存し、S T I 構造の素子分離絶縁膜 1 2 が形成される。

【 0 0 1 5 】

次に、図 3 7 及び図 3 8 に示すように、ホット燐酸処理により、マスク材であるシリコン窒化膜 2 2 を除去する。また、希弗酸処理により、バッファシリコン酸化膜 2 1 を除去する。

【 0 0 1 6 】

ここで、バッファシリコン酸化膜 2 1 を除去する際に、シリコン酸化膜から構成される素子分離絶縁膜 1 2 の表面部分もエッチングされる。素子分離絶縁膜 1 2 は、バッファシリコン酸化膜 2 1 に比べて十分に厚いため、全て除去されることはないが、特に、平面で見た場合には、素子領域の角の部分、断面で見た場合には、素子領域の端 D の部分で素子分離絶縁膜 1 2 が顕著にエッチングされ、この部分が剥き出しになる。

【 0 0 1 7 】

このような現象の発生は、素子分離絶縁膜 1 2 の膜質 (密度) に原因があると考えられている。即ち、トレンチ 2 3 内にシリコン酸化膜を埋め込む際、C V D の堆積条件によっては、素子領域の角の部分のシリコン酸化膜の密度が他の部分よりも低くなることがある。一般に、希弗酸処理によるシリコン酸化膜のエッチング速度は、高密度の部分よりも低密度の部分の方が速くなるため、特に、素子領域の角の部分のシリコン酸化膜が顕著にエッチングされ、素子領域の角が露出し易くなる。

【 0 0 1 8 】

次に、図 3 9 及び図 4 0 に示すように、熱酸化により、素子領域におけるシリコン基板 1 1 上にシリコン酸化膜 1 5 を形成する。

【 0 0 1 9 】

また、図 4 1 及び図 4 2 に示すように、L P C V D 法により、素子分離絶縁膜 1 2 上及びシリコン酸化膜 1 5 上に、導電膜 (多結晶シリコン膜など) 1 6 を形成する。フォトリソグラフィによりレジストパターンを形成し、このレジストパターンをマスクにして、異方性エッチングにより導電膜 1 6 をパターンニングする。この後、レジストパターンは、剥離される。

【 0 0 2 0 】

ここで、導電膜 1 6 は、素子領域の角をシリコン酸化膜 1 5 を介して覆っている。このため、シリコン基板 1 1 と導電膜 1 6 の間に電圧を印加した場合、素子領域の角の部分のシリコン酸化膜 1 5 に電界が集中し、絶縁破壊が起こり易い状態が生じる。

【 0 0 2 1 】

次に、図 4 3 に示すように、イオン注入法により、シリコン基板 1 1 の導電型と同じ導電型の不純物をシリコン基板 1 1 中に注入し、拡散層 1 3 を形成する。なお、導電膜 1 6 が多結晶シリコン膜から構成される場合、このイオン注入により多結晶シリコン膜中に不純物が導入される。

10

20

30

40

50

【 0 0 2 2 】

この後、LPCVD法により、シリコン基板 1 1 上の全面に、導電膜 1 6 を覆う層間絶縁膜（シリコン酸化膜など）1 7 を形成する。また、層間絶縁膜 1 7 に、拡散層 1 3 に達するコンタクトホール 1 9 を形成した後、層間絶縁膜 1 7 上及びコンタクトホール 1 9 内に配線 1 4 を形成する。

【 0 0 2 3 】

以上の工程により、図 3 1 及び図 3 2 の MOS キャパシタが完成する。

【 0 0 2 4 】

このような製造方法により形成した MOS キャパシタでは、特に、素子領域の角の部分のシリコン酸化膜に電界が集中し易く、このため、絶縁破壊が発生し、半導体装置の信頼性や歩留りが低下するという問題があった。

【 0 0 2 5 】

・ 例 2

図 4 4 は、従来の MOS キャパシタのレイアウトの他の例を示している。

【 0 0 2 6 】

この MOS キャパシタのレイアウトは、上述の例 1 で説明した MOS キャパシタのレイアウトに近似している。即ち、シリコン基板 1 1 上には、素子分離絶縁膜（素子分離領域）1 2 が形成され、素子分離絶縁膜 1 2 に取り囲まれた素子領域上には、導電膜 1 6 が配置される。導電膜 1 6 は、素子領域の三つの辺及び二つの角を覆っている。

【 0 0 2 7 】

図 4 5 は、従来の MOS FET のレイアウトの一例を示している。

【 0 0 2 8 】

シリコン基板 1 1 上には、素子分離絶縁膜（素子分離領域）1 2 が形成され、素子分離絶縁膜 1 2 に取り囲まれた素子領域上には、ゲート絶縁膜を介して導電膜（ゲート電極）1 6 が形成される。素子領域は、四角形状を有し、導電膜 1 6 は、素子領域を跨ぐように、素子領域の対向する二つの辺に対して垂直方向に延びている。配線 1 4 a , 1 4 b は、コンタクトホール 1 9 a , 1 9 b を経由してソース/ドレイン拡散層に接続され、配線 1 8 は、コンタクトホール 2 0 を経由して導電膜 1 6 に接続される。

【 0 0 2 9 】

図 4 6 は、従来の MOS FET のレイアウトの他の例を示している。

【 0 0 3 0 】

本例は、図 4 5 の例と比べると、導電膜（ゲート電極）1 6 のレイアウトが大きく相違している。即ち、素子領域の角を覆うように導電膜 1 6 を配置し、トランジスタの縮小化、小型化を図り、集積回路全体のレイアウトを縮小したものである。

【 0 0 3 1 】

図 4 4 の MOS キャパシタ及び図 4 6 の MOS FET では、いずれも導電膜 1 6 が素子領域の角を覆うようなレイアウトとなっている。このようなレイアウトは、素子領域の角の部分の絶縁膜（キャパシタ絶縁膜、ゲート絶縁膜）の電界集中により絶縁破壊を発生し易くするため、半導体装置の初期不良率を上昇させ、寿命を短くし、さらには、信頼性や歩留りを悪化させる。

【 0 0 3 2 】

以下、上述のようなレイアウトを採用する場合の素子分離方法に応じた特有の問題点について順次説明する。

【 0 0 3 3 】

i. LOCOS 法による素子分離方法

まず、図 4 7 に示すように、熱酸化により、シリコン基板 1 1 上にバッファシリコン酸化膜 2 1 を形成する。また、LPCVD法により、バッファシリコン酸化膜 2 1 上に、素子分離絶縁膜を形成するときのマスク材として機能するシリコン窒化膜 2 2 を形成する。

【 0 0 3 4 】

また、フォトリソグラフィ工程により、シリコン窒化膜 2 2 上に、素子分離領域と素子領

10

20

30

40

50

域を区画するためのレジストパターン24を形成し、かつ、このレジストパターン24をマスクにして、異方性エッチング(RIEなど)により、シリコン窒化膜22をエッチングする。

【0035】

この後、レジストパターン24が除去されると、図48に示すように、シリコン窒化膜22のパターンが形成される。

【0036】

次に、図49に示すように、熱酸化により、マスク材としてのシリコン窒化膜22に覆われていない部分のシリコン基板11の表面を酸化し、素子分離絶縁膜(フィールド酸化膜)12を形成する。この後、シリコン窒化膜22を除去し、さらに、NH₄Fなどのウェットエッチング液を用いてパフアシリコン酸化膜21を除去すると、図50に示すように、素子分離絶縁膜12に取り囲まれた素子領域では、シリコン基板11が剥き出しになる。

10

【0037】

次に、図51に示すように、熱酸化により、剥き出しになったシリコン基板11上にシリコン酸化膜15を形成する。

【0038】

また、図52に示すように、LPCVD法により、素子分離絶縁膜12上及びシリコン酸化膜15上に導電膜(例えば、多結晶シリコン膜)16を形成する。導電膜16が多結晶シリコン膜から構成される場合、例えば、この多結晶シリコン膜には、n型不純物であるリン(P)が導入される。

20

【0039】

次に、図53に示すように、フォトリソグラフィ工程により、導電膜16上にレジストパターンを形成し、かつ、このレジストパターンをマスクにして、異方性エッチング(RIEなど)により導電膜16をパターンニングする。この後、レジストパターンを除去し、イオン注入法により拡散層13を形成する。

【0040】

LOCOS法による素子分離方法の問題点は、例えば、MOSFETのゲート絶縁膜となるシリコン酸化膜15を形成するに当たって、図54に示すように、素子領域の端部(辺及び角)のシリコン酸化膜15が、その中央部のシリコン酸化膜15よりも薄くなってしまう点にある。

30

【0041】

この現象は、シリコン酸化膜(熱酸化膜)15が、剥き出しになったシリコン基板11(素子領域)上に選択的に形成されることに起因している。即ち、シリコン基板11の熱酸化では、熱酸化膜の体積膨張が生じるため、素子領域の端部には、この体積膨張によるストレスが集中し、酸化速度が遅くなる。特に、素子領域の角では、大きなストレスが集中するため、シリコン酸化膜15の薄膜化が顕著となる。

【0042】

また、このような事情により、素子領域の角のシリコン酸化膜15の膜質は悪く、欠陥密度も多くなっている。

40

【0043】

よって、素子領域の角を覆うように導電膜16を形成すると、シリコン基板11と導電膜16の間に電圧を印加した場合に、素子領域の角の部分の薄いシリコン酸化膜15に電界が集中してリーク電流が発生し易くなる。また、このリーク電流は、半導体装置の初期不良率を上昇させ、寿命を短くし、さらには、信頼性や歩留りを悪化させる。

【0044】

ii. トレンチ素子分離方法(STI)I

トレンチ素子分離方法は、素子の高集積化及びシリコン基板上の平坦化に優れており、近年における素子分離の主流になりつつある。

【0045】

50

まず、図55に示すように、熱酸化により、シリコン基板11上にバッファシリコン酸化膜21を形成する。また、LPCVD法により、バッファシリコン酸化膜21上に、CMP時のマスク材として機能するシリコン窒化膜22を形成する。フォトリソグラフィ工程により、シリコン窒化膜22上に、素子分離領域と素子領域を区画するためのレジストパターン24を形成し、かつ、このレジストパターン24をマスクにして、RIEにより、シリコン窒化膜22、バッファシリコン酸化膜21及びシリコン基板11を順次エッチングする。

【0046】

この後、レジストパターン24を除去すると、図56に示すように、シリコン基板11中には、素子分離領域となるトレンチ23が形成される。

10

【0047】

次に、図57に示すように、LPCVD法又はプラズマCVD法により、シリコン基板11上の全面に、トレンチ23を完全に満たすシリコン酸化膜12'を形成する。

【0048】

この後、CMPにより、シリコン窒化膜22をストップとする条件の下で、シリコン酸化膜12'を研磨すると、図58に示すように、シリコン酸化膜12'は、トレンチ23内のみに残存し、STI構造の素子分離絶縁膜12が形成される。

【0049】

そして、例えば、RIE、CDE(chemical Dry Etching)、ホット燐酸処理などの手法により、マスク材であるシリコン窒化膜22を除去する。また、例えば、HF、NH₄Fなどを用いて、バッファシリコン酸化膜21を除去する。この時、素子分離絶縁膜12については、図59に示すように、その表面がシリコン基板11の表面とほぼ同じになる程度までエッチングする。

20

【0050】

次に、図60に示すように、熱酸化により、素子領域におけるシリコン基板11上にシリコン酸化膜15を形成する。

【0051】

また、図61に示すように、LPCVD法により、素子分離絶縁膜12上及びシリコン酸化膜15上に、導電膜(多結晶シリコン膜など)16を形成する。フォトリソグラフィによりレジストパターンを形成し、このレジストパターンをマスクにして、RIEにより、導電膜16をパターニングする。この後、レジストパターンは、剥離される。

30

【0052】

トレンチ素子分離方法における問題点は、バッファシリコン酸化膜21を除去する際に、素子分離絶縁膜(シリコン酸化膜)12の表面がシリコン基板11の表面よりも低くなる場合がある点にある。この場合、特に、素子領域の角を覆うように導電膜16を形成すると、シリコン基板11と導電膜16の間に電圧を印加した場合、素子領域の角の部分のシリコン酸化膜15に電界が集中し、絶縁破壊が起こり易い状態が生じる。

【0053】

よって、このような製造方法により形成したMOSキャパシタ及びMOSFETでは、信頼性や歩留りが低下するという問題があった。

40

【0054】

iii. トレンチ素子分離方法(STI)II

このトレンチ素子分離方法は、例えば、MOSFETのゲート絶縁膜を形成した後に素子分離絶縁膜を形成する点に特徴を有する。

【0055】

まず、図62に示すように、熱酸化により、シリコン基板11上にシリコン酸化膜(ゲート絶縁膜)15を形成する。また、LPCVD法により、シリコン酸化膜15上に、導電膜(例えば、多結晶シリコン膜)16A及びCMP時のマスク材として機能するシリコン窒化膜22を形成する。フォトリソグラフィ工程により、シリコン窒化膜22上に、素子分離領域と素子領域を区画するためのレジストパターン24を形成し、かつ、このレジス

50

トパターン 24 をマスクにして、R I E により、シリコン窒化膜 22、導電膜 16 A、シリコン酸化膜 15 及びシリコン基板 11 を順次エッチングする。

【0056】

この後、レジストパターン 24 を除去すると、図 63 に示すように、シリコン基板 11 中には、素子分離領域となるトレンチ 23 が形成される。

【0057】

次に、図 64 に示すように、L P C V D 法又はプラズマ C V D 法により、シリコン基板 11 上の全面に、トレンチ 23 を完全に満たすシリコン酸化膜 12' を形成する。

【0058】

この後、C M P により、シリコン窒化膜 22 をストッパとする条件の下で、シリコン酸化膜 12' を研磨すると、図 65 に示すように、シリコン酸化膜 12' は、トレンチ 23 内 10

のみに残存し、S T I 構造の素子分離絶縁膜 12 が形成される。
【0059】
次に、図 66 に示すように、例えば、H F、N H₄ F などを用いて、素子分離絶縁膜 12 をエッチングし、素子分離絶縁膜 12 の表面を導電膜 16 A の表面に近づける。これにより、素子分離絶縁膜 12 と導電膜 16 A の段差を緩和し、後に行われる導電膜（ゲート電極）の加工に際して、十分な加工マージンを確保できるようにする。

【0060】

この後、例えば、R I E、C D E、ホット燐酸処理などの手法により、マスク材であるシリコン窒化膜 22 を除去すると、図 67 に示すような構造を得ることができる。 20

【0061】

次に、図 68 に示すように、導電膜 16 A の表面に存在する自然酸化膜を除去した後、L P C V D 法により、導電膜 16 A に積み重ねるようにして、導電膜（多結晶シリコン膜など）16 B を形成する。また、フォトリソグラフィによりレジストパターンを形成し、このレジストパターンをマスクにして、R I E により導電膜（ゲート電極）16 B をパターンニングする。この後、レジストパターンは、剥離される。

【0062】

このトレンチ素子分離方法における問題点は、例えば、H F、N H₄ F などを用いて、素子分離絶縁膜 12 の表面をエッチングする際、素子分離絶縁膜 12 とシリコン窒化膜 22 の密着性が悪いと、素子分離絶縁膜 12 とシリコン窒化膜 22 の界面に沿ってエッチング 30

【0063】

特に、素子領域の角の部分では、形状が不安定になり易いため、このような現象が発生し易くなっている。よって、素子領域の角を覆うように導電膜 16 A、16 B が形成されていると、シリコン基板 11 と導電膜 16 A、16 B の間に電圧を印加した場合に絶縁破壊が発生したり、また、半導体装置の初期不良の発生頻度を高め、寿命を短くするなどの問題があった。

【0064】

【発明が解決しようとする課題】

本発明は、上記欠点を解決すべくなされたもので、その目的は、素子分離領域と素子領域 40

に跨って配置される導電膜を備え、かつ、素子領域で、半導体基板、絶縁層、導電膜からなるキャパシタ構造を有するような半導体装置、例えば、M O S F E T や M O S キャパシタに関して、絶縁破壊を防ぎ、信頼性及び歩留りの向上を図る点にある。

【0065】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、素子領域と、前記素子領域を取り囲む素子分離領域と、前記素子領域上に形成される絶縁膜と、前記絶縁膜上に形成される導電膜とを備え、前記素子領域は、複数の辺及び複数の角を有する多角形を有し、前記導電膜は、前記素子領域の互いに隣接する二つの辺を覆い、かつ、前記素子領域の互いに隣接する二つの辺の交点である角を覆わないようなレイアウトを有している。 50

【0066】

本発明の半導体装置は、素子領域と、前記素子領域を取り囲む素子分離領域と、前記素子領域上に形成される絶縁膜と、前記絶縁膜上に形成される導電膜とを備え、前記素子領域は、複数の辺及び複数の角を有するリング形状を有し、前記導電膜は、前記リング形状の内側の互いに隣接する二つの辺を覆い、かつ、前記リング形状の内側の互いに隣接する二つの辺の交点である角を覆わないようなレイアウトを有している。

【0067】

前記素子分離領域は、LOCOS構造又はSTI構造を有する。前記導電膜は、MOSキャパシタの電極又はMOSFETのゲート電極である。

【0068】

本発明の半導体装置は、素子分離領域に取り囲まれた素子領域上に絶縁膜を介して形成される導電膜を備え、前記素子領域が複数の辺及び複数の角を有する多角形を有する場合に前記導電膜が前記素子領域の互いに隣接する二つの辺を覆い、前記素子領域が複数の辺及び複数の角を有するリング形状を有する場合に前記導電膜が前記リング形状の内側の互いに隣接する二つの辺を覆うような半導体素子を複数個有し、前記絶縁膜に電圧が印加されるような半導体集積回路において、前記半導体集積回路を構成する全ての前記半導体素子に関して、前記導電膜は、前記素子領域の互いに隣接する二つの辺の交点である角及び前記リング形状の内側の互いに隣接する二つの辺の交点である角を覆わないようなレイアウトを有している。

【0069】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体装置について詳細に説明する。

【0070】

図1は、本発明の第1実施の形態に関わるMOSキャパシタのレイアウトを示している。図2は、図1のA-A'線に沿う断面図である。

【0071】

シリコン基板11上には、STI構造の素子分離絶縁膜12が形成される。素子分離絶縁膜12は、素子分離領域となり、素子領域を取り囲んでいる。素子領域は、複数の辺と複数の角を有するレイアウト、例えば、四角形のレイアウトを有している。

【0072】

素子領域におけるシリコン基板11内には、シリコン基板11の導電型と同じ導電型を有し、かつ、シリコン基板11の不純物濃度よりも高い不純物濃度を有する拡散層13が形成される。拡散層13には、シリコン基板11の電位を設定するために設けられる配線14が接続される。

【0073】

本例では、図示する素子領域に対して拡散層13及び配線14を設けているが、図示しない他の領域(素子領域を含む)において基板電位設定用の拡散層及び配線を設ける場合には、図示する素子領域に対して拡散層13及び配線14を設けなくてもよい。

【0074】

素子領域におけるシリコン基板11上には、シリコン酸化膜15が形成される。また、素子分離絶縁膜12上及びシリコン酸化膜15上には、導電膜16が形成される。導電膜16は、金属や、不純物を含む半導体などから構成される。導電膜16は、素子分離領域と素子領域に跨って配置され、素子領域では、シリコン基板11、シリコン酸化膜15、導電膜16からなるキャパシタ構造が形成される。

【0075】

ここで、導電膜16は、素子領域の三つの辺S1, S2, S3を覆い、かつ、素子領域の全ての角を避けるようなレイアウトを有している。特に、拡散層13が設けられない側の素子領域の角C1, C2については、従来、導電膜16に覆われていたが、本発明では、導電膜16に覆われていない。

【0076】

導電膜 16 上には、層間絶縁膜 (TEOS 膜、BPSG 膜など) 17 が形成される。層間絶縁膜 17 上には、配線 14, 18 が形成される。配線 14 は、コンタクトホール 19 を経由して拡散層 13 に接続され、配線 18 は、コンタクトホール 20 を経由して導電膜 16 に接続される。

【0077】

上記構造を有する MOS キャパシタでは、導電膜 16 が、素子領域の全ての角を覆わないようなレイアウトを有している。よって、素子領域の角の部分のシリコン酸化膜が薄くなったり、又はその膜質が悪くなっても、電界集中による絶縁破壊が生じることがない。よって、本発明のレイアウトによれば、MOS キャパシタの信頼性や製造歩留りの向上を図ることができる。

10

【0078】

以下、図 1 及び図 2 の MOS キャパシタの製造方法について説明する。

【0079】

まず、図 3 に示すように、熱酸化により、シリコン基板 11 上にバッファシリコン酸化膜 21 を形成する。また、LPCVD 法により、バッファシリコン酸化膜 21 上に、CMP 時のマスク材として機能するシリコン窒化膜 22 を形成する。なお、マスク材としては、シリコン窒化膜の他、シリコン酸化膜とシリコン窒化膜の積層膜を用いることもできる。

【0080】

次に、図 4 に示すように、フォトリソグラフィ工程により、シリコン窒化膜 22 上に、素子分離領域と素子領域を区画するためのレジストパターンを形成し、かつ、このレジストパターンをマスクにして、異方性エッチング (RIE など) により、シリコン窒化膜 22、バッファシリコン酸化膜 21 及びシリコン基板 11 を順次エッチングする。その結果、シリコン基板 11 中には、素子分離領域となるトレンチ 23 が形成される。この後、レジストパターンは、除去される。

20

【0081】

次に、図 5 に示すように、LPCVD 法又はプラズマ CVD 法により、シリコン基板 11 上の全面に、トレンチ 23 を完全に満たすシリコン酸化膜を形成する。この後、CMP により、シリコン窒化膜 22 をストップとする条件の下で、このシリコン酸化膜を研磨する。その結果、シリコン酸化膜は、トレンチ 23 内のみに残存し、STI 構造の素子分離絶縁膜 12 が形成される。

30

【0082】

この後、例えば、RIE、CDE、ホット燐酸処理などの手法を用いて、マスク材であるシリコン窒化膜 22 を除去する。また、例えば、HF、NH₄F などを用いたウェットエッチング、RIE などのドライエッチングなどにより、バッファシリコン酸化膜 21 を除去する。

【0083】

ここで、バッファシリコン酸化膜 21 を除去する際に、図 6 に示すように、シリコン酸化膜から構成される素子分離絶縁膜 12 の表面部分もエッチングされる。素子分離絶縁膜 12 は、バッファシリコン酸化膜に比べて十分に厚いため、全て除去されることはないが、特に、素子領域の角の部分の素子分離絶縁膜 12 が顕著にエッチングされるため、素子領域の角の部分のシリコン基板 11 が剥き出しになる。

40

【0084】

次に、図 7 に示すように、熱酸化により、素子領域におけるシリコン基板 11 上にシリコン酸化膜 15 を形成する。

【0085】

次に、図 8 に示すように、LPCVD 法により、素子分離絶縁膜 12 上及びシリコン酸化膜 15 上に、導電膜 (多結晶シリコン膜など) 16 を形成する。フォトリソグラフィによりレジストパターンを形成し、このレジストパターンをマスクにして、異方性エッチングにより導電膜 16 をパターンニングする。この後、レジストパターンは、剥離される。

【0086】

50

ここで、導電膜 16 は、素子領域の角を全て避けるようなレイアウトとなるようにエッチングされる。このため、シリコン基板 11 と導電膜 16 の間に電圧を印加した場合であっても、素子領域の角の部分のシリコン酸化膜 15 に電界が集中することがなく、絶縁破壊も起こらなくなる。

【0087】

この後、図 1 及び図 2 に示すように、イオン注入法により、シリコン基板 11 の導電型と同じ導電型の不純物をシリコン基板 11 中に注入し、拡散層 13 を形成する。また、LPCVD 法により、シリコン基板 11 上の全面に、導電膜 16 を覆う層間絶縁膜 17 を形成する。また、層間絶縁膜 17 に、拡散層 13 に達するコンタクトホール 19 を形成した後、層間絶縁膜 17 上及びコンタクトホール 19 内に配線 14 を形成する。

10

【0088】

以上の工程により、図 1 及び図 2 の MOS キャパシタが完成する。

【0089】

このような製造方法により形成した MOS キャパシタでは、素子領域の全ての角が導電膜 16 に覆われていないため、絶縁破壊が発生することはなく、半導体装置の信頼性や歩留りの向上が達成できる。

【0090】

図 9 乃至図 11 は、本発明の第 2 乃至第 4 実施の形態に関わる MOS キャパシタのレイアウトを示している。

【0091】

これら実施の形態に関わる MOS キャパシタは、上述の第 1 実施の形態に関わる MOS キャパシタと比べると、導電膜 16 のパターンが相違している点に特徴を有する。

20

【0092】

図 9 の例では、導電膜 16 は、互いに隣接する素子領域の二つの辺 S1, S2 を覆い、かつ、二つの辺 S1, S2 の交点である素子領域の角 C1 を覆わないようなレイアウトを有している。即ち、導電膜 16 は、素子領域の全ての角を避けるように配置されている。

【0093】

図 10 の例では、導電膜 16 は、素子領域の三つの辺 S1, S2, S3 を覆い、かつ、辺 S1, S2 の交点である素子領域の角 C1 及び辺 S2, S3 の交点である素子領域の角 C2 上に開口を有するようなレイアウトを有している。本例でも、導電膜 16 は、素子領域

30

の全ての角を避けるように配置されている。

【0094】

図 11 の例では、導電膜 16 は、素子領域の三つの辺 S1, S2, S3 を覆い、かつ、辺 S1, S2 の交点である素子領域の角 C1 及び辺 S2, S3 の交点である素子領域の角 C2 を覆わないようなレイアウトを有している。本例では、素子領域の角 C1, C2 の部分において、導電膜 16 の縁のラインと素子領域の辺 S1, S2, S3 により三角形が形成される。

【0095】

上記構造を有する MOS キャパシタにおいても、導電膜 16 は、素子領域の全ての角を覆わないようなレイアウトを有している。よって、素子領域の角の部分のシリコン酸化膜が薄くなったり、又はその膜質が悪くなっても、電界集中による絶縁破壊が生じることがなく、MOS キャパシタの信頼性や製造歩留りの向上を図ることができる。

40

【0096】

図 12 乃至図 15 は、本発明の第 5 乃至第 8 実施の形態に関わる MOS キャパシタのレイアウトを示している。

【0097】

これら実施の形態に関わる MOS キャパシタは、上述の第 1 実施の形態に関わる MOS キャパシタと比べると、導電膜 16 のパターンが相違すると共に、シリコン基板に対するコンタクト部が存在しない点に特徴を有する。

【0098】

50

図12の例では、導電膜16は、素子領域の四つの辺S1～S4を覆い、かつ、四つの角C1～C4を覆わないようなレイアウトを有している。即ち、導電膜16は、素子領域の全ての角を避けるように配置されている。

【0099】

図13の例では、導電膜16は、素子領域の四つの辺S1～S4を覆い、かつ、四つの角C1～C4上に開口を有するようなレイアウトを有している。各開口は、四角形を有している。本例でも、導電膜16は、素子領域の全ての角を避けるように配置されている。

【0100】

図14の例では、導電膜16は、素子領域の四つの辺S1～S4を覆い、かつ、四つの角C1～C4を覆わないようなレイアウトを有している。素子領域の四つの角C1～C4に近接する導電膜16の縁のラインは、円弧状又は曲線となっている。

10

【0101】

図15の例では、導電膜16は、素子領域の四つの辺S1～S4を覆い、かつ、四つの角C1～C4上に開口を有するようなレイアウトを有している。本例では、導電膜16の開口は、円形を有している。

【0102】

上記構造を有するMOSキャパシタにおいては、シリコン基板に対するコンタクト部を設けていないため、MOSキャパシタのキャパシタ面積を、素子領域の大きさに等しくなる程度に大きくすることができる。なお、シリコン基板に対するコンタクト部は、図示する素子領域以外の他の領域に設けられる。

20

【0103】

また、導電膜16は、素子領域の全ての角を覆わないようなレイアウトを有しているため、キャパシタ絶縁膜の絶縁破壊が生じることがなく、MOSキャパシタの信頼性や製造歩留りの向上を図ることができる。

【0104】

図16は、本発明の第9実施の形態に関わるMOSキャパシタのレイアウトを示している。

【0105】

この実施の形態に関わるMOSキャパシタでは、導電膜16は、素子領域の四つの辺S1～S4を覆い、かつ、素子領域の全ての角を避けるようなレイアウトを有している。また、素子領域の中央部では、導電膜16に開口が設けられ、かつ、この開口内にシリコン基板に対するコンタクト部19が配置されている。

30

【0106】

このような構成によれば、素子領域におけるシリコン基板の電位を安定させることができる。また、導電膜16が素子領域の全ての角を覆わないレイアウトを有しているため、MOSキャパシタの信頼性や製造歩留りの向上を図ることができる。

【0107】

図17は、本発明の第10実施の形態に関わるMOSキャパシタのレイアウトを示している。

【0108】

上述の第1乃至第9実施の形態では、素子領域が四角形であることを前提としてきたが、素子領域は、四角形以外の形状でもよい。つまり、本実施の形態は、素子領域が四角形でない場合の導電膜16のレイアウトに関する。

40

【0109】

本例では、素子領域が複雑な形を有しているが、導電膜16は、素子領域の全ての角を避けるようなレイアウトを有している。また、導電膜16の両端側には、シリコン基板に対するコンタクト部25、26が設けられている。本例のレイアウトは、MOSFETに適用することもできる。例えば、導電膜16をゲート電極として用い、コンタクト部25をソース(又はドレイン)に対するコンタクト部とし、コンタクト部26をドレイン(又はソース)に対するコンタクト部とすればよい。

50

【0110】

なお、素子領域の角C1は、素子領域側が鈍角になっている。よって、この角部では、電界集中が顕著に起こることはない。しかし、素子領域の角C1では、素子分離絶縁膜12の密度が低く、パフアシリコン酸化膜のエッチング時に素子分離絶縁膜12がエッチングされ、シリコン基板が露出する場合がある。

【0111】

よって、素子領域の角C1上を導電膜16により覆わないことも、信頼性や歩留りの向上に有効である。

【0112】

図18は、本発明の第11実施の形態に関わる半導体装置のレイアウトを示している。

10

【0113】

シリコン基板11上には、格子状の素子分離絶縁膜（素子分離領域）12が形成されている。素子分離絶縁膜12に取り囲まれた四角形の領域は、素子領域となり、行列状に配置されている。シリコン基板11上及び素子分離絶縁膜12上には、格子状の導電膜16が形成されている。導電膜16は、MOSキャパシタの電極、MOSFETのゲート電極や、配線などとして用いられる。

【0114】

導電膜16に取り囲まれた領域、即ち、導電膜16の開口部は、素子領域の全ての角を含むように配置されている。よって、素子領域の全ての角は、導電膜16に覆われることがない。

20

【0115】

このような導電膜16のレイアウトは、通常のフォトリソグラフィ及びRIEなどのドライエッチングにより実現できる。

【0116】

素子領域の大きさやピッチが小さくなるに従い、導電膜16のパターニング時に、導電膜16のパターン崩れ及びエッチング残さが発生するが、素子領域の全ての角を避けるような導電膜16のレイアウトにすることで、素子領域の角の部分におけるシリコン基板11と導電膜16の短絡を防止できる。

【0117】

図19は、本発明の第12実施の形態に関わる半導体装置のレイアウトを示している。

30

【0118】

シリコン基板11上には、格子状の素子分離絶縁膜（素子分離領域）12が形成されている。素子分離絶縁膜12に取り囲まれた四角形の領域は、素子領域となり、行列状に配置されている。素子分離絶縁膜12上には、素子分離絶縁膜12と同様のレイアウトの格子状の導電膜16が形成されている。導電膜16は、配線（ダミー配線を含む）として用いられる。

【0119】

導電膜16に取り囲まれた領域、即ち、導電膜16の開口部は、素子領域よりも一回り大きく、素子領域の全体を含むように配置されている。よって、素子領域の全ての角は、導電膜16に覆われることがない。

40

【0120】

このように、素子領域の全ての角を避けるような導電膜16のレイアウトにすることで、素子領域の角の部分におけるシリコン基板11と導電膜16の短絡を防止できる。

【0121】

図20乃至図22は、本発明の第13乃至15実施の形態に関わる半導体装置のレイアウトを示している。

【0122】

シリコン基板11上には、素子分離絶縁膜（素子分離領域）12が形成されている。素子分離絶縁膜12に取り囲まれた領域は、素子領域となっている。シリコン基板11上及び素子分離絶縁膜12上には、導電膜16が形成されている。導電膜16は、MOSキャパ

50

シタの電極や、M O S F E Tのゲート電極などとして用いられる。

【 0 1 2 3 】

いずれの例においても、素子領域の全ての角は、導電膜 1 6 に覆われることがない。このように、素子領域の全ての角を避けるように、導電膜 1 6 のレイアウトを設定することで、素子領域の角の部分における絶縁破壊を防止し、信頼性や歩留りの向上を図ることができる。

【 0 1 2 4 】

図 2 3 乃至図 2 8 は、本発明の第 1 6 乃至第 2 1 実施の形態に関わる M O S キャパシタのレイアウトを示している。

【 0 1 2 5 】

図 2 3 の例では、導電膜 1 6 は、素子領域の三つの辺 S 1 , S 2 , S 3 を覆い、かつ、辺 S 1 , S 2 の交点である素子領域の角 C 1 及び辺 S 2 , S 3 の交点である素子領域の角 C 2 を覆わないレイアウトを有している。なお、1 8 は、導電膜 1 6 に対するコンタクト部、1 9 は、シリコン基板 1 1 に対するコンタクト部である。

【 0 1 2 6 】

図 2 4 の例では、導電膜 1 6 は、素子領域の三つの辺 S 1 , S 2 , S 3 を覆い、かつ、辺 S 1 , S 2 の交点である素子領域の角 C 1 及び辺 S 2 , S 3 の交点である素子領域の角 C 2 上に開口を有するようなレイアウトを有している。即ち、導電膜 1 6 は、素子領域の全ての角を避けるように配置されている。

【 0 1 2 7 】

図 2 5 の例では、素子領域の角の部分での絶縁破壊を防止するため、その素子領域の角を切り落としている。さらに、角を切り落とすことにより、鈍角の部分 C 4 , C 5 が形成されるが、この部分 C 4 , C 5 上に開口を形成し、信頼性及び歩留りの向上を図っている。

【 0 1 2 8 】

図 2 6 の例は、図 2 5 の例の変形例であり、鈍角の部分 C 4 , C 5 上に開口を設けずに、導電膜 1 6 のパターンを工夫することで、導電膜 1 6 により鈍角の部分 C 4 , C 5 が覆われないようにしている。これにより、M O S キャパシタの信頼性及び歩留りの向上を図っている。

【 0 1 2 9 】

図 2 7 の例は、素子領域がリング状であるものに関する。導電膜 1 6 は、リング状の素子領域の全ての角を避けるようなレイアウトを有している。リング状の素子領域の内側の角については、その内側の角上に開口を設け、その内側の角上に導電膜 1 6 が配置されないようにしている。リング状の素子領域の中央部に存在する素子分離絶縁膜 1 2 上には、導電膜 1 6 に対するコンタクト部 1 8 が設けられている。

【 0 1 3 0 】

図 2 8 の例は、図 2 7 の例の変形例であり、リング状の素子領域の内側の角の部分での絶縁破壊を防止するため、その素子領域の内側の角を切り落としている。さらに、角を切り落とすことにより、鈍角の部分が形成されるが、この鈍角の部分上に開口を形成し、信頼性及び歩留りの向上を図っている。

【 0 1 3 1 】

図 2 9 及び図 3 0 は、本発明の第 2 2 乃至第 2 3 実施の形態に関わる半導体装置のレイアウトを示している。

【 0 1 3 2 】

この半導体装置は、M O S キャパシタを前提としているが、シリコン基板 1 1 に対する二つのコンタクト部 1 9 をそれぞれ異なる配線に接続すれば、M O S F E T として機能させることもできる。

【 0 1 3 3 】

図 2 9 の例では、素子領域が凹形を有し、かつ、導電膜 1 6 は、素子領域の全ての角を避けるようなレイアウトを有している。図 3 0 は、図 2 9 の変形例であり、素子領域の角の一部を切り落としたものである。

10

20

30

40

50

【0134】

本発明は、メモリIC(DRAM、EEPROM)、ロジックICなどの全ての半導体装置、即ち、素子分離領域と素子領域に跨って配置される導電膜を備え、かつ、素子領域で、半導体基板、絶縁層、導電膜からなるキャパシタ構造を有する半導体装置に適用することができる。

【0135】

例えば、メモリICにおいて、周辺回路を構成するMOSFETやMOSキャパシタに本発明を適用することができる。この場合、ゲート電極又はキャパシタ電極としての導電膜が素子領域の互いに隣接する二つの辺に跨っている全てのMOSFET及びMOSキャパシタについて、互いに隣接する二つの辺の交点である角を導電膜により覆わないようにする。

10

【0136】

これにより、メモリICの周辺回路を構成する全てのMOSFET及びMOSキャパシタの絶縁破壊を防止でき、メモリICの信頼性及び歩留りの向上を図ることができる。

【0137】

なお、絶縁膜に電圧が印加されることによる不都合を防止することのみを考えると、例えば、本発明のMOSFET及びMOSキャパシタと同様の構成を有するが、シリコン基板と導電膜が同じ電位に設定されるようなダミー配線には本発明を適用する意義があまりない。但し、製造上の理由などから、本発明を適用しても全く構わない。

【0138】

20

【発明の効果】

以上、説明したように、本発明によれば、素子分離領域と素子領域に跨って配置される導電膜を備え、かつ、素子領域で、半導体基板、絶縁層、導電膜からなるキャパシタ構造を有する半導体装置において、導電膜が、素子領域の全ての角を覆わないようなレイアウトを有している。よって、素子領域の角の部分のシリコン酸化膜が薄くなったり、又はその膜質が悪くなっても、電界集中による絶縁破壊が生じることがなく、信頼性や製造歩留りの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図2】図1のA-A'線に沿う断面図。

30

【図3】図1のMOSキャパシタの製造方法の一工程を示す図。

【図4】図1のMOSキャパシタの製造方法の一工程を示す図。

【図5】図1のMOSキャパシタの製造方法の一工程を示す図。

【図6】図1のMOSキャパシタの製造方法の一工程を示す図。

【図7】図1のMOSキャパシタの製造方法の一工程を示す図。

【図8】図1のMOSキャパシタの製造方法の一工程を示す図。

【図9】本発明の第2実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図10】本発明の第3実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図11】本発明の第4実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図12】本発明の第5実施の形態に関わるMOSキャパシタのレイアウトを示す図。

40

【図13】本発明の第6実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図14】本発明の第7実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図15】本発明の第8実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図16】本発明の第9実施の形態に関わるMOSキャパシタのレイアウトを示す図。

【図17】本発明の第10実施の形態に関わる半導体装置のレイアウトを示す図。

【図18】本発明の第11実施の形態に関わる半導体装置のレイアウトを示す図。

【図19】本発明の第12実施の形態に関わる半導体装置のレイアウトを示す図。

【図20】本発明の第13実施の形態に関わる半導体装置のレイアウトを示す図。

【図21】本発明の第14実施の形態に関わる半導体装置のレイアウトを示す図。

【図22】本発明の第15実施の形態に関わる半導体装置のレイアウトを示す図。

50

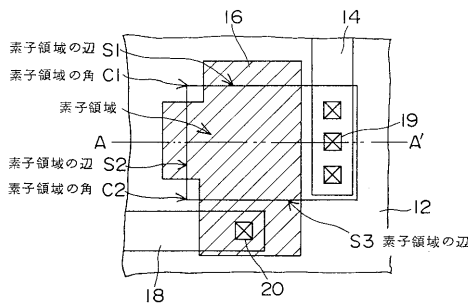
- 【図23】本発明の第16実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図24】本発明の第17実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図25】本発明の第18実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図26】本発明の第19実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図27】本発明の第20実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図28】本発明の第21実施の形態に関わるMOSキャパシタのレイアウトを示す図。
 【図29】本発明の第22実施の形態に関わる半導体装置のレイアウトを示す図。
 【図30】本発明の第23実施の形態に関わる半導体装置のレイアウトを示す図。
 【図31】従来のMOSキャパシタのレイアウトを示す図。
 【図32】図31のA-A'線に沿う断面図。 10
 【図33】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図34】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図35】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図36】図35の領域Eを拡大して示す図。
 【図37】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図38】図37の領域Fを拡大して示す図。
 【図39】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図40】図39の領域Gを拡大して示す図。
 【図41】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図42】図41の領域Hを拡大して示す図。 20
 【図43】図31のMOSキャパシタの製造方法の一工程を示す図。
 【図44】従来のMOSキャパシタのレイアウトを示す図。
 【図45】従来のMOSFETのレイアウトを示す図。
 【図46】従来のMOSFETのレイアウトを示す図。
 【図47】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図48】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図49】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図50】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図51】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図52】図44乃至図46の半導体装置の製造方法の一工程を示す図。 30
 【図53】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図54】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図55】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図56】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図57】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図58】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図59】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図60】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図61】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図62】図44乃至図46の半導体装置の製造方法の一工程を示す図。 40
 【図63】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図64】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図65】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図66】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図67】図44乃至図46の半導体装置の製造方法の一工程を示す図。
 【図68】図44乃至図46の半導体装置の製造方法の一工程を示す図。

【符号の説明】

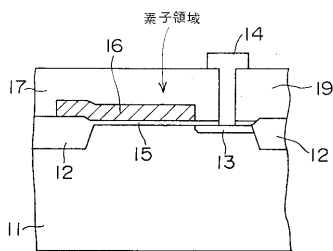
- 1 1 : シリコン基板、
 1 2 : 素子分離絶縁膜、
 1 3 : 拡散層、

- 14, 18 : 配線、
- 15 : シリコン酸化膜、
- 16 : 導電膜、
- 17 : 層間絶縁膜、
- 19, 20, 25, 26 : コンタクト部、
- 21 : バッファシリコン酸化膜、
- 22 : シリコン窒化膜、
- 23 : トレンチ、
- 24 : レジスト膜。

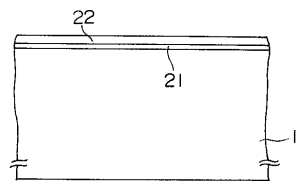
【図1】



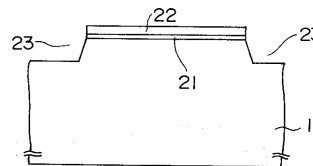
【図2】



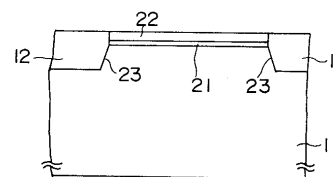
【図3】



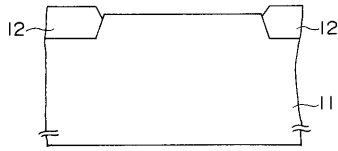
【図4】



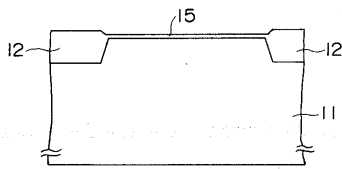
【図5】



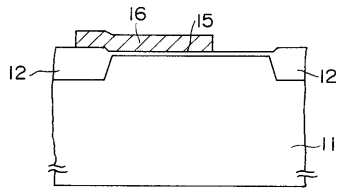
【図6】



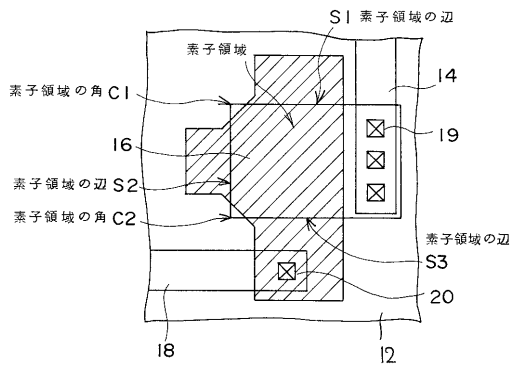
【図7】



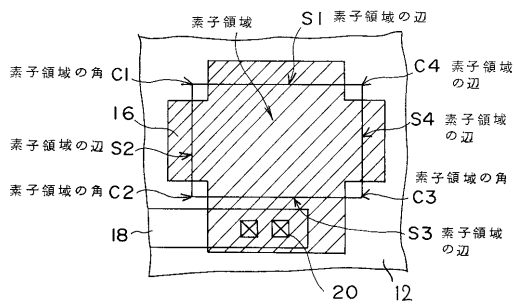
【図8】



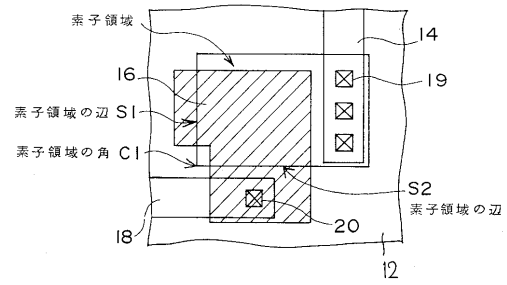
【図11】



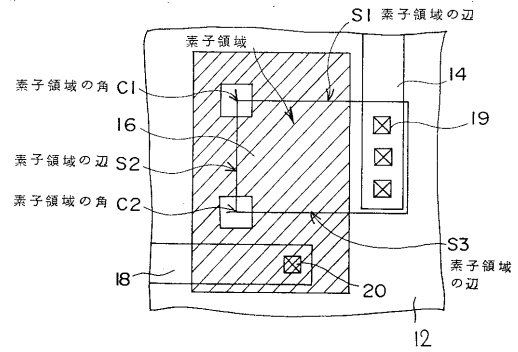
【図12】



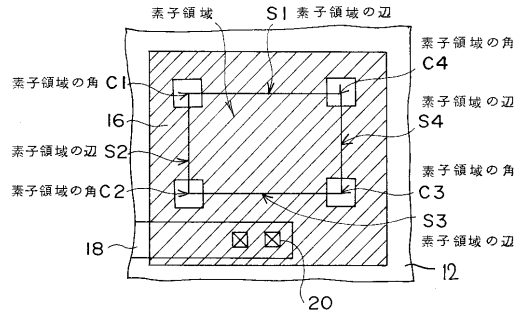
【図9】



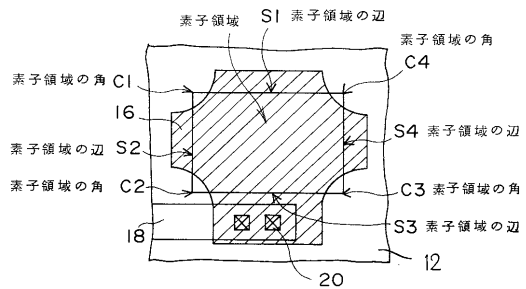
【図10】



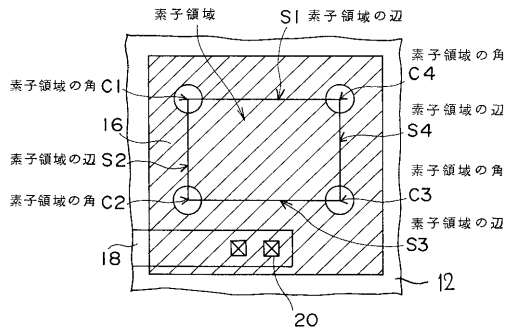
【図13】



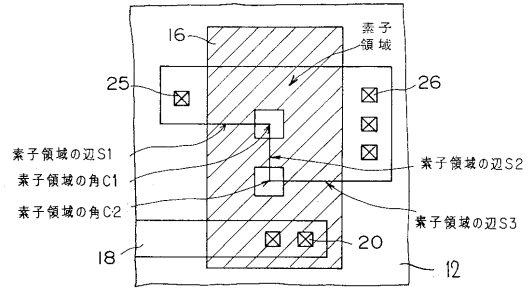
【図14】



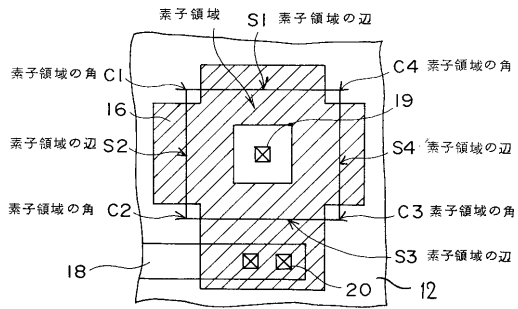
【図15】



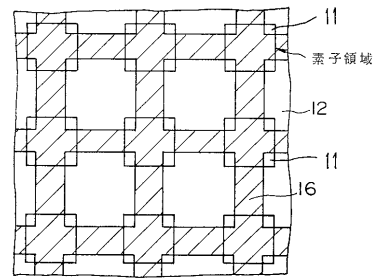
【図17】



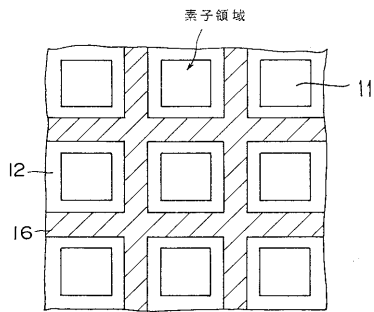
【図16】



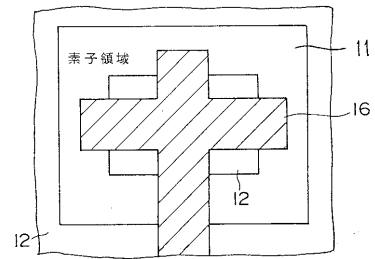
【図18】



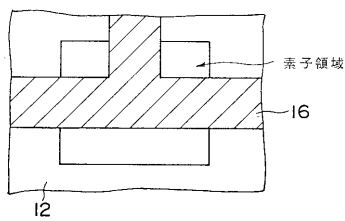
【図19】



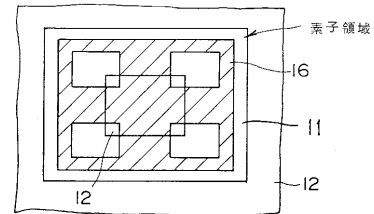
【図21】



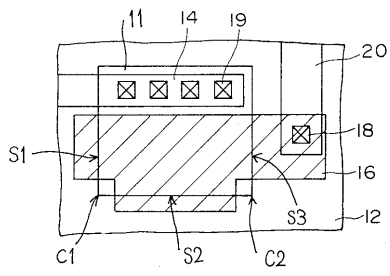
【図20】



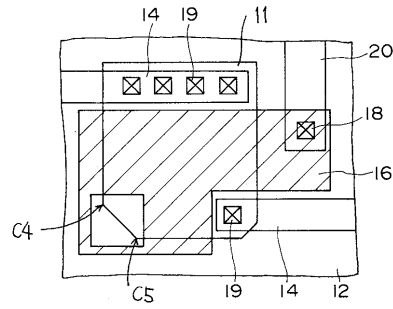
【図22】



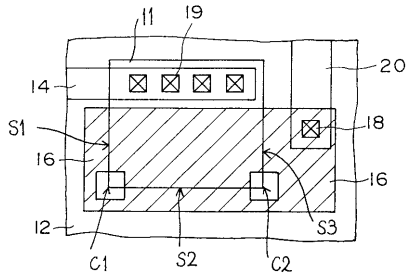
【 図 2 3 】



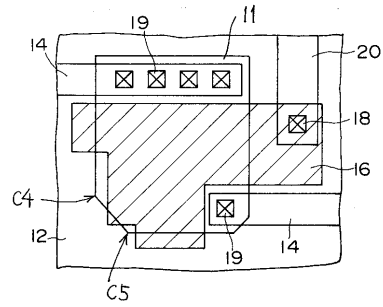
【 図 2 5 】



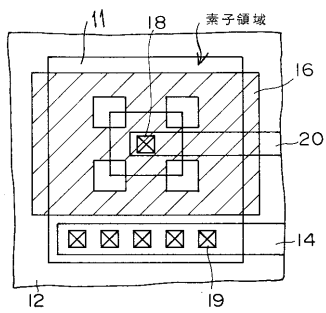
【 図 2 4 】



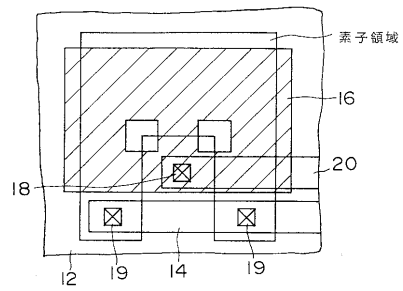
【 図 2 6 】



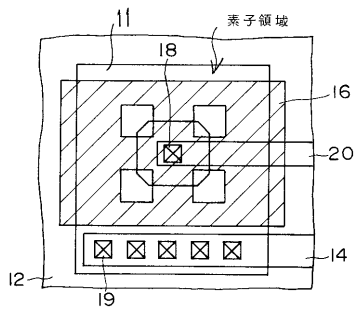
【 図 2 7 】



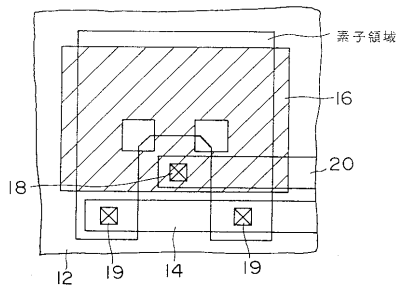
【 図 2 9 】



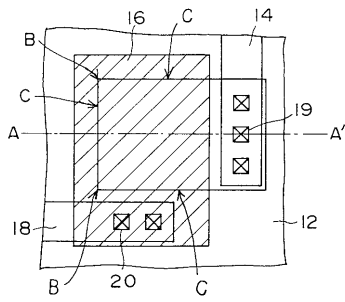
【 図 2 8 】



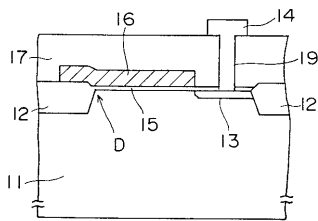
【 図 3 0 】



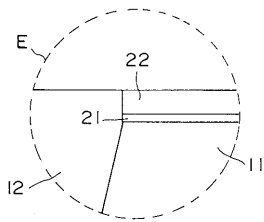
【 図 3 1 】



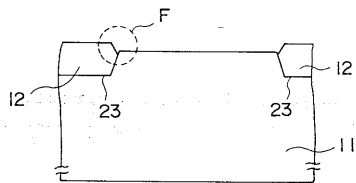
【 図 3 2 】



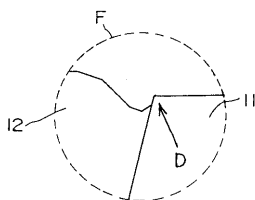
【 図 3 6 】



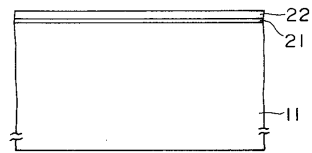
【 図 3 7 】



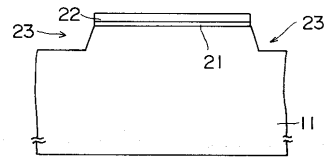
【 図 3 8 】



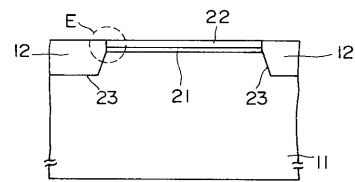
【 図 3 3 】



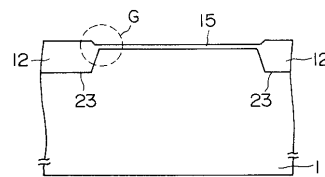
【 図 3 4 】



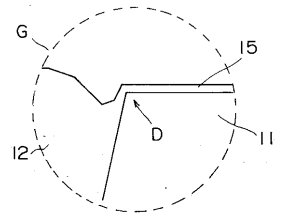
【 図 3 5 】



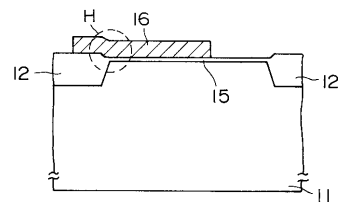
【 図 3 9 】



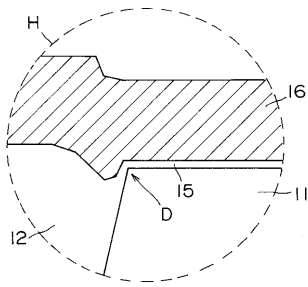
【 図 4 0 】



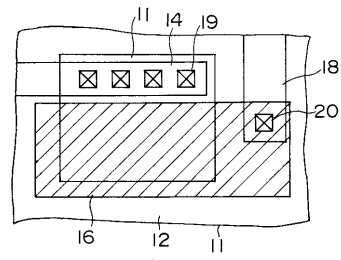
【 図 4 1 】



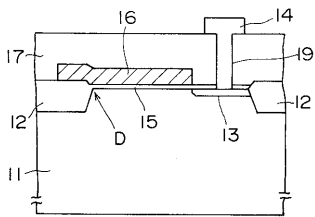
【 図 4 2 】



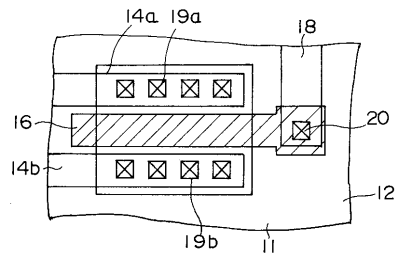
【 図 4 4 】



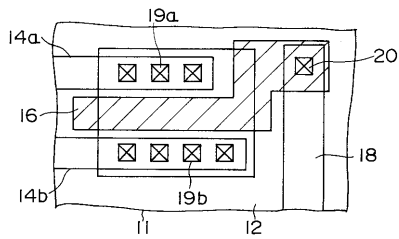
【 図 4 3 】



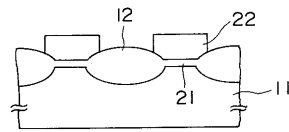
【 図 4 5 】



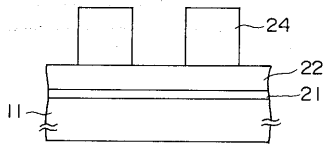
【 図 4 6 】



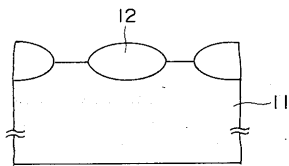
【 図 4 9 】



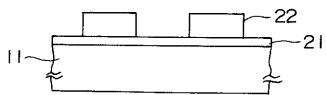
【 図 4 7 】



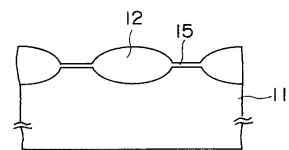
【 図 5 0 】



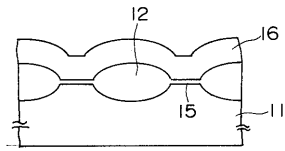
【 図 4 8 】



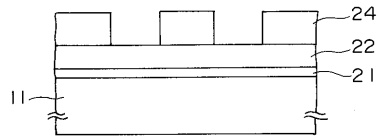
【 図 5 1 】



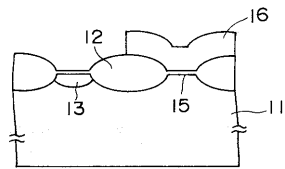
【 5 2 】



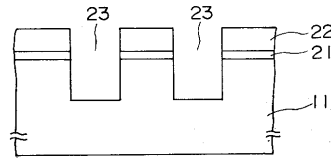
【 5 5 】



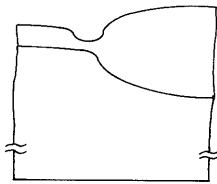
【 5 3 】



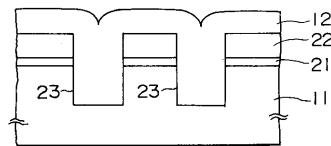
【 5 6 】



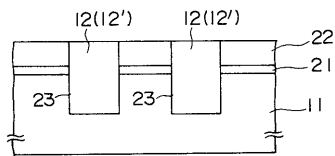
【 5 4 】



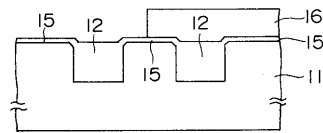
【 5 7 】



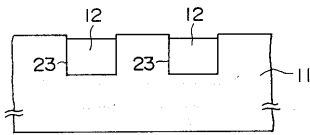
【 5 8 】



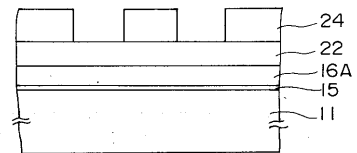
【 6 1 】



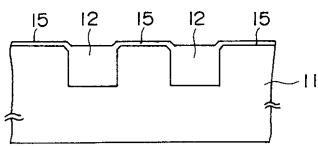
【 5 9 】



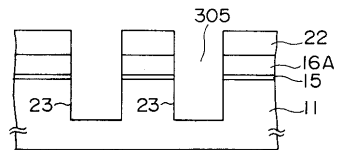
【 6 2 】



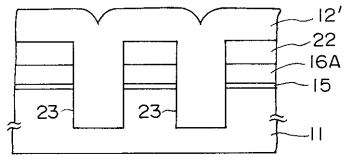
【 6 0 】



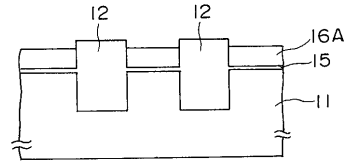
【 6 3 】



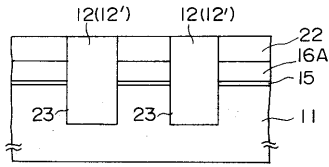
【 図 6 4 】



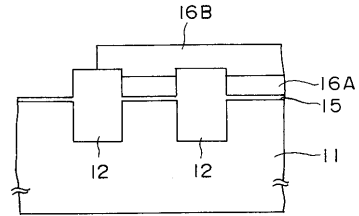
【 図 6 7 】



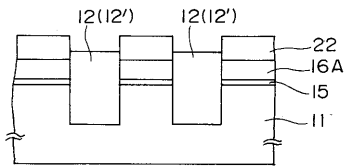
【 図 6 5 】



【 図 6 8 】



【 図 6 6 】



フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 竹内 祐司
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
- (72)発明者 有留 誠一
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
- (72)発明者 白田 理一郎
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
- (72)発明者 村濱 優一郎
三重県四日市市山之一色町800番地 株式会社東芝四日市工場内
- (72)発明者 荒木 仁
三重県四日市市山之一色町800番地 株式会社東芝四日市工場内
- (72)発明者 梅村 政司
三重県四日市市山之一色町800番地 株式会社東芝四日市工場内
- (72)発明者 矢羽田 正光
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
- (72)発明者 池田 修
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 棚田 一也

- (56)参考文献 特開平02-168673(JP,A)
特開平03-019240(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/822
H01L 21/762
H01L 27/04
H01L 29/78