

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

located on the other side of the upper surface, in the first direction. The gate electrode has: a first site that faces the upper surface via the gate insulating film; a second site that faces the first side surface via the gate insulating film; and a third site that faces the second side surface via the gate insulating film.

(57) 要約: 基板バイアス効果を低減することができる半導体装置と、この半導体装置を用いた撮像装置とを提供する。半導体装置は、半導体基板と、半導体基板の第1主面側に設けられた電界効果トランジスタと、を備える。電界効果トランジスタは、チャネルが形成される半導体領域と、半導体領域を覆うゲート電極と、半導体領域とゲート電極との間に配置されたゲート絶縁膜と、半導体領域と半導体基板との間に配置された第1絶縁膜と、を有する。半導体領域は、上面と、上面に平行な第1方向において上面の一方の側に位置する第1側面と、第1方向において上面の他方の側に位置する第2側面と、を有する。ゲート電極は、上面とゲート絶縁膜を介して向かい合う第1部位と、第1側面とゲート絶縁膜を介して向かい合う第2部位と、第2側面とゲート絶縁膜を介して向かい合う第3部位と、を有する。

明 細 書

発明の名称：半導体装置及び撮像装置

技術分野

[0001] 本開示は、半導体装置及び撮像装置に関する。

背景技術

[0002] CMOS (Complementary Metal Oxide Semiconductor) イメージセンサに用いられる半導体装置として、垂直ゲート電極及びチャネルを有する非平面トランジスタが知られている（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-121093号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1 に開示された非平面トランジスタのチャネル領域は、半導体基板と接しているため、基板バイアス効果を受ける。

[0005] 本開示はこのような事情に鑑みてなされたもので、基板バイアス効果を低減することができる半導体装置と、この半導体装置を用いた撮像装置とを提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る半導体装置は、半導体基板と、前記半導体基板の第1主面側に設けられた電界効果トランジスタと、を備え、前記電界効果トランジスタは、チャネルが形成される半導体領域と、前記半導体領域を覆うゲート電極と、前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、前記半導体領域と前記半導体基板との間に配置された第1絶縁膜と、を有し、前記半導体領域は、上面と、前記上面に平行な第1方向において前記上面の一方の側に位置する第1側面と、前記第1方向において前記上面

の他方の側に位置する第２側面と、を有し、前記ゲート電極は、前記上面と前記ゲート絶縁膜を介して向かい合う第１部位と、前記第１側面と前記ゲート絶縁膜を介して向かい合う第２部位と、前記第２側面と前記ゲート絶縁膜を介して向かい合う第３部位と、を有する。

[0007] これによれば、第１絶縁膜によって半導体領域と半導体基板との間が絶縁される。これにより、半導体装置は、基板バイアス効果を低減することができる。

[0008] 本開示の一態様に係る撮像装置は、受光素子と、前記受光素子で光電変換された電気信号を伝送するための半導体装置と、を備え、前記半導体装置は、半導体基板と、前記半導体基板に設けられた電界効果トランジスタと、を備え、前記電界効果トランジスタは、チャンネルが形成される半導体領域と、前記半導体領域を覆うゲート電極と、前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、前記半導体領域と前記半導体基板との間に配置された第１絶縁膜と、を有し、前記半導体領域は、上面と、前記上面に平行な第１方向において前記上面の一方の側に位置する第１側面と、前記第１方向において前記上面の他方の側に位置する第２側面と、を有し、前記ゲート電極は、前記上面と前記ゲート絶縁膜を介して向かい合う第１部位と、前記第１側面と前記ゲート絶縁膜を介して向かい合う第２部位と、前記第２側面と前記ゲート絶縁膜を介して向かい合う第３部位と、を有する。

[0009] これによれば、撮像装置は、受光素子で光電変換された電気信号を伝送するための半導体装置として、基板バイアス効果を低減した半導体装置を用いることができる。これにより、撮像装置は性能の向上を図ることができる。

図面の簡単な説明

[0010] [図１]図１は、本開示の実施形態１に係る半導体装置の構成例を示す平面図である。

[図２]図２は、本開示の実施形態１に係る半導体装置の構成例を示す断面図である。

[図３]図３は、本開示の実施形態１に係る半導体装置の構成例を示す断面図で

ある。

[図4]図4は、本開示の実施形態1に係る半導体装置の構成例を示す断面図である。

[図5]図5は、本開示の実施形態1に係る半導体装置において、ゲート電極を除いて示した平面図である。

[図6A]図6Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図6B]図6Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図7A]図7Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図7B]図7Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図8A]図8Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図8B]図8Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図9A]図9Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図9B]図9Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図10A]図10Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図10B]図10Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図11A]図11Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図11B]図11Bは、本開示の実施形態1に係る半導体装置の製造方法を示す

断面図である。

[図12A]図12Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図12B]図12Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図13A]図13Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図13B]図13Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図14A]図14Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図14B]図14Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図15A]図15Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図15B]図15Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図16A]図16Aは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図16B]図16Bは、本開示の実施形態1に係る半導体装置の製造方法を示す断面図である。

[図17]図17は、本開示の実施形態2に係る半導体装置の構成例を示す断面図である。

[図18]図18は、本開示の実施形態2に係る半導体装置の構成例を示す断面図である。

[図19A]図19Aは、本開示の実施形態2に係る半導体装置の製造方法を示す断面図である。

[図19B]図19Bは、本開示の実施形態2に係る半導体装置の製造方法を示す

断面図である。

[図20A]図20Aは、本開示の実施形態2に係る半導体装置の製造方法を示す断面図である。

[図20B]図20Bは、本開示の実施形態2に係る半導体装置の製造方法を示す断面図である。

[図21A]図21Aは、本開示の実施形態2に係る半導体装置の製造方法を示す断面図である。

[図21B]図21Bは、本開示の実施形態2に係る半導体装置の製造方法を示す断面図である。

[図22]図22は、本開示の実施形態3に係る撮像装置の構成例を示す模式図である。

[図23]図23は、本開示の実施形態3に係る画素ユニットの構成例を示す回路図である。

発明を実施するための形態

[0011] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0012] 以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0013] 以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、X軸方向及びY軸方向は、半導体領域10の上面10aに平行な方向である。X軸方向及びY軸方向を水平方向ともい

う。Z軸方向は、半導体領域10の上面10aと垂直に交わる方向である。Z軸方向を深さ方向ともいう。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。なお、X軸方向は本開示の「第2方向」の一例であり、Y軸方向は本開示の「第1方向」の一例であり、Z軸方向は本開示の「第3方向」の一例である。

[0014] 以下の説明では、第1導電型がN型、第2導電型がP型の場合について例示的に説明する。しかしながら、導電型を逆の関係に選択して、第1導電型をP型、第2導電型をN型としても構わない。

[0015] <実施形態1>

(半導体装置の構成例)

図1は、本開示の実施形態1に係る半導体装置1の構成例を示す平面図である。図2から図4は、本開示の実施形態1に係る半導体装置1の構成例を示す断面図である。図2は、図1に示す平面図をA1-A'1線で切断した断面を示している。図3は、図1に示す平面図をB1-B'1線で切断した断面を示している。図4は、図1に示す平面図をC1-C'1線で切断した断面を示している。図5は、本開示の実施形態1に係る半導体装置1において、ゲート電極30を除いて示した平面図である。

[0016] 図1から図5に示すように、実施形態1に係る半導体装置1は、半導体基板2と、半導体基板2に設けられた第1導電型のMOS (Metal Oxide Semiconductor) トランジスタ3 (本開示の「電界効果トランジスタ」の一例) と、半導体基板2に設けられた素子分離層4と、を備える。

[0017] 半導体基板2は、例えば単結晶のシリコンで構成されている。半導体基板2は、おもて面2a (本開示の「第1主面」の一例) と、おもて面2aの反対側に位置するうら面2bと、を有する。半導体基板2のおもて面2a側に、MOSトランジスタ3が設けられている。素子分離層4は、水平方向で隣り合う素子同士を電氣的に分離するための絶縁膜であり、例えば、シリコン酸化膜 (SiO₂膜) で構成されている。

- [0018] MOSトランジスタ3は、チャネルが形成される第2導電型（例えば、P型）の半導体領域10と、ゲート絶縁膜20と、ゲート電極30と、半導体基板2に設けられたソース領域41及びドレイン領域42と、第1絶縁膜51と、第2絶縁膜52と、第3絶縁膜53と、を備える。
- [0019] 半導体領域10は、例えば半導体基板2の一部であり、単結晶のシリコンで構成されている。半導体領域10は、半導体基板2のおもて面2a側の一部をエッチングすることにより形成された部位である。半導体領域10の形状は、例えばフィン（Fin）形状である。
- [0020] 半導体領域10は、X軸方向に長く、Y軸方向に短い形状を有する。例えば、X軸方向における半導体領域10の長さL1は、150nm以上700nm以下である。Y軸方向における半導体領域10の長さ（幅）L2は、15nm以上1000nm以下である。Z軸方向における半導体領域10の長さ（深さ）L3は、100nm以上1000nm以下である。
- [0021] Y軸方向において、半導体領域10の一方の側には第2絶縁膜52を底面とするトレンチH1が設けられ、半導体領域10の他方の側には第3絶縁膜53を底面とするトレンチH2が設けられている。トレンチH1には、ゲート電極30の第2部位32が配置されている。トレンチH2には、ゲート電極30の第3部位33が配置されている。第2部位32及び第3部位33については後で説明する。半導体領域10は、トレンチH1に配置された第2部位32と、トレンチH2に配置された第3部位33とによって、Y軸方向から挟まれている。
- [0022] ゲート絶縁膜20は、半導体領域10の上面10aと、第1側面10bと、第2側面10cとを覆うように設けられている。第1側面10bは、Y軸方向において上面10aの一方の側に位置する。第2側面10cは、Y軸方向において上面10aの他方の側に位置する。ゲート絶縁膜20は、例えばSiO₂膜で構成されている。
- [0023] ゲート電極30は、ゲート絶縁膜20を介して半導体領域10を覆っている。例えば、ゲート電極30は、半導体領域10の上面10aとゲート絶縁

膜20を介して向かい合う第1部位31と、半導体領域10の第1側面10bとゲート絶縁膜20を介して向かい合う第2部位32と、半導体領域10の第2側面10cとゲート絶縁膜20を介して向かい合う第3部位33と、を有する。第1部位31の下面に、第2部位32と第3部位33とがそれぞれ接続している。

[0024] これにより、ゲート電極30は、半導体領域10の上面10aと、第1側面10bと、第2側面10cとにゲート電圧を同時に印加することができる。つまり、ゲート電極30は、半導体領域10に対して、上側と左右両側の計3方向からゲート電圧を同時に印加することができる。これにより、ゲート電極30は、半導体領域10を完全空乏化することが可能となっている。

[0025] X軸方向における第1部位31の長さL11は、例えば300nm以上500nm以下である。Z軸方向における第2部位32及び第3部位33の各長さL12は、例えば120nm以上1200nm以下である。ゲート電極30は、例えばポリシリコン(Poly-Si)膜で構成されている。

[0026] ソース領域41は、半導体基板2のおもて面2aと、その近傍に設けられている。X軸方向において、ソース領域41は、半導体領域10の一方の側に接続している。ドレイン領域42は、半導体基板2のおもて面2aと、その近傍に設けられている。X軸方向において、ドレイン領域42は、半導体領域10の他方の側に接続している。ソース領域41及びドレイン領域42は、第1導電型(例えば、N型)である。

[0027] 第1絶縁膜51は、半導体領域10の下面10dと半導体基板2との間に配置されている。第2絶縁膜52は、ゲート電極30の第2部位32の下面32dと半導体基板2との間に配置されている。第3絶縁膜53は、ゲート電極30の第3部位33の下面33dと半導体基板2との間に配置されている。第2絶縁膜52と第3絶縁膜53は、第1絶縁膜51よりも厚さが薄い。第1絶縁膜51の厚さd1は、10nm以上800nm以下である。第2絶縁膜52及び第3絶縁膜53の各厚さd2は、1nm以上20nm以下である。第1絶縁膜51、第2絶縁膜52及び第3絶縁膜53は、例えばSi

O₂膜で構成されている。

[0028] 本開示の実施形態に係るMOSトランジスタ3は、トレンチH1、H2にゲート電極30の第2部位32と第3部位33とが配置されている形状から、掘り込みゲート構造のMOSトランジスタと呼んでもよい。または、MOSトランジスタ3は、半導体領域10がフィン形状を有することから、フィンフェット(FinFET: Fin Field Effect Transistor)と呼んでもよい。あるいは、MOSトランジスタは、上記2つの形状から、掘り込みFinFETと呼んでもよい。

[0029] (半導体装置の製造方法)

次に、本開示の実施形態1に係る半導体装置1の製造方法を説明する。この例では、半導体装置1の製造方法として、図1から図5に示した掘り込みゲート構造のMOSトランジスタ3と、ゲート電極が平坦であるプレーナゲート構造のMOSトランジスタとを、同一の半導体基板2に並行して形成する方法を説明する。

[0030] なお、半導体装置1は、成膜装置(CVD (Chemical Vapor Deposition) 装置、スパッタ装置を含む)、イオン注入装置、熱処理装置、エッチング装置、CMP (Chemical Mechanical Polishing) 装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0031] 図6Aから図16Bは、本開示の実施形態1に係る半導体装置1の製造方法を工程順に示す断面図である。図6Aから図16Bにおいて、各図のAは掘り込みゲート構造のMOSトランジスタ3の形成領域(以下、掘り込み領域という)を示し、各図のBはプレーナゲート構造のMOSトランジスタの形成領域(以下、プレーナ領域という。)を示している。

[0032] 図6A及び図6Bにおいて、製造装置は、CVD法を用いて、半導体基板2のおもて面2a上にシリコン窒化膜(SiN膜)71を形成する。次に、製造装置は、CVD法を用いて、SiN膜71上にSiO₂膜72を形成する。次に、製造装置は、フォトリソグラフィ及びエッチング技術を用いて、掘

り込み領域の SiO_2 膜72、 SiN 膜71及び半導体基板2を部分的に除去する。これにより、製造装置は、掘り込み領域にトレンチH11、H12を形成する。

[0033] 次に、図7A及び図7Bに示すように、製造装置は、CVD法を用いて、半導体基板2の上方に SiN 膜73を形成する。次に、図8A及び図8Bに示すように、製造装置は、フォトリソグラフィ及び異方性エッチング技術を用いて、 SiN 膜73を部分的に除去する。掘り込み領域では、トレンチH11、H12の底面上と SiO_2 膜72上とから SiN 膜73が除去される。これにより、トレンチH11、H12の底面において半導体基板2が露出する。また、トレンチH11、H12の内側面には、 SiN 膜73が残される。また、プレーナ領域では、 SiO_2 膜72上から SiN 膜73が除去される。

[0034] 次に、図9A及び図9Bに示すように、製造装置は、トレンチH11、H12の底面をエッチングしてトレンチH11、H12を掘り下げる。これにより、トレンチH11、H12の底面だけでなく、トレンチH11、H12の下部の内側面においても半導体基板2が露出する。このエッチングは、Fin下部に Si を残すため、異方性エッチングで行う。製造装置は、異方性エッチングにより、トレンチH11、H12を水平方向に対して垂直（すなわち、深さ方向）に掘り下げる。

[0035] 次に、製造装置は、半導体基板2を熱酸化する。これにより、図10A及び図10Bに示すように、トレンチH11、H12の下部に SiO_2 膜74が形成される。

[0036] 次に、図11A及び図11Bに示すように、製造装置は、掘り込み領域とプレーナ領域とにレジストパターンRP1を形成する。レジストパターンRP1は、プレーナ領域の一部を開口し、それ以外の領域を覆う形状を有する。次に、製造装置は、レジストパターンRP1をマスクに用いて、プレーナ領域の SiO_2 膜72及び SiN 膜71をエッチングして除去する。これにより、プレーナ領域において、レジストパターンRP1下から半導体基板2が

露出する。掘り込み領域の SiO_2 膜72及び SiN 膜71は、レジストパターンRP1覆われているため、エッチングされずに残る。その後、製造装置は、レジストパターンRP1を除去する。

[0037] 次に、図12A及び図12Bに示すように、製造装置は、プレーナ領域において、 SiO_2 膜72下から露出している半導体基板2をエッチングして、素子分離用のトレンチH13を形成する。その後、製造装置は、レジストパターンRP1を除去する。次に、製造装置は、CVD法を用いて、半導体基板2の上方に SiO_2 膜75（後述の図13A及び図13B参照）を形成して、トレンチH11、H12、H13を埋め込む。次に、製造装置は、 SiO_2 膜75、72にCMP処理を施して、 SiN 膜71を露出させる。これにより、トレンチH11、H12、H13内に SiO_2 膜75が残され、トレンチH11、H12、H13以外の領域から SiO_2 膜75が除去される。トレンチH13内に残された SiO_2 膜75は、プレーナ領域の素子分離層として機能する。

[0038] 次に、図14A及び図14Bに示すように、製造装置は、掘り込み領域とプレーナ領域とにレジストパターンRP2を形成する。レジストパターンRP2は、トレンチH11、H12とその近傍の領域を部分的に開口し、それ以外の領域を覆う形状を有する。次に、製造装置は、レジストパターンRP2をマスクに用いて、掘り込み領域の SiO_2 膜75、74をエッチングして除去する。これにより、掘り込み領域にトレンチH1、H2が形成される。トレンチH1はトレンチH11（図13A参照）の内側に形成され、トレンチH2はトレンチH12（図13A参照）の内側に形成される。その後、製造装置は、レジストパターンRP2を除去する。なお、掘り込み領域において、トレンチH1、H2内に残された SiO_2 膜75は、掘り込み領域の素子分離層4（図1参照）として機能する。

[0039] 次に、製造装置は、 SiN 膜71、73をウェットエッチングして除去する。これにより、図15A及び図15Bに示すように、掘り込み領域においてフィン状の半導体領域10が露出する。また、掘り込み領域及びプレーナ

領域の両方で、半導体基板 2 のおもて面 2 a が露出する。

[0040] 次に、製造装置は、半導体領域 1 0 を含む半導体基板 2 を熱酸化する。これにより、図 1 6 A 及び図 1 6 B に示すように、製造装置は、掘り込み領域において半導体領域 1 0 の上面 1 0 a、第 1 側面 1 0 b 及び第 2 側面 1 0 c にゲート絶縁膜 2 0 を形成するとともに、プレーナ領域において半導体基板 2 のおもて面 2 a にゲート絶縁膜 2 0 を形成する。

[0041] 次に、製造装置は、CVD法を用いて、半導体基板 2 の上方にポリシリコン膜を形成して、トレンチ H 1、H 2 を埋め込む。次に、製造装置は、ポリシリコン膜上にレジストパターン R P 3 を形成する。レジストパターン R P 3 は、ゲート電極が形成される領域を覆い、それ以外の領域を開口する形状を有する。次に、製造装置は、レジストパターン R P 3 をマスクに用いて、ポリシリコン膜をエッチングして除去する。これにより、製造装置は、掘り込み領域にゲート電極 3 0 を形成し、プレーナ領域にゲート電極 8 0 を形成する。その後、製造装置は、レジストパターン R P 3 を除去する。次に、製造装置は、掘り込み領域及びプレーナ領域の両方において、半導体基板 2 のおもて面 2 a 側にソース領域とドレイン領域とを形成する。

[0042] 以上の工程を経て、掘り込みゲート構造の MOS トランジスタ 3 と、プレーナゲート構造の MOS トランジスタとを同一の半導体基板 2 に有する半導体装置 1 が完成する。

[0043] 以上説明したように、本開示の実施形態 1 に係る半導体装置 1 は、半導体基板 2 と、半導体基板 2 に設けられた掘り込みゲート構造の MOS トランジスタ 3 と、を備える。MOS トランジスタ 3 は、チャネルが形成される半導体領域 1 0 と、半導体領域 1 0 を覆うゲート電極 3 0 と、半導体領域 1 0 とゲート電極 3 0 との間に配置されたゲート絶縁膜 2 0 と、半導体領域 1 0 と半導体基板 2 との間に配置された第 1 絶縁膜 5 1 と、を有する。半導体領域 1 0 は、上面 1 0 a と、第 1 側面 1 0 b 及び第 2 側面 1 0 c を有する。第 1 側面 1 0 b は、上面 1 0 a に平行な Y 軸方向において上面 1 0 a の一方の側に位置する。第 2 側面 1 0 c は、Y 軸方向において上面 1 0 a の他方の側に

位置する。ゲート電極 30 は、半導体領域 10 の上面 10 a とゲート絶縁膜 20 を介して向かい合う第 1 部位 31 と、半導体領域 10 の第 1 側面 10 b とゲート絶縁膜 20 を介して向かい合う第 2 部位 32 と、半導体領域 10 の第 2 側面 10 c とゲート絶縁膜 20 を介して向かい合う第 3 部位 33 と、を有する。

[0044] これによれば、第 1 絶縁膜 51 によって半導体領域 10 と半導体基板 2 との間が絶縁されているため、基板バイアス効果を低減することができる。また、半導体領域 10 の下方に第 1 絶縁膜 51 が配置されているため、ドレイン領域 42 から半導体領域 10 の下方を通してソース領域 41 に至る電界の回り込みを抑制することができる。これにより、ソース領域 41 とドレイン領域 42 とを半導体基板 2 の深さ方向（Z 軸方向）に深く形成した場合でも、上記電界の回り込みによる短チャネル効果の発生を抑制することができる。

[0045] ソース領域 41 とドレイン領域 42 とを Z 軸方向に深く形成することができ、また、基板バイアス効果を低減することができるので、MOS トランジスタ 3 の相互コンダクタンス（ g_m ）の増大と利得（ $gain$ ）の増大とが可能になる。なお、基板バイアス効果を低減する方法として、SOI（Silicon on Insulator）基板を用いる方法があるが、SOI 基板は高価であるため半導体装置の製造コストが増大してしまう。本開示の実施形態 1 によれば、SOI 基板を用いる必要がないため、製造コストの抑制と基板バイアス効果の低減とを両立することができる。

[0046] また、ゲート電極 30 は、半導体領域 10 に対して、上側と左右両側の計 3 方向からゲート電圧を同時に印加することができる。これにより、ゲート電極 30 は、半導体領域 10 を完全空乏化することが容易となり、MOS トランジスタ 3 のサブスレッショールド特性を示す S 値の低減が可能になる。MOS トランジスタ 3 の高速スイッチング動作が可能になる。

[0047] また、第 2 絶縁膜 52 と第 3 絶縁膜 53 は、第 1 絶縁膜 51 よりも厚さが薄い。つまり、第 2 部位 32 の下面 32 d 及び第 3 部位 33 の下面 33 d は

、半導体領域 10 の下面 10 d よりも半導体基板 2 に近い側に位置する。これにより、トレンチ H 1、H 2 の深さにばらつきが生じる場合でも、第 2 部位 3 2 と半導体領域 10 の第 1 側面 10 b とが対向する領域の Z 軸方向の長さ、第 3 部位 3 3 と半導体領域 10 の第 2 側面 10 c とが対向する領域の Z 軸方向の長さ、とにばらつきが生じないようにすることができる。これにより、ゲート電極 30 のゲート幅にばらつきが生じることを抑制することができる。

[0048] <実施形態 2>

本開示の実施形態 1 では、半導体領域 10 の上面 10 a と第 1 側面 10 b 及び第 2 側面 10 c とにゲート絶縁膜 20 を介してゲート電極 30 が向かい合うことを説明した。しかしながら、本開示の実施形態において、半導体領域 10 とゲート電極 30 との位置関係はこれに限定されない。本開示の実施形態では、上面 10 a、第 1 側面 10 b 及び第 2 側面 10 c に加えて、半導体領域 10 の下面（すなわち、半導体基板 2 に近い側の面）10 d も、ゲート絶縁膜 20 を介してゲート電極 30 と隣り合ってもよい。これにより、掘り込みゲート構造の MOS トランジスタのゲート幅をさらに拡大するとともに、半導体領域 10 の完全空乏化をより容易なものにすることができる。

[0049] 図 1 7 及び図 1 8 は、本開示の実施形態 2 に係る半導体装置 1 A の構成例を示す断面図である。図 1 7 は、図 1 に示した平面図を A 1 - A' 1 線で切断した断面に対応している。図 1 8 は、図 1 に示した平面図を C 1 - C' 1 線で切断した断面に対応している。図 1 7 及び図 1 8 に示すように、実施形態 2 に係る半導体装置 1 A は、半導体基板 2 に設けられた第 1 導電型の MOS トランジスタ 3 A（本開示の「電界効果トランジスタ」の一例）を備える。

[0050] 実施形態 1 に係る MOS トランジスタ 3 と同様に、実施形態 2 に係る MOS トランジスタ 3 A も、掘り込みゲート構造の MOS トランジスタである。MOS トランジスタ 3 A では、半導体領域 10 の下面 10 d と半導体基板 2

との間に、ゲート絶縁膜 20 とゲート電極 30 A とが配置されている。例えば、ゲート電極 30 A は、第 1 部位 31 と、第 2 部位 32 と、第 3 部位 33 と、第 4 部位 34 とを有する。第 4 部位 34 は、半導体領域 10 の下面 10 d とゲート絶縁膜 20 を介して隣り合っている。

[0051] これにより、ゲート電極 30 A は、半導体領域 10 の上面 10 a と、第 1 側面 10 b と、第 2 側面 10 c と、下面 10 d とにゲート電圧を同時に印加することができる。つまり、ゲート電極 30 A は、半導体領域 10 に対して、上下両側と左右両側の計 4 方向からゲート電圧を同時に印加することができる。

[0052] 次に、本開示の実施形態 2 に係る半導体装置 1 A の製造方法を説明する。この例では、半導体装置 1 A の製造方法として、図 17 及び図 18 に示した掘り込みゲート構造の MOS トランジスタ 3 A と、ゲート電極が平坦であるプレーナゲート構造の MOS トランジスタとを、同一の半導体基板 2 に並行して形成する方法を説明する。

[0053] 図 19 A から図 21 B は、本開示の実施形態 2 に係る半導体装置 1 A の製造方法を工程順に示す断面図である。図 19 A から図 21 B において、各図の A は掘り込み領域を示し、各図の B はプレーナ領域を示している。図 19 A 及び図 19 B において、掘り込み領域の SiN 膜 71、73（図 14 A 参照）をウェットエッチングして除去し、フィン状の半導体領域 10 を露出させる工程までは、実施形態 1 と同じである。実施形態 2 では、フィン状の半導体領域 10 が露出した後、製造装置は、掘り込み領域とプレーナ領域とにレジストパターン RP4 を形成する。レジストパターン RP4 は、トレンチ H11、H12 とその近傍の領域を部分的に開口し、それ以外の領域を覆う形状を有する。

[0054] 次に、製造装置は、レジストパターン RP4 をマスクに用いて、掘り込み領域の SiO₂ 膜 74、75 をエッチングして除去する。これにより、図 20 A 及び図 20 B に示すように、掘り込み領域において、トレンチ H1、H2 と空洞部 H3 とが形成される。空洞部 H3 は、半導体領域 10 の下方を含む

領域に形成されており、トレンチH1、H2同士を接続している。プレーナ領域のSiO₂膜75は、レジストパターンRP4で覆われているのでエッチングされずに残る。その後、製造装置は、レジストパターンRP4を除去する。

[0055] 次に、製造装置は、半導体領域10を含む半導体基板2を熱酸化する。これにより、製造装置は、掘り込み領域の半導体領域10の上面10a、第1側面10b、第2側面10c及び下面10dにゲート絶縁膜20を形成するとともに、プレーナ領域の半導体基板2のおもて面2aにゲート絶縁膜20を形成する。

[0056] 次に、製造装置は、CVD法を用いて、半導体基板2の上方にポリシリコン膜を形成して、トレンチH1、H2と、空洞部H3を埋め込む。次に、図21A及び図21Bに示すように、製造装置は、ポリシリコン膜上にレジストパターンRP5を形成する。レジストパターンRP5は、ゲート電極が形成される領域を覆い、それ以外の領域を開口する形状を有する。次に、製造装置は、レジストパターンRP5をマスクに用いて、ポリシリコン膜をエッチングして除去する。これにより、掘り込み領域にゲート電極30Aが形成され、プレーナ領域にゲート電極80が形成される。その後、製造装置は、レジストパターンRP5を除去する。その後、製造装置は、半導体基板2のおもて面2a側にソース領域とドレイン領域とを形成する。

[0057] 以上の工程を経て、掘り込みゲート構造のMOSトランジスタ3Aと、プレーナゲート構造のMOSトランジスタとを同一の半導体基板2に有する半導体装置1Aが完成する。

[0058] 以上説明したように、本開示の実施形態2に係る半導体装置1Aは、半導体基板2と、半導体基板2に設けられた掘り込みゲート構造のMOSトランジスタ3Aと、を備える。MOSトランジスタ3Aは、チャンネルが形成される半導体領域10と、半導体領域10を覆うゲート電極30Aと、半導体領域10とゲート電極30Aとの間に配置されたゲート絶縁膜20と、半導体領域10と半導体基板2との間に配置された第1絶縁膜51と、を有する。

半導体領域 10 は、上面 10a の反対側に位置する下面 10d を有する。ゲート電極 30A は、第 1 部位 31、第 2 部位 32 及び第 3 部位 33 に加えて、下面 10d とゲート絶縁膜 20 を介して向かい合う第 4 部位 34 を有する。

[0059] これによれば、半導体装置 1A は、実施形態 1 に係る半導体装置 1 と同様の効果を奏する。また、ゲート電極 30A は、半導体領域 10 に対して、上下両側と左右両側の計 4 方向からゲート電圧を同時に印加することができる。これにより、ゲート電極 30A は、半導体領域 10 をより容易に完全空乏化することが可能である。

[0060] <実施形態 3>

実施形態 1 に係る半導体装置 1 又は実施形態 2 に係る半導体装置 1A は、撮像装置に適用可能である。以下、半導体装置 1、1A が適用される撮像装置の一例を説明する。

[0061] 図 22 は、本開示の実施形態 3 に係る撮像装置 100 の構成例を示す模式図である。撮像装置 100 は、第 1 基板部 110 と、第 2 基板部 120 と、第 3 基板部 130 とを備えている。撮像装置 100 は、第 1 基板部 110 と、第 2 基板部 120 と、第 3 基板部 130 とを貼り合わせて構成された 3 次元構造の撮像装置である。第 1 基板部 110 と、第 2 基板部 120 と、第 3 基板部 130 は、この順に積層されている。

[0062] 第 1 基板部 110 は、半導体基板 111 と、半導体基板 111 に設けられた複数のセンサ画素 112 とを有する。複数のセンサ画素 112 は、光電変換を行う。複数のセンサ画素 112 は、第 1 基板部 110 における画素領域 113 内に行列状に設けられている。第 2 基板部 120 は、半導体基板 121 と、半導体基板 121 に設けられた読み出し回路 122 と、半導体基板 121 に設けられて行方向に延在する複数の画素駆動線 123 と、半導体基板 121 に設けられて列方向に延在する複数の垂直信号線 124 とを有する。読み出し回路 122 は、センサ画素 112 から出力された電荷に基づく画素信号を出力する。読み出し回路 122 は、4 つのセンサ画素 112 ごとに 1

つつ設けられている。

[0063] 第3基板部130は、半導体基板131と、半導体基板131に設けられたロジック回路132を有する。ロジック回路132は、画素信号を処理する機能を有し、例えば、垂直駆動回路133、カラム信号処理回路134、水平駆動回路135およびシステム制御回路136を有する。

[0064] 垂直駆動回路133は、例えば、複数のセンサ画素112を行単位で順に選択する。カラム信号処理回路134は、例えば、垂直駆動回路133によって選択された行の各センサ画素112から出力される画素信号に対して、
相関二重サンプリング (Correlated Double Sampling : CDS) 処理を施す。カラム信号処理回路134は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素112の受光量に応じた画素データを保持する。水平駆動回路135は、例えば、カラム信号処理回路134に保持されている画素データを順次、外部に出力する。システム制御回路136は、例えば、ロジック回路132内の各ブロック (垂直駆動回路133、カラム信号処理回路134および水平駆動回路135) の駆動を制御する。

[0065] 図23は、本開示の実施形態3に係る画素ユニットPUの構成例を示す回路図である。図23に示すように、撮像装置100では、4つのセンサ画素112が1つの読み出し回路122に電氣的に接続されて、1つの画素ユニットPUを構成している。4つのセンサ画素112は、1つの読み出し回路122を共有しており、4つのセンサ画素112の各出力は共有する読み出し回路122に入力される。

[0066] 各センサ画素112は、互いに共通の構成要素を有する。図23では、各センサ画素112の構成要素を互いに区別するために、各センサ画素112の構成要素の符号 (例えば、後述のPD、TG、FD) の末尾に識別番号 (1, 2, 3, 4) が付与されている。以下では、各センサ画素112の構成要素を互いに区別する必要のない場合には、各センサ画素112の構成要素の符号の末尾の識別番号を省略するものとする。

[0067] 各センサ画素 1 1 2 は、例えば、フォトダイオード P D（本開示の「受光素子」の一例）と、フォトダイオード P D と電氣的に接続された転送トランジスタ T R と、転送トランジスタ T R を介してフォトダイオード P D から出力された電荷を一時的に保持するフローティングディフュージョン F D と、を有する。フォトダイオード P D は、光電変換を行って受光量に応じた電荷を発生する。フォトダイオード P D のカソードが転送トランジスタ T R のソースに電氣的に接続されており、フォトダイオード P D のアノードが基準電位線（例えばグラウンド）に電氣的に接続されている。転送トランジスタ T R のドレインがフローティングディフュージョン F D に電氣的に接続され、転送トランジスタ T R のゲート電極は画素駆動線 1 2 3 に電氣的に接続されている。転送トランジスタ T R は、例えば、C M O S（C o m p l e m e n t a r y M e t a l O x i d e S e m i c o n d u c t o r）トランジスタである。

[0068] 1 つの読み出し回路 1 2 2 を共有する各センサ画素 1 1 2 のフローティングディフュージョン F D は、互いに電氣的に接続されるとともに、共通の読み出し回路 1 2 2 の入力端に電氣的に接続されている。読み出し回路 1 2 2 は、例えば、増幅トランジスタ A M P と、リセットトランジスタ R S T 及び選択トランジスタ S E L とを有する。なお、選択トランジスタ S E L は、必要に応じて省略してもよい。

[0069] リセットトランジスタ R S T のソース（読み出し回路 1 2 2 の入力端）がフローティングディフュージョン F D に電氣的に接続されており、リセットトランジスタ R S T のドレインが電源線 V D D および増幅トランジスタ A M P のドレインに電氣的に接続されている。リセットトランジスタ R S T のゲート電極は画素駆動線 1 2 3（図 2 2 参照）に電氣的に接続されている。増幅トランジスタ A M P のソースが選択トランジスタ S E L のドレインに電氣的に接続されており、増幅トランジスタ A M P のゲート電極がリセットトランジスタ R S T のソースに電氣的に接続されている。選択トランジスタ S E L のソース（読み出し回路 1 2 2 の出力端）が垂直信号線 1 2 4 に電氣的に

接続されており、選択トランジスタSELのゲート電極が画素駆動線123(図22参照)に電氣的に接続されている。

[0070] 転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、読み出し回路122からの画素信号の出力タイミングを制御する。

[0071] 増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、フォトダイオードPDで発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電位を増幅して、その電位に応じた電圧を、垂直信号線124を介してカラム信号処理回路134に出力する。

[0072] 本開示の実施形態3では、リセットトランジスタRST、増幅トランジスタAMP、転送トランジスタTR及び選択トランジスタSELのうちの1つ以上に、実施形態1で説明したMOSトランジスタ3又は実施形態2で説明したMOSトランジスタ3Aが用いられる。

[0073] 例えば、図23に示すように、転送トランジスタTRは、第1基板部110に設けられている。転送トランジスタTRに、掘り込みゲート構造のMOSトランジスタ3、3Aが用いられてもよい。この場合、半導体基板111が実施形態1、2で説明した半導体基板2に相当する。また、転送トランジスタTR以外の他の画素トランジスタや、画素領域113の周辺に配置される周辺ロジック回路に、MOSトランジスタ3、3Aと並行して形成されたプレーナゲート構造のMOSトランジスタが用いられてもよい。

[0074] また、図23に示すように、リセットトランジスタRST、増幅トランジスタAMP及び選択トランジスタSELは、第2基板部120に設けられている。リセットトランジスタRST、増幅トランジスタAMP及び選択トランジスタSELのうちの1つ以上に、掘り込みゲート構造のMOSトランジスタ3、3Aが用いられてもよい。この場合、半導体基板121が実施形態1、2で説明した半導体基板2に相当する。また、リセットトランジスタRST、増幅トランジスタAMP及び選択トランジスタSEL以外の他の画素トランジスタや、読み出し回路122の周辺に配置される周辺ロジック回路に、MOSトランジスタ3、3Aと並行して形成されたプレーナゲート構造のMOSトランジスタが用いられてもよい。

[0075] 以上説明したように、本開示の実施形態3に係る撮像装置100は、フォトダイオードPDと、フォトダイオードPDで光電変換された電気信号を伝送するための半導体装置とを備える。撮像装置100は、この電気信号伝送用の半導体装置の少なくとも一部として、基板バイアス効果を低減した半導体装置1（または、半導体装置1A）を備える。これにより、撮像装置100は、例えば撮像データの低ノイズ化など、性能の向上を図ることができる。

[0076] <その他の実施形態>

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0077] 例えば、ゲート絶縁膜20には、シリコン酸窒化（SiON）膜、シリコン窒化物（Si₃N₄）膜も使用可能である。また、ゲート絶縁膜20には、単層の絶縁膜をいくつか積層した複合膜等も使用可能である。ゲート絶縁膜20としてSiO₂膜以外の絶縁膜を用いたMOSFETは、MISFETと呼んでもよい。MISFETは、MOSFETを含む、より包括的な電界効果トランジスタを意味する。

[0078] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0079] なお、本開示は以下のような構成も取ることができる。

(1) 半導体基板と、

前記半導体基板の第1主面側に設けられた電界効果トランジスタと、を備え、

前記電界効果トランジスタは、チャネルが形成される半導体領域と、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、

前記半導体領域と前記半導体基板との間に配置された第1絶縁膜と、を有し、

前記半導体領域は、

上面と、前記上面に平行な第1方向において前記上面の一方の側に位置する第1側面と、前記第1方向において前記上面の他方の側に位置する第2側面と、を有し、

前記ゲート電極は、

前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、

前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、

前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位と、を有する半導体装置。

(2) 前記第2部位の下面及び前記第3部位の下面は、前記半導体領域の下面よりも前記半導体基板に近い側に位置する、

前記(1)に記載の半導体装置。

(3) 前記半導体基板と前記第2部位との間に配置された第2絶縁膜と、

前記半導体基板と前記第3部位との間に配置された第3絶縁膜と、を備え

、前記第2絶縁膜と前記第3絶縁膜は、前記第1絶縁膜よりも厚さが薄い、前記(1)又は(2)に記載の半導体装置。

(4) 前記半導体領域は、前記上面の反対側に位置する下面を有し、

前記ゲート電極は、前記下面と前記ゲート絶縁膜を介して向かい合う第4部位を有する、前記(1)から(3)のいずれか1項に記載の半導体装置。

(5) 前記半導体基板に設けられたソース領域及びドレイン領域、をさらに備え、

前記ソース領域は、前記上面に平行で前記第1方向と直交する第2方向において、前記半導体領域の一方の側に接続し、

前記ドレイン領域は、前記第2方向において前記半導体領域の他方の側に接続している、前記(1)から(4)のいずれか1項に記載の半導体装置。

(6) 前記第2方向における前記ゲート電極の長さは、300nm以上500nm以下である、

前記(5)に記載の半導体装置。

(7) 前記上面と直交する第3方向における前記半導体領域の長さは、100nm以上1000nm以下である、

前記(1)から(6)のいずれか1項に記載の半導体装置。

(8) 受光素子と、

前記受光素子で光電変換された電気信号を伝送するための半導体装置と、を備え、

前記半導体装置は、

半導体基板と、

前記半導体基板に設けられた電界効果トランジスタと、を備え、

前記電界効果トランジスタは、

チャネルが形成される半導体領域と、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、

前記半導体領域と前記半導体基板との間に配置された第1絶縁膜と、を有

し、

前記半導体領域は、

上面と、前記上面に平行な第1方向において前記上面の一方の側に位置する第1側面と、前記第1方向において前記上面の他方の側に位置する第2側面と、を有し、

前記ゲート電極は、

前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、

前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、

前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位と、を有する撮像装置。

符号の説明

- [0080] 1、1 A 半導体装置
- 2 半導体基板
- 2 a おもて面
- 2 b うら面
- 3、3 A MOSトランジスタ
- 4 素子分離層
- 10 半導体領域
- 10 a 上面
- 10 b 第1側面
- 10 c 第2側面
- 10 d、32 d、33 d 下面
- 20 ゲート絶縁膜
- 30、30 A ゲート電極
- 31 第1部位
- 32 第2部位
- 33 第3部位
- 34 第4部位

- 4 1 ソース領域
- 4 2 ドレイン領域
- 5 1 第1絶縁膜
- 5 2 第2絶縁膜
- 5 3 第3絶縁膜
- 7 1、7 3 SiN膜
- 7 3 SiN膜
- 7 4、7 5 SiO₂膜
- 8 0 ゲート電極
- 1 0 0 撮像装置
- 1 1 0 第1基板部
- 1 1 1 半導体基板
- 1 1 2 センサ画素
- 1 1 3 画素領域
- 1 2 0 第2基板部
- 1 2 1 半導体基板
- 1 2 2 読み出し回路
- 1 2 3 画素駆動線
- 1 2 4 垂直信号線
- 1 3 0 第3基板部
- 1 3 1 半導体基板
- 1 3 2 ロジック回路
- 1 3 3 垂直駆動回路
- 1 3 4 カラム信号処理回路
- 1 3 5 水平駆動回路
- 1 3 6 システム制御回路
- AMP 増幅トランジスタ
- FD フローティングディフュージョン

H 1、H 2、H 1 1、H 1 2、H 1 3 トレンチ

H 2 トレンチ

P D フォトダイオードP U 画素ユニット

R P 1、R P 2、R P 3、R P 4、R P 5 レジストパターン

R S T リセットトランジスタ

S E L 選択トランジスタ

T R 転送トランジスタ

V D D 電源線

請求の範囲

- [請求項1] 半導体基板と、
前記半導体基板の第1主面側に設けられた電界効果トランジスタと、
を備え、
前記電界効果トランジスタは、
チャネルが形成される半導体領域と、
前記半導体領域を覆うゲート電極と、
前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、
前記半導体領域と前記半導体基板との間に配置された第1絶縁膜と、
を有し、
前記半導体領域は、
上面と、前記上面に平行な第1方向において前記上面の一方の側に位置する第1側面と、前記第1方向において前記上面の他方の側に位置する第2側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、
前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、
前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位と、
を有する半導体装置。
- [請求項2] 前記第2部位の下面及び前記第3部位の下面は、前記半導体領域の下面よりも前記半導体基板に近い側に位置する、請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板と前記第2部位との間に配置された第2絶縁膜と、
前記半導体基板と前記第3部位との間に配置された第3絶縁膜と、
を備え、
前記第2絶縁膜と前記第3絶縁膜は、前記第1絶縁膜よりも厚さが薄い、請求項1に記載の半導体装置。

- [請求項4] 前記半導体領域は、前記上面の反対側に位置する下面を有し、
前記ゲート電極は、前記下面と前記ゲート絶縁膜を介して向かい合う第4部位を有する、請求項1に記載の半導体装置。
- [請求項5] 前記半導体基板に設けられたソース領域及びドレイン領域、をさらに備え、
前記ソース領域は、前記上面に平行で前記第1方向と直交する第2方向において、前記半導体領域の一方の側に接続し、
前記ドレイン領域は、前記第2方向において前記半導体領域の他方の側に接続している、請求項1に記載の半導体装置。
- [請求項6] 前記第2方向における前記ゲート電極の長さは、300nm以上500nm以下である、請求項5に記載の半導体装置。
- [請求項7] 前記上面と直交する第3方向における前記半導体領域の長さは、100nm以上1000nm以下である、請求項1に記載の半導体装置。
- [請求項8] 受光素子と、
前記受光素子で光電変換された電気信号を伝送するための半導体装置と、を備え、
前記半導体装置は、
半導体基板と、
前記半導体基板に設けられた電界効果トランジスタと、を備え、
前記電界効果トランジスタは、
チャネルが形成される半導体領域と、
前記半導体領域を覆うゲート電極と、 前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、
前記半導体領域と前記半導体基板との間に配置された第1絶縁膜と、を有し、
前記半導体領域は、
上面と、前記上面に平行な第1方向において前記上面の一方の側に

位置する第 1 側面と、前記第 1 方向において前記上面の他方の側に位置する第 2 側面と、を有し、

前記ゲート電極は、

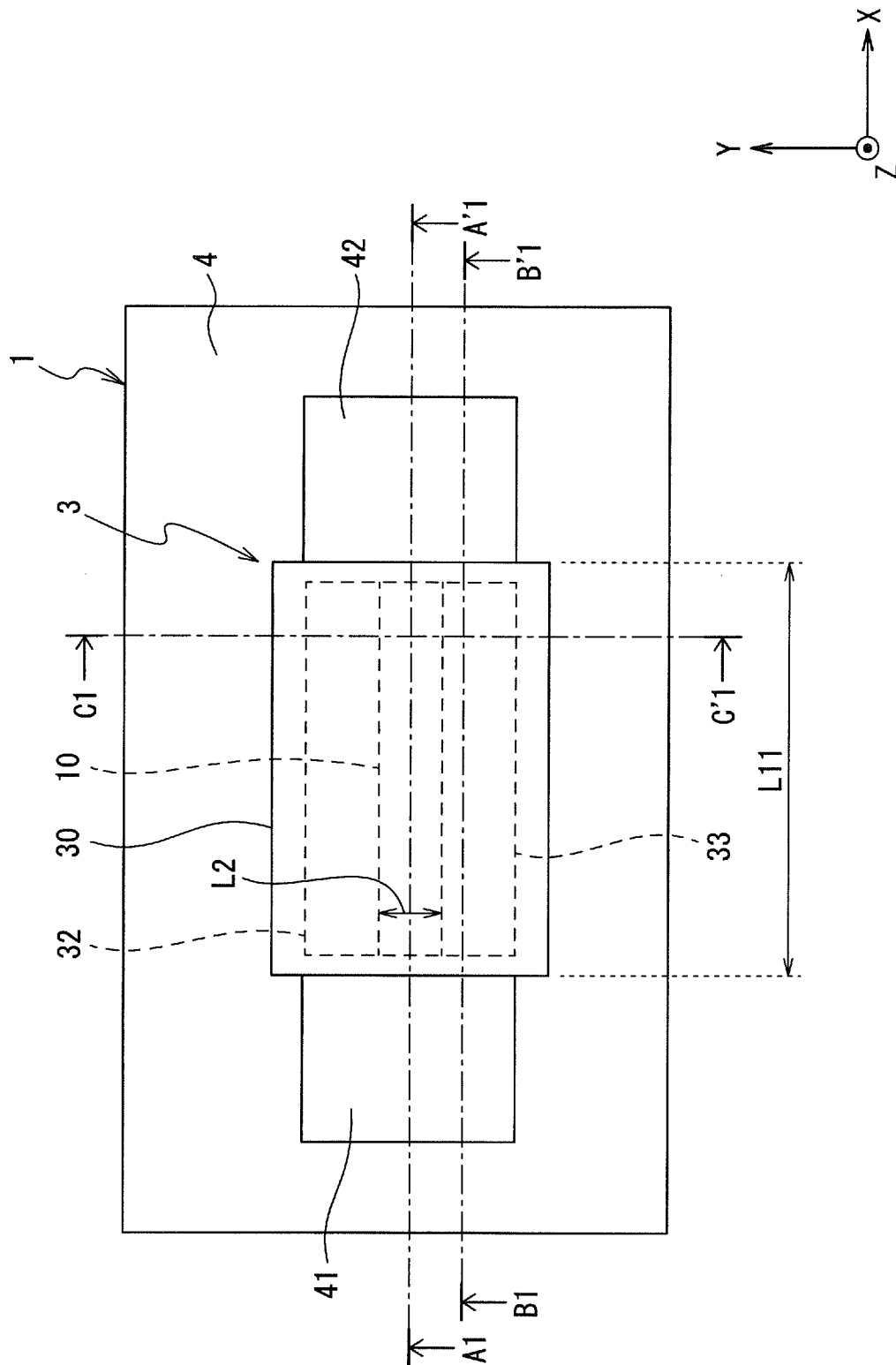
前記上面と前記ゲート絶縁膜を介して向かい合う第 1 部位と、

前記第 1 側面と前記ゲート絶縁膜を介して向かい合う第 2 部位と、

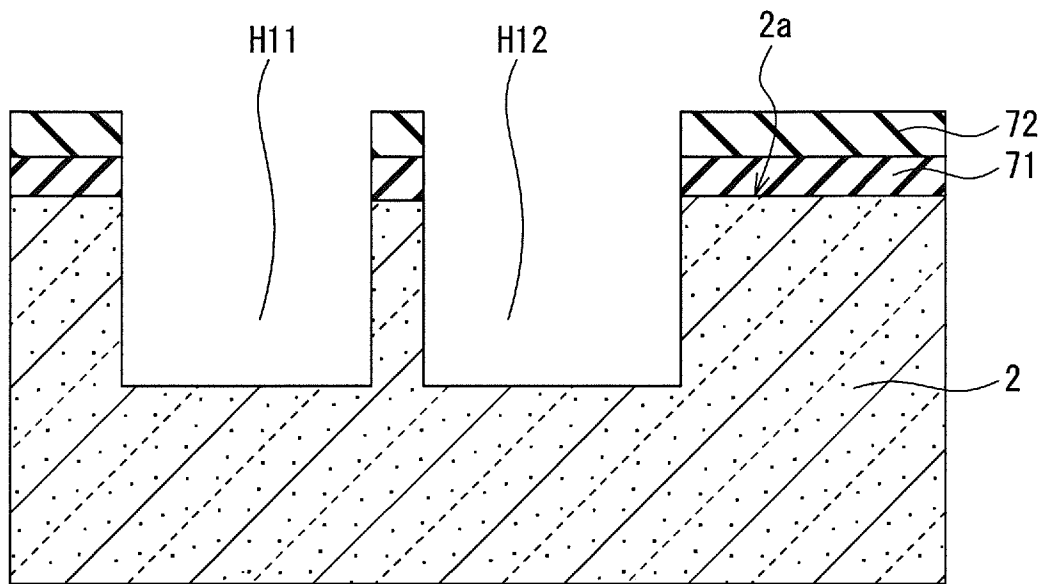
前記第 2 側面と前記ゲート絶縁膜を介して向かい合う第 3 部位と、

を有する撮像装置。

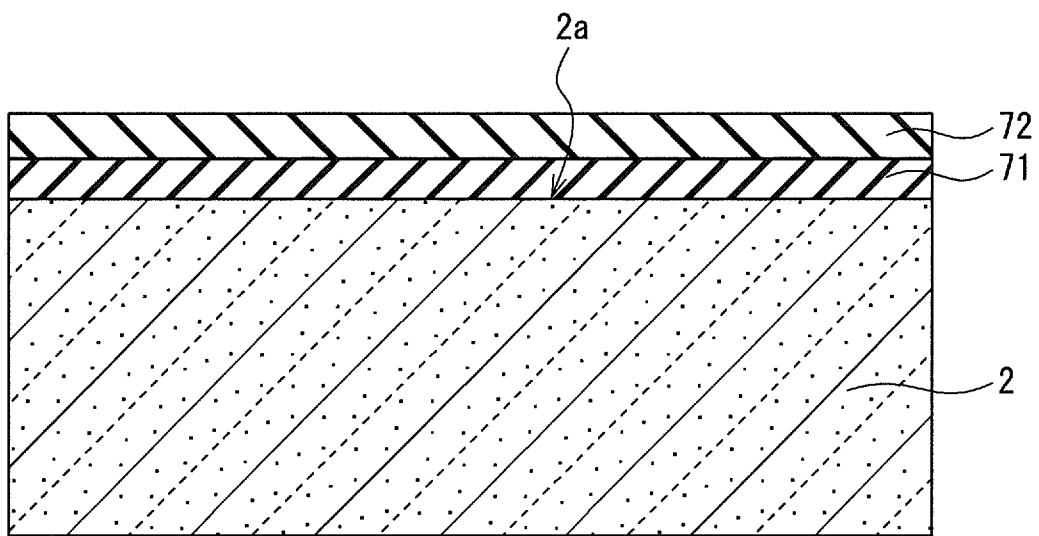
[図1]



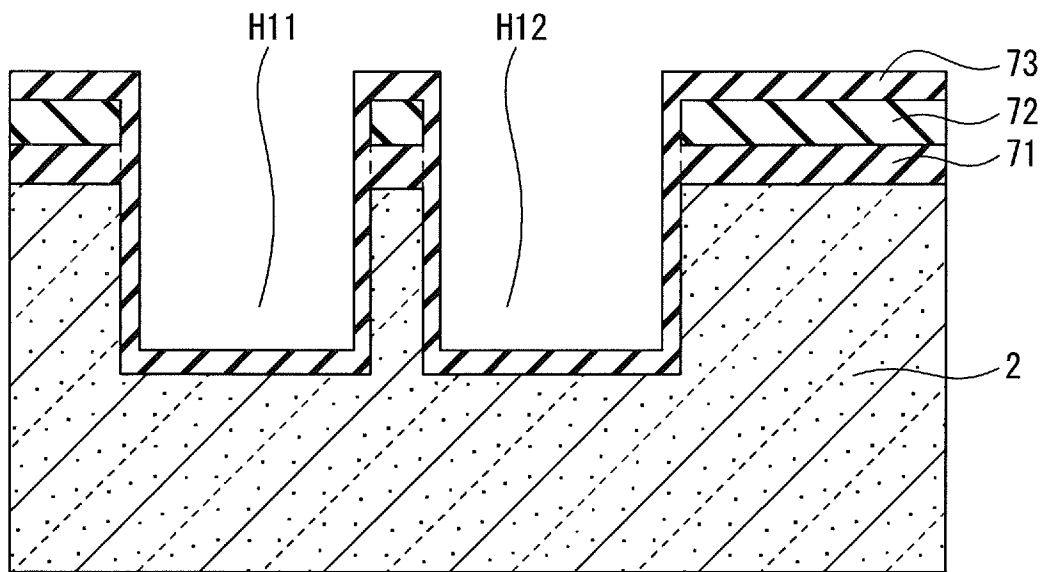
[図6A]



[図6B]



[図7A]



[図7B]

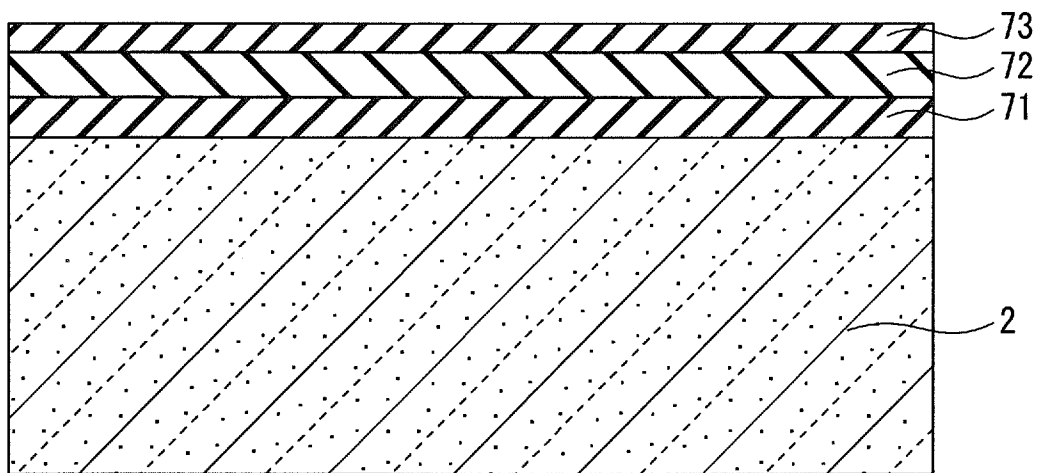
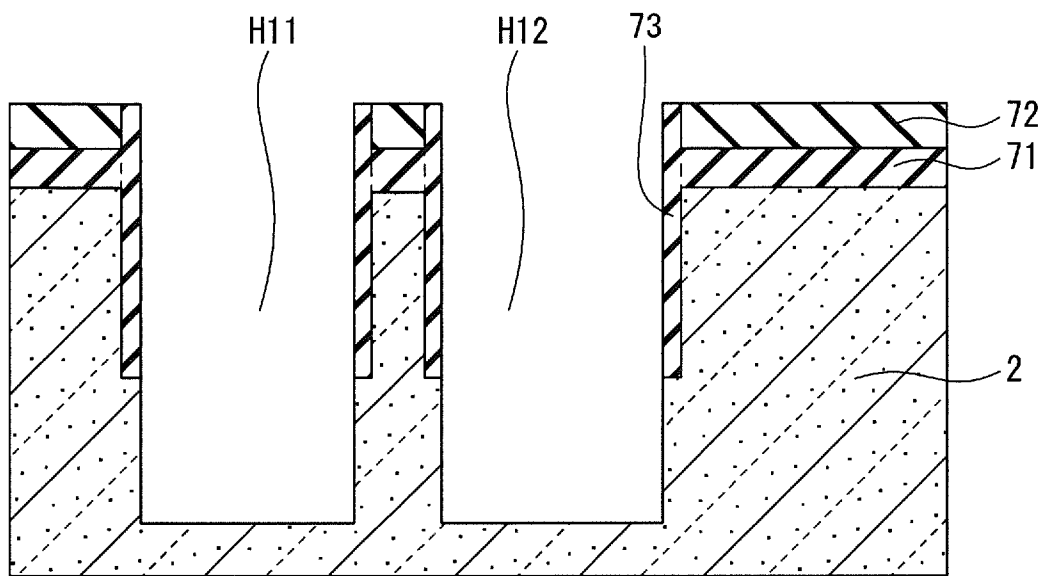


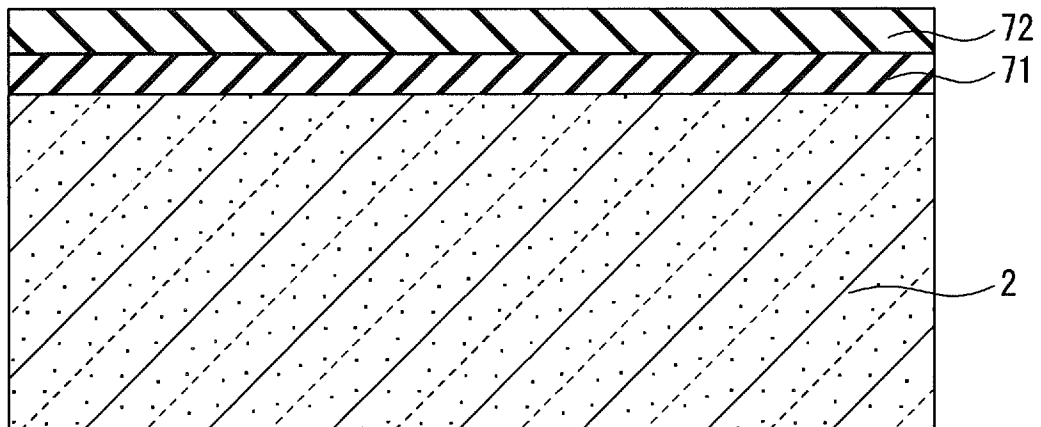
Diagram illustrating a cross-sectional view of a substrate (2) with three openings (H11, H12, 73). The openings are defined by side walls with diagonal hatching. The top surface of the openings is labeled 71 and 72.

Figure 1 is a schematic cross-sectional view of a substrate 1. The substrate 1 is a rectangular block with a pattern of solid and dashed diagonal lines and dots. On top of the substrate 1 is a top layer 2. The top layer 2 is divided into a first layer 71 and a second layer 72. The first layer 71 is a thin layer with diagonal hatching. The second layer 72 is a thicker layer with a pattern of solid and dashed diagonal lines and dots. The substrate 1 is the main body of the device, also showing a pattern of solid and dashed diagonal lines and dots.

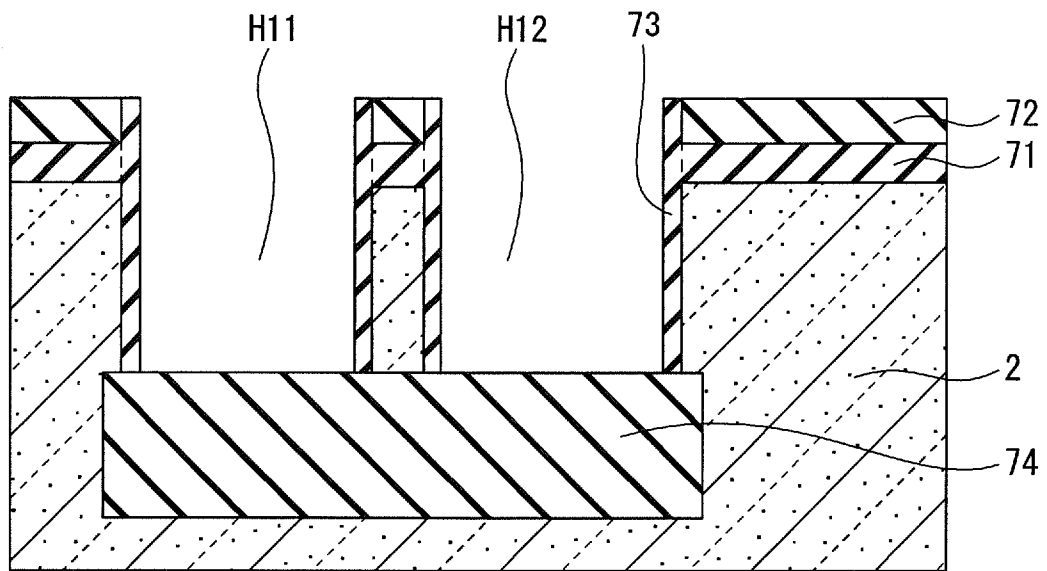
[図9A]



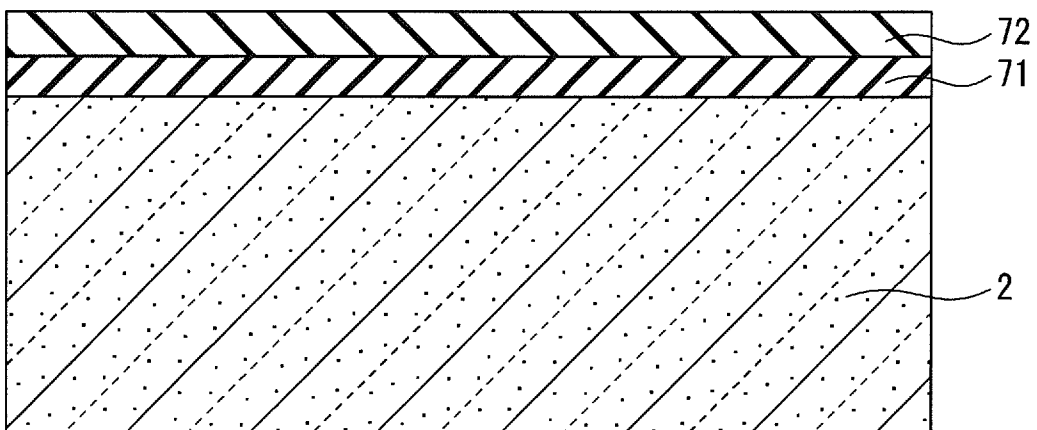
[図9B]



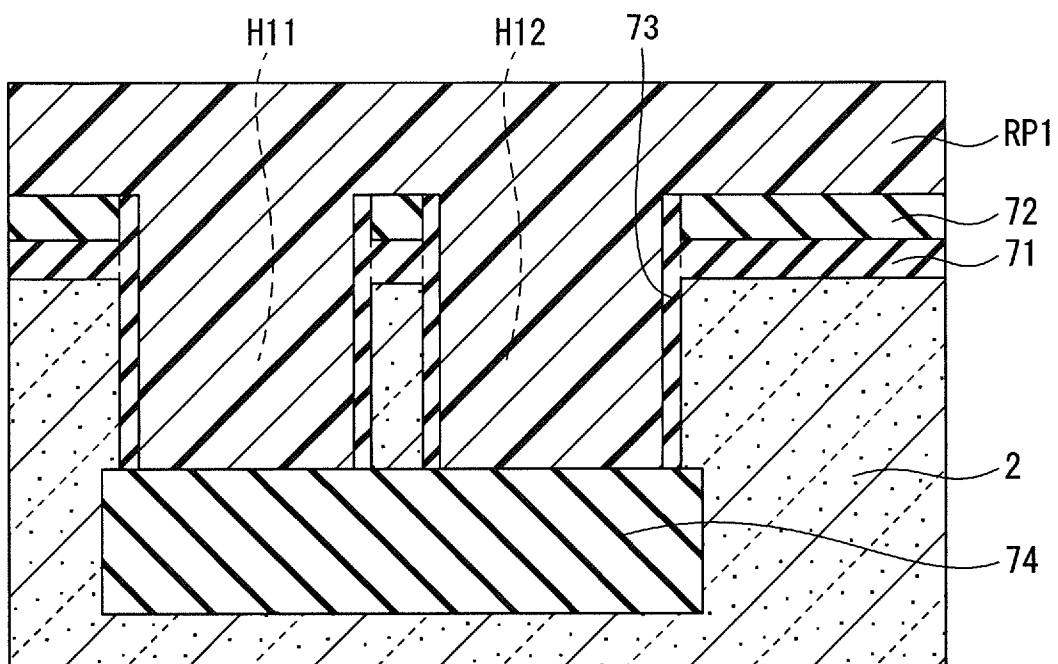
[図10A]



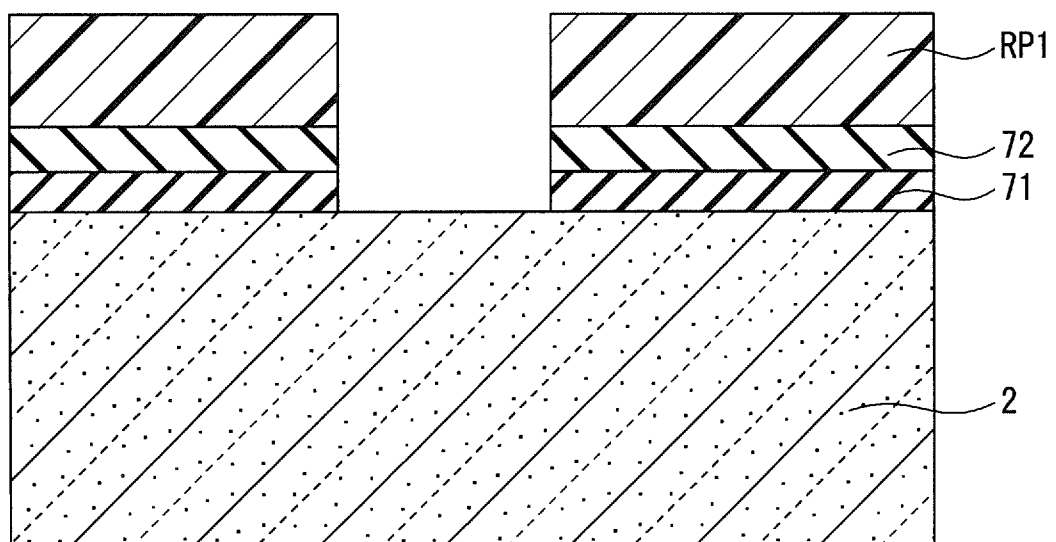
[図10B]



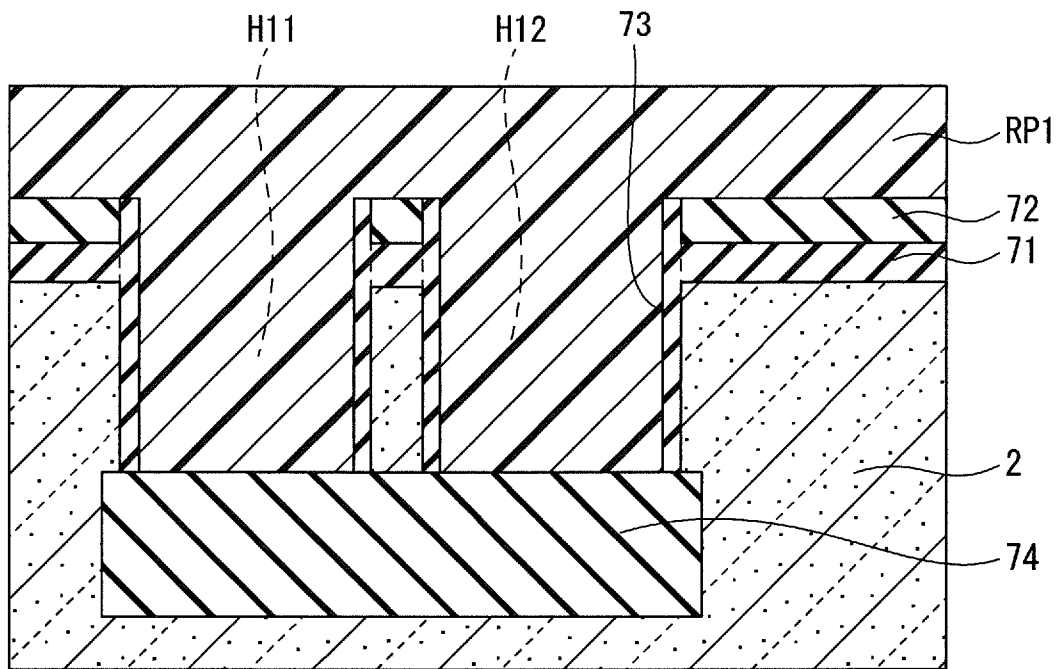
[図11A]



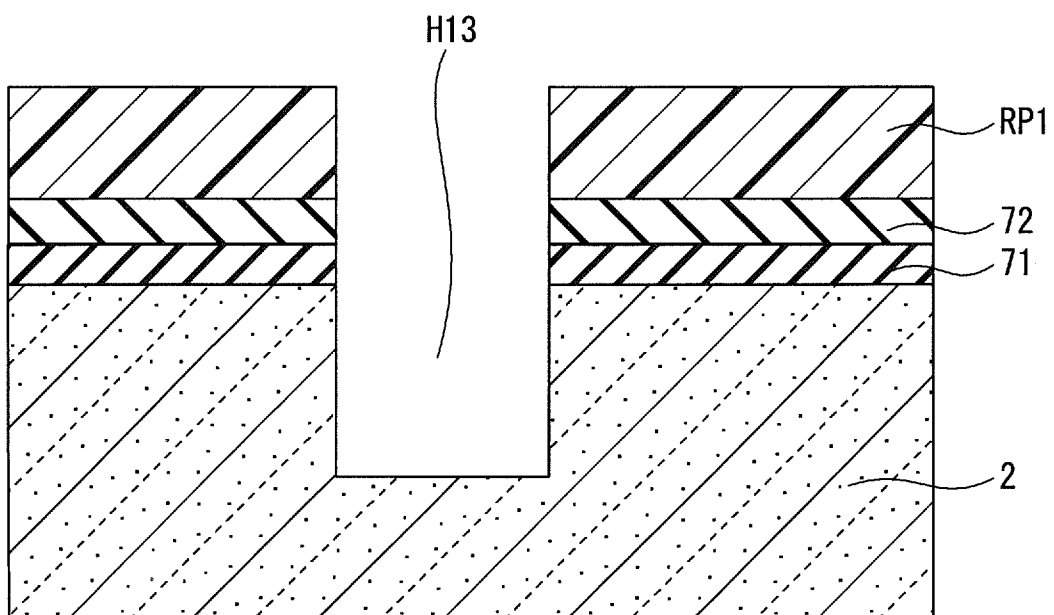
[図11B]



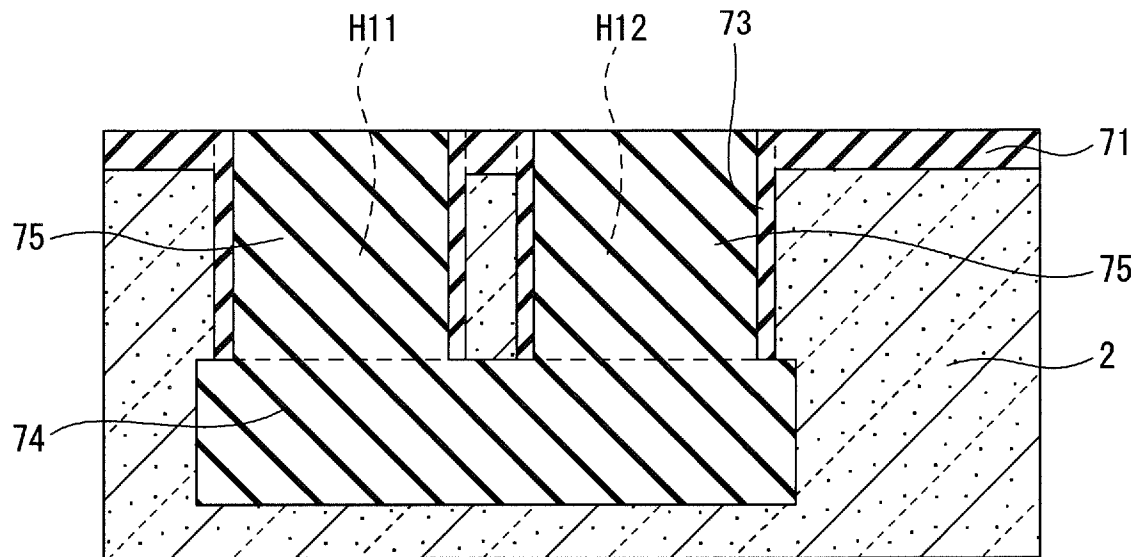
[図12A]



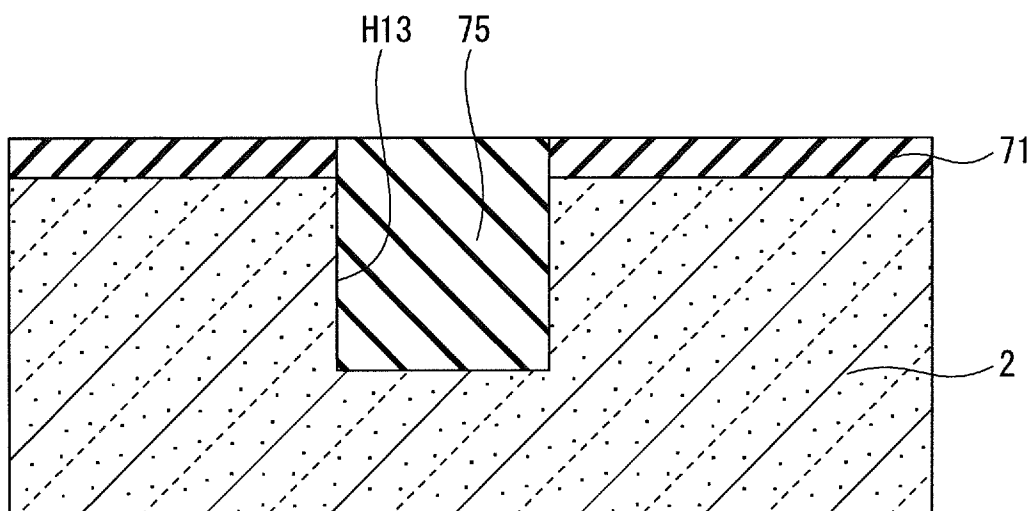
[図12B]



[図13A]

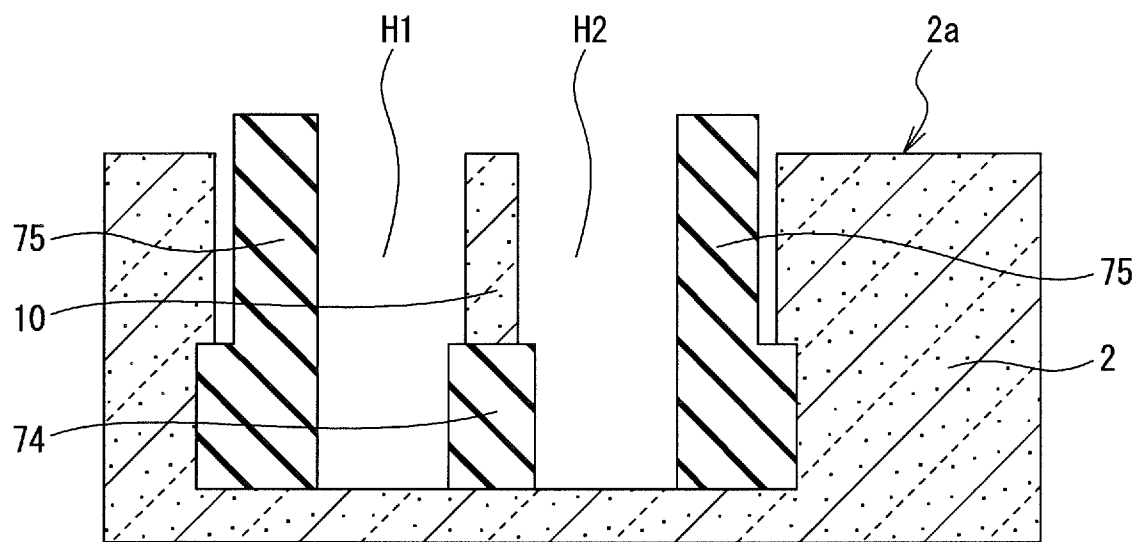


[図13B]

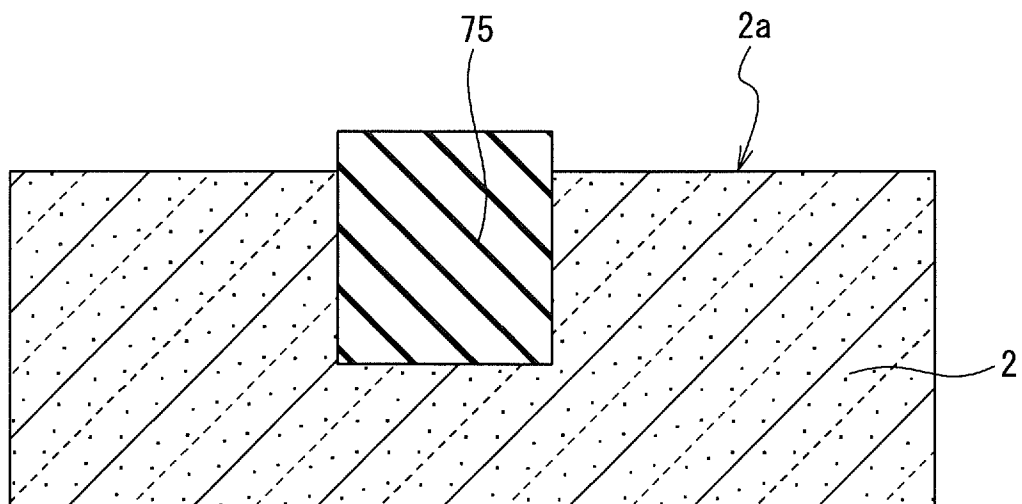


A cross-sectional view of a semiconductor device. The device consists of a central region 75, a top layer RP2, a middle layer 71, and a bottom layer 2. The central region 75 is a square-shaped region with diagonal hatching. The top layer RP2 is a thin layer above the central region 75. The middle layer 71 is a thin layer below the central region 75. The bottom layer 2 is a thick layer below the middle layer 71, containing diagonal hatching and small dots.

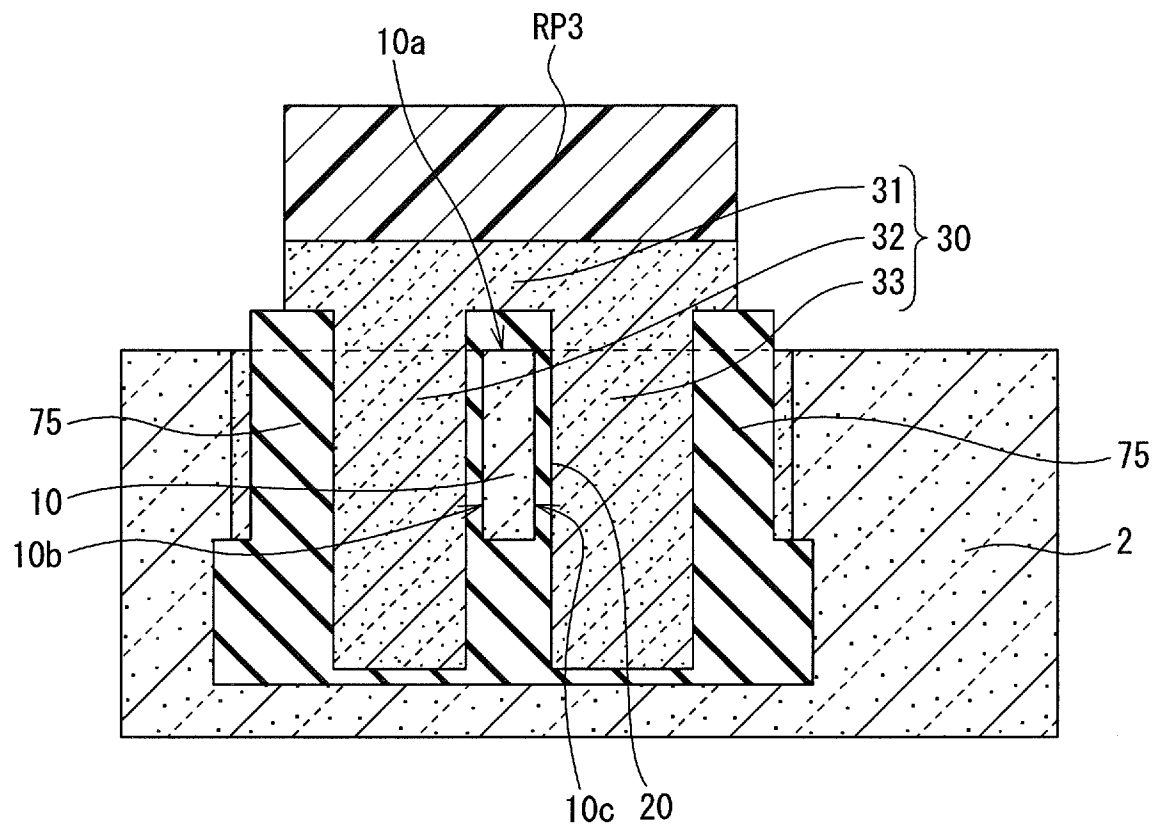
[図15A]



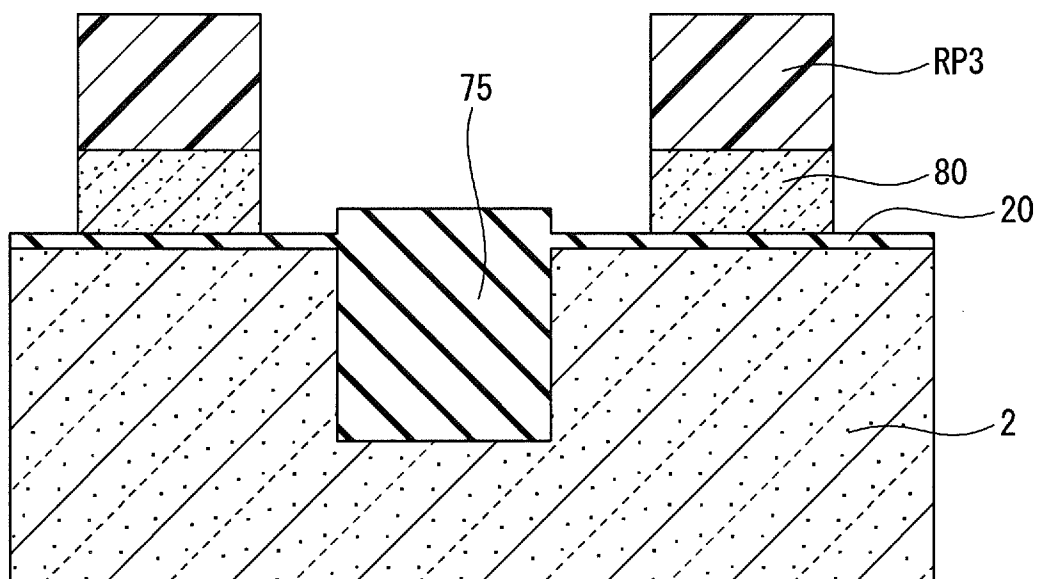
[図15B]



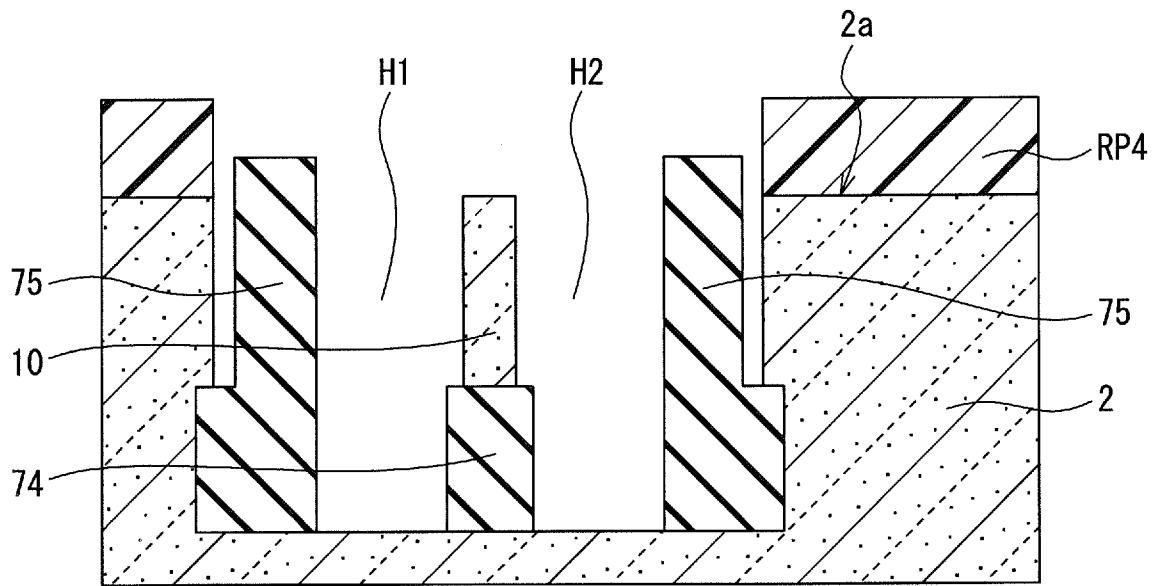
[図16A]



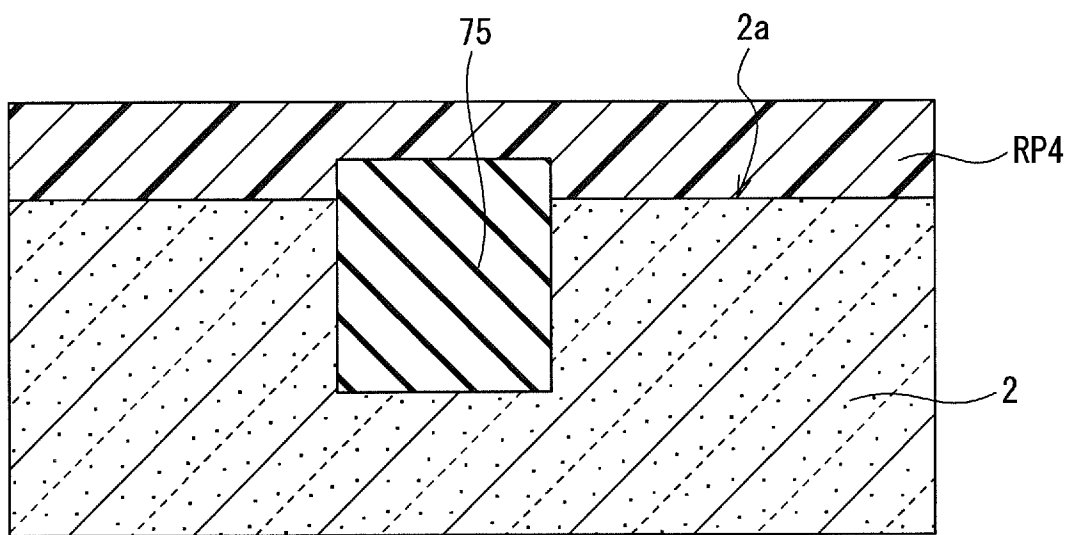
[図16B]



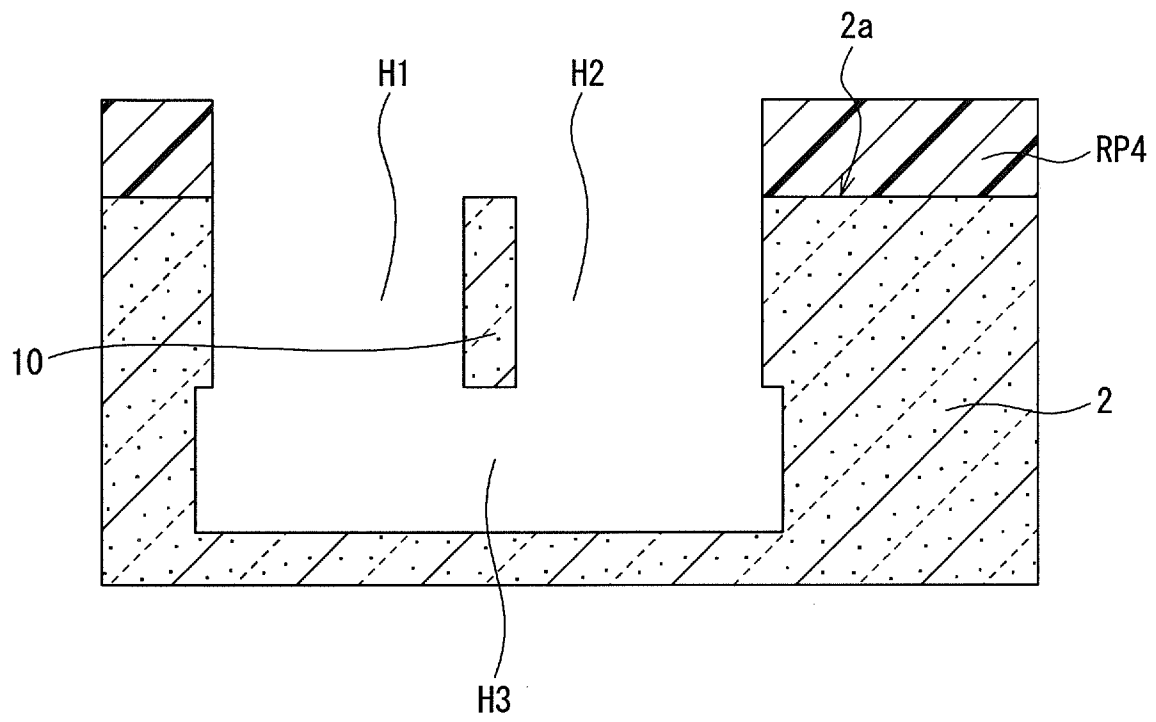
[図19A]



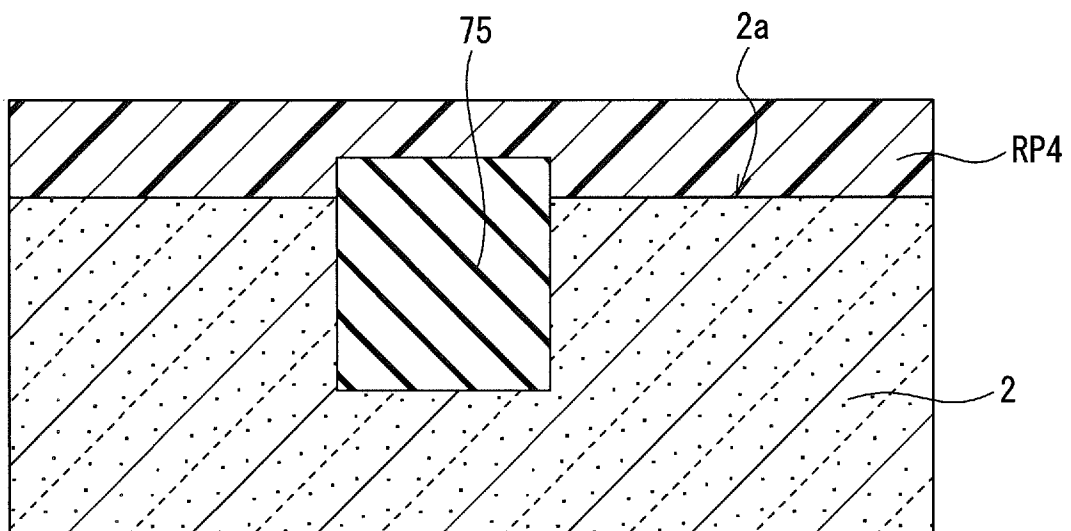
[図19B]



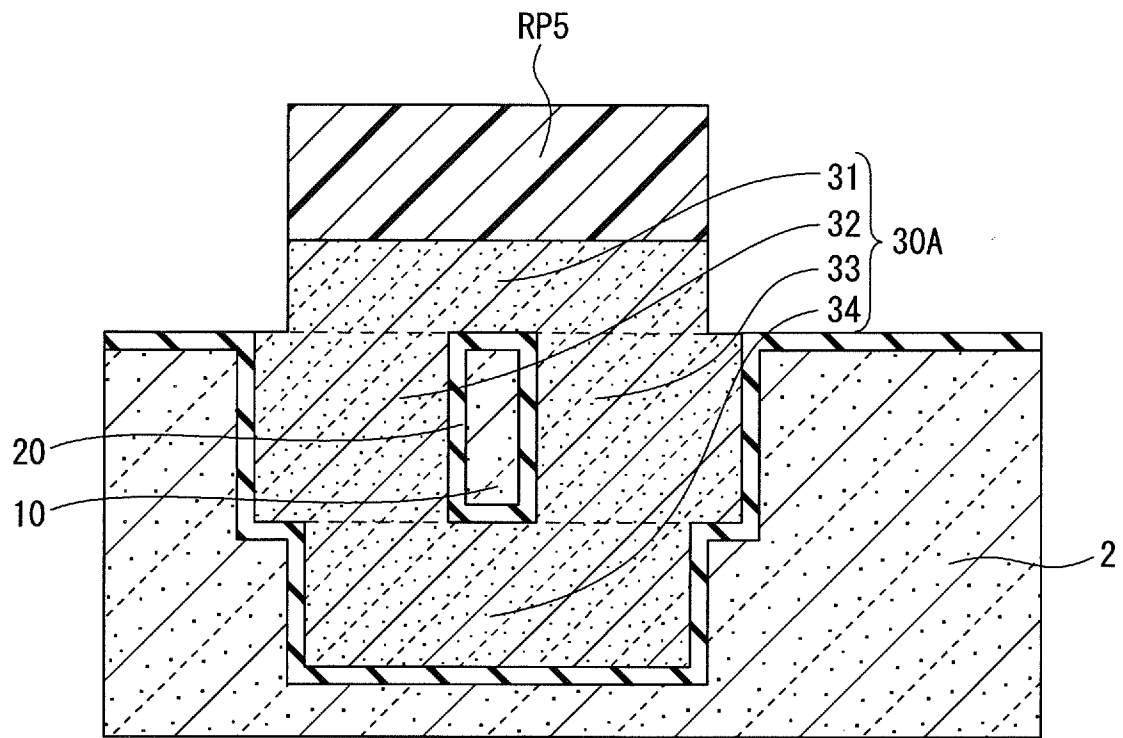
[図20A]



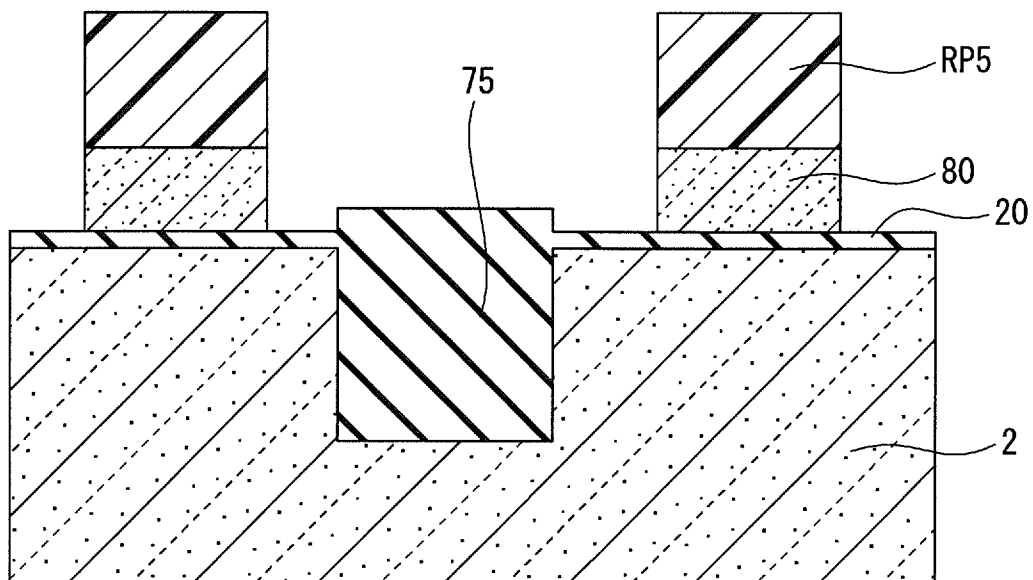
[図20B]



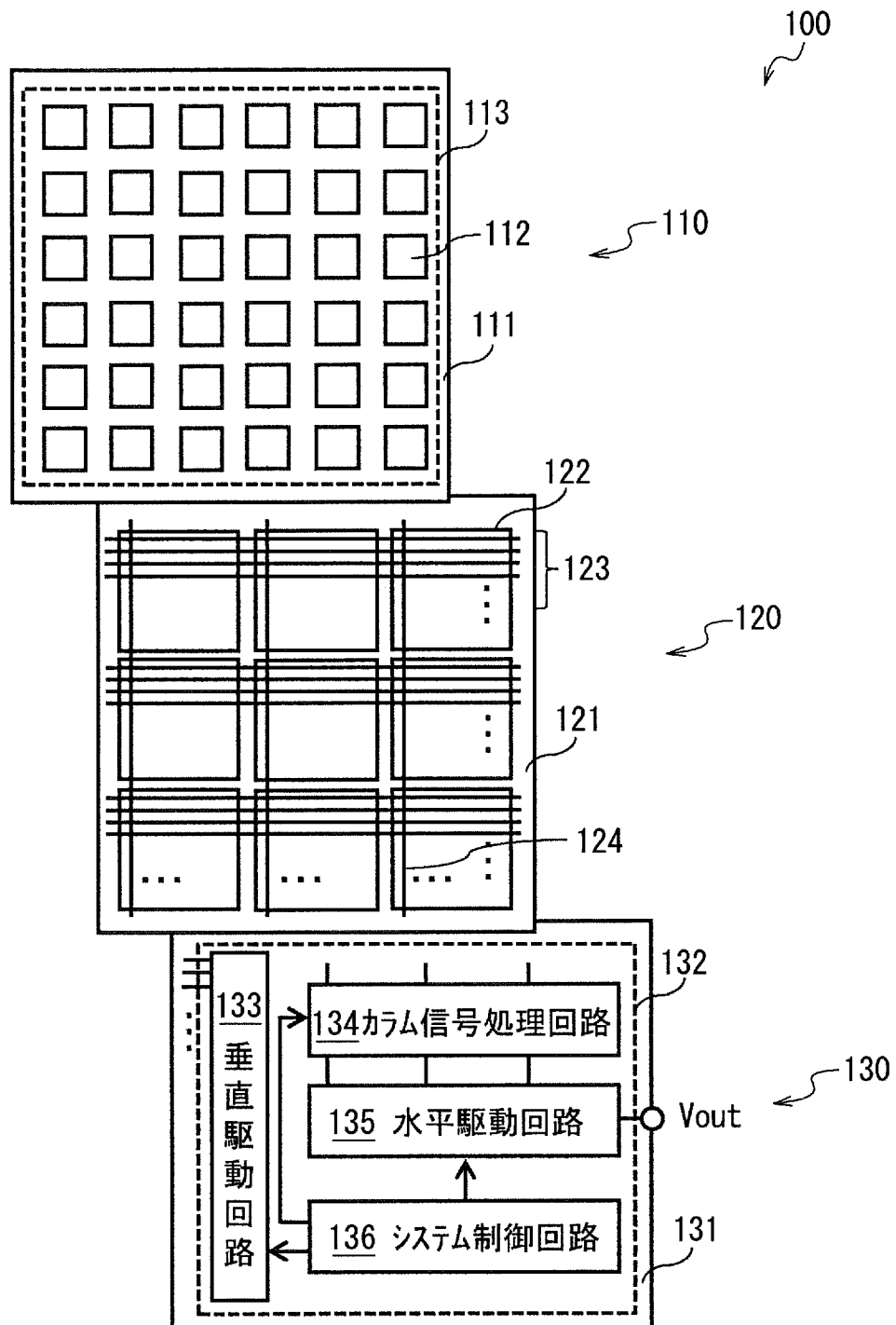
[図21A]



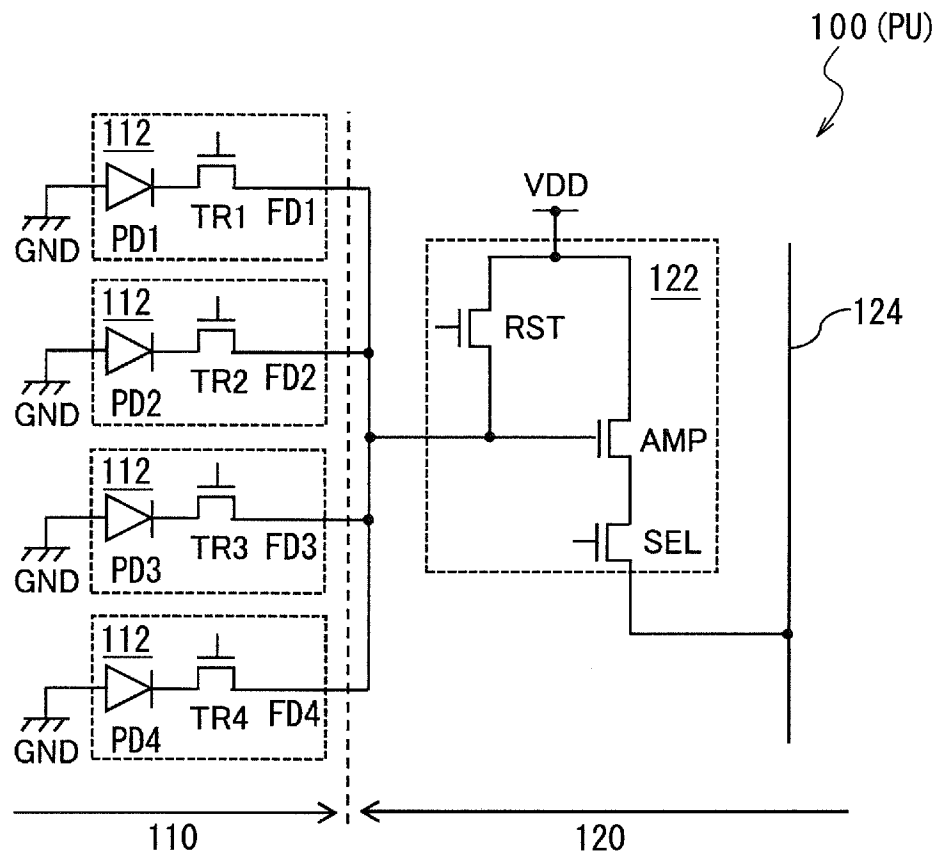
[図21B]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/020667

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i, H04N5/374(2011.01)i

FI: H01L29/78301V, H04N5/374, H01L29/78618C, H01L29/78617K, H01L29/78613Z, H01L27/146A, H01L27/146F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/336, H01L27/146, H01L29/786, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-502756 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 28.01.2016 (2016-01-28), paragraphs [0013]-[0020], fig. 7	1-3, 5-7
Y		8
A		4
X	JP 05-198817 A (SHARP CORPORATION) 06.08.1993 (1993-08-06), paragraphs [0048]-[0060], fig. 7-11	1, 2, 4-7
Y		8
A		3
Y	JP 2012-216776 A (SONY CORPORATION) 08.11.2012 (2012-11-08), paragraph [0510]	8
Y	JP 2006-121093 A (SAMSUNG ELECTRONICS CO., LTD.) 11.05.2006 (2006-05-11), paragraph [0028], fig. 2	8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11.08.2020Date of mailing of the international search report
25.08.2020Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/020667

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-135353 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE & TECHNOLOGY) 24.07.2014 (2014-07-24)	1-8
A	US 2017/0338322 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 23.11.2017 (2017-11-23)	1-8
A	JP 2007-158139 A (OKI ELECTRIC IND CO., LTD.) 21.06.2007 (2007-06-21)	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/020667

JP 2016-502756 A	28.01.2016	US 2014/0124860 A1 paragraphs [0028]-[0035], fig. 7 WO 2014/074192 A1 TW 201423999 A CN 104769722 A
JP 05-198817 A	06.08.1993	(Family: none)
JP 2012-216776 A	08.11.2012	US 2012/0248544 A1 paragraph [0715] CN 102738168 A
JP 2006-121093 A	11.05.2006	US 2006/0081887 A1 paragraph [0038], fig. 2 KR 10-2006-0034926 A CN 1812112 A
JP 2014-135353 A	24.07.2014	TW 201428829 A
US 2017/0338322 A1	23.11.2017	(Family: none)
JP 2007-158139 A	21.06.2007	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 27/146(2006.01)i; H01L 29/786(2006.01)i; H04N 5/374(2011.01)i FI: H01L29/78 301V; H04N5/374; H01L29/78 618C; H01L29/78 617K; H01L29/78 613Z; H01L27/146 A; H01L27/146 F																													
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L27/146; H01L29/786; H04N5/374 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年																			
日本国実用新案公報	1922-1996年																												
日本国公開実用新案公報	1971-2020年																												
日本国実用新案登録公報	1996-2020年																												
日本国登録実用新案公報	1994-2020年																												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2016-502756 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）28.01.2016（2016-01-28） 段落0013-0020, 図7</td> <td>1-3, 5-7</td> </tr> <tr> <td>Y</td> <td></td> <td>8</td> </tr> <tr> <td>A</td> <td></td> <td>4</td> </tr> <tr> <td>X</td> <td>JP 05-198817 A（シャープ株式会社）06.08.1993（1993-08-06） 段落0048-0060, 図7-11</td> <td>1, 2, 4-7</td> </tr> <tr> <td>Y</td> <td></td> <td>8</td> </tr> <tr> <td>A</td> <td></td> <td>3</td> </tr> <tr> <td>Y</td> <td>JP 2012-216776 A（ソニー株式会社）08.11.2012（2012-11-08） 段落0510</td> <td>8</td> </tr> <tr> <td>Y</td> <td>JP 2006-121093 A（三星電子株式会社）11.05.2006（2006-05-11） 段落0028, 図2</td> <td>8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2016-502756 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）28.01.2016（2016-01-28） 段落0013-0020, 図7	1-3, 5-7	Y		8	A		4	X	JP 05-198817 A（シャープ株式会社）06.08.1993（1993-08-06） 段落0048-0060, 図7-11	1, 2, 4-7	Y		8	A		3	Y	JP 2012-216776 A（ソニー株式会社）08.11.2012（2012-11-08） 段落0510	8	Y	JP 2006-121093 A（三星電子株式会社）11.05.2006（2006-05-11） 段落0028, 図2	8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
X	JP 2016-502756 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）28.01.2016（2016-01-28） 段落0013-0020, 図7	1-3, 5-7																											
Y		8																											
A		4																											
X	JP 05-198817 A（シャープ株式会社）06.08.1993（1993-08-06） 段落0048-0060, 図7-11	1, 2, 4-7																											
Y		8																											
A		3																											
Y	JP 2012-216776 A（ソニー株式会社）08.11.2012（2012-11-08） 段落0510	8																											
Y	JP 2006-121093 A（三星電子株式会社）11.05.2006（2006-05-11） 段落0028, 図2	8																											
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																													
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																													
国際調査を完了した日 11.08.2020		国際調査報告の発送日 25.08.2020																											
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 棚田 一也 5F 1592 電話番号 03-3581-1101 内線 3516																											

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-135353 A (独立行政法人産業技術総合研究所) 24.07.2014 (2014 - 07 - 24)	1-8
A	US 2017/0338322 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 23.11.2017 (2017 - 11 - 23)	1-8
A	JP 2007-158139 A (沖電気工業株式会社) 21.06.2007 (2007 - 06 - 21)	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/020667

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-502756	A	28.01.2016	US 2014/0124860 A1 段落0028-0035, 図7 WO 2014/074192 A1 TW 201423999 A CN 104769722 A	
JP	05-198817	A	06.08.1993	(ファミリーなし)	
JP	2012-216776	A	08.11.2012	US 2012/0248544 A1 段落0715 CN 102738168 A	
JP	2006-121093	A	11.05.2006	US 2006/0081887 A1 段落0038, 図2 KR 10-2006-0034926 A CN 1812112 A	
JP	2014-135353	A	24.07.2014	TW 201428829 A	
US	2017/0338322	A1	23.11.2017	(ファミリーなし)	
JP	2007-158139	A	21.06.2007	(ファミリーなし)	