

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-202951
(P2006-202951A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F O 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B	5 F 1 4 O
HO 1 L 27/088 (2006.01)		

審査請求 有 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2005-12509 (P2005-12509)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成17年1月20日 (2005.1.20)	(74) 代理人	100108121 弁理士 奥山 雄毅
		(72) 発明者	島 昌司 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5F048 AA08 AC01 AC03 BA14 BB05 BB08 BB11 BB14 BC06 BD04 BD09 BF06 BF16 DA23

最終頁に続く

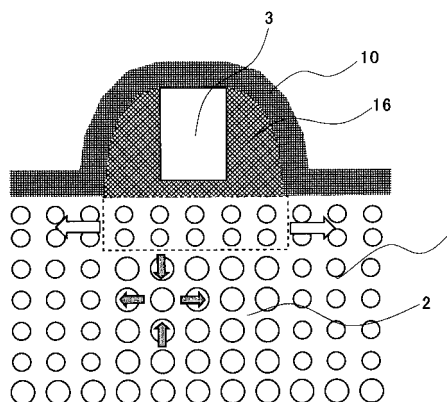
(54) 【発明の名称】 MOS型電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 緩和SiGe層のGe組成を増大させることなく、歪みSiチャンネルに、横方向に、従来構造よりも大きな引張り歪みを与えることにより、nMOS、pMOSの電子、正孔の移動度を大きく向上させることができ、高速化及び低消費電力化を実現するMOS型電界効果トランジスタの製造方法を提供することを課題とする。

【解決手段】 シリコンとは異なる格子定数を有する化合物層2とシリコン層1とを有する基板表面上に、絶縁膜を介してゲート電極3を形成する工程と、前記ゲート電極3の側壁にサイドウォール16を形成する工程と、前記化合物層2の側壁を露出する工程と、前記化合物の側壁にシリコン膜1を格子整合して形成する工程とを有することを特徴とするMOS型電界効果トランジスタの製造方法。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

シリコンとは異なる格子定数を有する化合物層とシリコン層とを有する基板表面に、絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の側壁にサイドウォールを形成する工程と、

前記化合物層の側壁を露出する工程と、

前記化合物の側壁にシリコン膜を格子整合して形成する工程とを有することを特徴とする MOS 型電界効果トランジスタの製造方法。

【請求項 2】

請求項 1 に記載の MOS 型電界効果トランジスタの製造方法において、

前記化合物層が、緩和シリコンゲルマニウム層からなる

ことを特徴とする MOS 型電界効果トランジスタの製造方法。

10

【請求項 3】

請求項 2 に記載の MOS 型電界効果トランジスタの製造方法において、

ゲート長方向に対する、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きい

ことを特徴とする MOS 型電界効果トランジスタの製造方法。

【請求項 4】

請求項 2 または 3 に記載の MOS 型電界効果トランジスタの製造方法において、

前記ゲート電極に自己整合するように、前記緩和シリコンゲルマニウム層の側壁に前記シリコン膜を形成する

ことを特徴とする MOS 型電界効果トランジスタの製造方法。

20

【請求項 5】

請求項 4 に記載の MOS 型電界効果トランジスタの製造方法において、

前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面を、前記ゲート電極のサイドウォールに自己整合するように形成する

ことを特徴とする MOS 型電界効果トランジスタの製造方法。

【請求項 6】

シリコンとは異なる格子定数を有する化合物層とシリコン層とを有する基板と、

前記基板上に絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の側壁を覆うサイドウォールと、

前記化合物層の側壁に格子整合して形成されたシリコン膜とを有する

ことを特徴とする MOS 型電界効果トランジスタ。

30

【請求項 7】

請求項 6 に記載の MOS 型電界効果トランジスタにおいて、

前記化合物層が、緩和シリコンゲルマニウム層からなる

ことを特徴とする MOS 型電界効果トランジスタ。

【請求項 8】

請求項 7 に記載の MOS 型電界効果トランジスタにおいて、

チャンネル方向に対し、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きい

ことを特徴とする MOS 型電界効果トランジスタ。

40

【請求項 9】

請求項 7 または 8 に記載の MOS 型電界効果トランジスタにおいて、

前記シリコン膜に、寄生抵抗領域を有する

ことを特徴とする MOS 型電界効果トランジスタ。

【請求項 10】

請求項 9 に記載の MOS 型電界効果トランジスタにおいて、

前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記サイドウォールの外壁端に沿っている

50

ことを特徴とするMOS型電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、格子定数の異なる2種類の半導体層が積層してなるヘテロ接合構造の一方の半導体層に歪みが印加されるMOS(Metal Oxide Semiconductor)型電界効果トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

従来、MOS型電界効果トランジスタは、構造の微細化を進めることにより性能の向上が図られてきた。ところが、近年、情報処理やデータ通信の高速化、低消費電力化のために、低リーク電流で高速動作のできる、より性能の向上したMOS型電界効果トランジスタが求められるようになってきた。これに対し、従来からのスケールリング則に従ったMOS型電界効果トランジスタの微細化は、限界に近づきつつあった。

10

【0003】

そこで、高速化の方法の一つとして、歪みをチャンネルに導入することで、チャンネル材料の物性を変えて移動度を向上させる技術が開示されている。

例えば、特許文献1、2では、緩和シリコンゲウマニウム(SiGe)層上にシリコン(Si)を積層し、大きな歪みを加えることで、電子移動度を大きく向上させnMOS型電界効果トランジスタの特性を大きく向上させている。

20

また、特許文献3では、同一Si基板上に、圧縮歪み状態の第1のSiGe層の一部に形成されたpMOSFETと、第2のSiGe層上の引っ張り歪み状態のSi層に形成されたnMOSFETとを作製し、高速・高性能な集積化トランジスタを実現している。

【0004】

【特許文献1】特開平9-321307号公報

【特許文献2】特開2001-332745号公報

【特許文献3】特開平10-92947号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、電子又は正孔の移動度を向上し、駆動電流を大幅に増大させるためには、緩和SiGe層のGe組成を、例えば30%以上と大きくする必要があり、そうすると、同時に転位密度も増加し、リーク電流が増加し、素子の消費電力が大きくなってしまふ。一方、Ge組成を低くすると、転位密度は減少し、リーク電流は小さくなるが、Siチャンネル層の歪み量は小さくなり、移動度の向上は小さくなるという問題があった。

30

【0006】

上記問題点に鑑み、本発明は、緩和SiGe層のGe組成を増大させることなく、歪みSiチャンネルに、横方向に、従来構造よりも大きな引っ張り歪みを与えることにより、nMOS、pMOSの電子、正孔の移動度を大きく向上させることができ、高速化及び低消費電力化を実現するMOS型電界効果トランジスタの製造方法を提供することを課題とする。

40

また、このMOS型電界効果トランジスタの製造方法により、プロセス工程を大幅に変更することなく、既存プロセスとの整合性が高く、コスト的に優位性があるMOS型電界効果トランジスタを提供することを課題とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明は以下のことを特徴とする。

1. 本発明のMOS型電界効果トランジスタの製造方法は、シリコンとは異なる格子定数を有する化合物層とシリコン層と有する基板表面に、絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側壁にサイドウォールを形成する工程と、前記化合物層の側

50

壁を露出する工程と、前記化合物の側壁にシリコン膜を格子整合して形成する工程とを有することを特徴とする。

2. 前記化合物層が、緩和シリコンゲルマニウム層からなることを特徴とする。

3. ゲート長方向に対する、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きいことを特徴とする。

4. 前記ゲート電極に自己整合するように、前記緩和シリコンゲルマニウム層の側壁に前記シリコン膜を形成することを特徴とする。

5. 前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面を、前記ゲート電極のサイドウォールに自己整合するように形成することを特徴とする。

【0008】

6. 本発明のMOS型電界効果トランジスタは、シリコンとは異なる格子定数を有する化合物層とシリコン層とを有する基板と、前記基板上に絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側壁を覆うサイドウォールと、前記化合物層の側壁に格子整合して形成されたシリコン膜とを有することを特徴とする。

7. 前記化合物層が、緩和シリコンゲルマニウム層からなることを特徴とする。

8. チャネル方向に対し、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きいことを特徴とする。

9. 前記シリコン膜に、寄生抵抗領域を有することを特徴とする。

10. 前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記サイドウォールの外壁端に沿っていることを特徴とする。

【発明の効果】

【0009】

本発明のMOS型電界効果トランジスタの製造方法により、緩和SiGe層のGe組成を増大させることなく、歪みSiチャンネルに、横方向に、従来構造よりも大きな引張り歪みを与えることにより、nMOS、pMOSの電子、正孔の移動度を大きく向上させることができ、高速化及び低消費電力化を実現するMOS型電界効果トランジスタの製造方法を提供することができる。

また、このMOS型電界効果トランジスタの製造方法を用いることにより、プロセス工程を大幅に変更することなく、既存プロセスとの整合性が高く、コスト的に優位性があるMOS型電界効果トランジスタを提供することができる。

【発明を実施するための最良の形態】

【0010】

以下に、本発明を実施するための最良の形態を図面に基づいて説明する。なお、以下の説明はこの発明の最良の形態の例であって、いわゆる当業者は特許請求の範囲内で、変更・修正をして他の実施形態をなすことは容易であり、以下の説明が特許請求の範囲を限定するものではない。

【0011】

本発明の実施形態に係るMOS型電界効果トランジスタの原理を図1から図3を用いて説明する。

図1は、本発明に係るMOS型電界効果トランジスタの構造を示す図である。図2は、本発明に係るMOS型電界効果トランジスタの原理説明図である。図3は、本発明に係るMOS型電界効果トランジスタの断面構造設計図である。

図1に示すように、格子定数の異なる2種類の半導体層として、数 μm の緩和SiGe層2にSi層1をヘテロ接合により積層して、エッチングプロセスにより緩和SiGe層2の側壁を露出させ、その側壁にSi1をエピタキシャルに埋め込み成長させ、緩和SiGe層2の縦方向の格子定数を小さくすることで、緩和SiGe層2のGe組成を増大させることなく、緩和SiGe層2の横方向の格子定数を大きくできる。

Geの組成%は、実用的なレベルである20%程度としている。30%以上と大きくすると、転位密度が増加してリーク電流が増加し、半導体素子の消費電力が大きくなる。一方、Ge組成%を小さくすると、転位密度が減少してリーク電流は小さくなるが、Siチ

10

20

30

40

50

チャンネル層の歪み量は小さくなり、移動度の向上は小さくなる。

【0012】

また、図2に示すように、緩和SiGe層2の側壁にSi層1を埋め込むことで、Siチャンネル近傍で、SiGe層2以上に格子定数が大きくなり、SiGe層2の上層のSiの歪みを大きくできる。

さらに、図3に示すように、ゲート長方向に対する、即ち、チャンネル方向に対して、緩和SiGe層2の幅 L_{SiGe} を埋め込みSi層1の幅 L_{Si} より小さくすることで、容易に、緩和SiGe層2の縦方向の格子定数を小さく、横方向の格子定数を大きくすることができる。

以上により、緩和SiGe層2のGe組成を増大させることなく、歪みSiチャンネルに、横方向に、従来の構造よりも大きな引張り歪みを与えることができ、nMOS、pMOSの電子移動度、正孔移動度を大きく向上させることができる。

【0013】

本発明に係るMOS型電界効果トランジスタの構造は、チャンネル方向に対して、どの位置で緩和SiGe層の側壁にSiを再成長させるかという点で、次の6種類がある。

図4、図5、図6は、本発明に係るMOS型電界効果トランジスタの構造を示す図である。

図4(a)は、SiGe/Siの再成長界面がゲート電極側の側面に自己整合的に形成されている構造を示す図である。エッチングを施して露出したSiGe層2の側壁にSi層1を再成長させた再成長界面が、ゲート電極3側の側面に自己整合的に形成されることで、ゲート電極3下のチャンネル領域のみに大きな歪みが印加される。さらに、寄生抵抗領域はSiより形成されるので、従来のMOS型、CMOS型電界効果トランジスタの製造工程で用いる不純物導入技術、例えば、イオン打ち込み法を用いて作製できる。

図4(b)は、SiGe/Siの再成長界面が、ゲート電極側の側面より内側に形成されている構造を示す図である。ゲート電極3側の側面より内側に形成されることで、チャンネル領域に大きな歪みが印加され、ポケット、エクステンションpn接合がSiGe/Siヘテロ接合界面と交わらないように構成でき、高移動度、かつ、低接合リークのMOS型電界効果トランジスタを作製できる。

【0014】

図5(c)は、SiGe/Siの再成長界面が、ゲート電極のサイドウォールの外壁端部直下に自己整合的に形成されている構造を示す図である。ゲート電極3のサイドウォール16の外壁端部直下に自己整合的に形成されることで、チャンネル領域、及び、寄生抵抗領域に大きな歪みが印加され、高移動度、低寄生抵抗のトランジスタを作製できる。

図5(d)は、SiGe/Siの再成長界面が、ゲート電極の側壁直下とサイドウォールの外側端部直下との間に形成される構造を示す図である。ゲート電極3の側壁直下とサイドウォール16の外壁端部直下との間に形成されることで、ポケット、エクステンションpn接合がSi/SiGeヘテロ接合界面と交わらないように構成でき、高移動度、低寄生抵抗、かつ、接合リーク電流が小さいMOS型電界効果トランジスタを作製できる。

【0015】

図6(e)は、SiGe/Siの再成長界面が基板表面から内部に向うにしたがって、ゲート電極の外側に延びている構造を示す図である。再成長界面が基板表面から内部に向かうに従って、再成長界面がゲート電極3の外側へ延びる構造である。この構造では、ポケット、エクステンションpn接合がSi/SiGeヘテロ接合界面と交わらないように形成されることで、接合リーク電流が小さいMOS型電界効果トランジスタを作製できる。

図6(f)は、SiGe/Siの再成長界面が基板表面から内部に向うにしたがって、ゲート電極の内側に延びている構造を示す図である。再成長界面が基板表面から内部に向かうに従って、再成長界面がゲート電極3の内側へ延びる構造である。この構造では、チャンネルSi層直下でSiGeの横方向の歪みが最大になるように構成され、Siチャンネル層の歪みが大きくなっていて、特に高移動度のMOS型電界効果トランジスタが作製でき

10

20

30

40

50

る。

【実施例】

【0016】

以下、実施例により本発明を更に説明するが、本発明はこれに限定されるものではない。

【0017】

(実施例1)

図7、図8は、実施例1に係るMOS型電界効果トランジスタの製造プロセスを示す図である。図7(a)は、Si/SiGe積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。図7(b)は、ソース/ドレイン領域にエッチングを施した状態を示す図である。図7(c)は、CVD法にてSiを埋め戻した状態を示す図である。図8(d)は、エクステンション注入を行った後、サイドウォールを形成し、ソース/ドレイン領域に注入を行った状態を示す図である。図8(e)は、コンタクトエッチングストップ膜を形成した状態を示す図である。図8(f)は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

10

【0018】

図7に示すように、SiGeの緩和バッファ2を有する歪みシリコン基板に、素子分離工程終了後、SiONのゲート絶縁膜7及びポリシリコンのゲート電極3を形成する。次に、ゲート電極3をマスクしてソース/ドレイン領域をエッチングし、その後、CVD法でSiを埋め戻す。以上により、緩和SiGe層2の縦方向の格子定数を小さくすることで、緩和SiGe層2のGe組成を増大させることなく、緩和SiGe層2の横方向の格子定数を大きくでき、歪みSiチャンネルに、横方向に、従来の構造よりも大きな引張り歪みを与えることができる。

20

【0019】

次に、図8に示すように、パンチスルーストップ及びエクステンション17注入を行った後、サイドウォール16を形成し、ソース/ドレイン領域に注入を行う。例えば、p型であれば、ボロン(B)、n型であれば、ヒ素(As)、リン(P)等がある。活性化アニールにより注入イオンを活性化した後、シリサイド11として、例えばNiSiを形成する。さらに、その上にコンタクトエッチングストップ膜10として、例えば引っ張り応力(テンサイルストレス)を持つSiN膜を形成し、次に、層間絶縁膜12を形成し、コンタクトホールをあけ、電極を形成する。

30

以上により、緩和SiGe層2のGe組成を増大することなく、チャンネルSiに大きな歪みを印加でき、低リーク電流、高移動度及び高駆動電流のMOS型電界効果トランジスタを作製できる。

【0020】

(実施例2)

図9、図10は、実施例2に係るMOS型電界効果トランジスタの製造プロセスを示す図である。図9(a)は、Si/SiGe積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。図9(b)は、ゲート、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。図9(c)は、CVD法にてSiを埋め戻した状態を示す図である。図10(d)は、エクステンション注入を行った後、サイドウォールを形成した状態を示す図である。図10(e)は、シリサイドの上にコンタクトエッチングストップ膜を形成した状態を示す図である。図10(f)は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

40

【0021】

図9に示すように、SiGeの緩和バッファを有する歪みシリコン基板に、素子分離工程終了後、SiONのゲート絶縁膜7及びポリシリコンのゲート電極3を形成する。次に、ゲート電極3にサイドウォール16を形成し、このサイドウォール16をマスクして自己整合的にソース/ドレイン領域をエッチングし、その後、CVD法でSiを埋め戻す。

以上により、緩和SiGe層2の縦方向の格子定数を小さくすることで、緩和SiGe

50

層 2 の Ge 組成を増大させることなく、緩和 SiGe 層 2 の横方向の格子定数を大きくでき、歪み Si チャンネルに、横方向に、従来の構造よりも大きな引張り歪みを与えることができる。

また、実施例 1 で作成した MOS 型電界効果トランジスタでは、ゲート絶縁膜 7 が薄い場合には、ゲート電極 3 とソース/ドレイン部の CVD 法で埋め戻されたシリコン層とが接触し、歩留まりが低下する問題があるが、本実施例のように、この間にサイドウォール 16 を挿入することにより、歩留まりを大幅に向上できるという利点がある。

【0022】

次に、図 10 に示すように、一度サイドウォール 16 を除去し、パンチスルーストップ及びエクステンション注入を行った後、サイドウォール 16 を形成し、ソース/ドレイン領域に注入を行う。活性化アニールにより注入イオンを活性化した後、シリサイド 11 として、例えば NiSi を形成する。その上にコンタクトエッチングストップ膜 10 として、例えば引張り応力（テンシルストレス）をもつ SiN 膜を形成し、さらに、層間絶縁膜 12 を形成してコンタクトホールをあけ、電極 13 を形成する。

以上により、緩和 SiGe の Ge 組成を増大することなく、チャンネル Si 及びエクステンション領域 17 に大きな歪みを印加でき、低リーク電流、高移動度、高駆動電流及び低寄生抵抗の MOS 型電界効果トランジスタを作製できる。

【0023】

（実施例 3）

図 11、図 12 は、実施例 3 に係る MOS 型電界効果トランジスタの製造プロセスを示す図である。図 11 (a) は、Si/SiGe 積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。図 11 (b) は、ゲート電極、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。図 11 (c) は、エッチングした部分を Si で埋め戻した状態を示す図である。図 12 (d) は、ソース/ドレイン領域に注入を行った状態を示す図である。図 12 (e) は、シリサイドの上にコンタクトエッチングストップ膜を形成した状態を示す図である。図 12 (f) は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

図 11 に示すように、SiGe の緩和バッファを有する歪みシリコン基板に、素子分離工程終了後、SiON のゲート絶縁膜 7 及びポリシリコンのゲート電極 3 を形成する。次に、パンチスルーストップ及びエクステンション注入を行った後、サイドウォール 16 を形成し、このサイドウォール 16 をマスクして自己整合的にソース/ドレイン領域をエッチングし、その後、CVD 法で Si を埋め戻す。

以上により、緩和 SiGe 層 2 の縦方向の格子定数を小さくすることで、緩和 SiGe 層 2 の Ge 組成を増大させることなく、緩和 SiGe 層 2 の横方向の格子定数を大きくでき、歪み Si チャンネルに、横方向に、従来の構造よりも大きな引張り歪みを与えることができる。

【0024】

また、実施例 1 で作成した MOS 型電界効果トランジスタでは、ゲート絶縁膜 7 が薄い場合には、ゲート電極 31 とソース/ドレイン部の CVD 法で埋め戻されたシリコン層 1 とが接触し、歩留まりが低下する問題があるが、本実施例のように、この間にサイドウォール 16 を挿入することにより、歩留まりを大幅に向上できるという利点がある。

次に、図 12 に示すように、ソース/ドレイン領域に注入を行う。活性化アニールにより注入イオンを活性化した後、シリサイド 11 として、例えば NiSi を形成する。その上にコンタクトエッチングストップ膜 10 として、例えば引張り応力（テンシルストレス）をもつ SiN 膜を形成し、さらに、層間絶縁膜 12 を形成してコンタクトホールをあけ、電極 13 を形成する。

以上により、緩和 SiGe の Ge 組成を増大することなく、チャンネル Si 及びエクステンション領域 17 に大きな歪みを印加でき、低リーク電流、高移動度、高駆動電流及び低寄生抵抗の MOS 型電界効果トランジスタを作製できる。

【0025】

10

20

30

40

50

(実施例4)

図13は、実施例4に係るMOS型電界効果トランジスタの製造プロセスを示す図である。図13(b)は、ゲート電極、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。図13(b')は、歪みSi層及び緩和SiGe層を絶縁膜及びサイドウォールに対して選択的に、横方向にエッチングした状態を示す図である。図13(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

実施例4は、実施例1ないし3をさらに発展させたものである。まず、ソース/ドレインとボディとの間の接合リーク電流を低減するために、ゲート電極3にサイドウォール16を形成した状態で、ソース/ドレイン領域をエッチングする。その後、ポケット、エクステンションpn接合部がSiとSiGeとのヘテロ接合界面と交差せず、接合リーク電流が低減されるように、歪みSi/緩和SiGe層を絶縁膜及びサイドウォール16に対して選択的に、横方向にエッチングし、ソース/ドレイン領域にSiをCVD法で再成長させる。

以上により、ソース/ドレインとボディとの間の接合リーク電流を低減することができ、歩留まりの向上を達成できる。

【0026】

(実施例5)

図14は、実施例5に係るMOS型電界効果トランジスタの製造プロセスを示す図である。図14(b)は、Si/SiGe界面が、基板表面から内部に向かうに従って、ゲート電極の内側に延びるようにエッチングをした状態を示す図である。図14(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

実施例5は、実施例1ないし3をさらに発展させたものである。まず、ソース/ドレインとボディとの間の接合リーク電流を低減するために、ゲート電極3にサイドウォール16を形成した状態で、ソース/ドレイン領域をエッチングする。このとき、基板表面から内部に向かって、Si/SiGe界面が内側に延びるような形状にする。これにより、歪みSi/緩和SiGe界面での横方向歪みが大きくなる。その後、ソース/ドレイン領域にSiをCVD法で再成長させることで、高移動度のMOS型電界効果トランジスタを製作できる。

【0027】

(実施例6)

図15は、実施例6に係るMOS型電界効果トランジスタの製造プロセスを示す図である。図15(b)は、ゲート電極、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。図15(b')は、緩和SiGe層を歪みSi層に対して選択的にエッチングした状態を示す図である。図15(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

実施例6は、実施例1ないし3をさらに発展させたものである。まず、ソース/ドレインとボディとの間の接合リーク電流を低減するために、ゲート電極3にサイドウォール16を形成した状態で、ソース/ドレイン領域をエッチングする。その後、歪みSi/緩和SiGe界面での横方向歪みが最大となるアスペクトレシオになるように、緩和SiGe層2を歪みSi層1に対して選択的にエッチングした。その後、ソース/ドレイン領域にSiをCVD法で再成長させることで、移動度がさらに高くなるように素子構造をチューニングできる。

【0028】

以上が本発明の実施形態による説明であるが、発明として、例えば、下記のような特徴を抽出することができるので、ここで列挙しておく。

(付記1)シリコンとは異なる格子定数を有する化合物層とシリコン層とを有する基板表面に、絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側壁にサイドウォールを形成する工程と、前記化合物層の側壁を露出する工程と、前記化合物の側壁にシリコン膜を格子整合して形成する工程とを有することを特徴とするMOS型電界効果トランジ

10

20

30

40

50

スタの製造方法。

(付記2) 付記1に記載のMOS型電界効果トランジスタの製造方法において、前記化合物層が、緩和シリコンゲルマニウム層からなることを特徴とするMOS型電界効果トランジスタの製造方法。

(付記3) 付記2に記載のMOS型電界効果トランジスタの製造方法において、ゲート長方向に対する、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きいことを特徴とするMOS型電界効果トランジスタの製造方法。

【0029】

(付記4) 付記2または3に記載のMOS型電界効果トランジスタの製造方法において、前記ゲート電極に自己整合するように、前記緩和シリコンゲルマニウム層の側壁に前記シリコン膜を形成することを特徴とするMOS型電界効果トランジスタの製造方法。

10

(付記5) 付記4に記載のMOS型電界効果トランジスタの製造方法において、前記シリコンゲルマニウム層と前記シリコン膜との接合界面を、ゲート長方向に対し、前記ゲート電極の側壁より内側に形成することを特徴とするMOS型電界効果トランジスタの製造方法。

(付記6) 付記4に記載のMOS型電界効果トランジスタの製造方法において、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面を、前記ゲート電極のサイドウォールに自己整合するように形成することを特徴とするMOS型電界効果トランジスタの製造方法。

【0030】

20

(付記7) 付記6に記載のMOS型電界効果トランジスタの製造方法において、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、ゲート長方向に対し、前記ゲート電極の側壁直下と前記サイドウォールの外壁端部直下との間に有することを特徴とするMOS型電界効果トランジスタの製造方法。

(付記8) 付記4ないし7のいずれかに記載のMOS型電界効果トランジスタの製造方法において、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記基板表面から内部に向かうにしたがって、前記ゲート電極の外側に延びていることを特徴とするMOS型電界効果トランジスタの製造方法。

(付記9) 付記4ないし7のいずれかに記載のMOS型電界効果トランジスタの製造方法において、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記基板表面から内部に向かうにしたがって、前記ゲート電極の内側に延びていることを特徴とするMOS型電界効果トランジスタの製造方法。

30

(付記10) 付記4ないし9のいずれかに記載のMOS型電界効果トランジスタの製造方法において、前記緩和シリコンゲルマニウム層を前記シリコン層に対して選択的にエッチングすることにより、ゲート長方向に対する、前記緩和シリコンゲルマニウム層の幅を制御することを特徴とするMOS型電界効果トランジスタの製造方法。

【0031】

(付記11) シリコンとは異なる格子定数を有する化合物層とシリコン層とを有する基板と、前記基板上に絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側壁を覆うサイドウォールと、前記化合物層の側壁に格子整合して形成されたシリコン膜とを有することを特徴とするMOS型電界効果トランジスタ。

40

(付記12) 付記11に記載のMOS型電界効果トランジスタにおいて、前記化合物層が、緩和シリコンゲルマニウム層からなることを特徴とするMOS型電界効果トランジスタ。

(付記13) 付記12に記載のMOS型電界効果トランジスタにおいて、チャンネル方向に対し、前記緩和シリコンゲルマニウム層の幅より前記シリコン膜の幅が大きいことを特徴とするMOS型電界効果トランジスタ。

【0032】

(付記14) 付記12または13に記載のMOS型電界効果トランジスタにおいて、前記シリコン膜に、寄生抵抗領域を有することを特徴とするMOS型電界効果トランジスタ。

50

(付記15) 付記14に記載のMOS型電界効果トランジスタにおいて、前記シリコンゲルマニウム層と前記シリコン膜との接合界面を、ゲート長方向に対して、前記ゲート電極の側壁直下より内側に有することを特徴とするMOS型電界効果トランジスタ。

(付記16) 付記15に記載のMOS型電界効果トランジスタにおいて、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記サイドウォールの外壁端に沿っていることを特徴とするMOS型電界効果トランジスタ。

【0033】

(付記17) 付記16に記載のMOS型電界効果トランジスタにおいて、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、ゲート長方向において、前記ゲート電極の側壁直下と前記サイドウォールの外壁端直下との間に有することを特徴とするMOS型電界効果トランジスタ。

10

(付記18) 付記14ないし17のいずれかに記載のMOS型電界効果トランジスタにおいて、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記基板表面から内部に向かうにしたがって、前記ゲート電極の外側に延びていることを特徴とするMOS型電界効果トランジスタ。

(付記19) 付記14ないし17のいずれかに記載のMOS型電界効果トランジスタにおいて、前記緩和シリコンゲルマニウム層と前記シリコン膜との接合界面が、前記基板表面から内部に向かうにしたがって、前記ゲート電極の内側に延びていることを特徴とするMOS型電界効果トランジスタ。

【図面の簡単な説明】

20

【0034】

【図1】本発明に係るMOS型電界効果トランジスタの構造を示す図である。

【図2】本発明に係るMOS型電界効果トランジスタの原理説明図である。

【図3】本発明に係るMOS型電界効果トランジスタの断面構造設計図である。

【図4】本発明に係るMOS型電界効果トランジスタの構造を示す図である。(a)は、SiGe/Siの再成長界面が、ゲート電極側の側壁に自己整合的に形成されている構造を示す図である。(b)は、SiGe/Siの再成長界面が、ゲート電極側の側壁より内側に形成されている構造を示す図である。

【図5】本発明に係るMOS型電界効果トランジスタの構造を示す図である。(c)は、SiGe/Siの再成長界面が、ゲート電極のサイドウォール外壁端部直下に自己整合的に形成されている構造を示す図である。(d)は、SiGe/Siの再成長界面が、ゲート電極側の側面とサイドウォール外壁端部直下との間に形成される構造を示す図である。

30

【図6】本発明に係るMOS型電界効果トランジスタの構造を示す図である。(e)は、SiGe/Siの再成長界面が基板表面から内部に向うにしたがって、ゲート電極の外側に延びている構造を示す図である。(f)は、SiGe/Siの再成長界面が基板表面から内部に向うにしたがって、ゲート電極の内側に延びている構造を示す図である。

【図7】実施例1に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(a)は、Si/SiGe積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。(b)は、ソース/ドレイン領域にエッチングを施した状態を示す図である。(c)は、CVD法にてSiを埋め戻した状態を示す図である。

40

【図8】実施例1に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(d)は、エクステンション注入を行った後、サイドウォールを形成し、ソース/ドレイン領域に注入を行った状態を示す図である。(e)は、コンタクトエッチングストップ膜を形成した状態を示す図である。(f)は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

【図9】実施例2に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(a)は、Si/SiGe積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。(b)は、ゲート、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。(c)は、CVD法にてSiを埋め戻した状態を示す図である。

50

【図10】実施例2に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(d)は、エクステンション注入を行った後、サイドウォールを形成した状態を示す図である。(e)は、シリサイドの上にコンタクトエッチングストップ膜を形成した状態を示す図である。(f)は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

【図11】実施例3に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(a)は、Si/SiGe積層構造にゲート絶縁膜、ゲート電極を形成した状態を示す図である。(b)は、ゲート電極、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。(c)は、エッチングした部分をSiで埋め戻した状態を示す図である。

10

【図12】実施例3に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(d)は、ソース/ドレイン領域に注入を行った状態を示す図である。(e)は、シリサイドの上にコンタクトエッチングストップ膜を形成した状態を示す図である。(f)は、層間絶縁膜を形成し、コンタクトホールをあけ、電極を形成した状態を示す図である。

【図13】実施例4に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(b)は、ゲート電極、サイドウォールをマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。(b')は、歪みSi層及び緩和SiGe層を絶縁膜及びサイドウォールに対して選択的に、横方向にエッチングした状態を示す図である。(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

【図14】実施例5に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(b)は、Si/SiGe界面が基板表面から内部に向かうに従って、ゲート電極の内側に延びるようにエッチングをした状態を示す図である。(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

20

【図15】実施例6に係るMOS型電界効果トランジスタの製造プロセスを示す図である。(b)は、ゲート電極3、サイドウォール16をマスクにソース/ドレイン領域にエッチングを施した状態を示す図である。(b')は、緩和SiGe層を歪みSi層に対して選択的にエッチングした状態を示す図である。(c)は、ソース/ドレイン領域にSiをCVD法で再成長させた状態を示す図である。

【符号の説明】

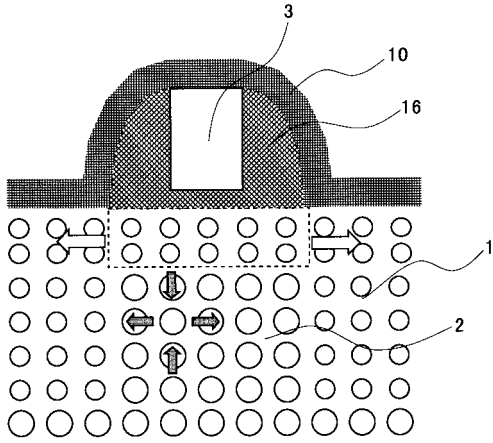
【0035】

30

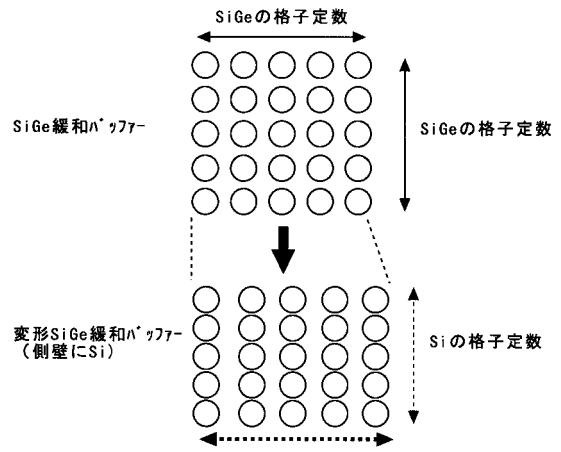
- 1 Si
- 2 SiGe層
- 3 ゲート電極
- 4 寄生抵抗領域
- 7 ゲート絶縁膜
- 10 コンタクトエッチングストップ膜(SiN)
- 11 シリサイド
- 12 層間絶縁膜
- 13 電極
- 16 サイドウォール
- 17 エクステンション

40

【 図 1 】

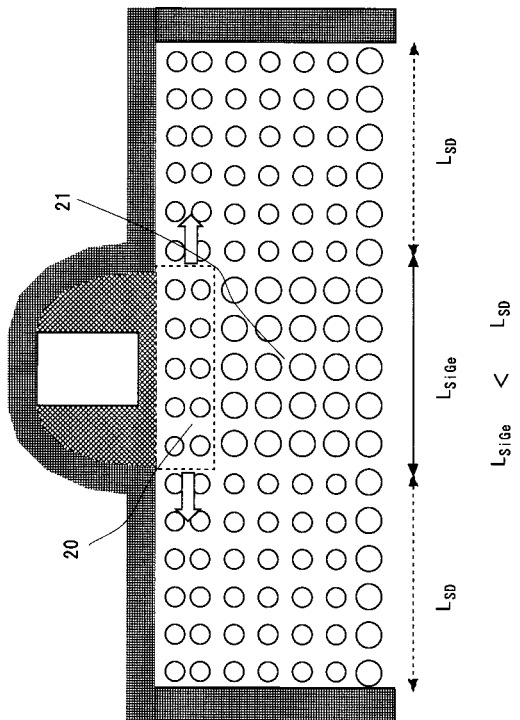


【 図 2 】

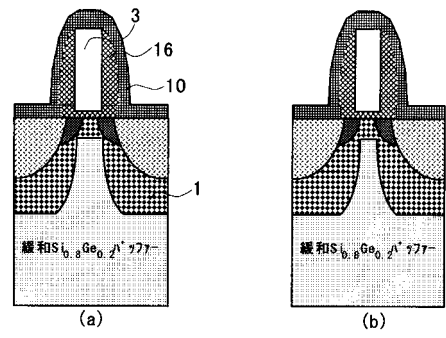


材料近傍で、SiGe以上に格子定数が大きくなり、
上層のSiの歪みを大きくできる

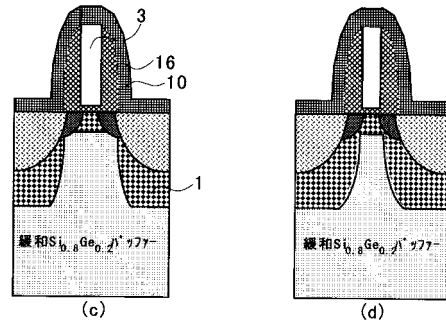
【 図 3 】



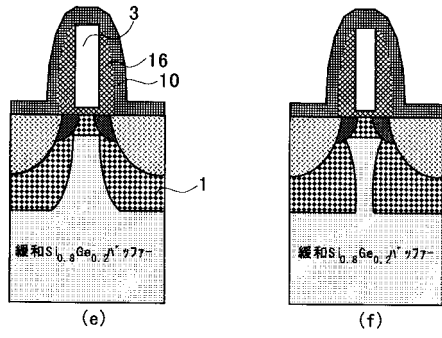
【 図 4 】



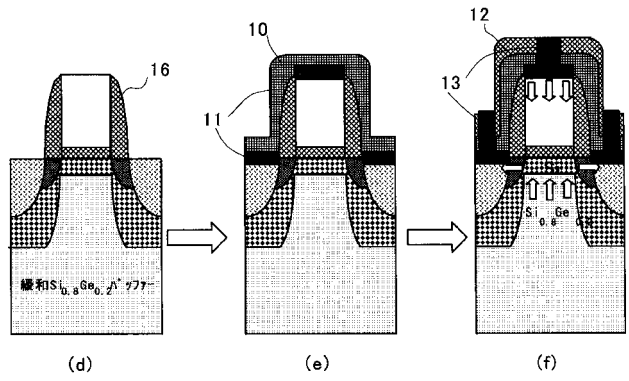
【 図 5 】



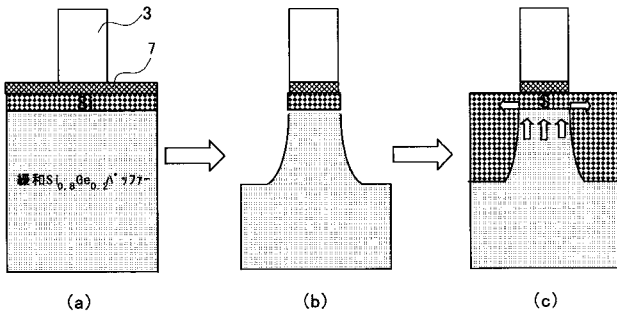
【図6】



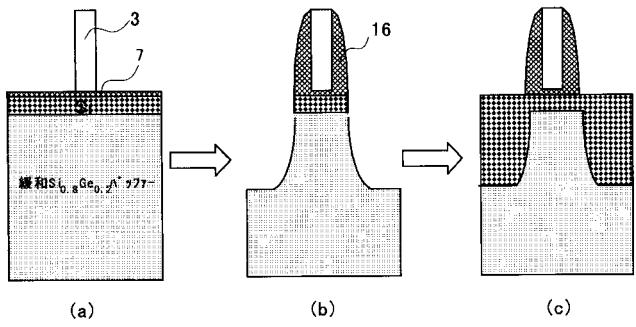
【図8】



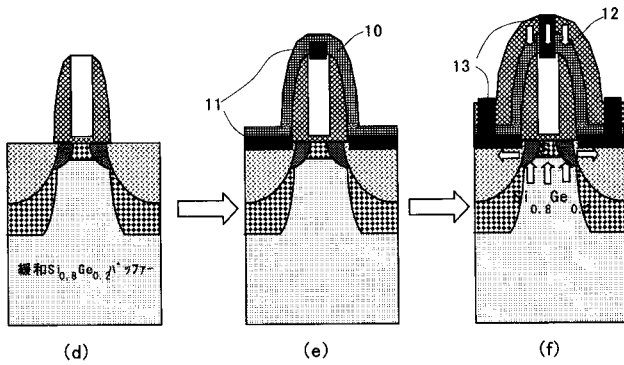
【図7】



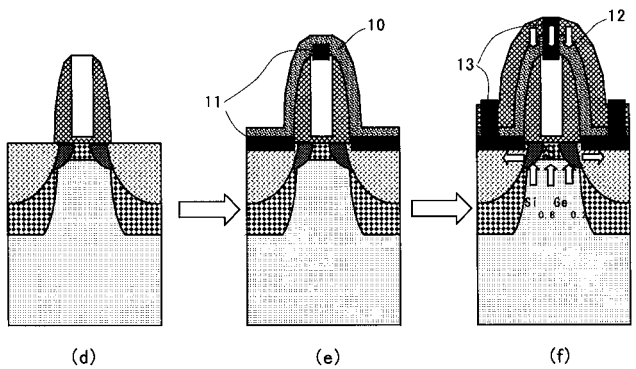
【図9】



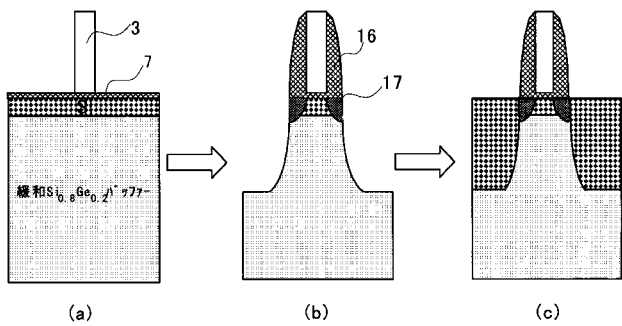
【図10】



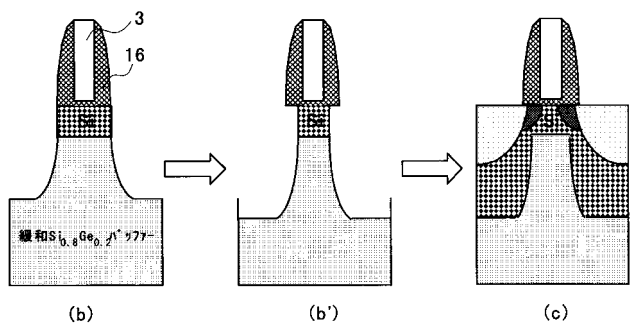
【図12】



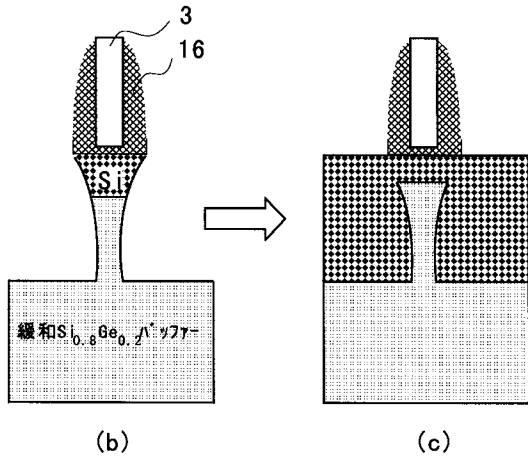
【図11】



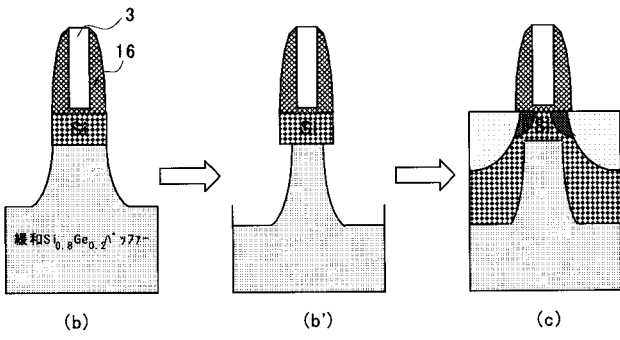
【図13】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

Fターム(参考) 5F140 AA01 AA02 AA24 AB03 AC28 BA01 BA05 BD09 BF04 BF11
BF18 BG08 BG09 BG54 BH07 BH14 BJ08 BJ11 BK02 BK09
BK13 BK18 BK21 BK25 BK27 CC01 CC08