



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0032945
(43) 공개일자 2010년03월29일

(51) Int. Cl.

H01L 29/786 (2006.01) H01L 51/40 (2006.01)

(21) 출원번호 10-2008-0091864

(22) 출원일자 2008년09월19일

심사청구일자 2008년09월19일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

장진

서울특별시 서초구 잠원동 5번지 신반포한신아파트 302동 908호

이선희

서울특별시 중랑구 중화2동 210-11호

김성훈

서울특별시 서초구 잠원동 59-3 현대아파트 101동 1704호

(74) 대리인

김인한, 김희곤

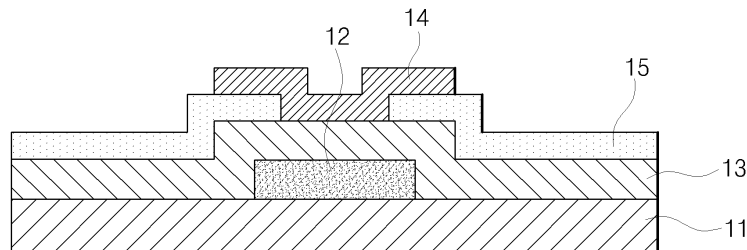
전체 청구항 수 : 총 7 항

(54) 유기박막 트랜지스터 어레이 및 그 제조방법

(57) 요약

본 발명은 유기박막트랜지스터 어레이와 그 제조방법에 관한 것으로, 구체적으로는 기판과 상기 기판상에 형성되는 게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 소스 및 드레인 전극, 상기 소스 및 드레인 전극이 형성된 유기 격벽층인 유기 절연막 뱅크(bank)층 즉 유기 격벽층 및 상기 유기 격벽(bank)층 내에 형성된 유기 반도체 층을 포함하여 이루어지는 것을 특징으로 한다. 특히 상술한 용액형 유기 반도체층의 형성은 스핀 캐스팅(spin casting) 또는 딥핑(dipping) 방법에 의해 선택적으로 증착하여 형성시킬 수 있도록 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관상에 형성되는 게이트 전극;

상기 게이트 전극상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 소스 및 드레인 전극;

상기 소스 및 드레인 전극이 형성된 유기 격벽(bank)층; 및

상기 유기 격벽(bank)층 내에 스핀 또는 슬릿(slit) 코팅방법에 의해 선택적으로 형성되는 유기 반도체 층;

을 포함하여 이루어지는 것을 특징으로 하는 유기 박막 트랜지스터 어레이 구조.

청구항 2

청구항 1에 있어서,

상기 격벽(bank) 층 내의 표면은 소수성 물질이고, 격벽(bank) 층 밖은 친수성 물질인 것을 특징으로 하는 유기 박막트랜지스터 어레이.

청구항 3

청구항 2 에 있어서,

상기 유기박막트랜지스터 어레이 상에 형성되는 화소전극을 더 포함하여 이루어지는 것을 특징으로 하는 유기박막트랜지스터 어레이.

청구항 4

청구항 1 내지 3 중 어느 한 항에 있어서,

상기 유기반도체 층은 펜타센, 안트라센, 테트라센, 페일렌, 코로넨, PPE 펜타센 을 기본으로 치환기를 갖는 용액형 유기 반도체 중에서 선택되는 어느 하나의 물질로 이루어지는 것을 특징으로 하는 유기박막트랜지스터 어레이.

청구항 5

기관이 제공되며, 상기 기관상에 게이트전극을 형성하고, 상기 게이트 전극을 포함하는 게이트 절연막을 형성하며,

상기 게이트 절연막상에 소스 및 드레인 전극을 형성하고, 상기 게이트 절연막상에 유기 격벽층을 형성하며,

상기 격벽층 내에 유기반도체 층을 스핀 또는 슬릿(slit) 코팅 방법에 의해 선택적으로 형성하는 단계;로 이루어지는 것을 특징으로 하는 유기박막 트랜지스터 어레이의 제조방법.

청구항 6

청구항 5에 있어서,

상기 유기반도체 층을 형성하는 단계는,

1)상기 유기 격벽층의 패턴의 상부에 스핀코팅을 통하여 유기반도체층을 기관의 전면에 균일하게 형성하는 단계;

2) 상기 유기 격벽층의 패턴 부분으로부터 Dewetting 에 의해 유기반도체층을 형성하는 물질이 박막트랜지스터의 채널 쪽으로 모이는 단계;로 이루어지는 것을 특징으로 하는 유기박막 트랜지스터 어레이의 제조방법.

청구항 7

청구항 5에 있어서,

상기 1)단계는, PPE pentacene 물질을 이용하여 선택적으로 증착하여 형성하는 것을 특징으로 하는 유기박막트랜지스터 어레이의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기 박막 트랜지스터의 구조 및 그 제조방법에 관한 것으로, 유기 박막 트랜지스터의 내부의 반도체층을 격벽과 표면에너지의 차이를 이용하여 회전도포방식을 통해 선택적으로 증착하여 형성하는 방법과 이로 인해 제조되는 구조물에 관한 것이다.

배경 기술

- [0002] 본 발명은 유기 박막 트랜지스터의 구조 및 그 제조방법에 관한 것이다.
- [0003] 최근 들어 휘 수 있는 플렉시블 디스플레이(flexible display)가 많은 관심을 받고 있다. 사람들은 어디서나 가지고 다닐 수 있으면서도 좀 더 큰 화면을 원하기 때문에 접거나 구부리거나, 말 수 있는 디스플레이의 개발이 요구되고 있다. 또한 대량생산에 용이하기 때문에 가격을 획기적으로 낮출 수 있는 장점도 있다. 하지만 이를 위해서는 플라스틱이나 스테인리스스틸과 같이 휘 수 있는 기판을 사용해야 하는데 이를 위해서는 공정온도를 300도 이하의 온도로 낮추어줄 필요가 있다.
- [0004] 한편, 고해상도와 저전력 구동을 위해서는 능동형(AM matrix) 구동방식이 필요한데 현재 사용되고 있는 실리콘과 같은 무기 박막 트랜지스터는 그 제조온도가 높고, 휘거나 구부렸을 때 깨지기 쉽기 때문에 플렉시블 디스플레이에 적용하기에는 한계가 있다. 따라서 저온에서 쉽게 제조가 가능하고 휘거나 구부렸을 때도 견딜 수 있는 유기박막 트랜지스터(Organic Thin Film Transistor, OTFT)에 대한 연구가 활발히 진행되고 있다.
- [0005] 즉, 일반적으로 박막트랜지스터는 이미지 표시용 디스플레이에서 스위칭 소자로 사용되는 것으로, 박막 트랜지스터 중 유기 박막트랜지스터는 반도체층 재료로 유기물질을 사용하고, 유기 기판 대신 플렉시블(flexible)한 기판을 사용하게 된다.
- [0006] 유기반도체를 이용한 소자구조는 크게 전극과 유기반도체와의 접촉방식에 따라 도 1에 도시된 바와 같은, 상부 전극(Top contact) 구조 과 도 2에 도시된 바와 같은, 하부 전극(Bottom contact) 구조(전극을 먼저 형성하고 그 위에 유기 반도체층 형성) 두가지로 나눌 수 있다.
- [0007] 도 1의 상부 전극 구조에서는 유리 기판(11)에 게이트 전극(12)이 형성되고, 그 위에 게이트 절연층(13)이 도포되어 있으며, 그 위에 펜타센 등의 유기 반도체층(14)이 적층되고, 그 위에 소스/드레인 전극(15)이 형성된다.
- [0008] 도 2의 하부 전극 구조에서는, 유리 기판(11)에 게이트 전극(12)이 형성되고, 그 위에 게이트 절연층(13)이 도포되어 있으며, 그 위에 소스/드레인 전극(15)이 형성되고, 그 위에 유기 반도체층(14)이 적층된다.
- [0009] 각 구조의 장단점을 비교해보면 상부 전극(Top contact) 구조의 경우 하부 전극(Bottom contact) 구조보다 소자특성이 우수하다는 장점이 있으나, 먼저 형성된 유기물의 성능을 저하시키지 않기 위해 전극을 새도우 마스크를 통해 진공챔버 내에서 제작해야 하므로 집적화에 문제가 있다는 단점이 있다. 하부 전극 구조의 경우 소자특성은 상부 전극 구조보다 떨어지나 공정상 집적화가 가능하다는 장점으로 실제 디스플레이 적용할 수 있다는 장점을 가지고 있다.
- [0010] 특히, 종래의 기술에는 유기반도체 층을 도포하기 위해 사용되는 방식으로 spin coating 방식을 사용하는데, 이러한 단순한 spin coating 방식을 통해서 active 패턴의 isolation이 이루어지지 않기 때문에 누설전류가 흐르게 되는 문제가 발생하고 있다. 아울러 상술한 active isolation은 현재 선택적으로 표면에너지를 바꿈으로써 이루어지고 있으며, 이를 위해 SAM 물질이나, CNT(Carbon Nanotube; CNT)를 이용하고 있으나, 이러한 경우 사용되는 SAM 물질의 말단 기능기의 종류에 따라 소자의 문턱 전압값이 달라지거나, Bias-stress 조건하에서 안정성이 저하되는 등의 문제가 발생하고 있다.

[0011] 본 발명에서는 이러한 유기박막 트랜지스터를 제조함에 있어서, 유기반도체층을 선택적으로 증착하여 공정의 효율성을 구현할 수 있는 제조방법을 제공하고자 한다.

발명의 내용

해결 하고자하는 과제

[0012] 본 발명은 상술한 문제를 해결하기 위하여 안출된 것으로, 본 발명의 목적은 유기 박막 트랜지스터의 반도체 층을 선택적으로 증착하는 방법을 제공하여 공정의 효율성을 제고하는 데 있다. 특히 구체적으로는 상술한 선택적 증착은 격벽과 표면에너지 차이를 이용하여 회전 도포방식을 통해 유기 반도체 층을 선택적으로 증착할 수 있게 한다.

과제 해결수단

[0013] 본 발명은 상술한 과제를 해결하기 위한 구성으로, 기판과 상기 기판상에 형성되는 게이트 전극, 그리고 상기 게이트 전극 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 소스 및 드레인 전극, 상기 소스 및 드레인 전극이 형성된 유기 격벽(bank)층 및 상기 유기 격벽(bank)층 내에 형성된 유기 반도체 층을 포함하여 이루어지는 것을 특징으로 하는 유기 박막 트랜지스터 어레이 구조를 제공한다.

[0014] 또한, 본 발명은 상기 격벽(bank) 층 내의 표면은 소수성 물질이고, 격벽(bank) 층 밖은 친수성 물질로 형성시킬 수 있도록 한다. 이는 격벽 층 밖에 대해 상대적으로 낮은 표면에너지를 갖게되며, 격벽 층 밖은 격벽 층내의 표면에 대해 상대적으로 높은 표면에너지를 갖도록 함으로써 이루어질 수 있게 된다.

[0015] 또한, 본 발명은 상술한 상기 유기박막 트랜지스터 어레이 상에 형성되는 화소전극을 더 포함하여 이루어지는 것을 특징으로 하는 유기박막 트랜지스터 어레이를 제공할 수 있도록 한다.

[0016] 또한, 본 발명은 상기 유기반도체 층은 펜타센, 안트라센, 테트라센, 페일렌, 코로넨을 기본으로 치환기를 갖는 용액형 유기 반도체 중에서 선택되는 어느 하나의 물질로 이루어지는 것을 특징으로 하는 유기 박막 트랜지스터 어레이를 제공할 수 있도록 한다.

[0017] 또한, 본 발명은 상술한 유기박막 트랜지스터 어레이를 제조하는 방법에 있어서, 기판이 제공되며, 상기 기판상에 게이트 전극을 형성하고, 상기 게이트 전극을 포함하는 게이트 절연막을 형성하며, 상기 게이트 절연막상에 소스 및 드레인 전극을 형성하고, 상기 게이트 절연막상에 유기 격벽 층을 형성하며, 상기 격벽 패턴 내에 유기 반도체 층을 형성하는 단계;로 이루어지는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조방법을 제공한다.

[0018] 상기 유기반도체 층을 형성하는 단계는, 1)상기 유기 격벽층의 패턴의 상부에 스핀코팅을 통하여 유기반도체층을 기판의 전면에 균일하게 형성하고, 2) 상기 격벽층의 패턴 부분으로부터 Dewetting 에 의해 유기반도체층을 형성하는 물질이 박막트랜지스터의 채널쪽을 모이는 순서로 진행시킴이 바람직하며, 특히 유기 반도체 층을 형성하는 물질은 PPE pentacene 물질을 이용하여 선택적으로 증착함이 바람직하다.

[0019] 아울러, 상술한 상기 유기 반도체층을 형성하는 단계는 스핀 캐스팅(spin casting) 또는 딥핑(dipping) 방법에 의해 선택적으로 증착되는 단계로 이루어지는 것을 특징으로 한다.

효 과

[0020] 본 발명에 따르면, 본 발명은 유기 박막 트랜지스터의 반도체 층을 선택적으로 증착하는 방법을 제공하여 공정의 효율성을 제고하며, 구체적으로는 상술한 선택적 증착은 격벽과 표면에너지 차이를 이용하여 회전 도포방식을 통해 표면처리 없이 유기 반도체 층을 선택적으로 증착할 수 있게 한다.

발명의 실시를 위한 구체적인 내용

[0021] 본 발명은 유기 박막 트랜지스터의 유기 반도체 층을 선택적으로 증착하는 방법과 이에 따른 유기박막 트랜지스터의 구조에 관한 것이다.

[0022] 이하에서는 도면을 참조하여 본 발명의 구성 및 작용을 구체적으로 설명하기로 한다.

[0023] 본 발명에 따른 유기 박막트랜지스터의 구성은, 기판과 상기 기판상에 형성되는 게이트 전극, 상기 게이트 전극상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 소스 및 드레인 전극과 상기 소스 및 드레인

전극이 형성된 유기 절연막 뱅크(bank)층 즉 유기 격벽층 및 상기 유기 격벽(bank)층 내에 형성된 유기 반도체층을 포함하여 구성된다.

- [0024] 상기 기판은 유기와 같은 투명기판, 실리콘 기판 또는 플라스틱으로 구성될 수 있다. 상기 플라스틱 기판 물질로는 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PET, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenen naphthalate), 폴리에틸렌테레프탈레이트(PET, polyethyleneterephthalate) 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide)폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스아세테이트 프로피오네이트(CAP: cellulose acetate propinoate) 중에서 선택되는 어느 하나를 사용한다. 바람직하게는 UV 투과가 가능한 유리 같은 투명기판을 사용함이 바람직하다.
- [0025] 상기 게이트 전극은 알루미늄(Al), 알루미늄합금(Al-alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo-alloy) 중에서 선택되는 어느 하나로 형성할 수 있으며, 몰리브덴-텅스텐(MoW) 합금으로 형성하는 것이 더욱 바람직하다.
- [0026] 상기 게이트 절연막은 상기 게이트 절연막은 유기절연막 또는 무기절연막의 단일막 또는 다층막으로 구성되거나 유-무기 하이브리드 막으로 구성된다. 상기 무기절연막으로는 실리콘 산화막, 실리콘 질화막, Al_2O_3 , Ta_2O_5 , BST, PZT 중에서 선택되는 어느 하나 또는 다수개를 사용한다. 상기 유기절연막으로는 폴리메타아크릴레이트(PMMA, poly methylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자, 파릴렌(parylene) 중에서 선택되는 어느 하나 또는 다수개를 사용한다.
- [0027] 또한, 상기 소오스/드레인 전극은 Al, Ag, Mo, Au, Pt, Pd, Ni, ITO, IZO 또는 이들의 합금 중에서 선택되는 단일층으로 형성될 수 있으며, Ti, Cr, Al과 같은 접착 금속층을 더욱 포함하여 다중층으로 형성될 수 있다.
- [0028] 본 발명에서 상기 소스 및 드레인 전극이 형성된 게이트 절연막상에 형성하는 유기 격벽층은 격벽층 내의 표면을 소수성 물질로 형성하고, 뱅크층 밖은 친수성 물질로 형성함이 바람직하다. 상기 유기 격벽(bank)층의 친수성 및 소수성 특성은 별도의 SAM 물질 등을 사용한 것이 아니라, UV 처리를 통해 박막의 친수성 특성을 활성화함으로써 구현할 수 있도록 함이 바람직하다.
- [0029] 또한, 상기 격벽층 내에 형성된 유기반도체 층은 펜타센, 안트라센, 테트라센, 페일렌, 코로넨 중에서 선택되는 어느 하나의 물질로 이루어질 수 있다. 특히 바람직하게는 6, 13번 위치에 펜틸페닐에티닐 유도체가 치환된 펜타센(PPE; 6, 13-bis(4-pentylphenylethynyl) pentacene)을 이용함이 더욱 바람직하다.
- [0030] 도 3은 상술한 본 발명에 따른 유기박막 트랜지스터의 제조방법을 개념적으로 나타낸 순서도이다.
- [0031] 도시된 바와 같이 상술한 유기 박막 트랜지스터는 기판이 제공되며, 상기 기판상에 게이트전극을 형성하고, 상기 게이트 전극을 포함하는 게이트 절연막을 형성하며, 상기 게이트 절연막상에 소스 및 드레인 전극을 형성하고, 상기 게이트 절연막상에 유기 격벽층을 형성하며, 상기 격벽층 내에 유기반도체 층을 형성함으로써 제조된다. 이 경우 본 유기 박막트랜지스터 상에는 화소전극을 더 포함하여 구성됨이 바람직하다.
- [0032] 도 4를 참조하면, 본 발명에 따른 스핀코팅에 의해 유기반도체층이 형성되는 과정을 도시한 것이다.
- [0033] 우선, 도 3의 개략적인 공정순서를 보다 구체적으로 설명하면, 기판(110) 상에 유기게이트절연막(120)과 패턴이 형성된 격벽 층(130)이 형성되는 TFT 상부면에 스핀코팅을 통해서 가용성 활성물질(140)을 형성한다. 상기 가용성 활성물질(140)은 PPE pentacene을 사용함이 바람직하다((a) 및 (b)과정). 특히 상술한 유기반도체층을 형성하는 단계는 스핀 캐스팅(spin casting) 또는 딥핑(dipping) 방법에 의해 선택적으로 증착함으로써 형성됨이 더욱 바람직하다.
- [0034] 이후에는 시간이 지남에 따라 상대적으로 표면에너지가 높은 격벽 층의 패턴(130) 쪽에서 dewetting(D)이 시작되며, PPE pentacene solution이 상기 격벽층(130) 내의 TFT 채널(C) 쪽으로 모이게 되며, 이후 용매가 증발하면서 유기반도체 결정이 형성되게 된다((c) 및 (d)과정). 이처럼 본 발명에 따르면, 잉크젯 방식 아니라, 표면 처리 없이 회전도포를 통해 선택적으로 반도체 패턴을 형성할 수 있게 된다.
- [0035] 도 5를 참조하며, 도 5는 본 발명에 따라 형성된 TFT의 단면을 도시한 도면이다.
- [0036] 도시된 것 처럼, 기판(110)과 게이트전극(150) 및 게이트 절연막(120)이 구비되며, 상부에 소오스 및 드레인 전극(150)이 형성되며, 그 상부에 본 발명에 따른 격벽층(130), 그리고 상기 격벽층 내의 TFT의 채널 쪽에 형성되는 유기반도체층(140)이 형성되게 된다.

[0037] 도 6은 본 발명에 따라 제작된 PPE pentacene를 선택 증착한 유기박막트랜지스터(OTFT)의 특성을 나타낸 그래프로, 전계 이동도 $0.046 \text{ cm}^2/\text{Vs}$, 문턱 전압 -2.1 V , 전류 점멸비 10^6 의 높은 전류 점멸비 특성을 보인다.

[0038] 도 7은 스핀코팅에 따라 PPE pentacene를 유기반도체 층을 선택적으로 증착한 결과(증착전(a), 증착후(b))를 도시한 이미지이다.

[0039] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 기술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0040] 도 1 및 도 2는 종래의 유기 박막트랜지스터의 구조를 개략적으로 도시한 것이다.

[0041] 도 3은 본 발명에 따른 유기 박막 트랜지스터의 제조방법의 순서도를 나타낸 것이다.

[0042] 도 4는 본 발명에 따른 유기 박막 트랜지스터의 제조방법을 도시한 개념도이다.

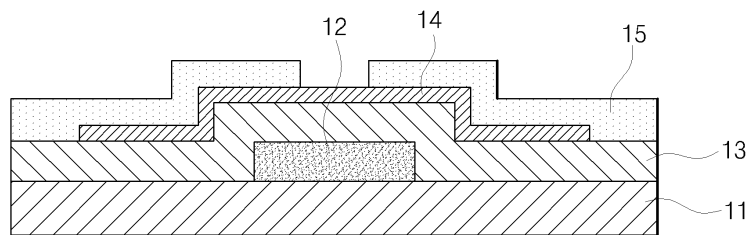
[0043] 도 5는 본 발명에 따른 유기 박막트랜지스터의 단면도이다.

[0044] 도 6은 본 발명에 따른 유기 박막트랜지스터의 전압 전류의 특성도이다.

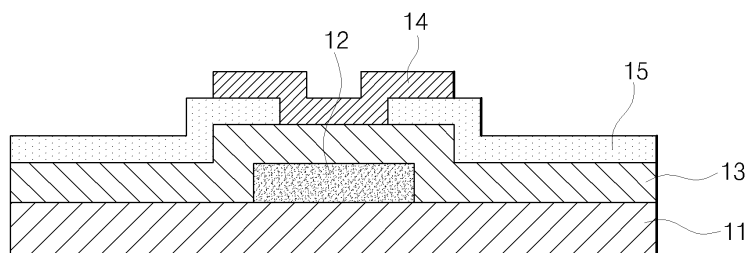
[0045] 도 7은 본 발명에 따른 유기 박막트랜지스터의 선택적 증착공정의 전후상태를 도시한 이미지이다.

도면

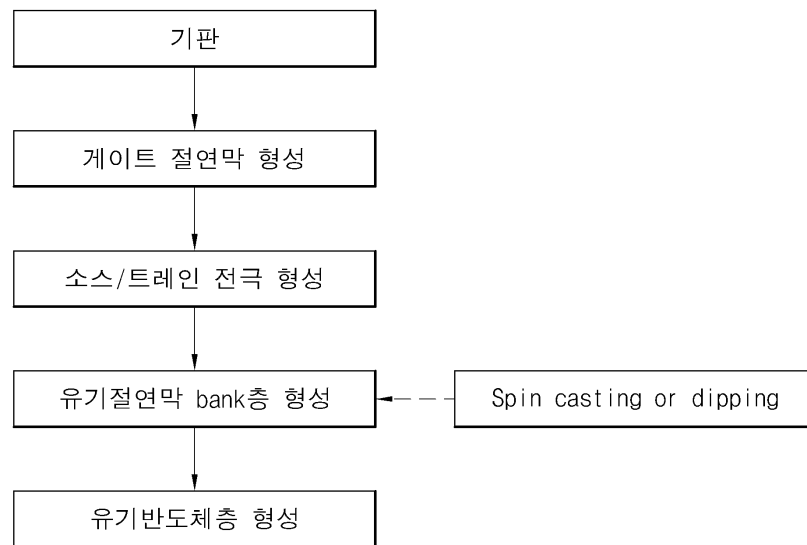
도면1



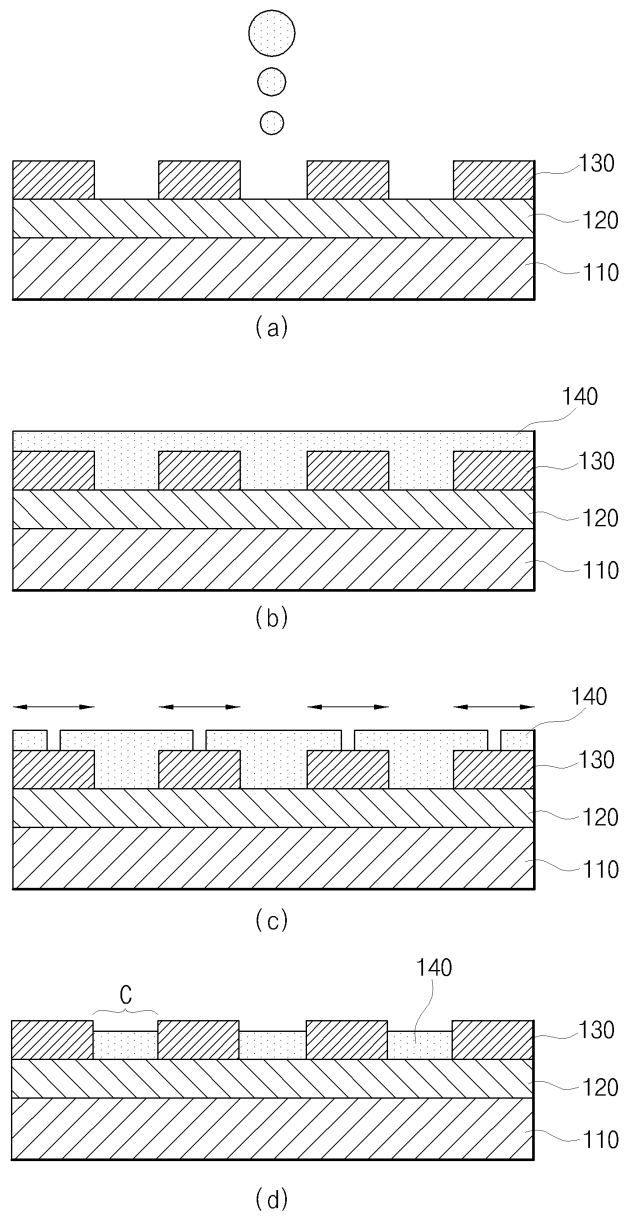
도면2



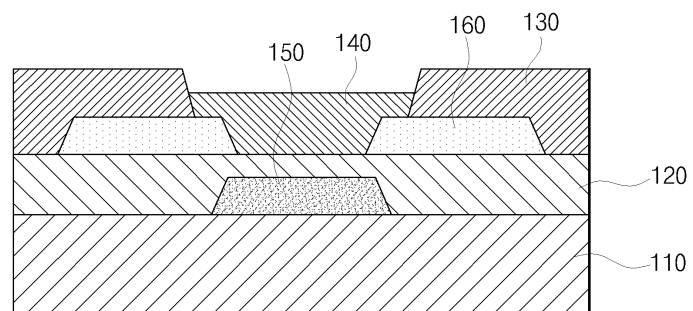
도면3



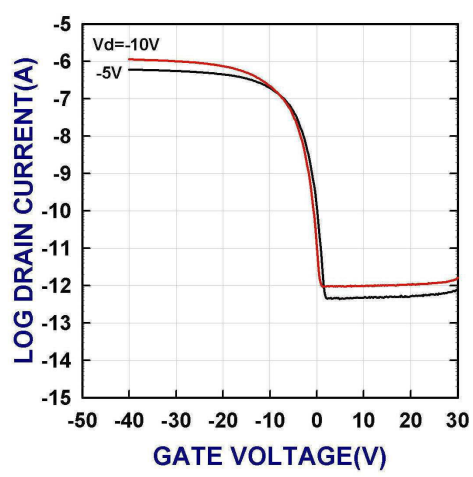
도면4



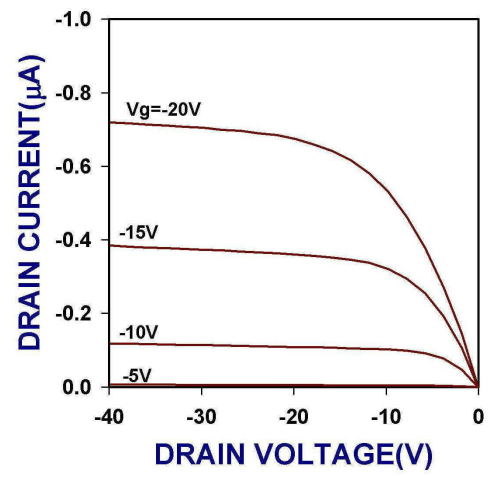
도면5



도면6

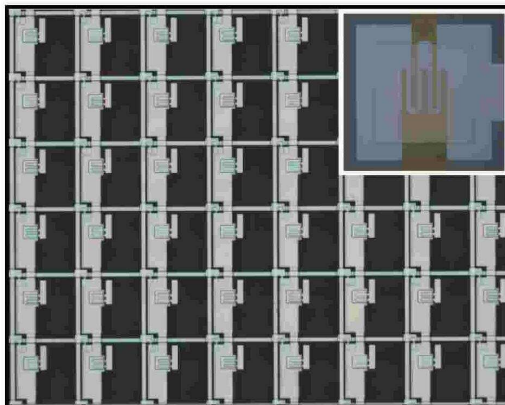


(a)



(b)

도면7



(a)



(b)