

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 2 月 17 日 (17.02.2005)

PCT

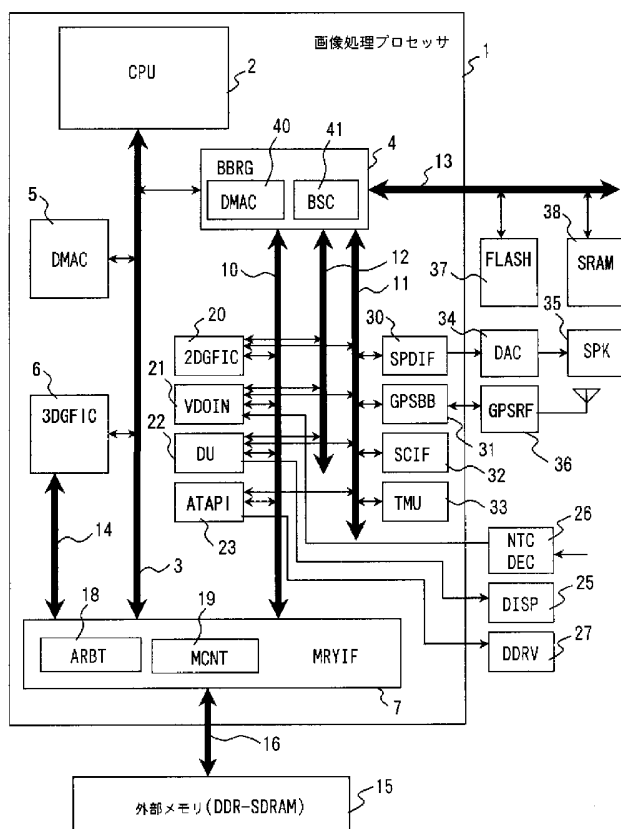
(10) 国際公開番号
WO 2005/015504 A1

- (51) 国際特許分類⁷: G06T 15/00, 1/20, 11/20 (30) 優先権データ:
特願2003-206466 2003 年 8 月 7 日 (07.08.2003) JP
- (21) 国際出願番号: PCT/JP2004/009427 (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (22) 国際出願日: 2004 年 7 月 2 日 (02.07.2004)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてののみ): 原 博隆 (HARA,

[続葉有]

(54) Title: IMAGE PROCESSING SEMICONDUCTOR PROCESSOR

(54) 発明の名称: 画像処理用半導体プロセッサ



1...IMAGE PROCESSING PROCESSOR
15...EXTERNAL MEMORY (DDR-SDRAM)

(57) Abstract: It is possible to improve transfer efficiency of control information for plotting and display control as well as image data in a image processing semiconductor processor. The image processing semiconductor processor includes a CPU (2), a first bus (3) connected to the CPU, a DMAC (5) for controlling data transfer via the first bus, a bus bridge circuit (4) for transmitting/receiving data to/from the first bus, a 3-dimensional image processing section (6) for receiving a command from the CPU via the first bus and performing 3-dimensional image processing, a second bus (10) connected to the bus bridge circuit and first circuit modules (20 to 23), a third bus (11) connected to the bus bridge circuit and second circuit modules (30 to 33), and a memory interface circuit (7) which can be connected to the first bus, the second bus, the 3-dimensional image processing section, and an external memory (15). The bus bridge circuit can control direct memory access transfer between the external circuit and the second bus.

(57) 要約: 画像処理用半導体プロセッサにおいて描画や表示制御のための制御情報や画像データ等の転送効率を向上させる。CPU (2) と、CPU に接続される第 1 バス (3) と、第 1 バスを介するデータ転送を制御する DMAC (5) と、第 1 バスとデータ送受信を行うバスブリッジ回路 (4) と、第 1 バス経由で CPU からコマンドを受信して 3 次元画像処理を行う 3 次元画像処理部 (6) と、バスブリッジ回路と第 1 回路

[続葉有]

WO 2005/015504 A1

モジュール (



Hiroataka) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 浜崎 博幸 (**HAMASAKI, Hiroyuki**) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 佐伯 光弘 (**SAEKI, Mitsuhiro**) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 平出 和弘 (**HIRADE, Kazuhiro**) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 高野 誠 (**TAKANO, Makoto**) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 玉村 静世 (**TAMAMURA, Shizuyo**); 〒1010052 東京都千代田区神田小川町2丁目10番地 新山城ビル42号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

20～23)とに接続された第2バス(10)と、バスブリッジ回路と第2回路モジュール(30～33)とに接続された第3バス(11)と、第1バス、第2バス、3次元画像処理部及び外部メモリ(15)に接続可能にされるメモリインタフェース回路(7)とを有し、バスブリッジ回路は外部回路と第2バスとの間のダイレクトメモリアクセス転送制御可能とされる。

明 細 書

画像処理用半導体プロセッサ

技術分野

- [0001] 本発明は画像処理用半導体プロセッサに関し、例えばカーインフォメーションシステム分野、セットトップボックス、デジタルTV、移動体通信分野、デジタル音声端末、メディア端末、携帯端末等の、画像処理を必要とする分野に適用して有効な技術に関する。

背景技術

- [0002] 特許文献1には3次元グラフィックス処理を行うグラフィックプロセッサについて記載が有る。特許文献2には太線描画機能を有するグラフィックプロセッサについて記載がある。
- [0003] 本発明者は画像処理用半導体プロセッサにおける描画や表示制御のための制御情報やデータの転送を最適化することについて検討した。本発明に先立って本発明者が検討した画像処理用半導体プロセッサは、内部にピクセルバスとIOバスを有し、中央処理装置(単にCPUとも記す)はCPUインタフェースを介して前記ピクセルバス経由で外部のデータメモリをアクセスする。CPUインタフェースにはバスブリッジ回路が接続され、このバスブリッジ回路はCPUからのデータを周辺モジュールに分配したり、周辺モジュールからのデータをCPUに送信したりするブリッジの役目を担っている。このバスブリッジ回路にはダイレクトメモリアクセスコントローラ(DMAC)が内蔵され、CPUの介在なく、周辺モジュールからのデータをピクセルバス経由で前記データメモリに書き込んだり、また前記データメモリにあるデータを周辺モジュールに転送することが可能にされる。前記ピクセルバスに接続されているモジュール、すなわち、画像モジュール、CPUインタフェース、及びバスブリッジ回路は自モジュールと前記データメモリとの転送のみが可能である。ピクセルバス上ではモジュール相互間の転送はサポートされていない。
- [0004] 特許文献1:特開2003-208631号公報(図32)
特許文献2:特開平6-28486号公報(図1)

発明の開示

発明が解決しようとする課題

- [0005] 本発明者は上記画像処理用半導体プロセッサに関し以下の問題点の有ることを見出した。第1は、CPUが画像処理用半導体プロセッサの外付けであり、CPUインタフェースを通して画像処理用半導体プロセッサ及びデータメモリをアクセスすることになるので、データ転送レイテンシーが悪化する。特に、シンクロナスDRAM(ダイナミックランダムアクセスメモリ)等からなるデータメモリへのアクセスおよび周辺モジュールへのアクセスに関するレイテンシーがシステム性能に大きく影響する場合が想定される。第2は、ピクセルバス上で、周辺モジュールとデータメモリの転送又は画像モジュールとデータメモリの転送と、CPUとデータメモリの転送とが競合する虞があり、そのような競合はCPUのデータ処理速度を低下させる可能性がある。画像処理系のモジュールはリアルタイム性が要求されるため、バスの優先権を高くする必要があり、その場合にCPUがピクセルバスのバス権を取るまでの待ち時間が不必要に長くなるケースが発生する虞がある。例えばアービトレーション方式としてラウンドロビン方式(総当たりリーグ戦方式)を採用した場合、ピクセルバスにアクセスするモジュールの数が増えるとCPUに対するバス権割り当て待ち時間が悪化する。第3は、ピクセルバス上で専用のDMACがないためにCPUやCPUバス上のデバイスからデータメモリへの転送はCPU制御による逐次転送もしくはCPUが持つDMAチャネルのリソースを使用する転送によって行う必要があり、CPUの負荷が過大になることも予想される。
- [0006] 更に本発明者は画像モジュールの一つとして2次元描画を行う2次元画像処理部による太線描画について検討した。太線を描画する場合、始点と終点を移動しながら始点から終点に至る画素を塗りつぶす方式を採用した場合、描画方向が相異すると、始点から終点に至る画素を塗りつぶす本数が同じであっても太線の幅が異なるという問題点のあることが本発明者によって見出された。
- [0007] 本発明の目的は描画や表示制御のための制御情報や画像データ等の転送効率を向上させることができる画像処理用半導体プロセッサを提供することにある。
- [0008] 本発明の別の目的は画像情報や制御情報の転送経路上での競合によるデータ転送効率低下を抑制することが可能な画像処理用半導体プロセッサを提供することに

ある。

[0009] 本発明の別の目的は大量の画像データに対するリアルタイムの描画及び表示制御を可能にするという点でパフォーマンスの優れた画像処理用半導体プロセッサを提供することにある。

[0010] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0011] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0012] [1]本発明に係る画像処理用半導体プロセッサは、中央処理装置と、前記中央処理装置に接続される第1バスと、前記第1バスを介するデータ転送を制御するダイレクトメモリアクセスコントローラと、前記第1バスとデータ送受信を行うバスブリッジ回路と、前記第1バスを介して前記中央処理装置からコマンドを受信して3次元画像処理を行う3次元画像処理部と、前記バスブリッジ回路と複数の第1回路モジュールとに接続された第2バスと、前記バスブリッジ回路と第2回路モジュールとに接続された第3バスと、前記第1バス、第2バス及び3次元画像処理部に接続され、外部のメモリに接続可能にされるメモリインタフェース回路と、を半導体チップに有し、前記バスブリッジ回路は半導体チップの外部に接続される回路と前記第2バスとの間のダイレクトメモリアクセス転送を制御可能とされる。

[0013] 前記第1回路モジュールとして例えば2次元画像処理例えば2次元の描画処理を行う2次元画像処理部を有する。また、前記第1回路モジュールとして例えば前記2次元画像処理部又は3次元画像処理部で生成された画像データの表示制御を行う表示制御部を有する。第2回路モジュールとして例えばGPS(global positioning system)モジュール等を有する。

[0014] 上記手段によれば、中央処理装置を第1バスに直結したことによりその間にバスコントローラ等を介在させることを要せず、その分だけ中央処理装置とのデータ転送の高速化を実現できる。また、中央処理装置が1サイクルで複数の命令を発行するスーパースカラ構造を有する場合、動作周波数の約2倍の命令処理実行能力を有するこ

とが可能である。その命令実行に必要なアクセス対象が第1バスを経由した外部メモリになる場合、アクセス速度は第1バス上でのアクセス効率に律速される。このとき、第1バスには画像処理演算速度に対する重要性の度合という観点より選んだ第1回路モジュールだけを接続することにより、第1バス上でのアクセス競合による待ち時間の増大を抑制し、中央処理装置によるデータ処理速度向上に資することが可能になる。

[0015] 第1バスでバスマスターになるのはCPUとDMACのみになるのでCPUが第1バス上で転送要求に対して待たされるケースはほとんど発生しなくなる。画像処理系回路モジュールのような第1回路モジュールは第2バスに関するバスアービトレーションロジックで予め調停され、真にリアルタイム応答が要求される画像処理系回路モジュールが選択された後にCPUおよび3次元画像処理部との第1バスに関するバス権調停が行なわれる。画像処理系回路モジュールはリアルタイム応答性つまり時間平均のスループット性能が要求されるが、CPUほどのアクセスレイテンシー性能は必要とされない。メモリインタフェース回路内のバス調停論理は、3次元画像処理部からのアクセスリクエスト、第1バスに接続する回路モジュールからのアクセスリクエスト、第2バス経由のアクセスリクエストの3者間でバス権調停を行なう。したがって、第1バスにはCPUと真に高速転送が必要なモジュールだけを接続するようにできるから、バス的高速化が容易となる。画像処理系回路モジュールのような第1回路モジュールは第2バスに関するバスアービトレーションロジックで調停するから、画像処理系回路モジュールのリアルタイム応答性は実質的に損なわれない。

[0016] 第1バスと第2バスを分離したからCPUによる周辺回路モジュールのアクセスと画像処理系回路モジュールのメモリデータ転送が衝突することも少ない。よって、CPUアクセスのレイテンシーを下げることなく周辺回路モジュールとの間のデータ転送を行うことが可能になる。

[0017] また、3次元画像処理部を第1バスに接続することにより、3次元画像処理においてコマンドや大量の頂点データなどのオペランドの転送をCPUと3次元画像処理部との間で行う必要性を満足させることができる。さらに3次元画像処理は頂点データの処理の過程で陰面消去やテクスチャマッピングの際に大量の画像データを頻繁にメ

メモリとやり取りする必要がある、他の画像処理系回路モジュールと比較してスループットだけでなくメモリに対するアクセスレイテンシーを抑える必要がある、専用バスでメモリインタフェース回路に直結する構成によってそれを満足させることができる。

[0018] 本発明の具体的な形態として、バスブリッジ回路に接続され、前記中央処理装置から複数の第1回路モジュールへのレジスタ設定に利用可能な第4バスを更に有する。前記バスブリッジ回路は更に、前記第2バスと第3バスとの間のダイレクトメモリアクセス転送を実行可能である。

[0019] 前記中央処理装置が1サイクルで2命令実行可能なスーパースカラ構成を有する場合には、第1バスは中央処理装置の内部バスのビット数の2倍のビット数を有することが望ましい。中央処理装置の処理サイクル内で所定ビット数のデータを2組用意し、用意された2組のデータを1バスサイクルで第1バスへ転送可能である。

[0020] [2]前記2次元画像処理部は、太線描画に際して、描画方向を規定する中心線に対して垂直方向の描画線幅を規定するための描画線幅規定ベクトルを求め、中心線の始点及び終点と前記描画線幅規定ベクトルに基づいて太線の矩形を求め、矩形の4頂点の論理的な座標に対する丸め処理を行って画素に応ずる4頂点の描画座標を求め、4頂点の描画座標で囲まれる領域をポリゴンとして描画する。

[0021] このとき、前記2次元画像処理部は、描画方向の中心線に対して左右非対称な幅となるように描画線幅規定ベクトルを求める。これにより、片方の描画線幅規定ベクトルが丸め処理により長さが延びた場合、他方の描画線幅規定ベクトルは短く丸められる傾向を採り、結果として、描画幅の全体的な伸縮が打ち消され、若しくは緩和される方向に向けられる。

[0022] 前記2次元画像処理部は、前記丸め処理において、画素座標から相対的に離れた所定の論理座標に対しては、例外的に、描画方向に垂直な向きの画素座標に代えて描画方向に向く画素座標を描画座標に割当てて。これにより丸め方向は描画幅を直径とする円の接線方向(太線の描画方向)になっている。これは、4個の画素格子間の中央部分は丸め処理によって相対的に大きな誤差を生ずる部分であり、そのような部分に対して丸め処理を行なっても法線の長さ(太線の幅)が極力伸縮しない方向に丸めようとするものである。

[0023] 具体的な形態として、隣接する画素座標間で複数分割されたどの領域に論理座標が属するかにより、前記例外的に画素座標を割当てて対象である所定の論理座標か否かを判断する。また、描画線幅規定ベクトルの起点を中心とする2次元座標上で前記描画線幅規定ベクトルが属する象限に応じて、前記例外的に割当てて描画座標の位置を決定する。

[0024] 上記太線描画処理では、太線の中心の左右で非対称に行うこと、また、X軸、Y軸単独に座標を丸めず、互いの軸に対してどちらに丸めたかを考慮して2次元的に丸めを行うことにより、低解像度でも全ての方向に対して太さの誤差が少なく太線描画を行うことができる。

発明の効果

[0025] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0026] すなわち、描画や表示制御のための制御情報や画像データ等の転送効率を向上させることができる。

[0027] 画像情報や制御情報の転送経路上での競合によるデータ転送効率低下を抑制することが可能である。

[0028] 大量の画像データに対するリアルタイムの描画及び表示制御を可能にするという点で画像処理用半導体プロセッサのデータ処理パフォーマンスを向上させることができる。

図面の簡単な説明

[0029] [図1]本発明の一例に係る画像処理プロセッサを用いたナビゲーションシステムを例示するブロック図である。

[図2]図1の画像処理プロセッサに対する比較例の画像処理プロセッサを示すブロック図である。

[図3]図1の画像処理プロセッサにおいてメモリインタフェース回路内のバスアービタによるバスアービトレーションのアルゴリズムを例示する説明図である。

[図4]図1の画像処理プロセッサの処理におけるデータの流れの態様を示す説明図である。

[図5]始点と終点を移動しながら始点から終点に至る画素を塗りつぶす方式を採用した場合に描画方向が相異すると始点から終点に至る画素を塗りつぶす本数が同じであっても太線の幅が異なる様子を示す説明図である。

[図6]2Dグラフィックスモジュールによる太線描画の基本的な処理手順の概略を示す工程図である。

[図7]中心線と法線ベクトルで規定される論理座標による太線描画の矩形領域を示す説明図である。

[図8]画素の格子点に対する論理座標点に対し画素ピッチの範囲でX, Y方向に四捨五入して割り当てられる画素座標点を示す説明図である。

[図9]論理座標である頂点座標点と画素座標点は画素ピッチに対し最大で $\pm\sqrt{2}/2$ 変化することを示す説明図である。

[図10]幅が9画素分の太線を描画する場合に描画方向に応じて描画幅が異なる様子を示す説明図である。

[図11]2次元的な法線ベクトルの丸め処理の原理を示す説明図である。

[図12]法線ベクトルの長さを非対象とすることの意味を示す説明図である。

[図13]太線幅を9画素分とするととき始点Aを中心に論理座標P1, P2が採り得る位置を示す説明図である。

[図14]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第1工程を例示する説明図である。

[図15]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第2工程を例示する説明図である。

[図16]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第3工程を例示する説明図である。

[図17]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第4工程を例示する説明図である。

[図18]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第5工程を例示する説明図である。

[図19]画素座標点Q1〜Q4で規定される領域のポリゴン描画の第6工程を例示する

説明図である。

[図20]画素座標点Q1〜Q4で規定される領域のポリゴン描画を3角形の塗りつぶしで行なう処理の第1工程を示す説明図である。

[図21]画素座標点Q1〜Q4で規定される領域のポリゴン描画を3角形の塗りつぶしで行なう処理の第2工程を示す説明図である。

[図22]画素座標点Q1〜Q4で規定される領域のポリゴン描画を3角形の塗りつぶしで行なう処理の第3工程を示す説明図である。

[図23]2Dグラフィックスモジュールの一例を示すブロック図である。

[図24]太線化処理部の一例を示すブロック図である。

[図25]線幅非対象化回路の一例を示すブロック図である。

[図26]線幅非対象化回路の別の例を示すブロック図である。

[図27]2次元丸め部の一例を示すブロック図である。

符号の説明

- [0030] 1 画像処理プロセッサ
- 2 中央処理装置
- 3 第1バス
- 4 バスブリッジ回路
- 5 ダイレクトメモリアクセスコントローラ
- 6 3Dグラフィックスモジュール
- 7 メモリインタフェース回路
- 10 第2バス
- 11 第3バス
- 12 第4バス
- 13 外部バス
- 14 3D専用バス
- 15 外部メモリ
- 18 バスアービタ
- 19 メモリコントロールロジック

- 20 2Dグラフィックスモジュール
- 21 ビデオ信号入力回路
- 22 表示制御回路
- 23 ATAPI
- 30 SPDIF
- 31 GPS用のベースバンド処理部
- 32 SCIF
- 40 ダイレクトメモリアクセスコントローラ
- 41 バスコントローラ
- 52 太線化処理部

発明を実施するための最良の形態

[0031] 《画像処理プロセッサ》

図1には本発明の一例に係る画像処理プロセッサを用いたナビゲーションシステムが例示される。同図に示される画像処理プロセッサ1は、特に制限されないが、相補型MOS(CMOS)集積回路製造技術により、単結晶シリコンなどの1個の半導体基板(半導体チップ)に形成される。

[0032] 画像処理プロセッサ1は、CPU(Central Processing Unit)2を内蔵し、CPU2が接続する第1バス3には、バスブリッジ回路(BBRG)4、ダイレクトメモリアクセスコントローラ(DMAC)5、3次元画像の描画処理などの3次元画像処理を行う3次元画像処理部としての3Dグラフィックスモジュール(3DGFIC)6、及びメモリインタフェース回路(MRYIF)7が接続される。前記バスブリッジ回路4には更に第2バス10、第3バス11、第4バス12及び外部バス13に接続される。前記メモリコントローラ5には更に3D専用バス14が接続される。

[0033] メモリインタフェース回路7にはメモリバス16を介して外部メモリ15が接続される。外部メモリ15は例えばダブルデータレートシンクロナスDRAM(DDR-SDRAM)によって構成され、CPUが使用するためのメインメモリ、さらにはフレームバッファ等の画像メモリとして利用される。メモリインタフェース回路7はバスアービトレーションとメモリ制御を行う。バスアービトレーションはバス3, 10, 14を介する外部メモリアクセス

の競合を調停する制御であり、バスアービタ (ARBT) 18で行う。メモリ制御は、バスを介するアクセス要求にしたがってクロック信号の立ち上り及び立ち下がりに同期して外部メモリ15をリード又はライト動作させるストロブ信号などのタイミング信号を形成して外部メモリ15を動作させる制御であり、メモリコントロールロジック (MCNT) 19で行う。尚、外部メモリ15はDDR-SDRAMに限定されず、シングルデータレート (SDR)-SDRAM等であってもよい。

[0034] 前記3D専用バス14に接続される3Dグラフィックスモジュール6は第1バス3を介してCPU2から3D描画コマンドなどの画像処理コマンドを受取って3D描画処理を行う。描画は外部メモリ15のフレームバッファ領域に対して行なわれる。

[0035] 第2バス10には第1回路モジュールとして、2次元画像処理部としての2Dグラフィックスモジュール (2DGFIC) 20、ビデオ信号入力回路 (VDOIN) 21、表示制御回路 (DU) 22、及びATアタッチメントパケットインタフェース回路 (ATAPI) 23等が接続される。前記2Dグラフィックスモジュール20は2次元画像の描画処理などの2次元画像処理を行う回路であり、例えば太線描画機能も備える。描画は外部メモリ15のフレームバッファ領域に対して行なわれる。表示制御回路22は外部メモリ15のフレームバッファ領域に描画された画像データを順次読み出して、ラスタスキャン型のディスプレイ25に表示タイミングに同期させて出力する制御を行う。ビデオ信号入力回路21はデジタルビデオ信号を入力する。デジタルビデオ信号はテレビ信号などのアナログビデオ信号をコード化して出力するNTSC (National Television System Committee) デコーダ (NTCDEC) 26から出力される。ATAPI23はハードディスクドライブ、DVD又はCD-ROMドライブ等のディスクドライブ装置 (DDRV) 27に接続され、DVD又はCD-ROM等の記録媒体から記録情報を読取って取り込むためのインタフェース制御を行う。ナビゲーションシステムにおいてDVDやCD-ROMには地図データなどが記録されている。

[0036] 第4バス12には2Dグラフィックスモジュール20、ビデオ信号入力回路21、及び表示制御回路22が接続される。

[0037] 第3バス11には第2回路モジュールとして、SPDIF準拠の音声データ入出力インタフェース (SPDIF) 30、GPS (Global Positioning System) 用のベースバンド処理部 (

GPSBB) 31、調歩同期シリアルコミュニケーションインタフェース回路(SCIF) 32及びタイマ(TMU) 33などが接続される。SPDIF31には音声用のデジタル・アナログ変換回路(DAC)が接続され、変換されたアナログ音声信号はスピーカ35で音声に変換される。GPSBB31はGPS用の高周波部(GPSRF) 36が接続され、アンテナモジュールを介して人工衛星に電波を反射させて、衛星の捕捉演算処理などを行う。

[0038] 外部バス13にはナビゲーション用のプログラム及び制御データ等を格納する電氣的に書換え可能なフラッシュメモリ(FLASH) 37及びCPU2のワークメモリなどに利用されるスタティックランダムアクセスメモリ(SRAM) 38などが接続される。尚、マルチCPUシステムを構成する場合には、図示はしないが、外部バス13に更に別のプロセッサを接続することが可能である。

[0039] 第1バス3はマルチマスターバスとされ、これに接続する夫々の回路モジュールはマスターポートとスレーブポートを独立に有しており、自回路モジュールからのリード／ライトの転送要求はマスターポートから命令として発行し、他回路モジュールからの転送要求はバス調停回路での調停を経た結果、スレーブポートに転送要求として通知され、バストランザクションが実行される。バス調停回路は特に図示はしないが第1バス3の途中に配置されている。このマルチマスターバス制御方式により、第1バス3は回路モジュール間の全ての組み合わせの転送が可能にされる。例えばCPU2とDMAC5、バスブリッジ回路4とメモリインタフェース回路7、バスブリッジ回路4とCPU2の転送等が可能である。

[0040] 第2バス10は第1バス3と同様にマルチマスターバスとされるが、バスのソース、デスティネーションの一方は必ずメモリインタフェース回路7になっている。すなわち、バスブリッジ回路4、2DGFIC20、VDOIN21、DU22、ATAPIU23は外部メモリ15との間の転送のみを行う。第1回路モジュールである画像系の回路モジュール20, 21, 22, 23は自回路ブロックで画像処理を行った後には外部メモリ15に一旦データを格納する必要があるか、或いは外部メモリ15のデータを表示制御回路22に転送する必要がある、全ての転送は必ずメモリ15を経由する構成になっている。転送をメモリ15との間のものに限定することにより、バスの構成をシンプルにでき、また高速なバースト転送を可能に出来る利点がある。更に、画像系の回路モジュール20, 21, 22

, 23は全て第3バス11とも接続されているが、こちらは画像系回路モジュールの動作モード等を制御するようなレジスタに関するアクセスのバスであり、CPU2からのレジスタリード／ライトにのみ使用する。

[0041] 第3バス11はシングルマスターのバスであり、バスブリッジ回路4がバスマスターになっている。転送方式としてはCPU2からのパラレル入出力(PIO)転送命令をバスブリッジ回路4で第3バスへの転送に変換するケースと、バスブリッジ回路4に内蔵されているDMAC40を使用して、第2回路モジュールとしての周辺回路モジュール30, 31, 32, 33と外部メモリ15の転送を行うケースがある。後者のケースにおいて、DMAC40は第3バス11と第2バス10の間を橋渡しする役目を担い、第2バス10に対してはバスマスターとして上記メモリインタフェース回路内のバスアービタ18に転送要求を発行する。例えば、周辺回路モジュールの例であるGPSBB31は、衛星の捕捉計算を行い、即位計算は内蔵CPU2によりソフトウェアで行う構成を採用した場合、GPSBB31から第3バス11上で必要なデータすなわち、捕捉した衛星の情報と時間差データのみを送ればよく、データ転送量を最小にすることが可能になり、コストパフォーマンスに有利なシステムを構築することが出来る。

[0042] 3D専用バス14は3Dグラフィックスモジュール6とメモリインタフェース回路7とを接続する専用バスであり、ここでは専用バスの利点を生かし、レイテンシーを最小限にしたバス構成になっている。

[0043] 外部バス13はCPU2からのPIOアクセスとバスブリッジ回路内のDMAC40を使用した前記FLASH37やSRAM38と外部メモリ15との間のDMA転送を可能にしている。バスブリッジ回路4は外部バス13に対してバスステートコントローラ(BSC)41でバス幅やウェイトサイクル挿入などのバス制御を行う。第3バス11、第4バス12、及び外部バス13に関するバス権調停はバスブリッジ回路4内の図示を省略するバスアービトレーションロジックで行なう。

[0044] 前記CPU2は例えば32ビットCPUでありデータ処理単位は32ビットとされる。このCPU2は1サイクルで複数の命令を発行するスーパースカラ構造を有することにより、動作周波数の約2倍の命令処理実行能力を有する。即ち、CPU2は所謂2ウェイ・スーパースカラ構造を有する。これに呼応して前記第1バス3は64ビットバスとされる。

したがって、CPU2は並行に2命令を実行して夫々32ビットのデータを2組用意し、用意された合計64ビットの2組のデータを1バスサイクルで第1バス3へ転送可能である。また、CPU2は1バスサイクルで第1バス3から64ビットのデータをリードし、リードした下位32ビットと上位32ビットを別々に並行して演算処理することも可能にされる。

[0045] 以上の構成を有する画像処理プロセッサ1においては、CPU2が第1バス3に直結されるから、図2の比較例に係る画像処理プロセッサのようにCPU内のバスコントローラ、CPUバス、CPUインタフェース回路を通して外部メモリに至ることを要せず、外部メモリアクセスに対して大幅な高速化が実現できる。さらにCPU2を画像処理プロセッサと同じ半導体チップに集積したことにより、図2の比較例のようにCPUと画像処理プロセッサを外部バスで接続することを要せず、そのような外部バスよりも格段に高速の半導体集積回路の内部バスを使用することが出来るようになる。CPU2は1サイクルで複数の命令を発行するスーパースカラ構造を有することにより、動作周波数の約2倍の命令処理実行能力を有することが可能だが、そのアクセスが第1バス3を経由した外部メモリ15になる場合、そのアクセス速度は第1バス3上でのアクセス効率に律速され、上記の命令処理性能値が悪化することがある。この点に関しても、上記画像処理プロセッサ1では画像処理の高速化に対する重要性の度合という観点から選んだ回路モジュール5、6のみ第1バス3に接続する構成を採用することにより、第1バス3上でのアクセス競合による待ち時間の増大を抑制し、CPU2の動作速度低下を効果的に抑制することができる。換言すれば、CPUによる命令実行速度を高速に保つことが容易になる。

[0046] また、図2の比較例の場合、CPUからのアクセスはCPUインタフェース回路経由で第2バスに伝達されるようになっており、第2バスにおいて画像処理系回路モジュールとの調停を必要としていた。画像処理系回路モジュールはリアルタイム応答が要求されるためこの構成では、CPUの要求が比較的低い優先度として扱われることになり、結果として、CPUのアクセスレイテンシーが悪くなることがある。図3には図1の画像処理プロセッサ1においてメモリインタフェース回路7内のバスアービタ18によるバスアービトレーションのアルゴリズムが示される。同図に示されるアルゴリズムではアービトレーションは3段階で行なわれる。先ず、第3バス11からのバスブリッジ回路4経由

による周辺回路モジュール30, 31, 32, 33に対するアクセスリクエストの中からラウンドロビン方式(ラウンドロビン1)RR1で1つのリクエストが選択される。また第2バス10に係る画像処理系回路モジュール20, 21, 22, 23のアクセスリクエストの中からラウンドロビン方式(ラウンドロビン2)RR2で1つのリクエストが選択される。上記の選ばれた2つのリクエストに対しては固定優先でその中から1つのリクエストが選択される。画像処理系回路モジュールには通常リアルタイム性が要求されるので、画像処理系回路モジュールからのリクエストが常に優先される。そして、選ばれた画像処理系回路モジュール、または周辺回路モジュールのリクエストは3Dグラフィックスモジュール6と第1バス3からのアクセスモジュールとの間でラウンドロビン・固定優先方式RR3で調停される。ラウンドロビン・固定優先方式とは、上記画像処理系回路モジュールがリクエストを出しているときは画像処理系回路モジュールを優先し、周辺回路モジュールがリクエストを出しているときは3つのリクエストは均等にラウンドロビンされて選択される方式を意味する。ここで、図2の比較例と比べると、図1の構成では第1バス3を共有する回路モジュールはCPU2、バスブリッジ回路4、DMAC5、3Dグラフィックスモジュール6のみとなり、この場合バスマスターになるのはCPU2とDMAC5のみになるので、CPU2が第1バス3上で転送要求に対して待たされるケースはほとんど発生しなくなる。画像処理系回路モジュール20〜23は事前に第2バス10側でラウンドロビンRR2によりバスアービトレーションされ、これによって真にリアルタイム応答が要求される画像系回路モジュールが選択された後に、CPU2及び3Dグラフィックスモジュール6との調停を行う。画像処理系回路モジュールはリアルタイム応答、即ち時間平均のスループット性能が要求されるが、その一方でCPU2ほどのアクセスレイテンシー性能は必要とされない。したがって、アービトレーションを上記説明のようにRR1〜RR3に示されるように複数段階で行ってもトータル性能としての劣化は生ぜず、その上、真に応答が必要な画像系回路モジュールに係るアクセス要求が選択されているので、CPU2が不必要に待たされることがなくなる。要するに、CPU2を含めて全ての回路モジュールに対しラウンドロビンによるバスアービトレーションを行った場合には、バスアクセス要求でCPUと競合する回路モジュールの数が増え、その分バスアクセス要求が承認される確率が低くならざるを得ない。従って、図1の構成により、

第1バス3にはCPU2と真に高速転送が必要な回路モジュールのみを接続することができ、バスの高速化が容易となる。更に、画像処理系回路モジュールからの要求は第2バス10側で調停することにより、画像処理系回路モジュールの動作に要求されるリアルタイム性が阻害されることはない。

[0047] また、周辺回路モジュール30〜33のDMA転送による外部メモリ15との間の転送においても、第2バス10上でCPU2からのアクセスと衝突することはない。第2バス10と第1バス3を分離したことによりCPU2アクセスのレイテンシーを下げることなく第3バス11経由で周辺回路モジュールと外部メモリ15との間のデータ転送を行うことが可能になっているからである。

[0048] 図2の比較例に比べて、3Dグラフィックスモジュール6が追加になっているが、3Dグラフィックスは通常大量の頂点データ等のデータ転送をCPU2と3Dグラフィックスモジュール6との間で行う必要があり、そのために図1では3Dグラフィックスモジュール6を第1バス3に接続してある。さらに3Dグラフィックスでは頂点データの処理の過程で陰面消去やテクスチャマッピングの際に大量の画像データを頻繁にメモリとやり取りする必要がある、他の画像系回路モジュール20〜23と比較してスループットだけでなくメモリに対するアクセスレイテンシーを抑えることが必要になり、これを考慮して、専用バス14でメモリインタフェース回路7に直結する構成を採用してある。これにより、3Dグラフィックスモジュール6に対するバスアービトレーションは前記ラウンドロビンRR3の1段の階層で済むので、CPU2と同様にアクセス性能を確保することができる。

[0049] 図4には図1の画像処理プロセッサ1の処理におけるデータの流れの態様が示される。多くの回路モジュールが外部メモリ15及びCPU2との転送を必要としている。転送の種類はT1〜T8に大別される。T1の転送はCPU2による外部メモリ15のアクセスであり、具体的にはCPU2内のキャッシュメモリの読み出し、書き戻しである。T2の転送はDMAC5による転送で、CPU2あるいは外部メモリ15をソース転送又はデスティネーション転送として転送を行う。T3の転送は3Dグラフィックスモジュール6と外部メモリ15との間の画像データ転送である。T4の転送はCPU2から周辺回路モジュール30〜33の一つへのPIOアクセスである。T5の転送は画像処理系回路モジュール

ル20〜23の一つと外部メモリ15との間の画像データ転送である。T6の転送は周辺回路モジュール30〜33の一つと外部メモリ15との間のDMA転送である。T7の転送は外部バス13上の回路モジュールと外部メモリ15との間のDMA転送である。T8の転送は、CPU2から外部バス13上の回路モジュールへのPIOアクセス転送である。T9の転送はCPU2から3Dグラフィックスモジュール6への頂点データの転送である。

[0050] メモリインタフェース回路7への接続バスが第1バス3、第2バス10、3D専用バス14と3系統に分割され、メモリインタフェース回路7は各バスに対し、データFIFOバッファを有し、各バス上での転送動作の待ちが極力発生しないようにされている。これにより、上記T1〜T8の形態の転送を効率的に行うことが可能になる。

[0051] CPU2がある回路モジュールと転送する間に他の回路モジュールが外部メモリ15との間で転送可能な転送形態の組み合わせは以下の通りである。すなわち、[1]T1とT6又はT2とT6(＊)、[2]T1とT5又はT2とT5(＊)、[3]T1とT7又はT2とT7(＊)、[4]T1とT3又はT2とT3(＊)、[5]T2とT8、[6]T4とT7、[7]T4とT3、[8]T4とT6、[9]T4とT5、[10]T4とT2、[11]T3とT7(＊)、[12]T3とT5(＊)、[13]T3とT6(＊)、[14]T3とT8、[15]T5とT8、[16]T6とT8、[17]T7とT8、[18]T9とT3、[19]T9とT5、[20]T9とT6、[21]T9とT7の21態様がある。尚、＊の印はDDR-SDRAMから成る外部メモリ15への外部バス16は十分に転送ビット幅があると仮定していることを意味する。

[0052] 逆に同時転送が出来ない組み合わせは、T1とT2、T5とT6、T5とT7、T7とT6、T9とT2だけである。図2の比較例ではT1、T4、T5、T6、T7、T8の転送形態が定義できるが、T1とT5、T1とT7、T4とT7の転送が同一バスを使用することになり、同時転送ができない。図1に示した構成を採用することにより、T1とT5、T1とT7、T4とT7の転送も同時転送が可能であり、さらにT2、T3、T9の転送もバスの衝突が最小限に抑えられている。したがって、大量の画像転送、CPU2からのPIOアクセスの高速化、CPU2を介在しないDMA転送の同時実行が可能となり、比較例に比べて大幅にシステム性能を向上させることができる。

[0053] 《太線描画》

次に2Dグラフィックスモジュール20による太線描画について説明する。太線描画を行なうとき、始点と終点を移動しながら始点から終点に至る画素を塗りつぶす方式を採用した場合、図5に例示されるように描画方向が相異すると、始点から終点に至る画素を塗りつぶす本数が同じであっても太線の幅が異なる。最大で $\sqrt{2}$ 倍の差ができる。

[0054] 図6には2Dグラフィックスモジュール20による太線描画の基本的な処理手順の概略が示される。始点及び終点A, Bによって描画方向を規定する。描画幅に対して例えば半分の長さを持つ線分ABの法線ベクトル n を求める。始点及び終点A, Bと法線ベクトル n から矩形の4頂点P1, P2, P3, P4を求める。4頂点P1, P2, P3, P4は論理的な座標点である。そして、前記4頂点P1, P2, P3, P4に対する丸め処理を行なって画素に応ずる画素座標点Q1, Q2, Q3, Q4を求める。画素座標点Q1, Q2, Q3, Q4は画素の格子点上の座標になる。この画素座標点Q1, Q2, Q3, Q4で囲まれた領域をポリゴンとして描画する。

[0055] ここで、単純な四捨五入による丸め処理を比較例として説明する。例えば図7の始点座標Aと法線ベクトル n の和に係る頂点P1のX座標及びY座標に着目する。図8に例示されるように、画素の格子点に対するP1の論理座標点に対し、画素ピッチの範囲でX, Y方向に四捨五入すると、P1に最も近い画素が画素座標点Q1になる。従って図9に例示されるように、頂点Piと画素座標点Qiは画素ピッチに対し最大で $\pm\sqrt{2}/2$ 変化する。P1とP4は線分ABに対して線対称であるから、P1, P4に対するQ1, Q4の誤差は共に同じになり、太線の幅としては画素ピッチの $\pm\sqrt{2}$ 倍の誤差を生じ、同じ幅で太線を描画しようとしても、描画方向や始点・終点の位置によって線の太さに画素ピッチの $2\sqrt{2}$ 倍の違いを生ずる可能性がある。例えば図10に例示されるように、幅が9画素分の太線を描画する場合、a方向に対してはna方向の法線ベクトルが求まり、b方向に対してはnb方向の法線ベクトルが求まる。ベクトルの終点が画素の格子点上になれば、これを丸め処理にて画素の格子点上の点に割り付ける。前記四捨五入による場合、a方向に対しては幅waの太線、b方向に対しては幅wbの太線として描画され、同じ線幅の太線を描画しようとしても、描画方向によって線幅が異なる結果になってしまう。ナビゲーションシステムにおいて地図上で道路を太線描画す

る場合に同じ幅の道路であっても方向によって又は屈曲若しくはカーブになるに従って太さが変化することになり、道路などに対する表示性能の低下が余儀なくされる。

[0056] 2Dグラフィックスモジュール20による太線描画ではそれを解消するのに、第1に、2次元的に丸め方向を決定する丸め処理を採用し、第2に、法線ベクトルの長さを非対象とする。

[0057] 2次元的な丸め方向の決定について説明する。図11には2次元的な法線ベクトルの丸め処理の原理を示す。例えば4個の画素格子間の領域を16分割し、分割部分のうちハッチングを施した中央部の所定部分(例外丸め対象部分)に関しては例外的に丸め方向を矢印で示す画素に変更し(例外丸め処理)、それ以外は四捨五入による通常の丸め(通常丸め処理)を行なって画素座標を決定する。例えばP1のような論理座標点がハッチング四角部分に入っているとき、矢印で示される画素の位置を対応する画素座標点Q1とする。図11の矢印の向きから理解されるように、丸め方向は描画幅を直径とする円の接線方向(太線の描画方向)になっている。これは、4個の画素格子間の中央部分は丸め処理によって相対的に大きな誤差を生ずる部分であり、そのような部分に対して丸め処理を行なっても法線の長さ(太線の幅)が極力伸縮しない方向に丸めようとするものである。丸め方向は、法線ベクトルである描画線幅規定ベクトルの起点(A)を中心とする2次元座標上で前記描画線幅規定ベクトルが属する象限に応じて決定する。要するに、始点Aを中心とするXY座標上でP1, P4が有するX座標点、Y座標点の符号に従って画素座標Q1、Q4を決定し、終点Bを中心とするXY座標上でP2, P3が有するX座標点、Y座標点の符号に従って画素座標Q2、Q3を決定する。例えば第1象限であれば右下の画素、第2象限であれば右上の画素、第3象限であれば左上の画素、第4象限であれば左下の画素、というように丸め方向を決めれば良い。

[0058] 法線ベクトルの長さを非対象とすることについて説明する。図12には法線ベクトルの長さを非対象とすることの意味が示される。例えば太線の描画幅をWとすると、始点Aに対する一方に法線ベクトルの大きさは $W/2$ 、他方の法線ベクトルの大きさは $W/2 - \alpha$ とする。例えば α は画素ピッチの $1/4$ の長さとする。図13には太線幅を9画素分とすると始点Aを中心に論理座標P1, P2が採り得る位置を示している。法

線ベクトルの長さを非対称にすることにより、片方の法線ベクトルが丸め処理により長さが伸びた場合、他方の法線ベクトルは短く丸められる傾向を採り、結果として、描画幅の全体的な伸縮が打ち消され、若しくは緩和される方向に向けられる。例えば図13の座標点P1, P4について考察すると、P1に対応するQ1は右下の画素座標とされることにより対応する一方の法線ベクトルは最適長に対して長くされ、P4に対応するQ4は四捨五入によって直近の画素座標とされることにより対応する他方の法線ベクトルは最適長よりも短くされ、結果として太線幅の変動は小さく抑えられる。

[0059] 画素座標点Q1〜Q4で規定される領域のポリゴン描画は、例えば図14乃至図19に示されるように順次行なうことができる。例えば図14のように始点Aから終点Bに向かう線分を太線描画する場合に求められた4頂点をQ1〜Q4とする。先ず、図15に例示されるように、頂点Q1からQ4に向かう線分上の各座標点を求める。同様に、頂点Q2からQ3に向かう線分上の各座標点を求める。上記処理で求まる各座標点の間を順次直線描画する。図16には1本目、図17には2本目、図18には4本目、図19には最後の直線描画を行なった状態が示される。その他の手法として、図20乃至図22に例示されるように分割した3角形をX方向に上から走査するように画素を順次塗りつぶすようにしてポリゴン描画を行なってもよい。

[0060] 図23には2Dグラフィックスモジュール20のブロック図が示される。2Dグラフィックスモジュール20は、描画コマンドフェッチ部50、ジオメトリ処理部51、太線化処理部52、ポリゴン描画部53、及びピクセル処理部54から成る。2Dグラフィックスモジュール20に対するCPU2及び外部メモリ15の接続形態は簡略化して図示してある。

[0061] CPU2は2Dグラフィックスモジュール20に対する起動やレジスタリード等を行なう。描画コマンドフェッチ部50は外部メモリ15の画像用メモリ領域に格納された画像処理コマンドや描画図形の座標などを入力する。ジオメトリ処理部51は図形座標をスクリーン座標に変換する処理を行なう。太線化処理部52はコマンドによる太線化指示に従って前記太線描画のための処理を行なう。ポリゴン描画部53によるデータはピクセル処理部54で画素データ(ピクセルデータ)とされ、その物理アドレスと共に外部メモリ15の画像用メモリ領域に格納され、画像表示に供される。

[0062] 図24には太線化処理部52の一例が示される。頂点バッファ60には線分の頂点座

標 $A(x, y)$ 、 $B(x, y)$ が入力される。線分計算部61では $A(x, y)$ を始点、 $B(x, y)$ を終点とする線分 $A(x, y) - B(x, y) = DX, DY$ を計算する。線幅非対象化回路62は線幅 W の情報を入力し、非対象の線幅 $WN1$ 、 $WN2$ の情報を出力する。法線計算部63Aは線分 DX, DY に対する法線方向の線幅 $WN1$ の法線 $N1$ を演算する。法線計算部63Bは線分 DX, DY に対する法線方向の線幅 $WN2$ の法線 $N2$ を演算する。太線頂点計算部64は $A + N1$ 、 $A + N2$ 、 $B + N1$ 、 $B + N2$ の4頂点を演算する。演算された4頂点に対して2次元丸め部65で前記丸め処理が行なわれる。

[0063] 図25には線幅非対象化回路62の一例が示される。線幅 $WN1$ 、 $WN2$ は描画幅の画素数が奇数か偶数かによって相異される。ここでは、線幅 W の画素数が奇数の場合には $WN1$ は $(W-1)/2$ 、 $WN2$ は $(W-1)/2 - \alpha$ とする。偶数の場合には $WN1$ は $W/2$ 、 $WN2$ は $W/2 - 1 - \alpha$ とする。 α は線幅毎に決められた法線を非対称にするための定数である。定数 α は α テーブル70が保有し、線幅 W に応ずる定数 α を選択して出力する。ここでは、線幅 $WN1$ 用の出力 $\alpha 1 = 0$ 、線幅 $WN2$ 用の出力 $\alpha 2 = -\alpha$ とする。尚、特に図示はしないが、線幅 $WN1$ 用の出力 $\alpha 1 = +\alpha/2$ 、線幅 $WN2$ 用の出力 $\alpha 2 = -\alpha/2$ のように双方の線幅を増減することも可能である。

[0064] デクリメンタ71、72は入力を-1して出力する。線幅 W に対して画素数が奇数であるか偶数であるかを偶数・奇数判定部73で判定する。奇数であれば、セクタ74でデクリメンタ71の出力を選択し、これをシフタ75で $1/2$ とし、その結果 $(W-1)/2$ を加算器(ADD)76で $\alpha 1 = 0$ と加算して $WN1$ を出力する。奇数のとき $WN2$ 側に対してはセクタ77でシフタ75の出力 $(W-1)/2$ を選択させ、その結果 $(W-1)/2$ を加算器(ADD)78で $\alpha 2 = -\alpha$ と加算して $WN2$ を出力する。偶数・奇数判定部73による判定が偶数であれば、セクタ74で線幅 W をそのまま選択し、これをシフタ75で $1/2$ とし、その結果 $W/2$ を加算器(ADD)76で $\alpha 1 = 0$ と加算して $WN1$ を出力する。 $WN2$ 側に対してはセクタ77でデクリメンタ72の出力 $W/2 - 1$ を選択させ、これを加算器(ADD)78で $\alpha 2 = -\alpha$ と加算して $WN2$ を出力する。

[0065] 図26には線幅非対象化回路62の別の例が示される。即ち、線幅 W に応じた線幅 $WN1$ 、 $WN2$ を夫々保有する $WN1$ テーブル79Aと $WN2$ テーブル79Bを配置し、入力する線幅 W に応じて直接線幅 $WN1$ 、 $WN2$ を出力するように構成される。

[0066] 図27には2次元丸め部の一例が示される。太線頂点計算部64で計算された4頂点P1〜P4のx座標点とy座標点に基づいて象限判定部80で夫々の頂点座標が位置する象限が求められる。ここで言う象限とは図11で説明した意味である。例外丸め計数テーブル82はP1〜P4の座標点に加算すべき係数(例外丸め係数)を保有し、象限の判定結果にしたがって例外丸め係数 $(x, y) = (m, n)$ を出力する。例外丸め係数は図11に新される規則に従い、第1象限であれば $(1, 0)$ 、第2象限であれば $(1, 1)$ 、第3象限であれば $(0, 1)$ 、第4象限であれば $(0, 0)$ とする。例外・通常丸め判定部81は、図11で説明したように画素の格子間を16分割した領域の内の例外丸め対象部分に4頂点P1〜P4が入るかを判別する。例外丸め処理対象の場合にはセレクト83で例外丸め係数テーブル82の出力を選択する。通常丸め処理対象の場合には $(0.5, 0.5)$ がセレクト83で選択される。セレクト83の出力と頂点座標は対応するもの同士が加算器(ADD)85で加算され、加算結果は切り捨て処理部86で小数点以下が切り捨てられる。切り捨て処理部86の出力がQ1〜Q4の画素座標点情報とされる。

[0067] 太線の描画方向に対して垂直で線幅の $1/2$ の長さのベクトルを求め、始点と終点とこのベクトルから太線の4頂点を求めてポリゴン描画を行なう方式では、線幅の $1/2$ の長さの法線ベクトルを求める際に、少数点の座標として求まるが、描画座標は整数である必要があるため、四捨五入等により丸めることが必要となり、表示装置の解像度では、この四捨五入などの丸めのため描画方向により太線の線幅が太めに見えたり、細めに見えたりすることがある。これに対し、2DGFIC20による上記太線描画処理では、太線の中心の左右で非対称に行うこと、また、X軸、Y軸単独に座標を丸めず、互いの軸に対してどちらに丸めたかを考慮して2次元的に丸めを行うことにより、低解像度でも全ての方向に対して太さの誤差が少なく太線描画を行うことができる。

[0068] 全ての方向に対して、実質的に一樣な太さの線を描画することができる。単純な四捨五入によるに丸めを行う場合には、ワースト・ケースで目的の線幅に対して、約 $\pm \sqrt{2}$ ピクセルの誤差を生じ、一番太い部分と細い部分での線幅の差が $2\sqrt{2}$ ピクセルとなるが、上記丸め処理を採用することにより、一番太い部分と細い部分での線幅の

差を $\sqrt{2}/2$ 程度に減少させることができる。

[0069] 地図の大半を占め、ナビゲーションにとって最も重要な道路情報が、一様な太さで美しく表現出来るため地図全体の見易さの向上になる。また、一様な太さで描画できるため、道路に縁取りを付け更に見易さの向上を図ることができ、一方通行や渋滞情報などの付加情報を見やすく付けることも可能になる。地図の見易さは、安全運転の効果があり、カー・ナビゲーション自体の付加価値にもなる。

[0070] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0071] 例えばCPUはスーパースカラに限定されない。第2バスはスーパーハイウェイバスに限定されない。第1回路モジュール及び第2回路モジュールは図1で説明した機能を有する者に限定されない。

産業上の利用可能性

[0072] 本発明はカーナビゲーションシステムへの適用に限定されず、グラフィック表示を有する種々のデータ処理システムに広く適用することができる。

請求の範囲

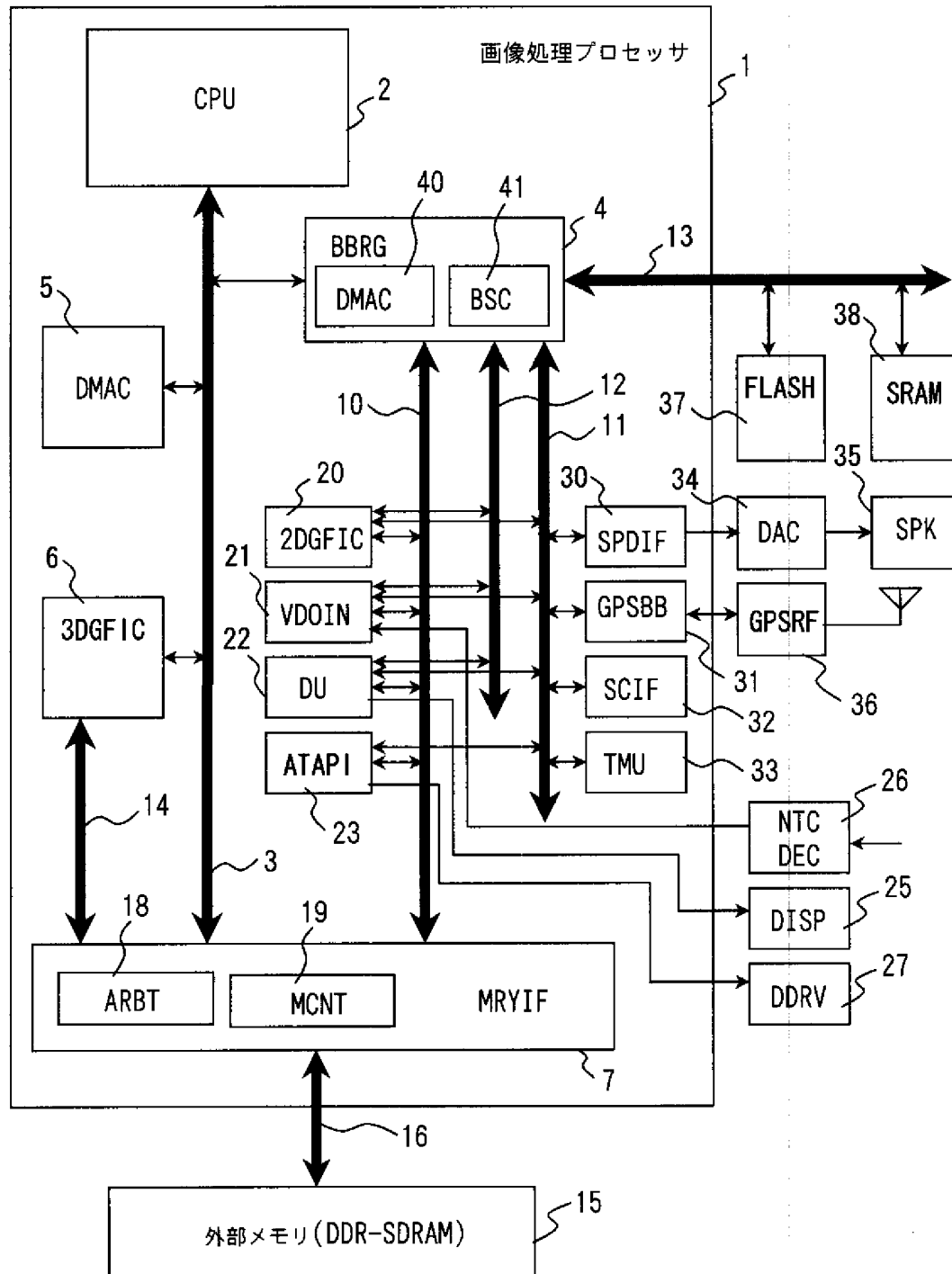
- [1] 中央処理装置と、
前記中央処理装置に接続される第1バスと、
前記第1バスを介するデータ転送を制御するダイレクトメモリアクセスコントローラと、
前記第1バスとデータ送受信を行うバスブリッジ回路と、
前記第1バスを介して前記中央処理装置からコマンドを受信して3次元画像処理を行う3次元画像処理部と、
前記バスブリッジ回路と複数の第1回路モジュールとに接続された第2バスと、
前記バスブリッジ回路と第2回路モジュールとに接続された第3バスと、
前記第1バス、第2バス及び3次元画像処理部に接続され、外部のメモリに接続可能にされるメモリインタフェース回路と、を半導体チップに有し、
前記バスブリッジ回路は半導体チップの外部に接続される回路と前記第2バスとの間のダイレクトメモリアクセス転送を制御可能であることを特徴とする画像処理用半導体プロセッサ。
- [2] 前記バスブリッジ回路に接続され、前記中央処理装置から複数の第1回路モジュールへのレジスタ設定に利用可能な第4バスを更に有することを特徴とする請求項1記載の画像処理用半導体プロセッサ。
- [3] 前記バスブリッジ回路は更に、前記第2バスと第3バスとの間のダイレクトメモリアクセス転送を実行可能であることを特徴とする請求項2記載の画像処理用半導体プロセッサ。
- [4] 前記中央処理装置は1サイクルで2命令実行可能なスーパースカラ構成を有し、中央処理装置の処理サイクル内で所定ビット数のデータを2組用意し、用意された2組のデータを1バスサイクルで第1バスへ転送可能であることを特徴とする請求項1記載の画像処理用半導体プロセッサ。
- [5] 前記第1回路モジュールとして2次元画像処理を行う2次元画像処理部を有することを特徴とする請求項1記載の画像処理用半導体プロセッサ。
- [6] 前記第1回路モジュールとして前記2次元画像処理部又は3次元画像処理部で生成された画像データの表示制御を行う表示制御部を有することを特徴とする請求項5記

載の画像処理用半導体プロセッサ。

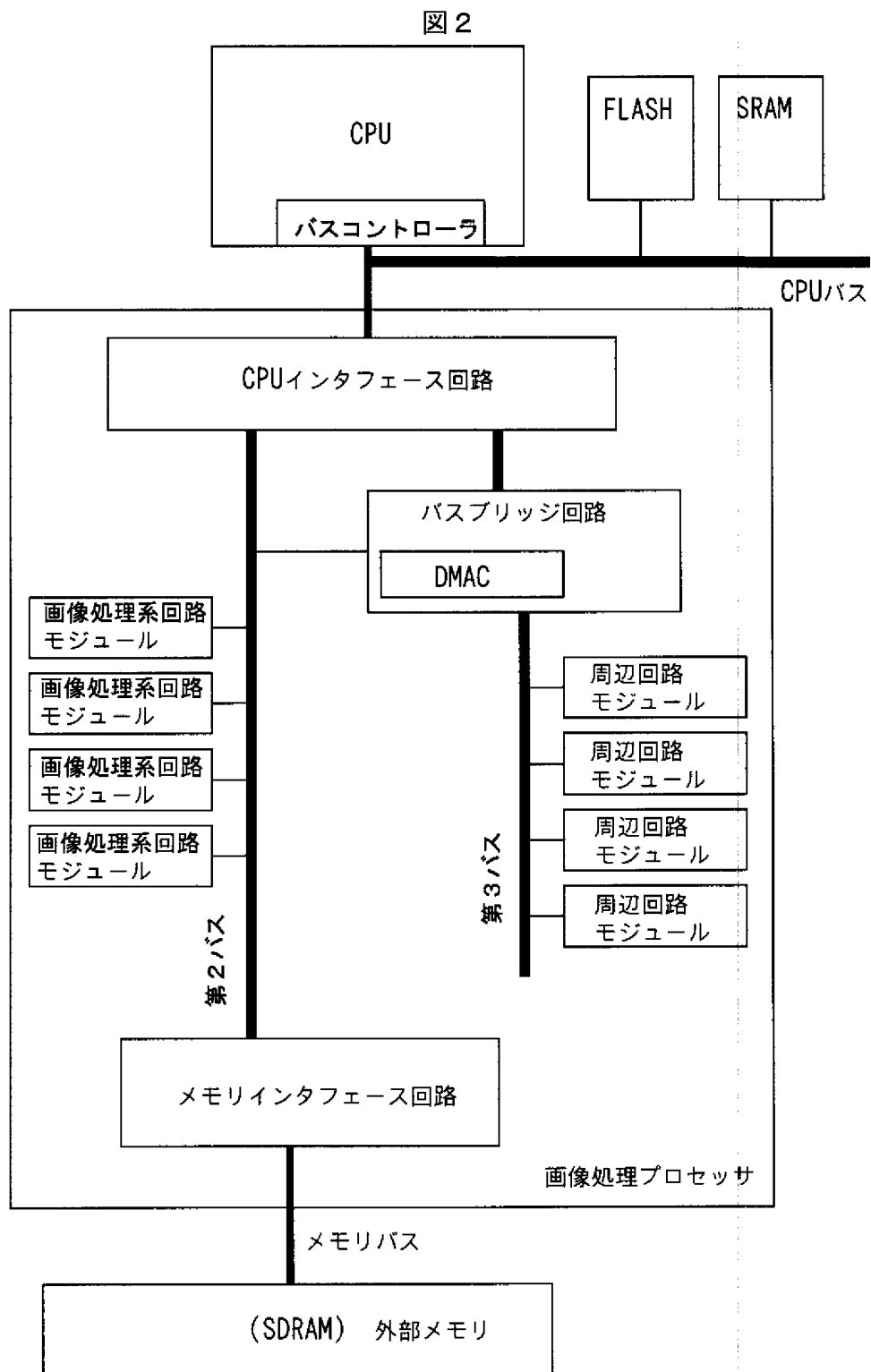
- [7] 第2回路モジュールとしてGPSモジュールを有することを特徴とする請求項1記載の画像処理用半導体プロセッサ。
- [8] 前記2次元画像処理部は、太線描画に際して、描画方向を規定する中心線に対して垂直方向の描画線幅を規定するための描画線幅規定ベクトルを求め、中心線の始点及び終点と前記描画線幅規定ベクトルに基づいて太線の矩形を求め、矩形の4頂点の論理的な座標に対する丸め処理を行って画素に応ずる4頂点の描画座標を求め、4頂点の描画座標で囲まれる領域をポリゴンとして描画することを特徴とする請求項1記載の画像処理用半導体プロセッサ。
- [9] 前記2次元画像処理部は、描画方向の中心線に対して左右非対称な幅となるように描画線幅規定ベクトルを求めることを特徴とする請求項8記載の画像処理用半導体プロセッサ。
- [10] 前記2次元画像処理部は、前記丸め処理において、画素座標から相対的に離れた所定の論理座標に対しては、例外的に、描画方向に垂直な向きの画素座標に代えて描画方向に向く画素座標を描画座標に割当ててことを特徴とする請求項9記載の画像処理用半導体プロセッサ。
- [11] 前記2次元画像処理部は、隣接する画素座標間で複数分割されたどの領域に論理座標が属するかにより、前記例外的に画素座標を割当てて対象である所定の論理座標か否かを判断することを特徴とする請求項10記載の画像処理用半導体プロセッサ。
。
- [12] 前記2次元画像処理部は、描画線幅規定ベクトルの起点を中心とする2次元座標上で前記描画線幅規定ベクトルが属する象限に応じて、前記例外的に割当てて描画座標の位置を決定することを特徴とする請求項11記載の画像処理用半導体プロセッサ。
。

[図1]

図 1

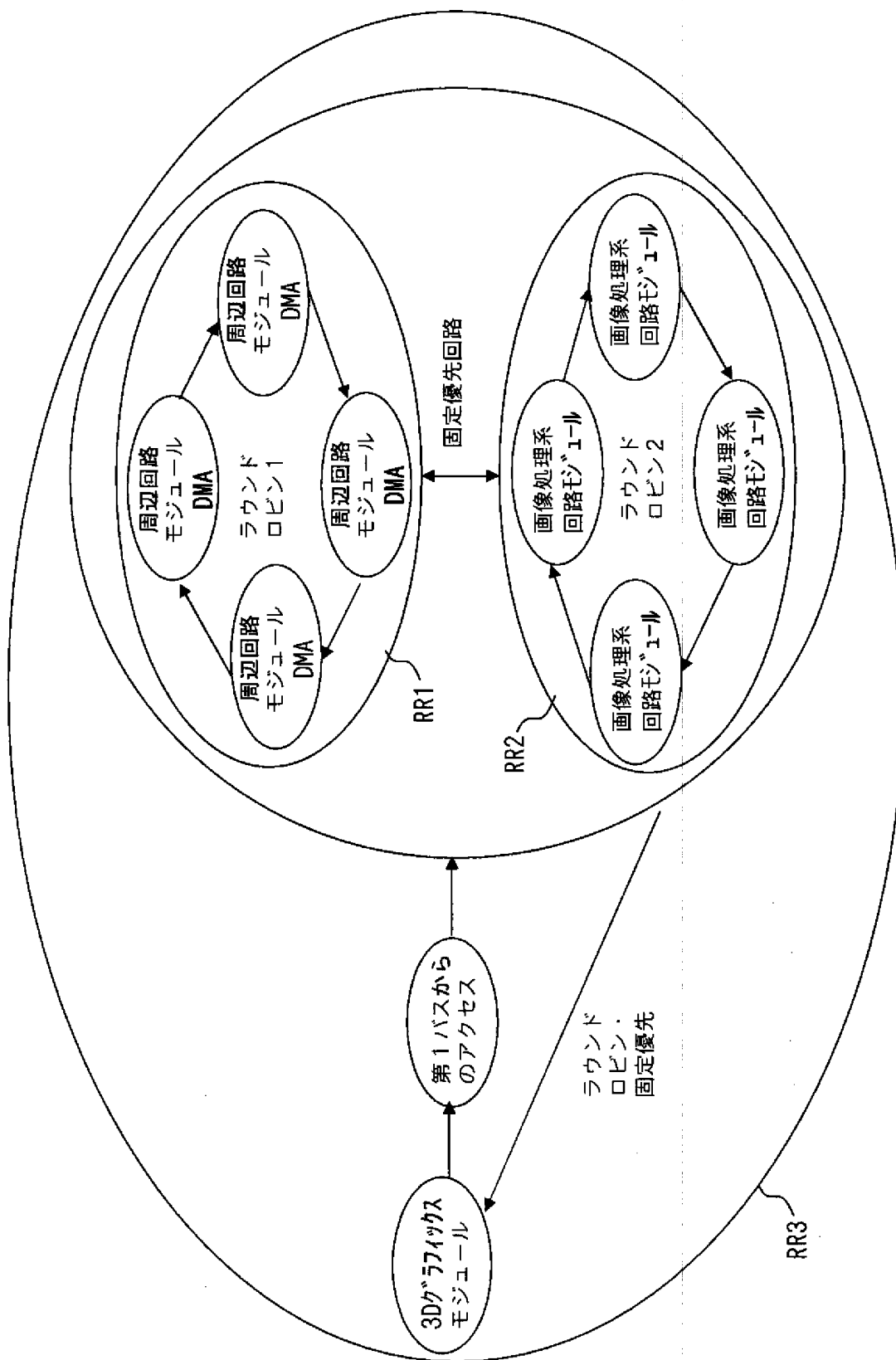


[図2]



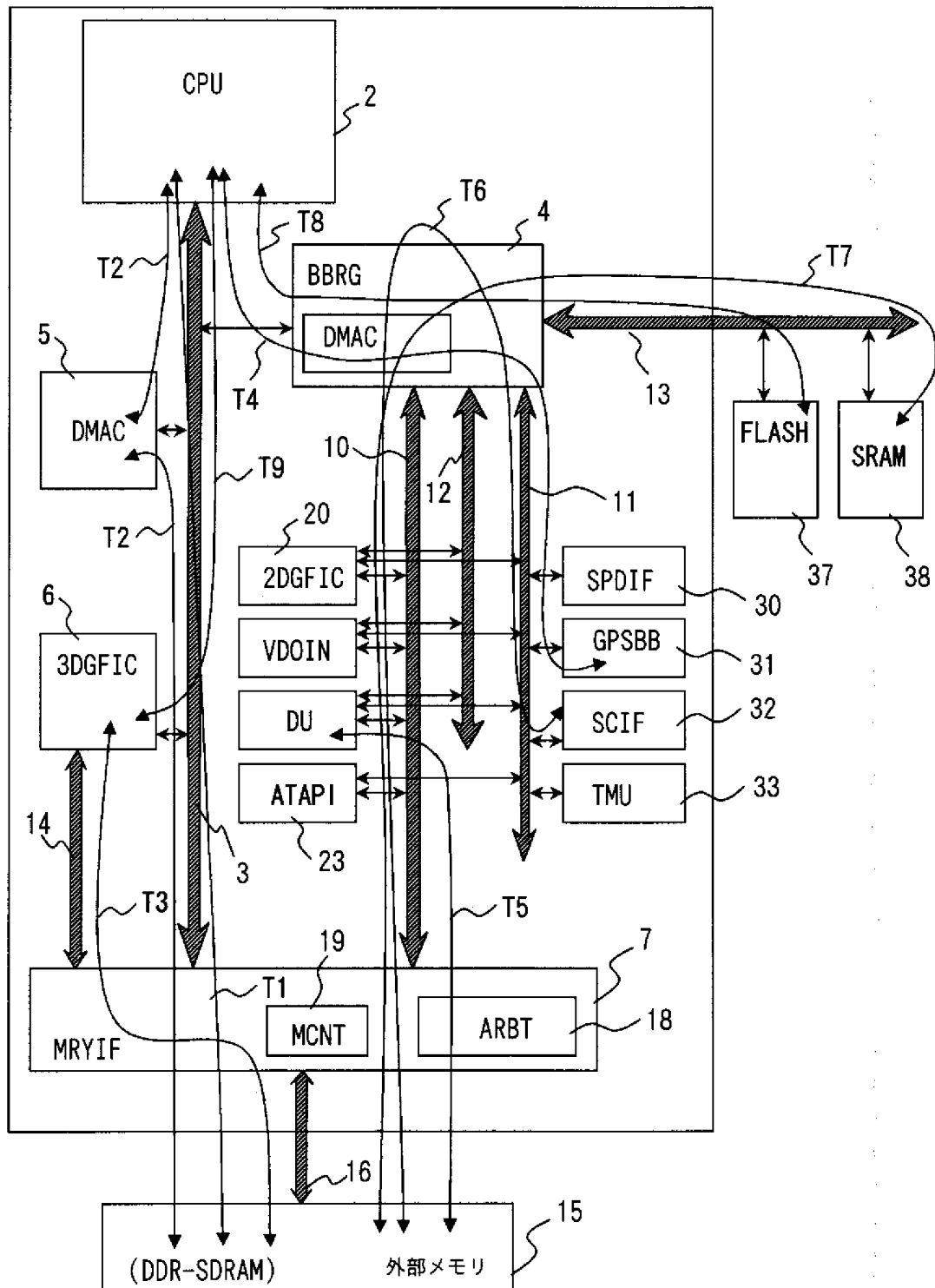
[図3]

図3



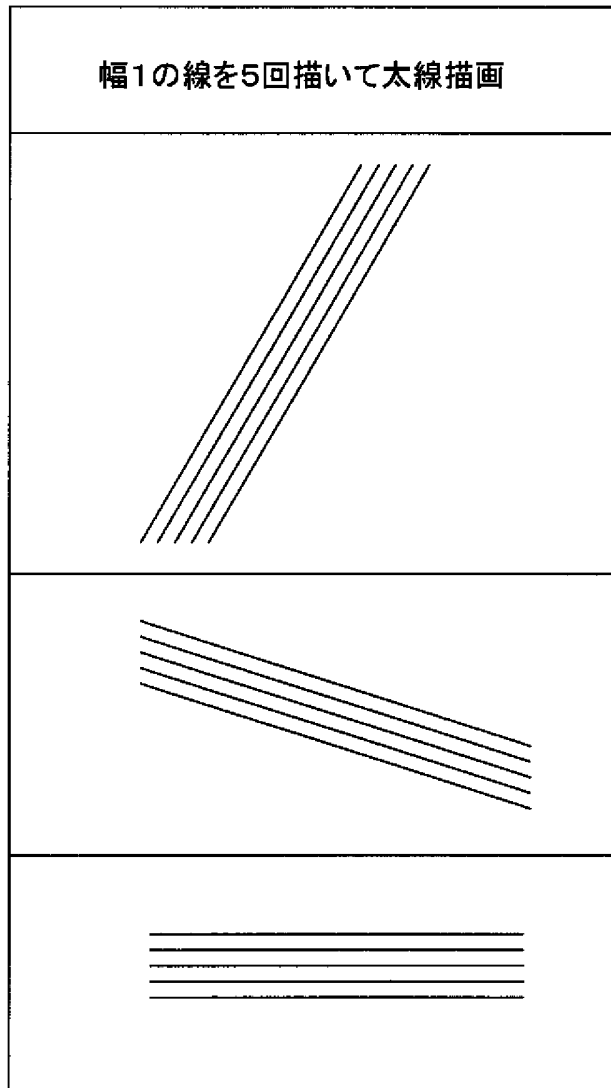
[図4]

図 4

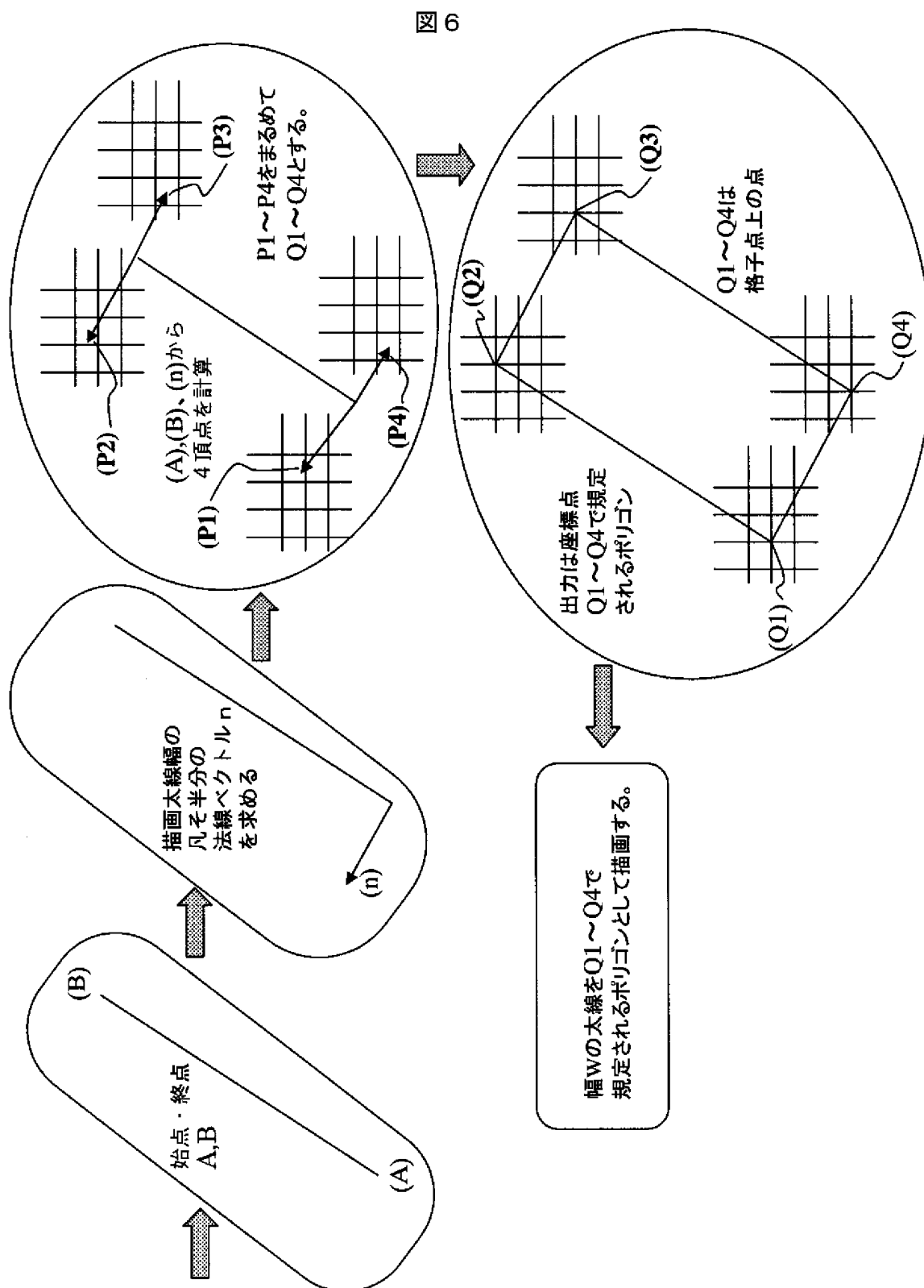


[図5]

図 5

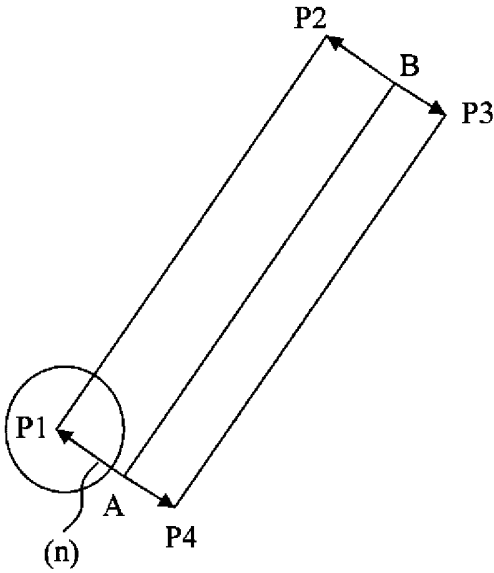


[図6]



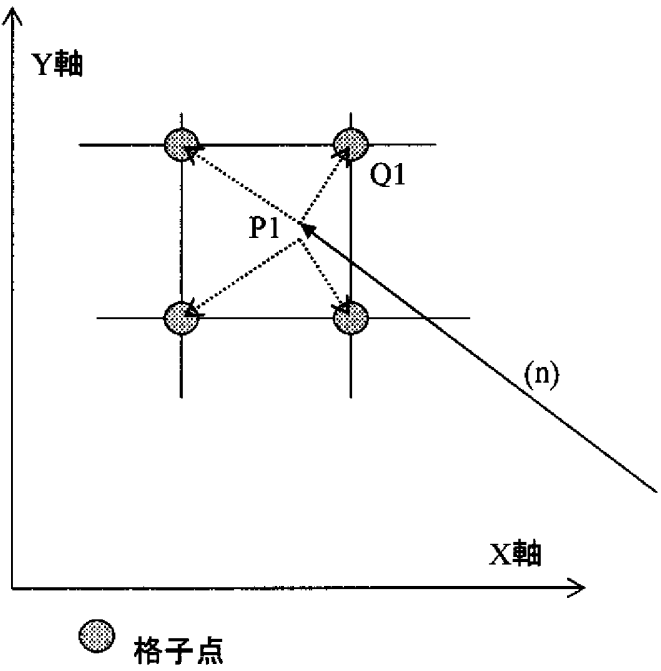
[図7]

図 7



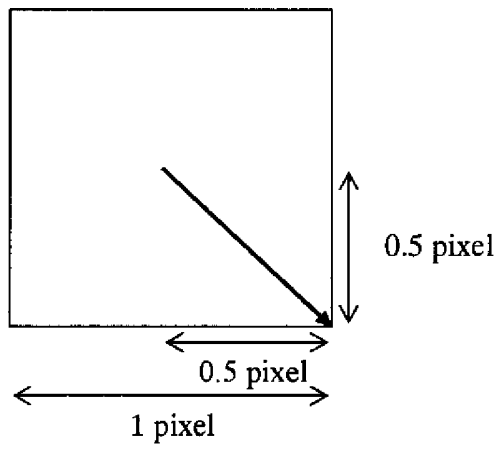
[図8]

図 8



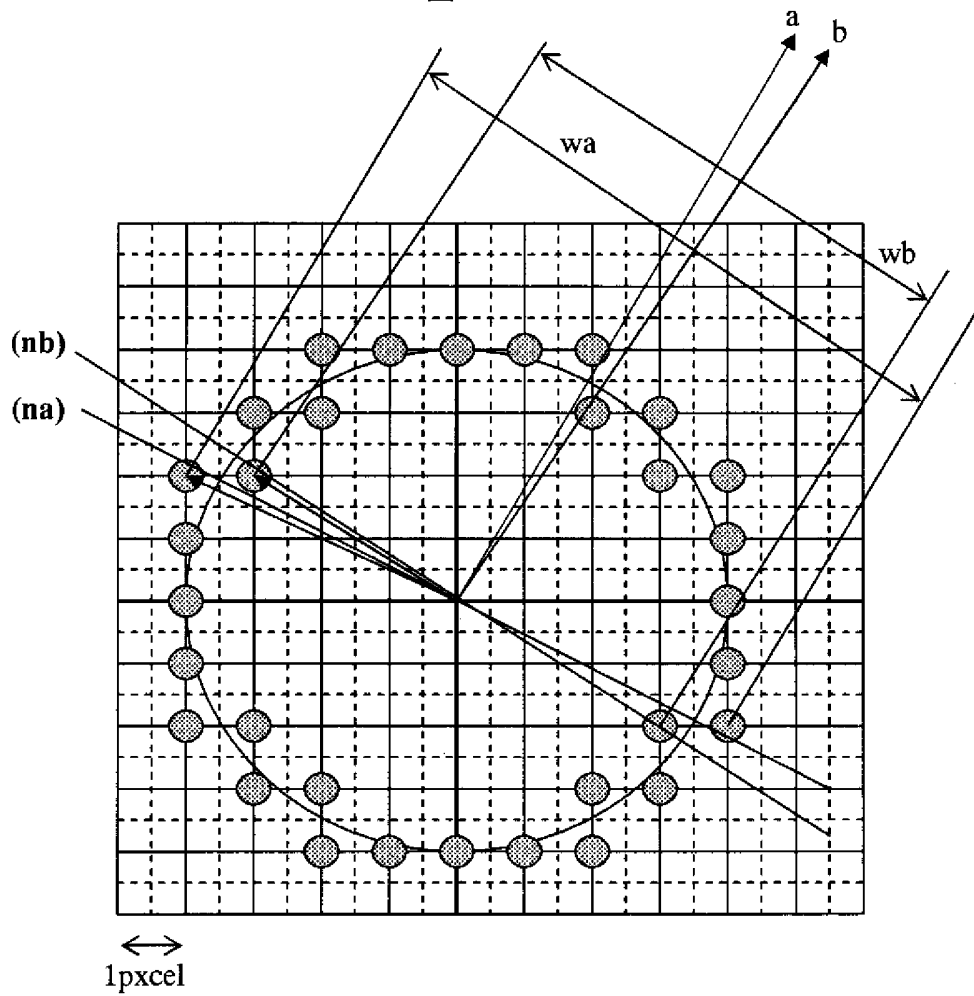
[図9]

図 9



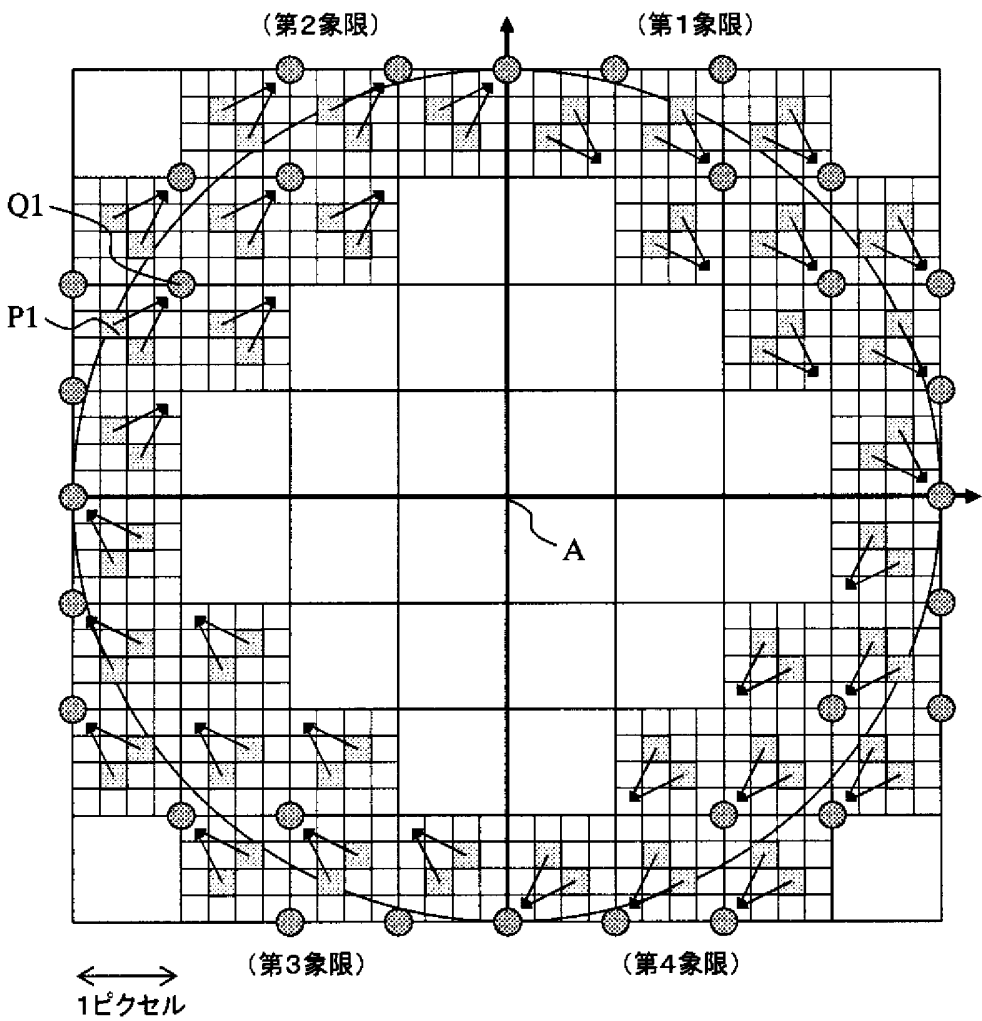
[図10]

図 10



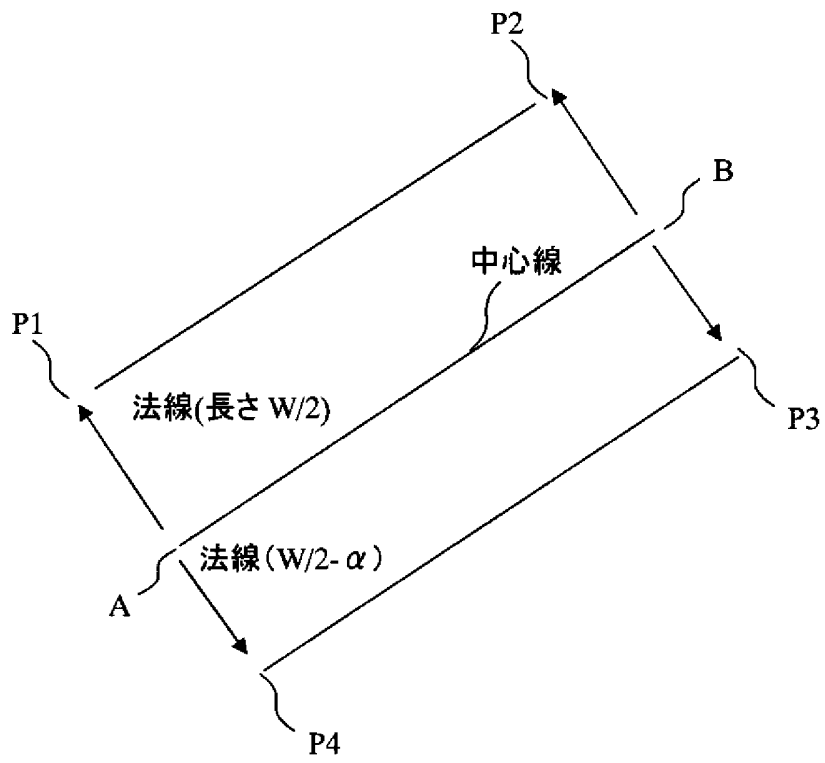
[図11]

図 1 1

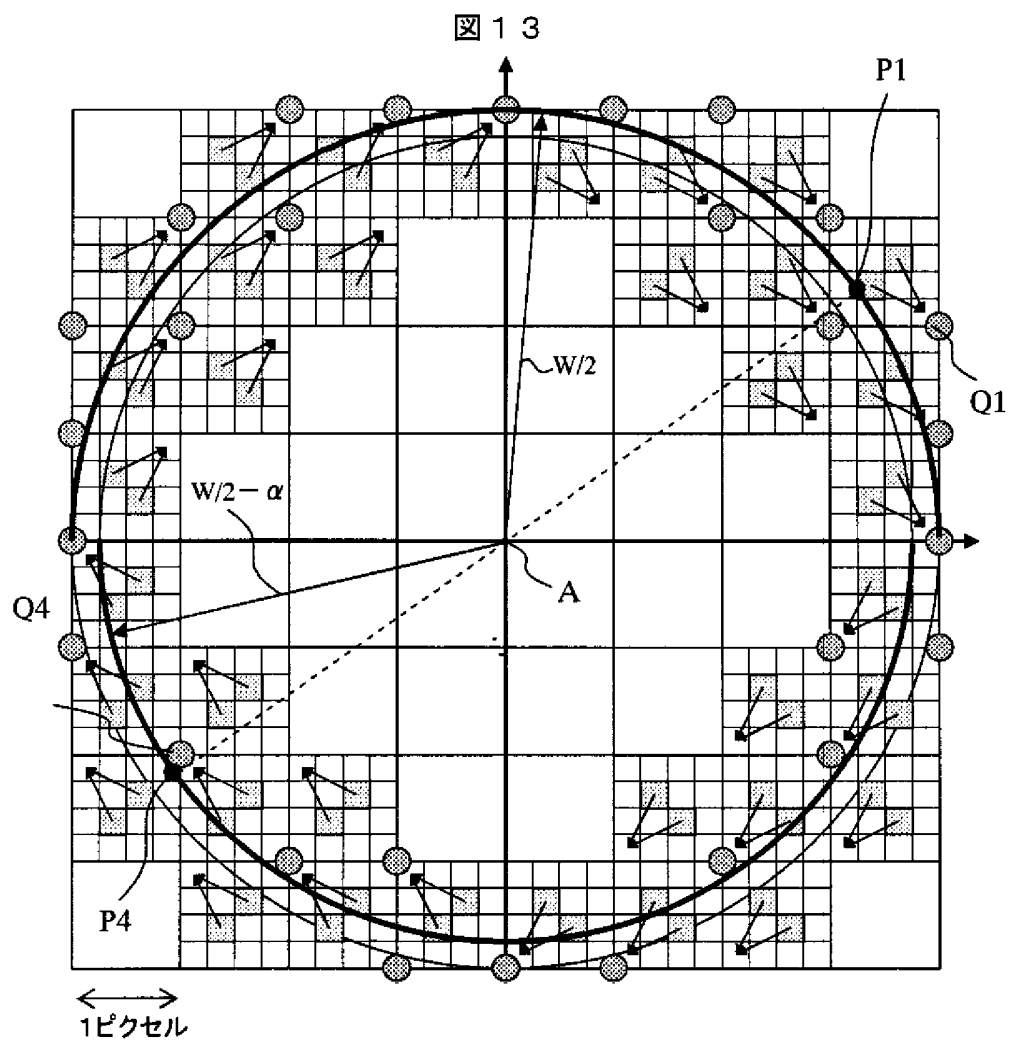


[図12]

図 1 2

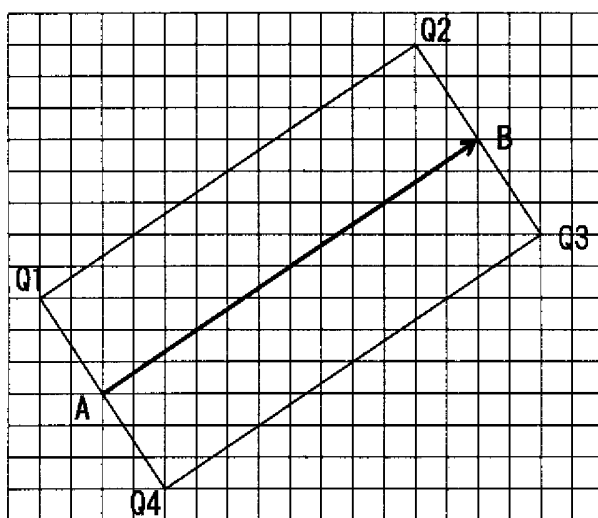


[図13]



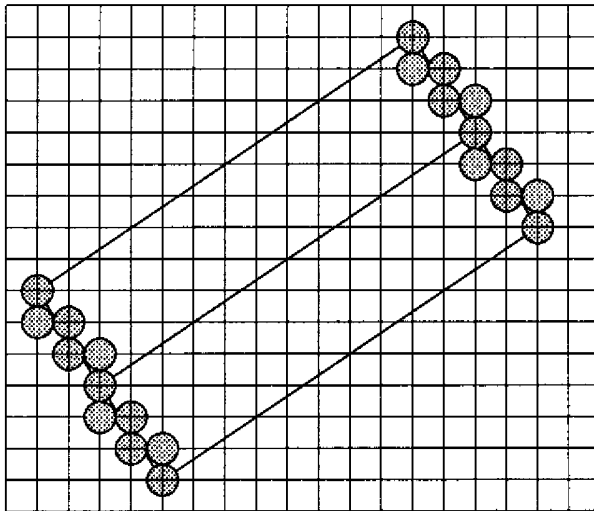
[図14]

図 1 4



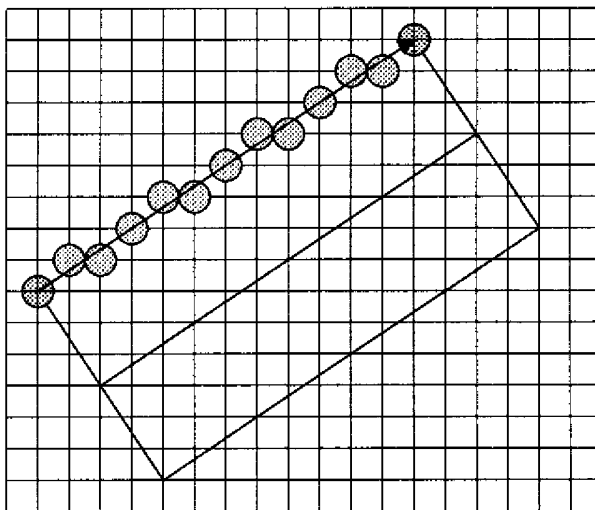
[図15]

図 1 5



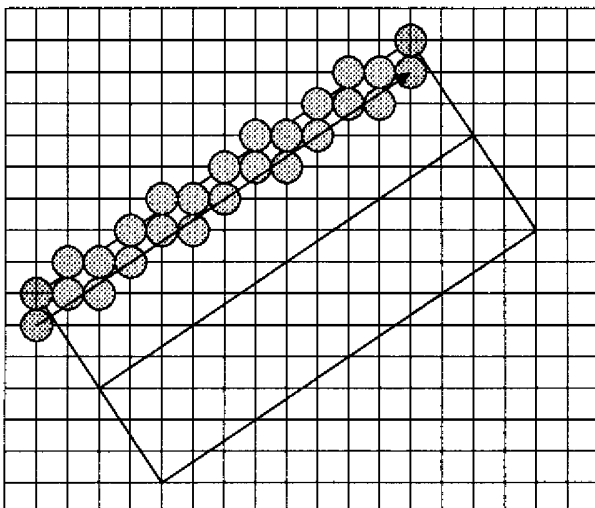
[図16]

図 1 6



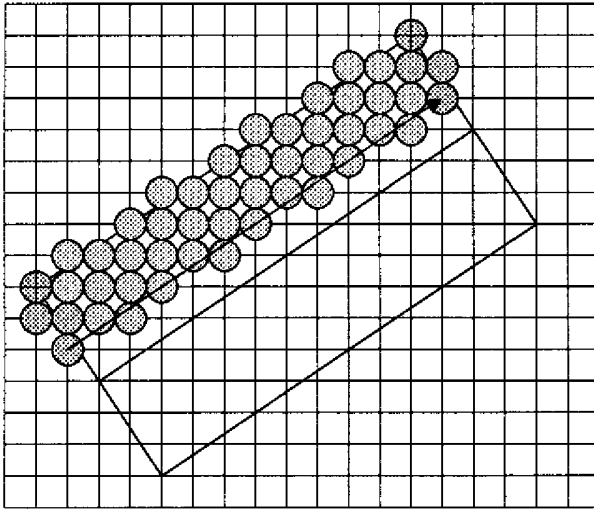
[図17]

図 1 7



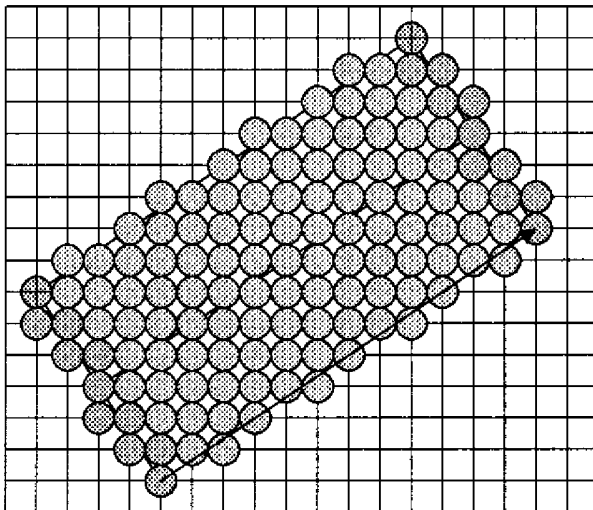
[図18]

図 18



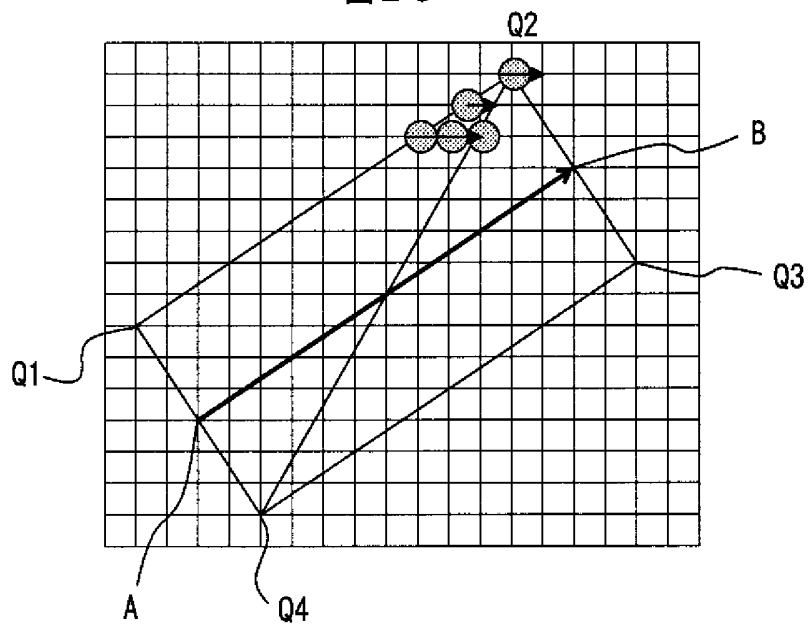
[図19]

図 19



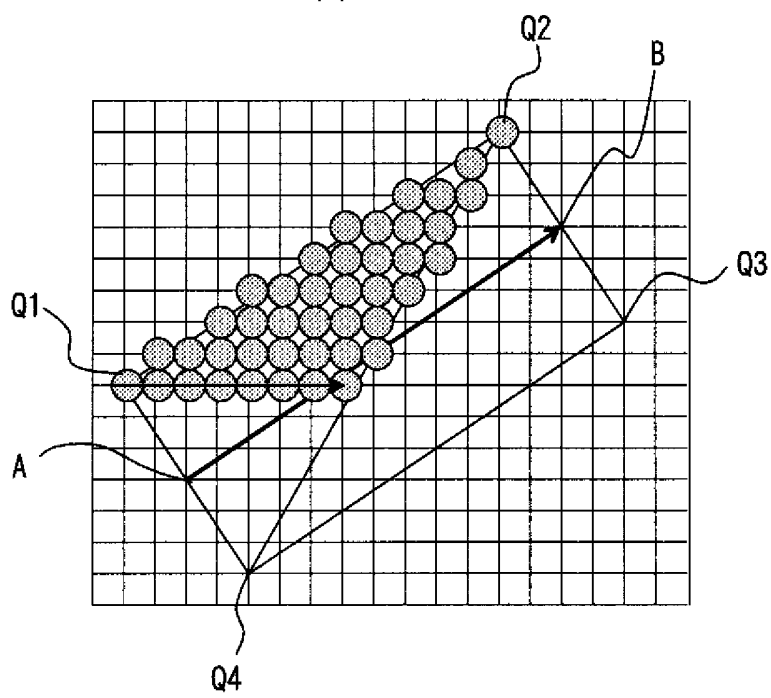
[図20]

図 20

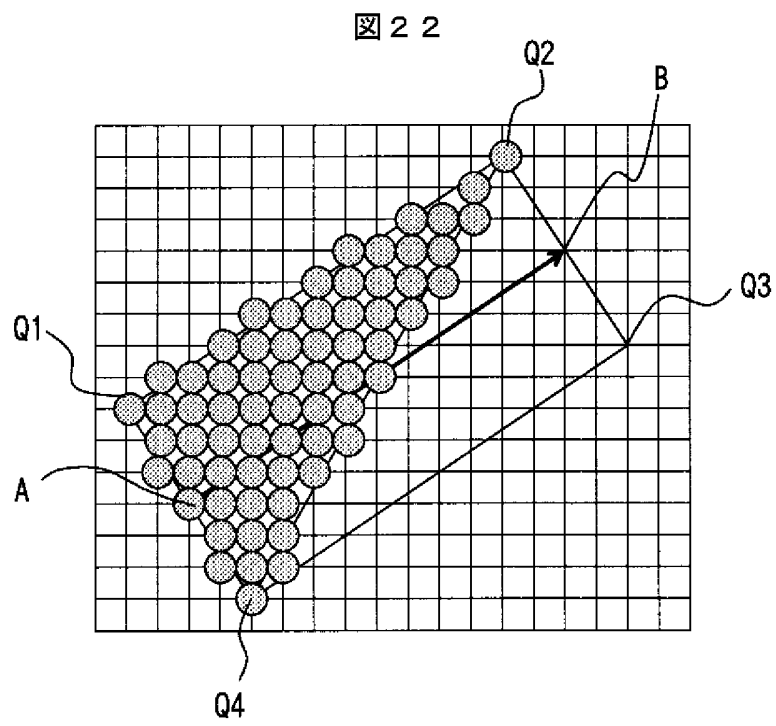


[図21]

図 21

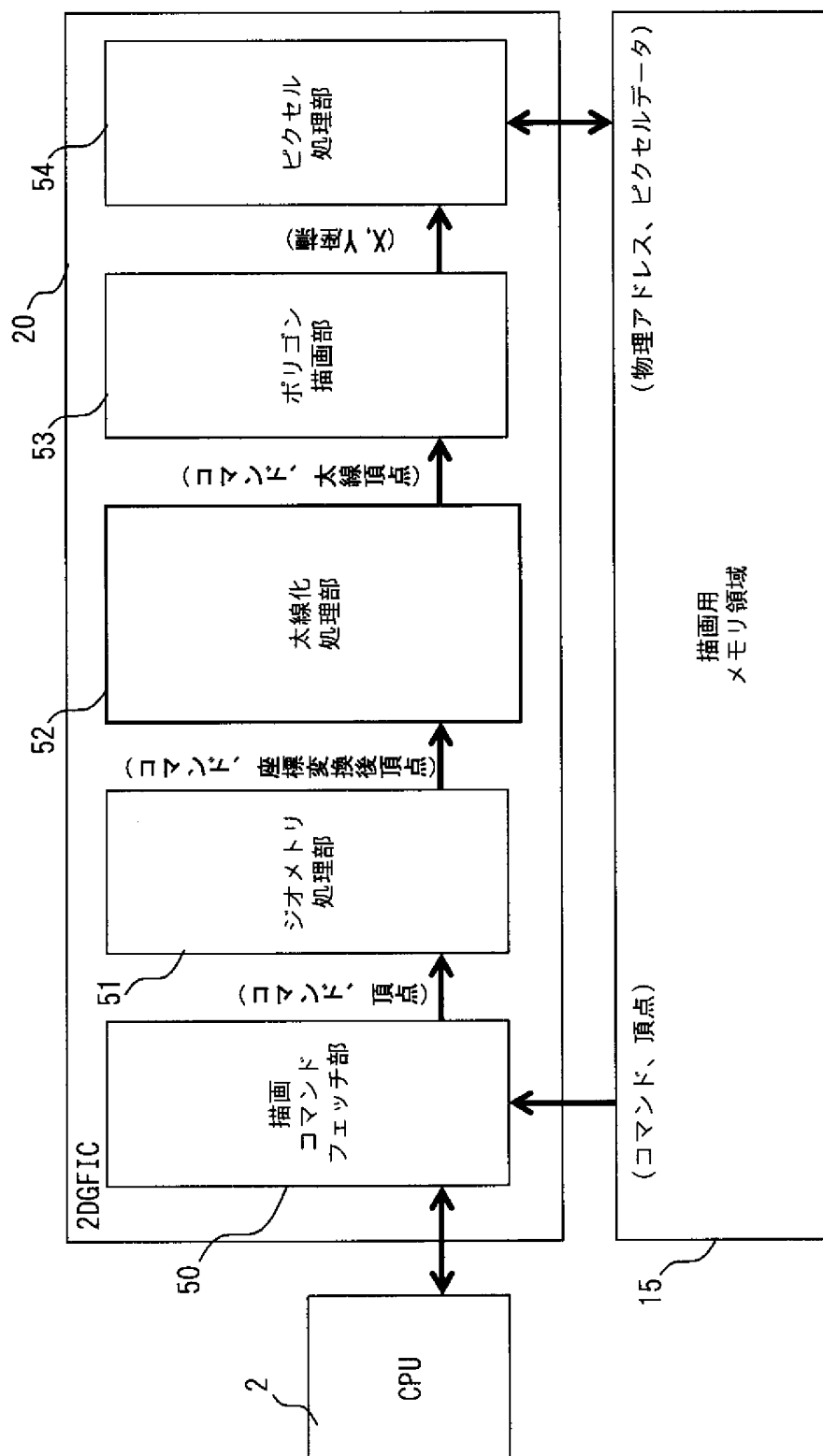


[図22]

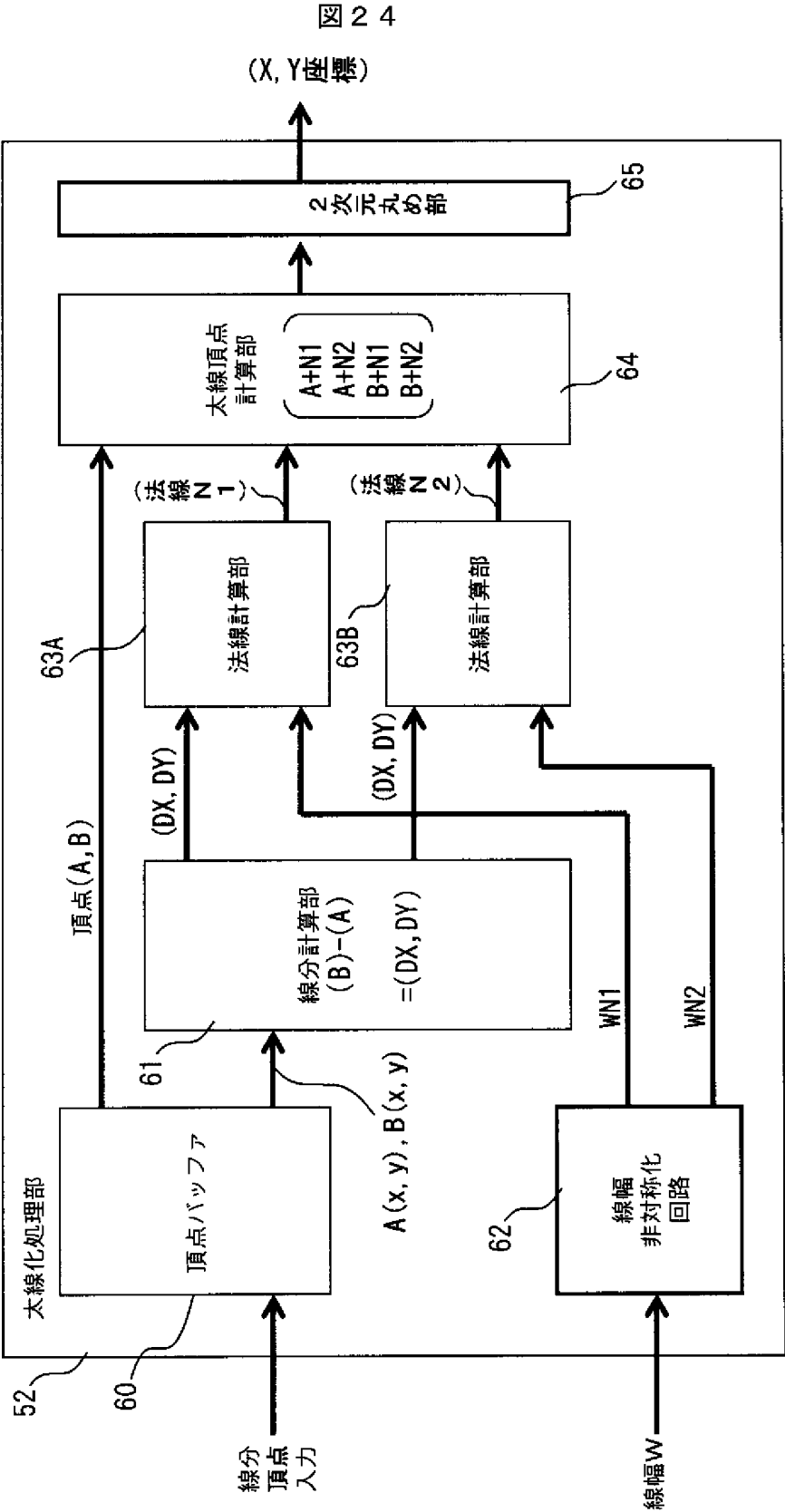


[図23]

図 2 3

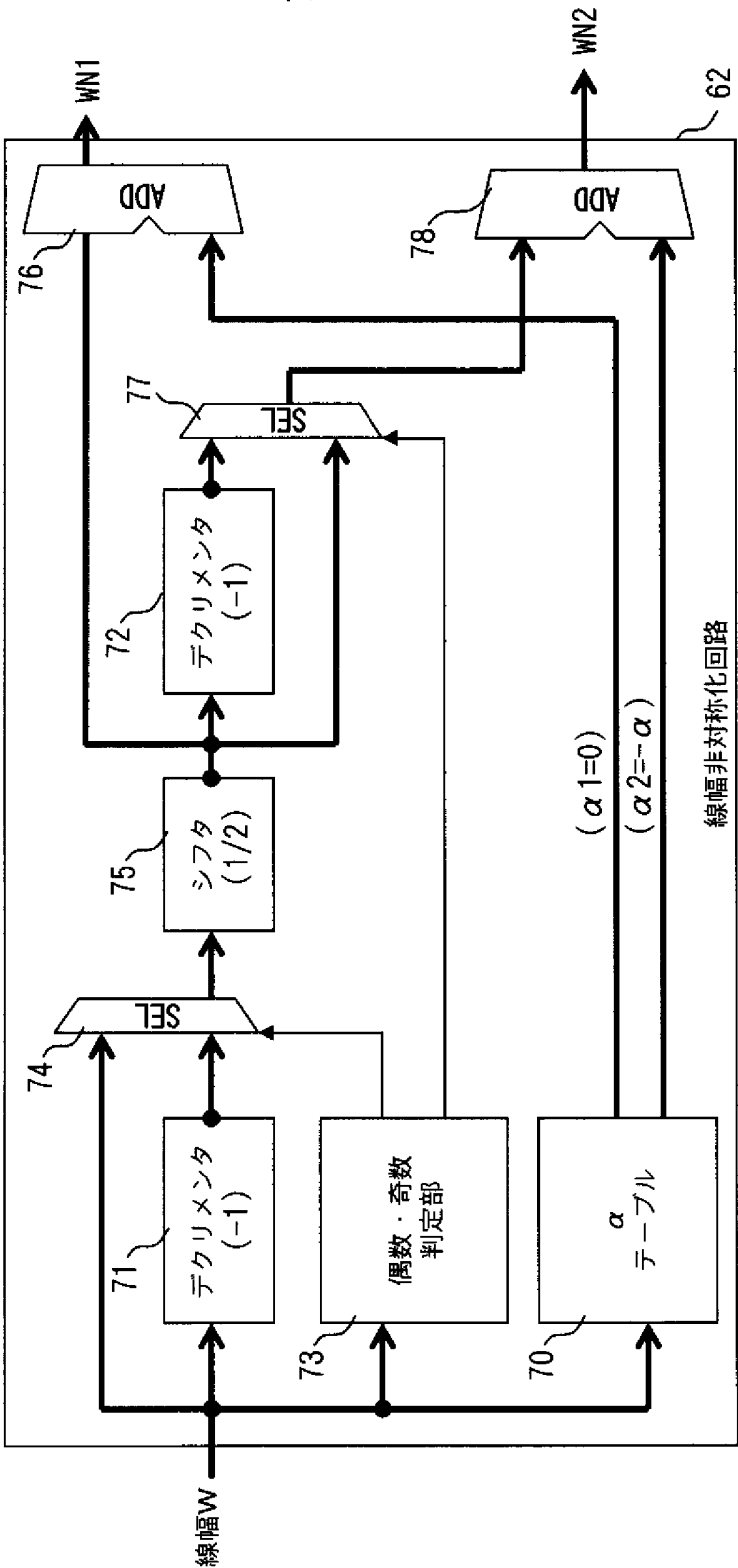


[図24]



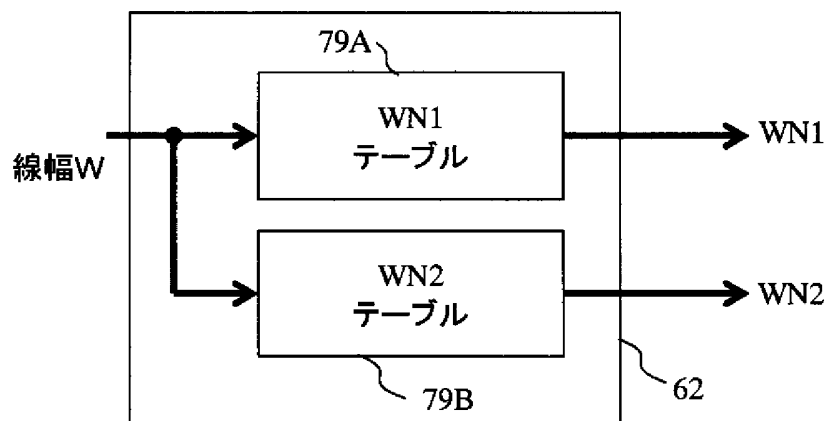
[図25]

図 25



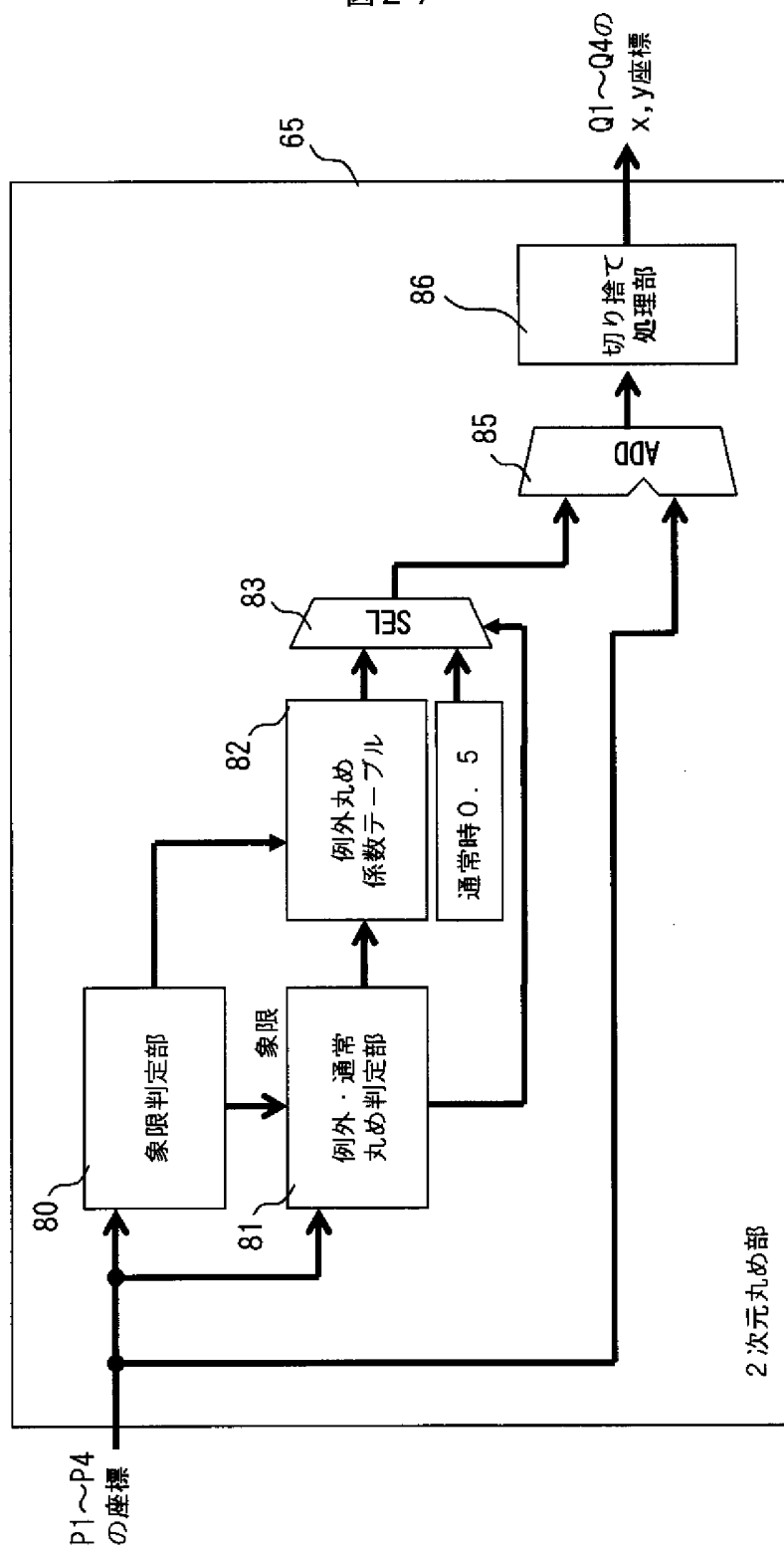
[図26]

図 2 6



[図27]

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009427

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06T15/00, G06T1/20, G06T11/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06T15/00, G06T1/20, G06T11/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2004-13794 A (Kabushiki Kaisha Runesasu Technology, Kabushiki Kaisha Renaissance Kitanippon Semiconductor), 15 January, 2004 (15.01.04), Full text; all drawings (Family: none)	1-12
A	JP 2000-155738 A (Ricoh Co., Ltd.), 06 June, 2000 (06.06.00), Full text; all drawings (Family: none)	1-12
A	JP 2-126377 A (Fujitsu Ltd.), 15 May, 1990 (15.05.90), Page 2, upper left column, lines 10 to 18; Fig. 5 (Family: none)	8-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 September, 2004 (01.09.04)Date of mailing of the international search report
21 September, 2004 (21.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ G06T15/00, G06T1/20, G06T11/20		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ G06T15/00, G06T1/20, G06T11/20		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996 日本国公開実用新案公報 1971-2004 日本国登録実用新案公報 1994-2004 日本国実用新案登録公報 1996-2004		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	JP 2004-13794 A (株式会社ルネサステクノロジ, 株式会社ルネサス北日本セミコンダクタ) 2004. 01. 15, 全文, 全図 (ファミリーなし)	1-12
A	JP 2000-155738 A (株式会社リコー) 2000. 06. 06, 全文, 全図 (ファミリーなし)	1-12
A	JP 2-126377 A (富士通株式会社) 1990. 05. 15, 第2頁左上欄第10-18行, 第5図 (ファミリーなし)	8-12
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 01. 09. 2004	国際調査報告の発送日 21. 9. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松尾 俊介	5H 9749
電話番号 03-3581-1101 内線 3531		