



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월19일  
(11) 등록번호 10-0776740  
(24) 등록일자 2007년11월08일

(51) Int. Cl.

*G11C 7/10* (2006.01)

(21) 출원번호 10-2006-0040932  
(22) 출원일자 2006년05월08일  
심사청구일자 2006년05월08일  
(65) 공개번호 10-2007-0108639  
공개일자 2007년11월13일

(56) 선행기술조사문현

KR100480596 B1

KR1020050059921 A

전체 청구항 수 : 총 27 항

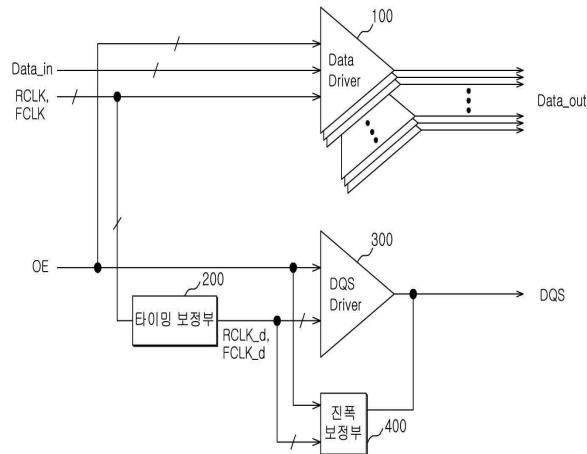
심사관 : 손윤식

(54) 반도체 메모리의 데이터 출력장치 및 방법

### (57) 요 약

본 발명은 반도체 메모리 내부에서 읽어낸 복수개의 데이터를 제 1 제어신호에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 제 1 드라이빙 수단, 상기 제 1 제어신호를 이용하여 상기 제 1 드라이빙 수단의 데이터 출력 사이클에 동기된 제 2 제어신호를 생성하여 상기 반도체 메모리 외부로 출력하는 제 2 드라이빙 수단, 및 상기 제 1 제어신호를 이용하여 상기 제 2 제어신호의 진폭을 보정하는 진폭 보정 수단을 포함한다.

**대표도** - 도3



## 특허청구의 범위

### 청구항 1

반도체 메모리 내부에서 읽어낸 복수개의 데이터를 제 1 제어신호에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 제 1 드라이빙 수단;

상기 제 1 제어신호를 이용하여 상기 복수개의 제 1 드라이빙 수단의 데이터 출력 사이클에 동기된 제 2 제어신호를 생성하여 상기 반도체 메모리 외부로 출력하는 제 2 드라이빙 수단; 및

상기 제 1 제어신호를 이용하여 상기 제 2 제어신호의 진폭을 보정하는 진폭 보정 수단을 포함하는 반도체 메모리의 데이터 출력장치.

### 청구항 2

제 1 항에 있어서,

상기 제 1 제어신호는 제 1 위상을 갖는 제 1 클럭, 및

상기 제 1 위상에 비해 반전된 제 2 위상을 갖는 제 2 클럭을 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 3

제 1 항에 있어서,

상기 복수개의 제 1 드라이빙 수단은

구동신호에 따라 데이터 드라이빙 동작을 수행하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 상기 복수개의 데이터 중 하나를 통과시키는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 4

제 3 항에 있어서,

상기 스위칭부는

입력단에 상기 복수개의 데이터 중 하나를 입력받고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및

입력단이 상기 제 1 스위치의 입력단과 공통 연결되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과 연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 5

제 1 항에 있어서,

상기 제 2 드라이빙 수단은

구동신호에 따라 제 2 제어신호 드라이빙 동작을 수행하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 전원레벨 또는 접지레벨을 출력하는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 6

제 5 항에 있어서,

상기 스위칭부는

입력단에 전원레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및  
입력단에 접지레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과  
연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 7

제 1 항에 있어서,

상기 진폭 보정 수단의 출력단이 상기 제 2 드라이빙 수단의 출력단과 공통연결된 것을 특징으로 하는 반도체  
메모리의 데이터 출력장치.

#### 청구항 8

제 1 항에 있어서,

상기 진폭 보정 수단은

구동신호에 따라 상기 제 2 드라이빙 수단의 출력단 레벨을 드라이빙하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 전원레벨 또는 접지레벨을 출력하는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는  
반도체 메모리의 데이터 출력장치.

#### 청구항 9

제 8 항에 있어서,

상기 스위칭부는

입력단에 전원레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및

입력단에 접지레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과  
연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 10

제 4 항, 제 6 항 또는 제 9 항 중 어느 한 항에 있어서,

상기 제 1 스위치 및 제 2 스위치는 패스 게이트인 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 11

제 3 항, 제 5 항 또는 제 8 항 중 어느 한 항에 있어서,

상기 구동부는

출력 제어신호에 따라 상기 스위칭부의 출력을 입력받아 상기 풀업 드라이버를 구동하는 제 1 논리회로, 및

상기 출력 제어신호에 따라 상기 스위칭부의 출력을 입력받아 상기 풀다운 드라이버를 구동하는 제 2 논리회로  
를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 12

제 11 항에 있어서,

상기 제 1 논리회로는

상기 스위칭부의 출력을 입력받는 인버터, 및

상기 인버터의 출력과 상기 출력 제어신호를 입력받는 낸드 게이트를 포함하는 것을 특징으로 하는 반도체 메모  
리의 데이터 출력장치.

#### 청구항 13

제 11 항에 있어서,

상기 제 2 논리회로는

상기 출력 제어신호를 입력받는 인버터, 및

반전된 스위칭부의 출력과 상기 인버터의 출력을 입력받는 노아 게이트를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 14

반도체 메모리 내부에서 읽어낸 복수개의 데이터를 제 1 제어신호에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 데이터 드라이빙 수단;

타이밍 조정된 제 1 제어신호를 이용하여 상기 복수개의 데이터 드라이빙 수단의 데이터 출력 싸이클에 동기된 제 2 제어신호를 생성하여 상기 반도체 메모리 외부로 출력하는 제 2 제어신호 드라이빙 수단;

상기 타이밍 조정된 제 1 제어신호를 이용하여 상기 제 2 제어신호의 진폭을 보정하는 진폭 보정 수단; 및

상기 제 1 제어신호의 타이밍을 소정 시간만큼 조정하여 출력하는 타이밍 보정 수단을 포함하는 반도체 메모리의 데이터 출력장치.

#### 청구항 15

제 14 항에 있어서,

상기 제 1 제어신호는 제 1 위상을 갖는 제 1 클럭, 및

상기 제 1 위상에 비해 반전된 제 2 위상을 갖는 제 2 클럭을 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 16

제 14 항에 있어서,

상기 복수개의 데이터 드라이빙 수단은

구동신호에 따라 데이터 드라이빙 동작을 수행하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 상기 복수개의 데이터 중 하나를 통과시키는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 17

제 16 항에 있어서,

상기 스위칭부는

입력단에 상기 복수개의 데이터 중 하나를 입력받고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및

입력단이 상기 제 1 스위치의 입력단과 공통 연결되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과 연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

#### 청구항 18

제 14 항에 있어서,

상기 제 2 드라이빙 수단은

구동신호에 따라 제 2 제어신호 드라이빙 동작을 수행하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 전원레벨 또는 접지레벨을 출력하는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는

반도체 메모리의 데이터 출력장치.

### 청구항 19

제 18 항에 있어서,

상기 스위칭부는

입력단에 전원레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및

입력단에 접지레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과 연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 20

제 14 항에 있어서,

상기 진폭 보정 수단의 출력단이 상기 제 2 제어신호 드라이빙 수단의 출력단과 공통연결된 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 21

제 14 항에 있어서,

상기 진폭 보정 수단은

구동신호에 따라 상기 제 2 제어신호 드라이빙 수단의 출력단 레벨을 드라이빙하는 풀업 및 풀다운 드라이버,

상기 제 1 제어신호에 따라 전원레벨 또는 접지레벨을 출력하는 스위칭부, 및

상기 스위칭부의 출력에 따라 상기 풀업 및 풀다운 드라이버를 구동하는 구동부를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 22

제 21 항에 있어서,

상기 스위칭부는

입력단에 전원레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받는 제 1 스위치, 및

입력단에 접지레벨이 입력되고 제어단에 상기 제 1 제어신호를 입력받고 출력단이 상기 제 1 스위치의 출력단과 연결된 제 2 스위치를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 23

제 17 항, 제 19 항 또는 제 22 항 중 어느 한 항에 있어서,

상기 제 1 스위치 및 제 2 스위치는 패스 게이트인 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 24

제 16 항, 제 18 항 또는 제 21 항 중 어느 한 항에 있어서,

상기 구동부는

출력 제어신호에 따라 상기 스위칭부의 출력을 입력받아 상기 풀업 드라이버를 구동하는 제 1 논리회로, 및

상기 출력 제어신호에 따라 상기 스위칭부의 출력을 입력받아 상기 풀다운 드라이버를 구동하는 제 2 논리회로를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 25

제 24 항에 있어서,

상기 제 1 논리회로는

상기 스위칭부의 출력을 입력받는 인버터, 및

상기 인버터의 출력과 상기 출력 제어신호를 입력받는 낸드 게이트를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 26

제 24 항에 있어서,

상기 제 2 논리회로는

상기 출력 제어신호를 입력받는 인버터, 및

반전된 스위칭부의 출력과 상기 인버터의 출력을 입력받는 노아 게이트를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

### 청구항 27

제 14 항에 있어서,

상기 타이밍 보정 수단은

상기 제 1 제어신호를 소정 시간 지연시키는 지연부를 포함하는 것을 특징으로 하는 반도체 메모리의 데이터 출력장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 반도체 메모리에 관한 것으로서, 특히 반도체 메모리의 데이터 출력장치 및 방법에 관한 것이다.
- <15> 일반적으로 반도체 메모리와 상기 반도체 메모리를 사용하는 칩셋 또는 프로세서 등의 시스템은 상기 반도체 메모리의 데이터 입출력을 위해 소정 클럭을 공통으로 사용하거나, 상기 반도체 메모리에서 제공하는 클럭을 사용한다. 이때 반도체 메모리에서 제공하는 클럭은 상기 반도체 메모리의 데이터 입출력과 동기되도록 생성한 클럭(이하, DQS)이다.
- <16> 종래의 기술에 따른 반도체 메모리의 데이터 출력장치는 도 1에 도시된 바와 같이, 데이터 드라이버(10) 및 DQS 드라이버(20)로 구성된다.
- <17> 상기 데이터 드라이버(10)는 외부에서 입력된 어드레스에 해당하는 복수개의 셀들로부터 읽어낸 복수개의 데이터(이하, Data\_in)를 입력받아 라이징 클럭(이하, RCLK), 폴링 클럭(이하, FCLK) 및 출력 제어신호(이하, OE)에 따라 드라이빙하여 반도체 메모리 외부로 출력한다.
- <18> 상기 DQS 드라이버(20)는 RCLK, FCLK 및 OE를 입력받아 상기 데이터 드라이버(10)에서 출력된 데이터(이하, Data\_out)를 상기 Data\_out을 입력받는 시스템(예를 들어, 칩셋 또는 프로세서)에서 상기 반도체 메모리의 데이터 출력 쌔이클에 동기된 타이밍에 읽어낼 수 있도록 상기 DQS를 출력한다.
- <19> 상기 반도체 메모리가 적용된 시스템은 상기 DQS를 이용하여 상기 반도체 메모리에서 데이터가 출력됨을 인식하고 상기 Data\_out을 읽어들인다.
- <20> 이때 데이터 드라이버(10)는 Data\_out의 천이와 상관없이 일정한 임피던스(Impedance)를 갖도록 설계된다.
- <21> 만일 Data\_out이 규칙적으로 천이된다면 문제가 없지만, 실제 데이터는 불규칙적으로 천이된다.
- <22> 상기 DQS 드라이버(20)의 임피던스를 상기 데이터 드라이버(10)와 동일하게 설계하므로 서로간의 부하량의 차이 등의 원인에 의하여 도 2에 도시된 바와 같이, Data\_out과 DQS의 진폭이 달라진다. 즉, DQS의 진폭이 Data\_out에 비해 작아진다.
- <23> 또한 출력 부하가 큰 시스템의 경우 레퍼런스 포인트(Reference Point) 즉, Data\_out과 DQS를 각각 인식하기 위

한 기준점의 분포가 달라지고 그에 따라 Data\_out과 DQS의 스큐(Skew)가 증가한다.

<24> 상술한 종래의 기술에 따른 반도체 메모리의 데이터 출력장치는 DQS의 진폭이 Data\_out에 비해 작아지고, Data\_out과 DQS의 스큐가 증가함으로 인해 상기 Data\_out을 입력받는 시스템의 입력마진이 감소하고 결국, 전체 시스템의 성능을 저하시키는 문제점이 있다. 더욱이 시스템의 동작주파수가 증가할 경우 상술한 문제가 더욱 심해져 고속 시스템에 적용할 수 없게 된다.

### 발명이 이루고자 하는 기술적 과제

<25> 본 발명은 상술한 종래의 문제점을 해결하기 위하여 안출한 것으로서, 동기 클럭의 진폭을 증가시키고, 데이터와 동기 클럭의 스큐를 최소화할 수 있도록 한 반도체 메모리의 데이터 출력장치 및 방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

<26> 본 발명에 따른 반도체 메모리의 데이터 출력장치는 반도체 메모리 내부에서 읽어낸 복수개의 데이터를 제 1 제어신호에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 제 1 드라이빙 수단; 상기 제 1 제어신호를 이용하여 상기 제 1 드라이빙 수단의 데이터 출력 싸이클에 동기된 제 2 제어신호를 생성하여 상기 반도체 메모리 외부로 출력하는 제 2 드라이빙 수단; 및 상기 제 1 제어신호를 이용하여 상기 제 2 제어신호의 진폭을 보정하는 진폭 보정 수단을 포함함을 특징으로 한다.

<27> 본 발명에 따른 반도체 메모리의 데이터 출력장치는 반도체 메모리 내부에서 읽어낸 복수개의 데이터를 제 1 제어신호에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 데이터 드라이빙 수단; 타이밍 조정된 제 1 제어신호를 이용하여 상기 데이터 드라이빙 수단의 데이터 출력 싸이클에 동기된 제 2 제어신호를 생성하여 상기 반도체 메모리 외부로 출력하는 제 2 제어신호 드라이빙 수단; 상기 타이밍 조정된 제 1 제어신호를 이용하여 상기 제 2 제어신호의 진폭을 보정하는 진폭 보정 수단; 및 상기 제 1 제어신호의 타이밍을 소정 시간만큼 조정하여 출력하는 타이밍 보정 수단을 포함함을 또 다른 특징으로 한다.

<28> 본 발명에 따른 반도체 메모리의 데이터 출력방법은 데이터 및 제 1 제어신호를 입력받는 제 1 드라이빙 수단, 상기 제 1 제어신호를 입력받는 제 2 드라이빙 수단, 및 상기 제 1 제어신호를 입력받고 상기 제 2 드라이빙 수단과 출력단이 연결된 제 3 드라이빙 수단을 갖는 반도체 메모리의 데이터 출력방법에 있어서, 상기 제 1 드라이빙 수단을 구동하여 데이터를 출력하는 단계; 및 상기 제 1 드라이빙 수단의 구동 타이밍과 동일한 타이밍에 상기 제 2 드라이빙 수단 및 제 3 드라이빙 수단을 구동하여 상기 제 1 드라이빙 수단의 출력과 동기된 동기신호를 출력하는 단계를 포함함을 특징으로 한다.

<29> 본 발명에 따른 반도체 메모리의 데이터 출력방법은 데이터 및 제 1 제어신호를 입력받는 제 1 드라이빙 수단, 상기 제 1 제어신호를 입력받는 제 2 드라이빙 수단, 및 상기 제 1 제어신호를 입력받고 상기 제 2 드라이빙 수단과 출력단이 연결된 제 3 드라이빙 수단을 갖는 반도체 메모리의 데이터 출력방법에 있어서, 상기 제 1 드라이빙 수단을 구동하여 데이터를 출력하는 단계; 및 상기 제 1 드라이빙 수단의 구동 타이밍에 비해 소정시간 지연된 타이밍에 상기 제 2 드라이빙 수단 및 제 3 드라이빙 수단을 구동하여 동기신호를 출력하는 단계를 포함함을 또 다른 특징으로 한다.

<30> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 메모리의 데이터 출력장치 및 방법의 바람직한 실시예를 설명하면 다음과 같다.

<31> 도 3은 본 발명에 따른 반도체 메모리의 데이터 출력장치의 구성을 나타낸 블록도, 도 4는 도 3의 데이터 드라이버의 구성을 나타낸 회로도, 도 5는 도 3의 DQS 드라이버의 구성을 나타낸 회로도, 도 6은 도 3의 타이밍 보정부의 구성을 나타낸 블록도, 도 7은 본 발명에 따른 반도체 메모리의 데이터 출력장치의 출력 파형도이다.

<32> 본 발명에 따른 반도체 메모리의 데이터 출력장치는 도 3에 도시된 바와 같이, 반도체 메모리 내부에서 읽어낸 복수개의 데이터(이하, Data\_in)를 제 1 제어신호(이하, RCLK, FCLK)에 따라 상기 반도체 메모리 외부로 출력하는 복수개의 데이터 드라이버(100), 타이밍 조정된 제 1 제어신호(이하, RCLK\_d, FCLK\_d)를 이용하여 상기 데이터 드라이버의 데이터 출력 싸이클에 동기된 제 2 제어신호(이하, DQS)를 생성하여 상기 반도체 메모리 외부로 출력하는 DQS 드라이버(300), 상기 RCLK\_d, FCLK\_d를 이용하여 상기 DQS의 진폭을 보정하는 진폭 보정부(400), 및 상기 RCLK 및 FCLK의 타이밍을 소정 시간만큼 조정하여 출력하는 타이밍 보정부(200)를 포함한다.

<33> 상기 데이터 드라이버(100)는 도 4에 도시된 바와 같이, 구동신호에 따라 데이터 드라이빙 동작을 수행하는 풀

업 드라이버(130) 및 풀다운 드라이버(140), 상기 RCLK, FCLK에 따라 상기 복수개의 데이터 중 하나를 통과시키는 스위칭부(110), 및 상기 스위칭부(110)의 출력에 따라 상기 풀업 드라이버(130) 및 풀다운 드라이버(140)를 구동하는 구동부(120)를 포함한다.

- <34> 상기 풀업 드라이버(130)는 PMOS 트랜지스터로 구성되고, 상기 풀다운 드라이버(140)는 NMOS 트랜지스터로 구성된다.
- <35> 상기 스위칭부(110)는 상기 RCLK를 입력받는 제 1 인버터(IV11), 입력단에 Data\_in을 입력받고 제 1 제어단(P-Type 게이트)에 상기 제 1 인버터(IV11)의 출력을 입력받으며 제 2 제어단(N-Type 게이트)에 RCLK를 입력받는 제 1 패스 게이트(PG11), 상기 FCLK를 입력받는 제 2 인버터(IV12), 입력단에 Data\_in을 입력받고 제 1 제어단(P-Type 게이트)에 상기 제 2 인버터(IV12)의 출력을 입력받으며 제 2 제어단(N-Type 게이트)에 FCLK를 입력받고 출력단이 상기 제 1 패스 게이트(PG11)와 연결된 제 2 패스 게이트(PG12)를 포함한다.
- <36> 상기 구동부(120)는 상기 스위칭부(110)의 제 1 패스 게이트(PG11)의 출력을 입력받는 제 3 인버터(IV13), 상기 제 3 인버터(IV13)의 출력과 출력 제어신호(이하, OE)를 입력받아 상기 풀업 드라이버(130)를 구동하는 낸드 게이트(ND11), 상기 OE를 입력받는 제 4 인버터(IV14), 상기 제 3 인버터(IV13)의 출력과 상기 제 4 인버터(IV14)의 출력을 입력받아 상기 풀다운 드라이버(140)를 구동하는 노아 게이트(NR11)를 포함한다.
- <37> 상기 DQS 드라이버(300)는 도 5에 도시된 바와 같이, 구동신호에 따라 데이터 드라이빙 동작을 수행하는 풀업 드라이버(330) 및 풀다운 드라이버(340), RCLK\_d, FCLK\_d에 따라 전원레벨 또는 접지레벨을 출력하는 스위칭부(310), 및 상기 스위칭부(310)의 출력에 따라 상기 풀업 드라이버(330) 및 풀다운 드라이버(340)를 구동하는 구동부(320)를 포함한다.
- <38> 상기 풀업 드라이버(330)는 PMOS 트랜지스터로 구성되고, 상기 풀다운 드라이버(340)는 NMOS 트랜지스터로 구성된다.
- <39> 상기 스위칭부(310)는 상기 RCLK\_d를 입력받는 제 1 인버터(IV21), 입력단이 전원단과 연결되고 제 1 제어단(P-Type 게이트)에 상기 제 1 인버터(IV21)의 출력을 입력받고 제 2 제어단(N-Type 게이트)에 RCLK\_d를 입력받는 제 1 패스 게이트(PG21), 상기 FCLK\_d를 입력받는 제 2 인버터(IV22), 입력단이 접지단과 연결되고 제 1 제어단(P-Type 게이트)에 상기 제 2 인버터(IV22)의 출력을 입력받고 제 2 제어단(N-Type 게이트)에 FCLK\_d를 입력받으며 출력단이 상기 제 1 패스 게이트(PG21)와 연결된 제 2 패스 게이트(PG22)를 포함한다.
- <40> 상기 구동부(320)는 상기 스위칭부(310)의 제 1 패스 게이트(PG21)의 출력을 입력받는 제 3 인버터(IV23), 상기 제 3 인버터(IV23)의 출력과 OE를 입력받아 상기 풀업 드라이버(330)를 구동하는 낸드 게이트(ND21), 상기 OE를 입력받는 제 4 인버터(IV24), 상기 제 3 인버터(IV23)의 출력과 상기 제 4 인버터(IV24)의 출력을 입력받아 상기 풀다운 드라이버(340)를 구동하는 노아 게이트(NR21)를 포함한다.
- <41> 상기 진폭 보정부(400)는 도 5의 DQS 드라이버(300)와 동일한 타이밍에 동작하여 상기 DQS 드라이버(300)의 임피던스를 감소시키기 위한 구성으로, 상기 DQS 드라이버(300)와 동일한 구성을 사용할 수 있다. 물론 감소시키고자 하는 임피던스의 양에 따라 진폭 보정부(400) 자체의 임피던스를 상기 DQS 드라이버(300)와 동일하게 하거나 다르게 할 수 있다.
- <42> 상기 타이밍 보정부(200)는 도 6에 도시된 바와 같이, 상기 RCLK를 설정시간 만큼 지연시켜 RCLK\_d를 출력하는 제 1 지연부(210), 및 상기 FCLK를 설정시간 만큼 지연시켜 FCLK\_d를 출력하는 제 2 지연부(220)를 포함한다. 상기 제 1 지연부(210) 및 제 2 지연부(220)의 지연시간은 시뮬레이션을 통해 정해진 값으로 동일하게 설정된다.
- <43> 이와 같이 구성된 본 발명에 따른 반도체 메모리의 동작을 설명하면 다음과 같다.
- <44> 데이터 드라이버(100)의 스위칭부(110)는 싸이클 단위로 순차적으로 입력되는 Data\_in을 RCLK 및 FCLK에 따라 구동부(120)로 출력한다.
- <45> 즉, RCLK가 하이인 구간동안 제 1 패스 게이트(PG11)가 턴온되어 상기 Data\_in을 출력하고, FCLK가 하이인 구간동안 제 2 패스 게이트(PG12)가 턴온되어 상기 Data\_in을 출력한다.
- <46> 상기 구동부(120)는 OE가 하이로 인에이블되면 상기 스위칭부(110)의 출력에 따라 풀업 드라이버(130) 또는 풀다운 드라이버(140)를 구동한다.
- <47> 즉, 상기 Data\_in이 하이인 구간동안 제 3 인버터(IV13)를 통해 로우로 변환되어 낸드 게이트(ND11) 및 노아 게

이트(NR11)의 제 1 입력단에 입력된다. 그리고 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND11) 및 노아 게이트(NR11)의 제 2 입력단에 각각 하이와 로우가 입력된다. 따라서 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND11)가 풀업 드라이버(130)로 하이를 출력하고, 상기 노아 게이트(NR11)가 풀다운 드라이버(140)로 하이를 출력한다.

<48> 한편, 상기 Data\_in이 로우인 구간동안 제 3 인버터(IV13)를 통해 하이로 변환되어 낸드 게이트(ND11) 및 노아 게이트(NR11)의 제 1 입력단에 입력된다. 그리고 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND11) 및 노아 게이트(NR11)의 제 2 입력단에 각각 하이와 로우가 입력된다. 따라서 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND11)가 풀업 드라이버(130)로 로우를 출력하고, 상기 노아 게이트(NR11)가 풀다운 드라이버(140)로 로우를 출력한다.

<49> 따라서 상기 풀업 드라이버(130) 또는 풀다운 드라이버(140)가 풀업 또는 풀다운 동작을 수행하여 Data\_out을 출력한다.

<50> 한편, 타이밍 보정부(200)의 제 1 지연부(210) 및 제 2 지연부(220)가 상기 RCLK 및 FCLK를 각각 기 설정된 지연 시간 만큼 지연시켜 RCLK\_d, FCLK\_d를 출력한다.

<51> 따라서 DQS 드라이버(300)의 스위칭부(310)는 전원레벨 및 접지레벨을 상기 RCLK\_d, FCLK\_d에 따라 구동부(320)로 출력한다.

<52> 즉, RCLK\_d가 하이인 구간동안 제 1 패스 게이트(PG21)가 턴온되어 상기 전원레벨(하이)을 출력하고, FCLK\_d가 하이인 구간동안 제 2 패스 게이트(PG22)가 턴온되어 상기 접지레벨(로우)을 출력한다.

<53> 상기 구동부(320)는 OE가 하이로 인에이블된 구간동안 상기 스위칭부(310)의 출력에 따라 풀업 드라이버(330) 또는 풀다운 드라이버(340)를 구동한다.

<54> 즉, 상기 전원레벨이 제 3 인버터(IV23)를 통해 로우로 변환되어 낸드 게이트(ND21) 및 노아 게이트(NR21)의 제 1 입력단에 입력된다. 그리고 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND21) 및 노아 게이트(NR21)의 제 2 입력단에 각각 하이와 로우가 입력된다. 따라서 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND21)가 풀업 드라이버(330)로 하이를 출력하고, 상기 노아 게이트(NR21)가 풀다운 드라이버(340)로 하이를 출력한다.

<55> 한편, 상기 접지레벨이 제 3 인버터(IV23)를 통해 하이로 변환되어 낸드 게이트(ND21) 및 노아 게이트(NR21)의 제 1 입력단에 입력된다. 그리고 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND21) 및 노아 게이트(NR21)의 제 2 입력단에 각각 하이와 로우가 입력된다. 따라서 상기 OE가 하이인 구간동안 상기 낸드 게이트(ND21)가 풀업 드라이버(330)로 로우를 출력하고, 상기 노아 게이트(NR21)가 풀다운 드라이버(340)로 로우를 출력한다.

<56> 따라서 상기 풀업 드라이버(330) 또는 풀다운 드라이버(340)가 풀업 또는 풀다운 동작을 수행하여 DQS를 출력한다.

<57> 이와 동시에 진폭 보정부(400)는 상기 RCLK\_d, FCLK\_d에 따라 OE의 인에이블 구간동안 상기 DQS 드라이버(300)와 동일한 신호를 상기 DQS 드라이버(300)의 출력단을 통해 출력한다.

<58> 즉, 상기 DQS 드라이버(300)가 DQS 출력을 수행하는 동안 상기 진폭 보정부(400) 또한 상기 DQS 드라이버(300)와 동일한 출력단을 통해 동일한 출력동작을 수행한다. 상기 진폭 보정부(400)의 동작에 의해 상기 DQS 드라이버(300)의 출력 임피던스가 감소된다.

<59> 상기 DQS 드라이버(300)의 출력 임피던스 감소로 인해 도 7에 도시된 바와 같이, DQS의 진폭이 기존에 비해 증가하고 그에 따라 래퍼런스 포인트의 분포가 상기 Data\_out과 일치되므로 Data\_out과 DQS의 스ueue(Skew)가 최소화된다.

<60> 이때 진폭 보정부(400)를 통해 상기 DQS의 진폭을 증가시켰으나, 이로 인해 상기 DQS의 타이밍이 상기 Data\_out에 비해 빨라질 수 있다.

<61> 따라서 타이밍 보정부(200)를 통해 상기 DQS 드라이버(300) 및 진폭 보정부(400)가 상기 데이터 드라이버(100)에 비해 늦은 타이밍에 동작하도록 한 것이다.

<62> 물론 타이밍 보정부(200)의 지연시간은 상술한 바와 같이, 진폭 보정부(400)를 포함시킨 회로구성의 시뮬레이션을 통해 상기 Data\_out과 DQS 타이밍이 일치되도록 설정한 것이다.

<63> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구

체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 발명의 효과

- <64> 본 발명에 따른 반도체 메모리의 데이터 출력장치 및 방법은 DQS 드라이버의 동작 타이밍을 조정함과 동시에 임피던스를 감소시켜 Data\_out과 DQS의 진폭 차이 및 스케일 최소화하므로 반도체 메모리에서 출력되는 데이터를 입력받는 시스템의 입력마진을 증가시켜 전체 시스템 성능을 향상시킬 수 있는 효과가 있다.
- <65> 또한 상술한 바와 같이, 진폭 및 스케일 차이를 최소화하므로 고속 시스템에도 적용할 수 있어 제품의 적용범위를 확대시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

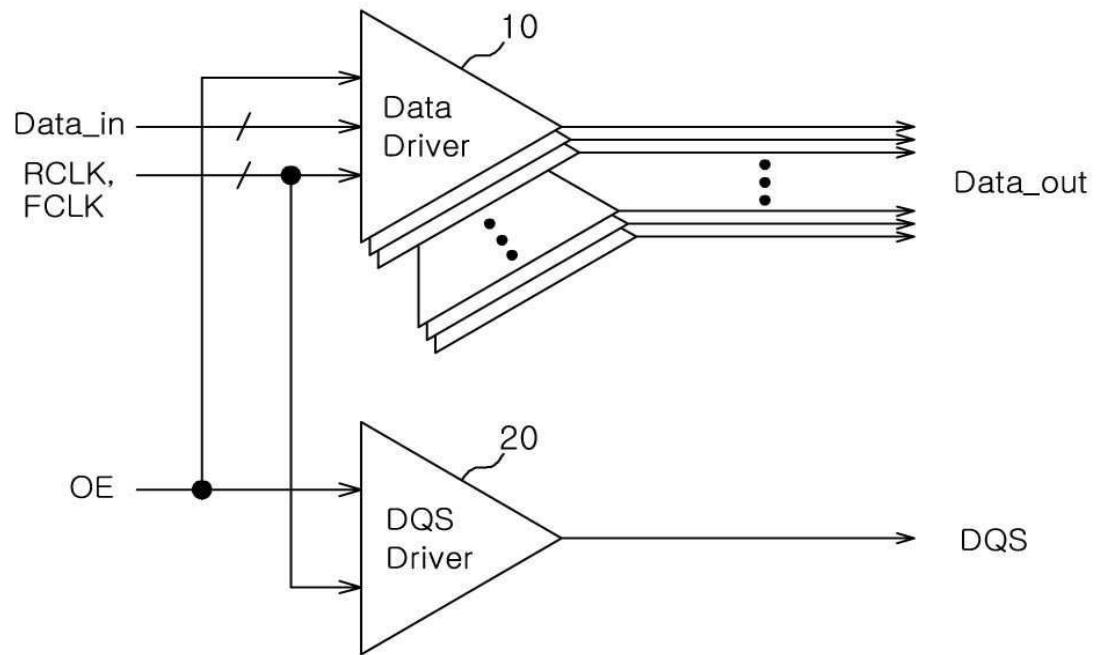
- <1> 도 1은 종래의 기술에 따른 반도체 메모리의 데이터 출력장치의 구성을 나타낸 블록도,  
 <2> 도 2는 종래의 기술에 따른 반도체 메모리의 데이터 출력장치의 출력 파형도,  
 <3> 도 3은 본 발명에 따른 반도체 메모리의 데이터 출력장치의 구성을 나타낸 블록도,  
 <4> 도 4는 도 3의 데이터 드라이버의 구성을 나타낸 회로도,  
 <5> 도 5는 도 3의 DQS 드라이버의 구성을 나타낸 회로도,  
 <6> 도 6은 도 3의 타이밍 보정부의 구성을 나타낸 블록도,  
 <7> 도 7은 본 발명에 따른 반도체 메모리의 데이터 출력장치의 출력 파형도이다.

#### < 도면의 주요 부분에 대한 부호의 설명 >

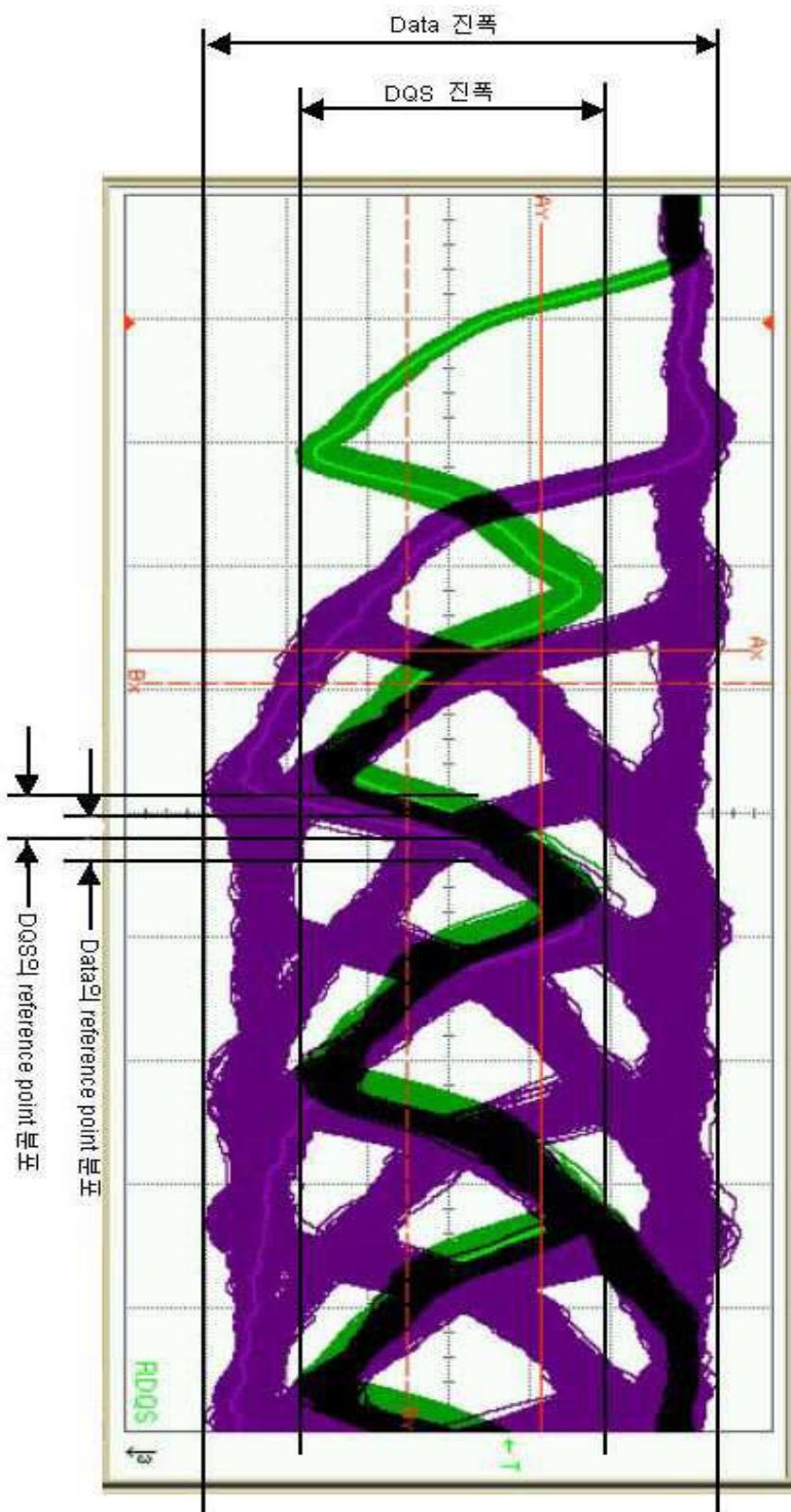
- |                         |                   |
|-------------------------|-------------------|
| <9> 100: 데이터 드라이버       | 110, 310: 스위칭부    |
| <10> 120, 320: 구동부      | 130, 330: 풀업 드라이버 |
| <11> 140, 340: 풀다운 드라이버 | 200: 타이밍 보정부      |
| <12> 210: 제 1 지연부       | 220: 제 2 지연부      |
| <13> 300: DQS 드라이버      | 400: 진폭 보정부       |

도면

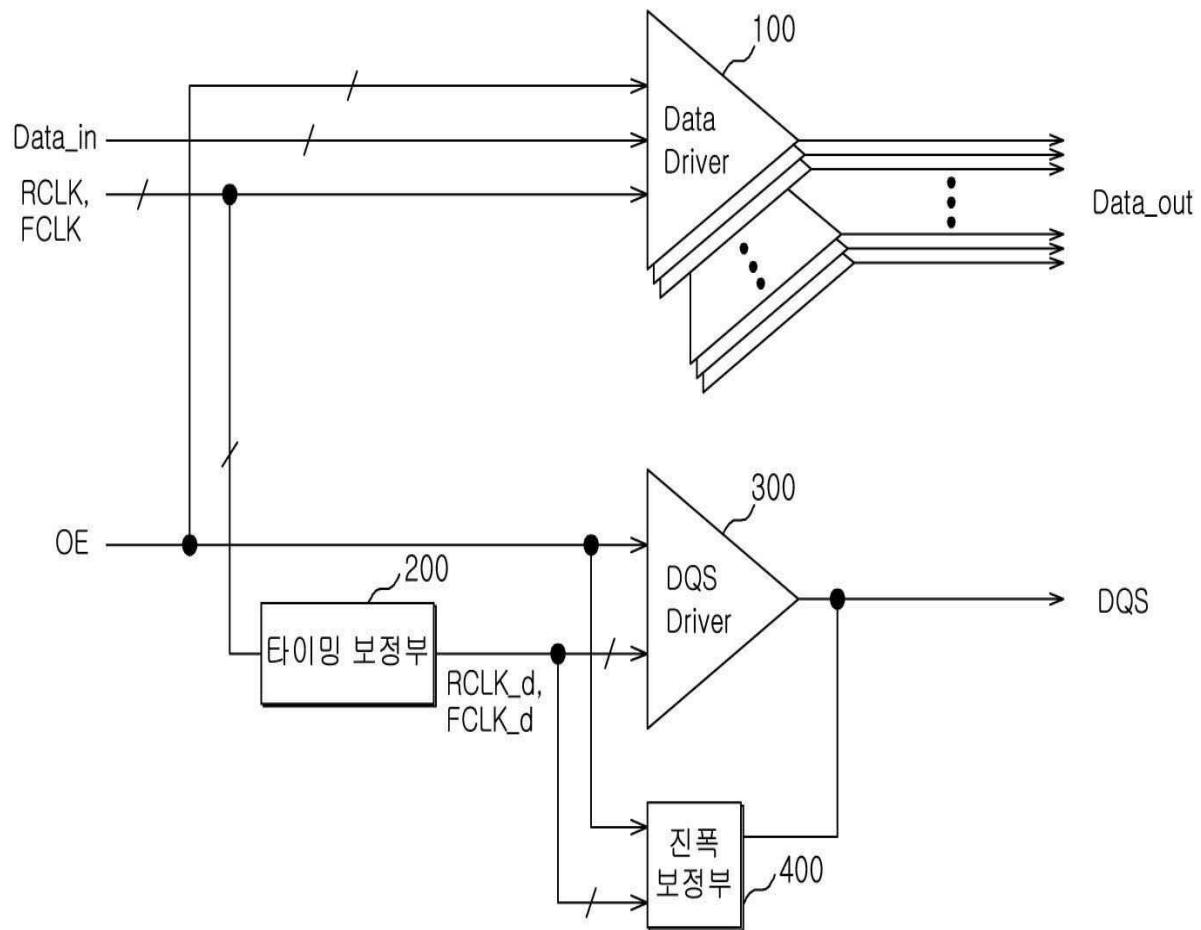
도면1



도면2

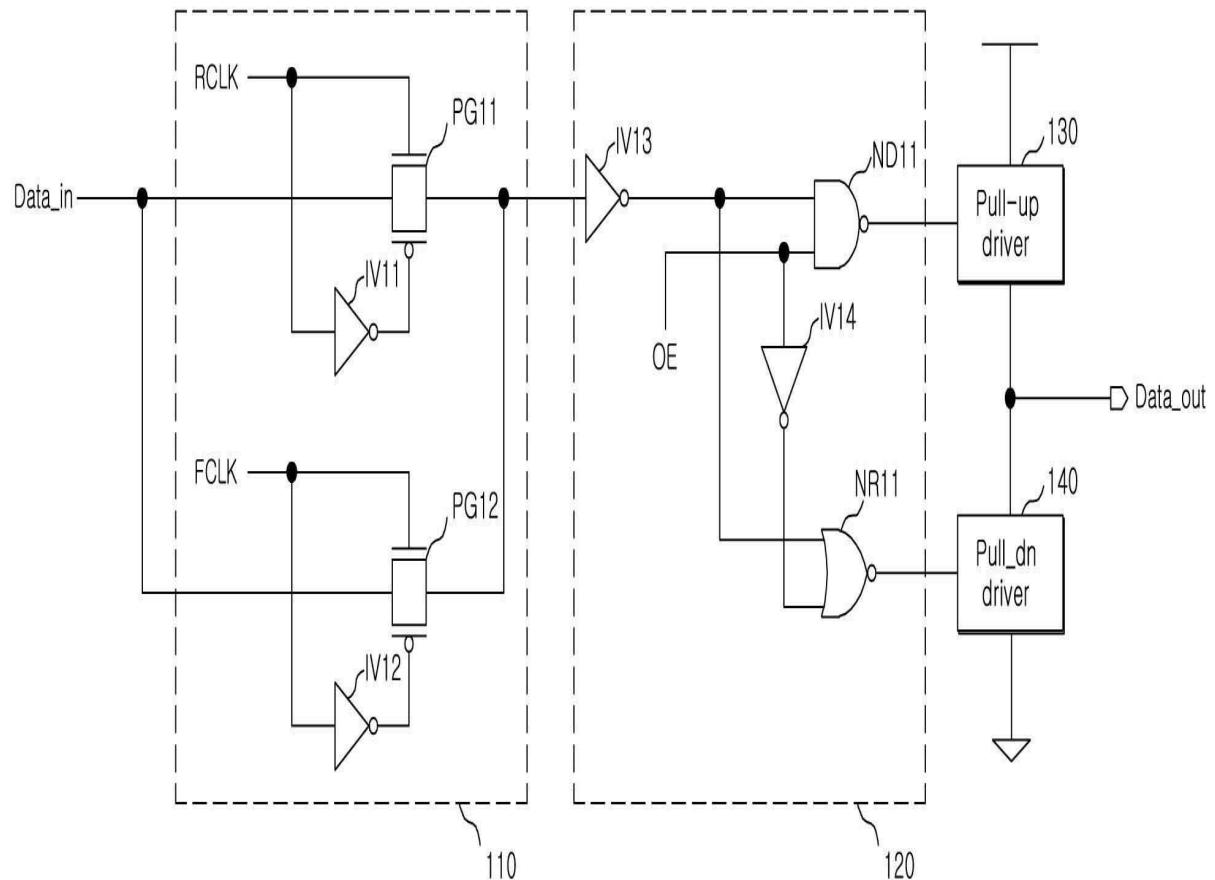


도면3



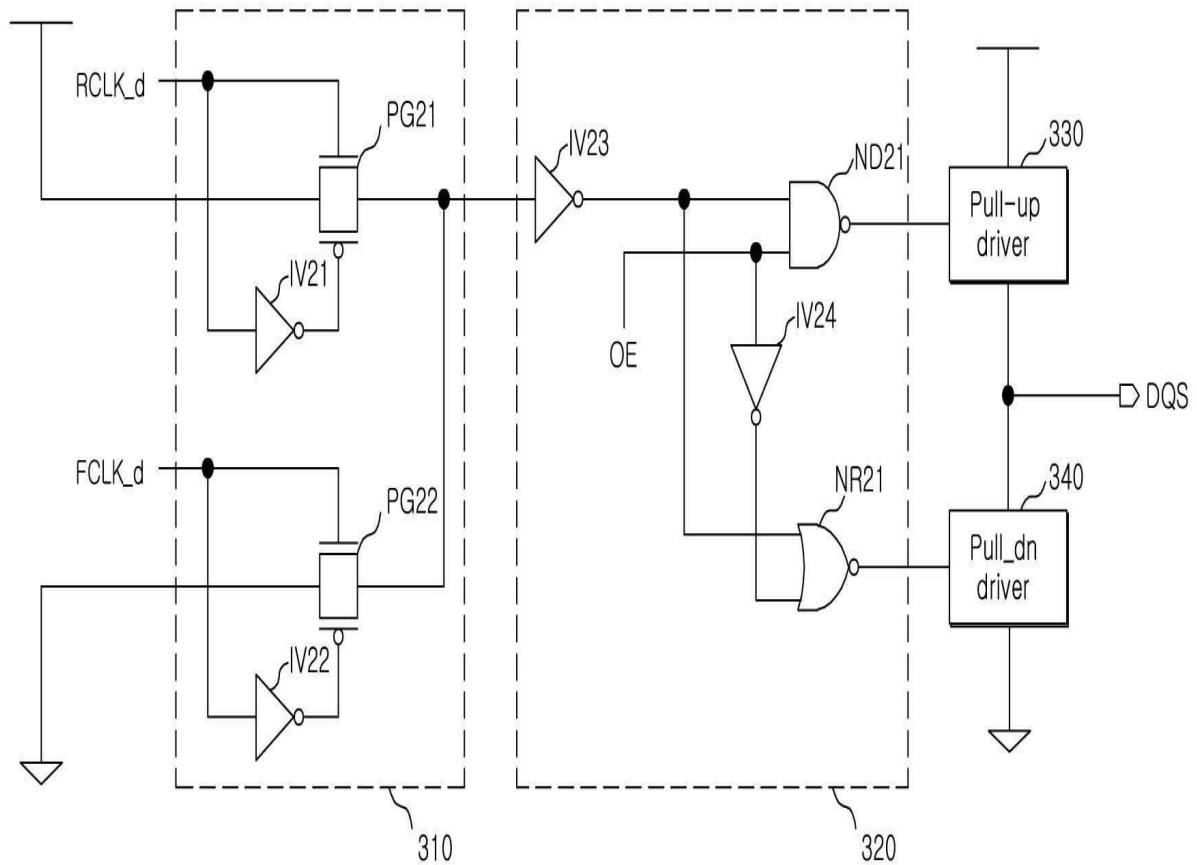
## 도면4

100



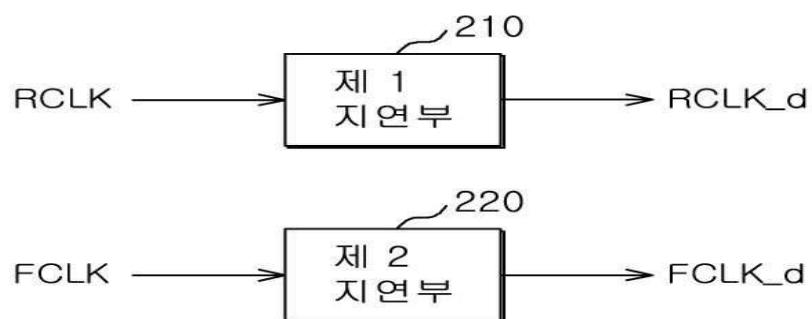
## 도면5

300



## 도면6

200



## 도면7

