

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月1日(01.07.2010)

(10) 国際公開番号
WO 2010/074076 A1

- (51) 国際特許分類:
H01L 21/316 (2006.01) H01L 27/115 (2006.01)
C23C 14/08 (2006.01) H01L 29/78 (2006.01)
H01L 21/31 (2006.01) H01L 29/788 (2006.01)
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2009/071321
- (22) 国際出願日: 2009年12月22日(22.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-331693 2008年12月26日(26.12.2008) JP
- (71) 出願人(米国を除く全ての指定国について): キヤノンアネルバ株式会社(CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 中川 隆史(NAKAGAWA Takashi) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP), 金 恩美(KIM Eun-mi) [KR/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会

社内 Kanagawa (JP), 北野 尚武(KITANO Naomu) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP), 真下 公子(MASHIMO Kimiko) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP).

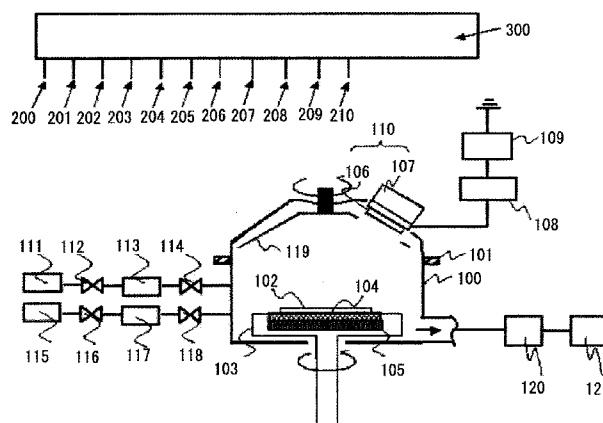
- (74) 代理人: 岡部 正夫, 外(OKABE Masao et al.); 〒1000005 東京都千代田区丸の内3-2-3 富士ビル602号室 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SUBSTRATE PROCESSING METHOD AND SUBSTRATE PROCESSING APPARATUS

(54) 発明の名称: 基板処理方法及び基板処理装置

[図1]



(57) Abstract: Disclosed are a substrate processing method and a substrate processing apparatus, which are capable of forming a high dielectric film by a sputtering method within one same vacuum chamber, said high dielectric film being that is reduced in oxygen defects and traps by hot carriers. A substrate processing method according to one embodiment of the present invention comprises: a first step wherein a substrate to be processed (102) arranged within a film-forming chamber (100) is heated, and a metal film is deposited on the substrate to be processed (102) by physical deposition using a target (106); and a second step wherein a gas containing an element that oxidizes the metal film is supplied into the film-forming chamber (100), and the metal film is oxidized within the chamber by thermal oxidation.

(57) 要約:

[続葉有]



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、スパッタ法を用いて酸素欠損やホットキャリアによるトラップの少ない高誘電体膜を、同一の真空容器内で形成可能な基板処理方法及び基板処理装置を提供する。本発明の一実施形態に係る基板処理方法は、成膜処理室（１００）内に配した被処理基板（１０２）を加熱し、ターゲット（１０６）を用いた物理蒸着により被処理基板（１０２）に金属膜を堆積する第１の工程と、成膜処理室（１００）内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって金属膜を酸化する第２の工程とを有する。

明 細 書

発明の名称：基板処理方法及び基板処理装置

技術分野

[0001] 本発明は、絶縁膜を形成する基板処理方法及び基板処理装置に関するものであって、特に高誘電体膜を有する半導体装置の基板処理方法および基板処理装置に関する。

背景技術

[0002] トランジスタの微細化が進む先端CMOS（相補型MOS）デバイスの開発ではゲート絶縁膜の薄膜化によるゲートリーク電流の増加が問題となっている。また、不揮発性半導体素子の微細化が進むMONOS（Metal Oxide Nitride Oxide Semiconductor）デバイスの開発では、電荷蓄積膜に蓄積された電荷のゲート電極側へのリークを防止するブロッキング層の薄膜化による動作電圧の低減と保持特性の両立が課題となっている。

[0003] そこで、CMOSデバイスのゲート絶縁膜やMONOSデバイスのブロッキング膜に高誘電率材料（High-k）を用いて物理膜厚を厚くすることで、ゲートリーク電流の低減とシリコン酸化膜換算膜厚（EOT：Equivalent Oxide Thickness）の薄膜化技術が検討されている。High-k材料の代表的なものとしてTa、Al、Zr、Hf、La等を含む酸化物が挙げられる。

[0004] 前述したHigh-k材料の成膜手段として、CVD（Chemical Vapor Deposition）法、原子層吸着堆積法（Atomic Layer Deposition）、スパッタ法による金属酸化物の成膜方法が挙げられる。

[0005] 特許文献1には、 HfO_2 の原子層吸着法に関して、金属原料ガスとして $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$ （テトラキス（ジエチルアミノ）ハフニウム）と、酸化剤として O_3 を用いた技術であって、基板上に順に $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$ 供給工程、

パージ工程、 O_3 供給工程、パージ工程を交互に繰り返すことで HfO_2 が形成される技術が開示されている。

[0006] また、非特許文献1には、金属原料ガスとして $La(i-PrCp)_3$ (トリス(イソプロピルシクロペンタジエニル)ランタニウムと酸化剤として O_3 を用いた、 La_2O_3 の原子層吸着法に関して述べられている。

[0007] 次に、特許文献2には、スパッタリング法による酸化物薄膜の形成方法に関して、第1の工程として、薄膜原料元素を含むガスまたはその放電プラズマとの化学反応を伴う反応性スパッタリング堆積工程と、第2の工程として、堆積工程を含まないか、もしくは第1の工程に比べて極めて堆積速度が小さくかつ少なくとも上記薄膜原料元素と反応するガスを含む気体雰囲気において、酸化に用いられるガスを分解しうる電界で実質的にスパッタリングを生じさせないプラズマによる反応性ガスの分解励起を堆積表面もしくは表面近傍に生じさせる工程とを、複数回交互に行う工程を含む方法が開示されている。

[0008] また、特許文献3には、スパッタリング法による Al_2O_3 の形成方法に関して、 Al メタル膜の成膜工程と、 O_2 ガスを導入してRFコイルによるプラズマで Al 膜を酸化する工程とを交互に繰り返して Al_2O_3 を形成する方法が開示されている。

[0009] また、特許文献4には、 $Hig h-k$ 誘電体上に金属ゲートを蒸着することによりMOSFETを製造する方法において、熱アニーリングモジュール内で、その上に $Hig h-k$ 誘電膜が蒸着された基板をアニールするアニーリング工程と、金属ゲート蒸着モジュール内で、上記アニールされた基板上に金属ゲート材料を蒸着させる蒸着工程とを含み、真空を破ることなく、上記アニーリング工程および上記蒸着工程とが連続的に行なわれる方法が開示されている。

[0010] また、特許文献5には、ハフニウムシリケート高誘電率膜の形成方法に関して、シリコン酸窒素膜を形成したシリコン基板上にスパッタリング法によりハフニウム層を堆積し、その後、成膜室内で連続熱処理を実施した後に、

成膜室内から被処理基板を取り出し、膜中の酸素欠損を補うため窒素雰囲気中にて熱処理を実施する方法が開示されている。

先行技術文献

特許文献

- [0011] 特許文献1：特開2004-79753号公報
- 特許文献2：特開平6-172990号公報
- 特許文献3：特開平10-324969号公報
- 特許文献4：特開2006-237371号公報
- 特許文献5：国際公開第2004/008544号パンフレット

非特許文献

- [0012] International electronic devices meeting technical digest 2007, p539

発明の概要

- [0013] しかしながら、上述した成膜技術にはそれぞれ以下のような課題が存在する。
- [0014] 第1に、特許文献1および非特許文献1に示されるような原子層吸着堆積法では、金属原料ガスとしてCを含有する原料ガスを用いるため、金属膜中にCが残留し、電気特性、例えばリーク電流の増大を招くという課題がある。
- [0015] 第2に、非特許文献1に示されるように、0～15サイクルにおける La_2O_3 膜の膜厚は、サイクル数に対して飽和傾向を示している。従って、原子層吸着堆積法では金属酸化膜の極薄膜領域における膜厚の制御が困難であるという課題がある。
- [0016] 第3に、特許文献2および特許文献3に示される方法では、基板上に堆積した金属酸化膜中の酸素欠損部分を酸素原子によって補償する点で優れている。しかしながら、酸化手法として酸素プラズマを用いているため、プラズマダメージにより金属膜中にホットキャリアのトラップが形成されてしまい

、CMOSデバイスにおいては閾値電圧のバラツキやMONOSデバイスではトラップを介したリークによる保持特性の劣化が課題となる。

[0017] 第4に、特許文献4に示される方法では、成膜工程とアニール工程を別容器で実施しているため、スループットの低下、化学量論的組成を有するH i g h - k絶縁膜の形成が困難であるという課題を生じる。特に、膜厚の厚い絶縁膜を形成する場合、成膜工程とアニール工程を何度も繰り返し実施する課題が生じる。

[0018] 第5に、特許文献5に示されている方法では、同一容器内で成膜工程とアニール工程を行っている。しかし、特許文献5に示されている方法では、酸素欠損を多量に含んだ状態で熱処理工程を実施することで、下地シリコン酸化膜に成膜した金属を拡散させ金属シリケート層を形成している。従って、この方法は、界面反応を利用したシリケート層の形成には適しているが、酸素欠損や界面反応に起因したトラップ層が形成されるため、トラップメモリのブロッキング膜の形成には適していない。また、特許文献5に示される方法では、酸化工程は別容器にて行い、成膜室内で連続熱処理を実施しても膜中の酸素欠損が発生するため、再度、窒素雰囲気中で熱処理を行う必要があると記載されている。また、特許文献5に開示されている方法は、膜厚1nm程度の誘電率膜を形成するのに適しているが、例えば、膜厚5nm以上を必要とするMONOSデバイス用のブロッキング膜の形成する場合は、成膜工程と熱処理工程（アニール工程）とを数回繰り返すことになるため、工程数が増加するという課題が生じる。即ち、特許文献5に開示されている方法では、これを実現するには、例えば3nm程度の金属膜を形成し、別容器において酸化し、その上に再度3nm程度の金属膜を形成し、別容器において酸化し、・・・を何回か繰り返すことになる。従って、工程数が増加するという課題が生じる。

[0019] 本発明は、上述した課題を解決すべくなされたものであり、その目的とするところは、スパッタ法を用いて酸素欠損やホットキャリアによるトラップの少ない高誘電体膜を、同一の真空容器内で形成可能な基板処理方法及び基

板処理装置を提供することである。

[0020] 上記の目的を達成すべく成された本発明の構成は以下の通りである。

本発明は、基板処理方法であって、真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程とを有することを特徴とする。

また、本発明は、基板処理装置であって、成膜処理室と、前記成膜処理室中に、被処理基板を保持するための基板保持台と、前記基板保持台の温度を調節する加熱装置と、前記成膜処理室中に酸化ガスを導入する酸化ガス導入手段と、前記成膜処理室中に不活性ガスを導入する不活性ガス導入手段と、金属膜を構成する元素を含むターゲットに高周波電力を供給するための高周波供給手段と、制御機構とを備え、前記制御機構は、前記成膜処理室内において、前記被処理基板に金属膜を形成する場合は、前記被処理基板を加熱するように前記加熱装置を制御し、該加熱されている被処理基板上に金属膜を堆積するように前記不活性ガス導入手段および前記高周波供給手段を制御し、前記成膜処理室内において、前記堆積された金属膜を酸化する場合は、前記堆積された金属膜上に酸化ガスを供給するように前記酸化ガス導入手段を制御し、熱酸化反応によって前記金属膜を酸化するように前記加熱装置を制御することを特徴とする。

また、本発明は、高誘電体膜を含むMOS-FETの製造方法であって、真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程とを有することを特徴とする。

また、本発明は、高誘電体膜を含む不揮発メモリ素子の製造方法であって、真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、前記真空容器内で、金属膜

を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程とを有することを特徴とする。

さらに、本発明は、コンピュータに、高誘電体膜を含むMOS-FETの形成方法を実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体であって、前記形成方法は、真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程とを有することを特徴とする。

[0021] 本発明は、スパッタリングターゲットを用いた物理蒸着により被処理基板に金属酸化物膜を形成する方法において、真空容器内に配した被処理基板を加熱しながら、第1の工程として金属膜を堆積する工程と、第2の工程として、金属膜の堆積工程を含まずに、金属膜を酸化する元素を含有するガスを供給し、熱分解反応のみによって前記金属膜を酸化する工程を実施する。これにより、同一真空容器内において残留Gによるリーク電流の増加が無く、かつプラズマダメージによる金属酸化物膜中へのトラップの形成を抑制し、酸素欠損の少ない膜を形成することができる。

図面の簡単な説明

[0022] [図1]本発明の基板処理装置の概要を示す図である。

[図2]本発明の実施形態における制御機構を示す図である。

[図3]本発明の実施形態における制御機構を示す図である。

[図4]本発明の実施形態における制御機構を示す図である。

[図5]本発明で使用する基板処理装置に設置されている制御機構の模式図である。

[図6]本発明における第1の工程、第2工程である金属酸化物膜形成の手順を示す図である。

[図7]本発明の基板処理方法及び基板処理装置で製造されたMOS-FETの構造を示す図である。

[図8]本発明の第1の実施例のMISキャパシタの断面図を示す図である。

[図9]本発明の第1の実施例のターゲットパワーと酸素流量の関係を示す図である。

[図10]本発明の第1の実施例のターゲットパワーと酸素流量の関係を示す図である。

[図11]本発明の第2の実施例の半導体装置の製造方法の工程を示す図である。

[図12]本発明の第3の実施例の半導体装置の製造方法の工程を示す図である。

発明を実施するための形態

[0023] 以下、図面を参照して、本発明の実施の形態を説明するが、本発明は本実施形態に限定されるものではない。

[0024] 本発明は、被処理基板を加熱しながら、金属膜を堆積する第1の工程と、金属膜の堆積工程を含まずに、金属膜を酸化する元素を含有するガスを供給し、熱分解反応によって金属膜を酸化する第2の工程とを同一真空容器内において実施することによって、金属酸化膜中にプラズマダメージによるトラップサイトの形成を伴うことなく、金属酸化物中の酸素欠損の補償ができるという新たな発見に基づいている。

[0025] 本発明者が、上記新たな知見に至った理由は以下の通りである。即ち、金属膜の、堆積工程と酸化工程とを別容器で行う場合、金属膜の表面領域のみが酸化される問題が懸念されるため、例えば、20nmの金属膜を、別容器を用いて全て酸化し完全な絶縁膜にするのは困難であると考えられる。また、膜中の酸素欠損に起因した残留した金属元素が下地基板中に拡散することで界面反応が促進され界面層が形成されるという問題が生じる。これに対して、本発明は、金属膜の、堆積工程と酸化工程とを同一容器で行うため、金属膜の表面領域のみが酸化されることを懸念する必要がない。また、膜中の酸素欠損が抑制されるため、金属元素と下地基板との反応による界面層の形成を防止ないしは抑制することができる。

[0026] 本発明の第１の特徴点は、上記新たな発見に基づいたものであり、具体的には、真空容器内に配した被処理基板を加熱しながら、ターゲットを用いた物理蒸着により上記被処理基板上に金属膜を堆積する第１の工程と、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって金属膜を酸化する第２工程とを、同一の真空容器内で実施した点にある。

[0027] 次に、基板処理方法の発明の説明を兼ねて、基板処理装置の構成及びその動作について説明する。

[0028] 図１に本発明における処理装置の概略図を示す。成膜処理室（真空容器）１００はヒータ１０１によって所定の温度に加熱できるようになっている。成膜処理室の内壁は、酸化ガスが十分な蒸気圧を持つ温度以上の温度に設定するのが好ましい。被処理基板１０２は、基板支持台１０３に組み込まれた、サセプタ１０４を介して、ヒータ１０５によって所定の温度に加熱できるようになっている。基板支持台１０３は、膜厚の均一性の観点から所定の回転数で回転できることが好ましい。第１の工程における金属膜の堆積は、ターゲット１０６に、高周波電源１０９より、整合器１０８、磁石ユニット１０７を介して電力を供給することにより実施される。図１において、符号１１０はカソードである。この際、スパッタリングのみに関与する不活性ガスが、不活性ガス源１１１から、バルブ１１２、マスフローコントローラ１１３、バルブ１１４を介して成膜処理室１００に導入される。

次に、第２の工程において、金属膜の酸化に関与するガスが、酸化ガス源１１５から、バルブ１１６、マスフローコントローラ１１７、バルブ１１８を介して成膜処理室１００に導入される。第１の工程および第２の工程における、不活性ガス、酸化ガスは、コンダクタンスバルブ１２０を介して、排気ポンプ１２１によって排気される。第１の工程および第２の工程における成膜処理室内の圧力は、コンダクタンスバルブ１２０によって所定の値に制御される。

[0029] バルブ１１２、１１４、１１６、１１８はそれぞれ制御用入出力ポート２００、２０１、２０２、２０３を介して制御装置３００によって開閉制御が

できる。また、マスフローコントローラ 113、117については、それぞれ制御用入出力ポート 204、205を介して制御装置 300によって流量の調節ができる。また、コンダクタンスバルブ 120については、制御用入出力ポート 206を介して制御装置 300によって開度の調節ができる。また、ヒータ 105については、入出力ポート 207を介して制御装置 300によって温度の調節ができる。また、基板支持台 103の回転状態については、入出力ポート 208を介して制御装置 300によって回転数の調節ができる。また、高周波電源 109については、入出力ポート 209を介して制御装置 300によって周波数ならびに供給電力が調節できる。また、整合器 108については、入出力ポート 210を介して制御装置 300によって供給電量の整合を調節できる。

[0030] 図 2 は、本発明における金属酸化膜の形成工程に係る基板処理装置の制御機構を示す図である。

[0031] はじめに本発明における第 1 の工程である金属酸化膜形成について説明する。制御装置 300 は、バルブ 112、およびバルブ 114 を開け、マスフローコントローラ 113 を制御して流量調整を行い、不活性ガス源 111 から成膜処理室 100 中に不活性ガスを導入する。不活性ガスとしては、Ar、Kr、Xe から選択される少なくとも一つのガスが含まれていることが好ましい。この際、制御装置 300 は、成膜処理室 100 中の不活性ガスの分圧を、コンダクタンスバルブ 120 によって所望の圧力に調整する。

次に、制御装置 300 は、高周波電源 109、整合器 108 を制御して、ターゲット 106 に所望の電力を供給する。次に、制御装置 300 は、ターゲット 106 と被処理基板 102 を遮っていた遮蔽板 119 を開けることにより、被処理基板 102 上に金属膜が形成される。このとき制御装置 300 は、ヒータ 105 を制御して、被処理基板 102 の温度を所定の温度に設定することができる。この所定の温度としては、例えば、この所定の温度は、導入する酸化ガスによって適宜設定することができ、例えば、酸化ガスとして H_2O を用いる場合は、基板温度 $300^{\circ}C$ で、で所望の金属酸化膜を形成する

ことができる。また、酸化ガスとして O_2 、 O_3 、 N_2O 、 D_2O を用いる場合は、基板温度 $600^{\circ}C$ で所望の金属酸化膜を形成することができる。

このようにして被処理基板 102 を加熱しながら、ターゲットを用いた物理蒸着により該被処理基板 102 上に金属膜の形成を行う。制御装置 300 は、金属膜の形成速度、形成膜厚を、ターゲット 106 に供給される電力および時間、ならびに遮蔽板 119 の開いている時間により制御することができる。所定の金属膜を形成した後、制御装置 300 は、遮蔽板 119 を閉じ、高周波電源 119 および整合器 108 を制御して電力供給を停止し、被処理基板 102 上への金属膜形成を停止させる。さらに、制御装置 300 は、バルブ 112 およびバルブ 114 を閉じ、マスフローコントローラ 113 を制御して流量調整を停止することにより、成膜処理室 100 中への不活性ガスの導入を停止し、第 1 の工程である金属膜の形成を完了する。

なお、上記被処理基板 102 上に形成される金属膜は、Hf、Zr、Al、La、Pr、Y、Ti、およびTaからなる群から選択される少なくとも一つの元素が含まれているものが好ましい。

[0032] 次に本発明における第 2 の工程である金属酸化膜の形成工程について説明する。上記第 1 の工程を行った成膜処理室 100 内において、制御装置 300 は、バルブ 116 およびバルブ 118 を開け、マスフローコントローラ 117 を制御して流量調整を行い、酸化ガス源 115 から成膜処理室 100 中に酸化ガス（酸化剤）を導入する。酸化ガスは、酸素ラジカル原子、酸素ラジカル分子、 O_2 、 O_3 、 N_2O 、 H_2O 、および D_2O （重水素）よりなる群から選ばれる少なくとも原子または分子を含むガスであることが好ましい。この際、制御装置 300 は、成膜処理室 100 中の不活性ガスの分圧をコンダクタンスバルブ 120 によって所望の圧力に調整することができる。金属酸化膜の形成は、酸化ガスの導入時間、被処理基板 102 の温度によって制御できる。すなわち、制御装置 300 は、ヒータ 105 を制御して、被処理基板 102 の温度を所定の温度に設定する。被処理基板 102 の温度は、熱酸化反応を促進するため $200^{\circ}C$ 以上が好ましく、また、下地基板への酸化を

抑制するため600℃以下が好ましい。

次に、制御装置300は、バルブ116および118を閉じ、マスフローコントローラ117を制御して流量調整を停止することにより、第2の工程である金属酸化膜の形成を完了する。このように、本発明の金属酸化膜の形成は、金属膜の酸化ガスによる熱酸化反応のみによって形成されるため、プラズマダメージに起因して金属酸化膜中にトラップが形成されることなく、酸素欠損を補償することができる。

[0033] また、図3に示すようにターゲット表面の酸化ガスによる酸化を防止ないしは抑制するため、第1の工程にてターゲット106への電力供給を停止せずに、第2の工程においてもターゲット106に電力を供給して常時ターゲット表面をクリーニングしてもよい。これにより、ターゲット表面の酸化に伴う成膜レートの変動が抑制できるという効果を奏する。

[0034] また、図2および図3においては、第1の工程と第2の工程とを各々一回行っているが、第1の工程と第2の工程とを1セットとし、複数セット繰り返すことで、所望の膜厚を有する金属酸化物を形成してもよい。これにより、膜厚20nmの厚い金属酸化物の場合においても酸素欠損の形成を抑制することができる効果を奏する。

[0035] 図4は、本発明における金属酸化膜の形成工程に係る基板処理装置の他の制御機構を示す図である。

[0036] 本実施形態の制御装置の特徴点は、成膜処理室100に配した被処理基板102を加熱しながら、図2に示す第1の工程と前記第2の工程とを1回もしくは複数回交互に実施した後、上記酸化ガスと、不活性ガスとの混合ガスを供給しながら、スパッタリングを実施する制御するようにした点にある。これにより、金属酸化膜中にプラズマダメージによるトラップサイトの形成や、金属酸化物中の酸素欠損の補償ができるという効果を奏する。

具体的には、図4に示すように、第1の工程および第2の工程を少なくとも一回実施した後に、制御装置300は、酸化ガスおよび不活性ガスとの混合ガスを供給しながら、スパッタリング処理を実行する。すなわち、制御装

置 300 は、バルブ 112、114、116、および 118 を開け、マスフローコントローラ 113 および 117 を制御して流量調整を行い、不活性ガス源 111 および酸化ガス源 115 からそれぞれ不活性ガスおよび酸化ガスを成膜処理室 100 へと導入する。制御装置 300 は、コンダクタンスバルブ 120 を制御して成膜処理室 100 内の不活性ガスおよび酸化ガスの分圧を制御する。

次いで、制御装置 300 は、高周波電源 109 および整合器 108 を制御して、ターゲット 106 に所望の電力を印加し、遮蔽板 119 を開いて、基板 102 上にスパッタリングにより金属膜を形成する。次いで、制御装置 300 は、遮蔽板 119 を閉じ、高周波電源 109 および制御器 108 を制御してターゲット 106 への電力供給を停止する。次いで、制御装置 300 は、バルブ 112、114、116、および 118 を閉じ、マスフローコントローラ 113 および 117 を制御して流量調整を停止する。これにより、上記スパッタリング処理を完了する。

[0037] 図 5 は、本発明で使用する基板処理装置 100 を制御する制御装置 300 の模式図である。制御装置 300 は、入力部 300b、プログラム及びデータを有する記憶部 300c、プロセッサ 300d 及び出力部 300e を備えており、基本的にはコンピュータ構成であり、対応の基板処理装置 100 を制御している。

[0038] 図 6 は、本発明における第 1 の工程、第 2 工程である金属酸化膜形成の手順を示す図である。

[0039] ステップ 1 : High-k 誘電体のための予備的な膜を蒸着する。

ステップ 2 : 酸素雰囲気下で熱アニール処理を行なって High-k 誘電体を形成する。

ステップ 3 : ウエハを冷却する。

ステップ 4 : 金属電極材料を蒸着する。

[0040] 蒸着方法の詳細な説明

ステップ 1

開始ウエハは、被処理基板 102 上に、最初に蒸着された薄い SiO_2 または SiON 層 102a を有していてもいなくても良い。図 6 の (a) では、被処理基板 102 上に、 SiO_2 または SiON 層 102a が形成されている。図 1 に示す基板処理装置 100 を使用して、High-k 誘電体のための開始材料 102b が基板 102 上に蒸着される (図 6 の (b))。開始材料 102b は、金属であっても良く、Al, Hf, Ta, Zr 等の耐熱金属、ALN、HfN、Ta₂N、TiN 等の金属窒化物、AlTi, HfTa, HfTi 等の金属合金、HfSi 等の金属半導体合金、TaSiN 等の金属合金窒化物であることが好ましい。また、高誘電率化の観点から上記材料に、La、Pr、Y、Ti を添加してもよい。

[0041] この場合も同様に、開始材料 102b を、前述した 2 以上の膜を積層構造とすることができる。このような 2 以上の膜の積層構造としては、例えば、Hf/SiN/Hf、HfN/AlN/Hf が挙げられる。

[0042] 通常、Hf、Zr、Ti または Ta が金属ターゲット 106 として使用される。しかしながら、他の金属ターゲットも使用できる。金属半導体合金が蒸着される場合、半導体材料は Si であることが好ましい。

[0043] 重要ではないが、前述した開始材料 102b の膜厚は、通常、5 nm 未満に維持され、一般的には約 2 nm に維持される。

[0044] ステップ 2

前述したように開始膜 102b を蒸着した後、被処理基板 102 が酸素ガス雰囲気下で一般に 400°C を超える高い温度まで加熱され、これにより、開始材料である開始膜 102b が酸化されて (図 6 の (c))、High-k 誘電体 102c が形成される。加熱プロセスは 1 段階または複数段階で行なうことができる。通常、アニーリングプロセス中に化学反応を制御するためには、2 段階以上で加熱処理を行なうのが適当である。例えば、最初に、膜を 400°C まで加熱して、開始材料である開始膜 102b 中の金属元素を酸化する。膜が例えば 800°C 等の非常に高い温度まで一気に加熱される場合、開始膜 102b 中の金属元素は、安定で且つ金属性の特徴を示すそのケ

イ素化合物を形成する場合がある。膜が例えば400℃等の比較的低い温度で適切に酸化されると、好ましくは不活性ガス環境下で、温度が例えば900℃等の高い値まで上昇される。異なる金属から成る金属積層体が開始材料102bとして使用される場合、高温アニーリングは、各材料間の拡散において、また、均一な膜組成を形成するために重要である。

[0045] ステップー3

熱アニーリングプロセスが終了した後、被処理基板102は、不図示の冷却モジュールへと搬送され、所望の温度、好ましくは室温まで冷却される。

[0046] ステップー4

基板102が不図示のPVDモジュールへ搬送され、ゲート電極26が蒸着される(図6の(d))。

[0047] 上述の本発明の処理によって、図7のMOS電界効果トランジスタ(FET)90が製造された。Si基板91におけるソース領域92とドレイン領域93との間のゲート電極94下の誘電体ゲート絶縁膜(高誘電体膜)95として、HfO膜が用いられた。このゲート絶縁膜(高誘電体膜)95として、他に、 Al_2O_3 、HfN、HfON、HfLaO、HfLaN、HfLaON、HfAlLaO、HfAlLaN、HfAlLaON、LaAlO、LaAlN、LaAlON、LaO、LaN、LaONを採用しても良い。比誘電率は3.9~100の範囲にある。そして固定電荷密度は $0 \sim 1 \times 10^{11} \text{ cm}^{-2}$ である。又、ゲート絶縁層の膜厚は0.5nm~5.0nmである。又、界面準位密度は $1 \times 10^{11} \text{ cm}^{-2}$ 以下である。

[0048] 第1の実施例

本発明の第1の実施例を、図面を参照しながら詳細に説明する。図8は、第1の実施例に関わる誘電体膜を示した図である。表面に膜厚3nm~5nmのシリコン酸化膜302を有するシリコン基板301に、図1に示す基板処理装置100を用いてHfO₂膜303を堆積した。ターゲットとしては、Hfの金属ターゲットを用い、スパッタガスとしてアルゴン、酸化ガスとして酸素を用いた。基板温度は27℃~600℃、ターゲットパワーは50W

～1000W、スパッタガス圧力は、0.02Pa～0.1Pa、Ar流量は1sccm～100sccm、酸素ガス流量は1sccmから100sccm、の範囲内で適宜決定することができる。

[0049] ここでは、基板温度300℃、Hfのターゲットパワー600W、スパッタガス圧力0.03Pa、Ar流量25sccm、酸素ガス流量50sccmとして成膜を行った。図9に本実施例におけるターゲットパワーの投入工程と酸素ガスの供給工程の概略を示す。図9に示されるように、Hfの金属膜の形成工程と酸素ガスによる酸化工程を1cycleとして、1setを複数回繰り返すことで所望の膜厚を有するHfO₂を形成することができる。また、ここでは、ターゲット106に投入するパワーを制御することにより金属膜の堆積工程を制御したが、図10に示されるように、シャッター119の開閉状態により金属膜の堆積工程を制御してもよい。ここで、シャッターのOPEN状態は、シャッターの開口部がターゲット106の全面に面している状態を示し、CLOSE状態は、基板102とターゲット106とがシャッター119により遮られている状態を示している。ターゲット106に常にパワーを投入することにより、酸素ガスによるターゲット106の酸化が抑制され、ターゲット106の酸化に伴う堆積レートの低下を防止することができる。

[0050] 上述の形成工程を用いて、膜厚20nmのHfO₂を形成した。次に、HfO₂上にスパッタリング法を用いて膜厚10nmのTiN膜304を堆積させた。ターゲットとしては、Tiの金属ターゲットを用い、スパッタガスとしては、アルゴンおよび窒素を用いた。次に、リソグラフィ技術とRIE技術を用いてTiN膜を所望の大きさに加工し、MISキャパシタを形成した。

[0051] 以上のように作製したHfO₂のCV (Capacitance-Voltage) 特性を評価した結果、膜中の酸素欠損に起因したヒステリシスシフトが観測されなかった。また、TEMによる断面観測を行ったところ、下地のシリコン酸化膜とHfO₂の界面にHfの拡散による界面反応層は観測され

なかった。このように、本発明の第1の実施例によれば、スパッタリングターゲットを用いた物理蒸着により被処理基板に金属酸化物膜を形成する方法において、真空容器内に配した被処理基板を加熱しながら、第1の工程として金属膜を堆積する工程と、第2の工程として、金属膜の堆積工程を含まずに、金属膜を酸化する元素を含有するガスを供給し、熱分解反応のみによって上記金属膜を酸化する工程を実施する。これにより、同一真空容器内において残留Cによるリーク電流の増加が無く、かつプラズマダメージによる金属酸化物膜中へのトラップの形成を抑制し、酸素欠損の少ない膜が得られることを確認した。

[0052] また、本実施例では、金属膜としてAl、Zr、Ta、Ti、La、Yを用いて、 Al_2O_3 、 ZrO_2 、 Ta_2O_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 を形成しても同様の効果を得ることを確認した。

[0053] また、本実施例では、酸化ガスとして酸素を用いたが、酸素ラジカル原子と、 O_3 と、 N_2O と H_2O と D_2O からなる群から選択される一つの酸化ガスを用いても、同様の効果が得られる。

[0054] 第2の実施例<ゲート絶縁膜に適用した実施例>

本発明の第2の実施例を、図面を参照しながら詳細に説明する。

図11(a)～(c)は、本発明の第2の実施例である半導体装置の製造方法の工程を示した図である。

[0055] まず図11の(a)に示すようにシリコン基板401の表面にSTI (Shallow Trench Isolation) 技術を用いて素子分離領域402を形成した。続いて、素子分離されたシリコン基板401表面に熱酸化法により膜厚1.8nmのシリコン酸化膜403を形成した。その後、第1の実施例と同じ方法により HfO_2 膜を膜厚1nm～10nmの範囲で形成した。

[0056] 次に、誘電体膜404上に厚さ150nmのpoly-Si 405を形成した後、図11の(a)に示す積層体を、図11の(b)に示すようにリソグラフィー技術およびRIE技術を用いてゲート電極が形成されるように加

工した。引き続いてイオン注入を行い、エクステンション領域406をゲート電極をマスクとして自己整合的に形成した。

[0057] さらに、図11の(c)に示すように、シリコン窒化膜とシリコン酸化膜とを順次堆積し、その後、エッチバックすることによってゲート側壁407を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン領域408を形成した。

[0058] 作製した半導体装置の電気特性を評価した結果、膜中の酸素欠損に起因したヒステリシスシフトが観測されなかった。また、TEMによる断面観測を行ったところ、下地のシリコン酸化膜と HfO_2 の界面にHfの拡散による界面反応層は観測されなかった。

[0059] また、本実施例では、金属膜としてAl、Zr、Ta、Ti、La、Yを用いて、 Al_2O_3 、 ZrO_2 、 Ta_2O_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 を形成しても同様の効果を得ることを確認した。

[0060] また、本実施例では、酸化ガスとして酸素を用いたが、酸素ラジカル原子と、 O_3 と、 N_2O と H_2O と D_2O からなる群から選択される一つの酸化ガスを用いても、同様の効果が得られる。

[0061] 第3の実施例<不揮発メモリ素子のブロッキング膜に適用した実施例>

図12(a)～(c)は本発明の第3の実施例に関わる半導体装置の作製工程を示した断面図である。

[0062] まず図12の(a)に示すようにシリコン基板501の表面にSTI技術を用いて素子分離領域502を形成した。続いて、素子分離されたシリコン基板501表面に、第1の絶縁膜503としてシリコン酸化膜を熱酸化法により3nm～10nm形成した。続いて、第2の絶縁膜504としてシリコン窒化膜をLPCVD(Low Pressure Chemical Vapor Deposition)法により3nm～10nm形成した。続いて、本発明の基板処理方法および基板処理装置を用いて第3の絶縁膜505として酸化アルミニウム膜を10nm～20nm形成した。

[0063] 次に、ゲート電極506として厚さ150nmのpoly-Si膜を形成

した後、図 21 の (a) に示す積層体を、図 12 の (b) に示すように、リソグラフィ技術および R I E 技術を用いてゲート電極が形成されるように加工した。引き続きイオン注入を行い、エクステンション領域 507 をゲート電極をマスクとして自己整合的に形成した。

[0064] さらに、図 12 の (c) に示すように、シリコン窒化膜とシリコン酸化膜とを順次堆積し、その後エッチバックすることによってゲート側壁 508 を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン領域 509 を形成した。

[0065] 作製した半導体装置の電気特性を評価した結果、酸化アルミニウム膜の酸素欠損に起因した保持特性の劣化はみられなかった。

[0066] 以上のように、本実施例によれば、MONOS 型不揮発メモリ素子のブロッキング絶縁膜に、本発明の基板処理方法および基板処理装置を用いることにより、保持特性が改善できる半導体装置が得ることができる。

[0067] また、本実施例では、金属膜として Al、Zr、Ta、Ti、La、Y を用いて、 Al_2O_3 、 ZrO_2 、 Ta_2O_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 を形成しても同様の効果を得ることを確認した。

[0068] また、本実施例では、酸化ガスとして酸素を用いたが、酸素ラジカル原子と、 O_3 と、 N_2O と H_2O と D_2O からなる群から選択される一つの酸化ガスを用いても、同様の効果が得られる。

[0069] (その他の実施形態)

なお、制御機構 300 は、基板処理装置 301 と別個に設けても良いし、基板処理装置 301 に内蔵しても良い。

前述した実施形態の機能を実現するように前述した実施形態の構成を動作させるプログラムを記憶媒体に記憶させ、該記憶媒体に記憶されたプログラムをコードとして読み出し、コンピュータにおいて実行する処理方法も上述の実施形態の範疇に含まれる。即ちコンピュータ読み取り可能な記憶媒体も実施形態の範囲に含まれる。また、前述のコンピュータプログラムが記憶された記憶媒体はもちろんそのコンピュータプログラム自体も上述の実施形態

に含まれる。

かかる記憶媒体としてはたとえばフロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、CD—ROM、磁気テープ、不揮発性メモリカード、ROMを用いることができる。

また前述の記憶媒体に記憶されたプログラム単体で処理を実行しているものに限らず、他のソフトウェア、拡張ボードの機能と共同して、OS上で動作し前述の実施形態の動作を実行するものも前述した実施形態の範疇に含まれる。

請求の範囲

- [請求項1] 真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、
前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程と
を有することを特徴とする基板処理方法。
- [請求項2] 前記第1の工程と前記第2の工程とを複数回交互に実施することを特徴とする請求項1に記載の基板処理方法。
- [請求項3] 前記第1の工程と前記第2の工程とを少なくとも1回交互に実施した後、前記金属膜を酸化する元素を含有する元素と不活性ガスとの混合ガスを供給しながら、スパッタリングを行うことを特徴とする請求項1に記載の基板処理方法。
- [請求項4] 前記金属膜を酸化する元素を含有するガスは、酸素ラジカル原子、酸素ラジカル分子、 O_2 、 O_3 、 N_2O 、 H_2O 、および D_2O （重水素）よりなる群から選ばれる原子または分子を含むガスであることを特徴とする請求項1に記載の基板処理方法。
- [請求項5] 前記金属膜がHf、Zr、Al、La、Pr、Y、Ti、およびTaからなる群から選択される少なくとも一つの元素が含まれていることを特徴とする請求項1に記載の基板処理方法。
- [請求項6] 成膜処理室と、
前記成膜処理室中に、被処理基板を保持するための基板保持台と、
前記基板保持台の温度を調節する加熱装置と、
前記成膜処理室中に酸化ガスを導入する酸化ガス導入手段と、
前記成膜処理室中に不活性ガスを導入する不活性ガス導入手段と、
金属膜を構成する元素を含むターゲットに高周波電力を供給するための高周波供給手段と、
制御機構とを備え、
前記制御機構は、

前記成膜処理室内において、前記被処理基板に金属膜を形成する場合は、前記被処理基板を加熱するように前記加熱装置を制御し、該加熱されている被処理基板上に金属膜を堆積するように前記不活性ガス導入手段および前記高周波供給手段を制御し、

前記成膜処理室内において、前記堆積された金属膜を酸化する場合は、前記堆積された金属膜上に酸化ガスを供給するように前記酸化ガス導入手段を制御し、熱酸化反応によって前記金属膜を酸化するように前記加熱装置を制御することを特徴とする基板処理装置。

[請求項7] 前記制御機構は、前記成膜処理室内において、前記被処理基板に金属膜を形成することと前記前記堆積された金属膜を酸化することとを少なくとも1回交互に実施するように構成されており、

前記少なくとも1回の実施の後に、前記酸化ガスと不活性ガスとの混合ガスを供給しながら、スパッタリングを実施するように、前記酸化ガス導入手段、前記不活性ガス導入手段、および前記高周波供給手段を制御することを特徴とする請求項6に記載の基板処理装置。

[請求項8] 高誘電体膜を含むMOS-FETの製造方法であって、
真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、
前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程と
を有することを特徴とするMOS-FETの製造方法。

[請求項9] 高誘電体膜を含む不揮発メモリ素子の製造方法であって、
真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、
前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程と
を有することを特徴とする不揮発メモリ素子の製造方法。

[請求項10] コンピュータに、高誘電体膜を含むMOS-FETの形成方法を実行

させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体であって、

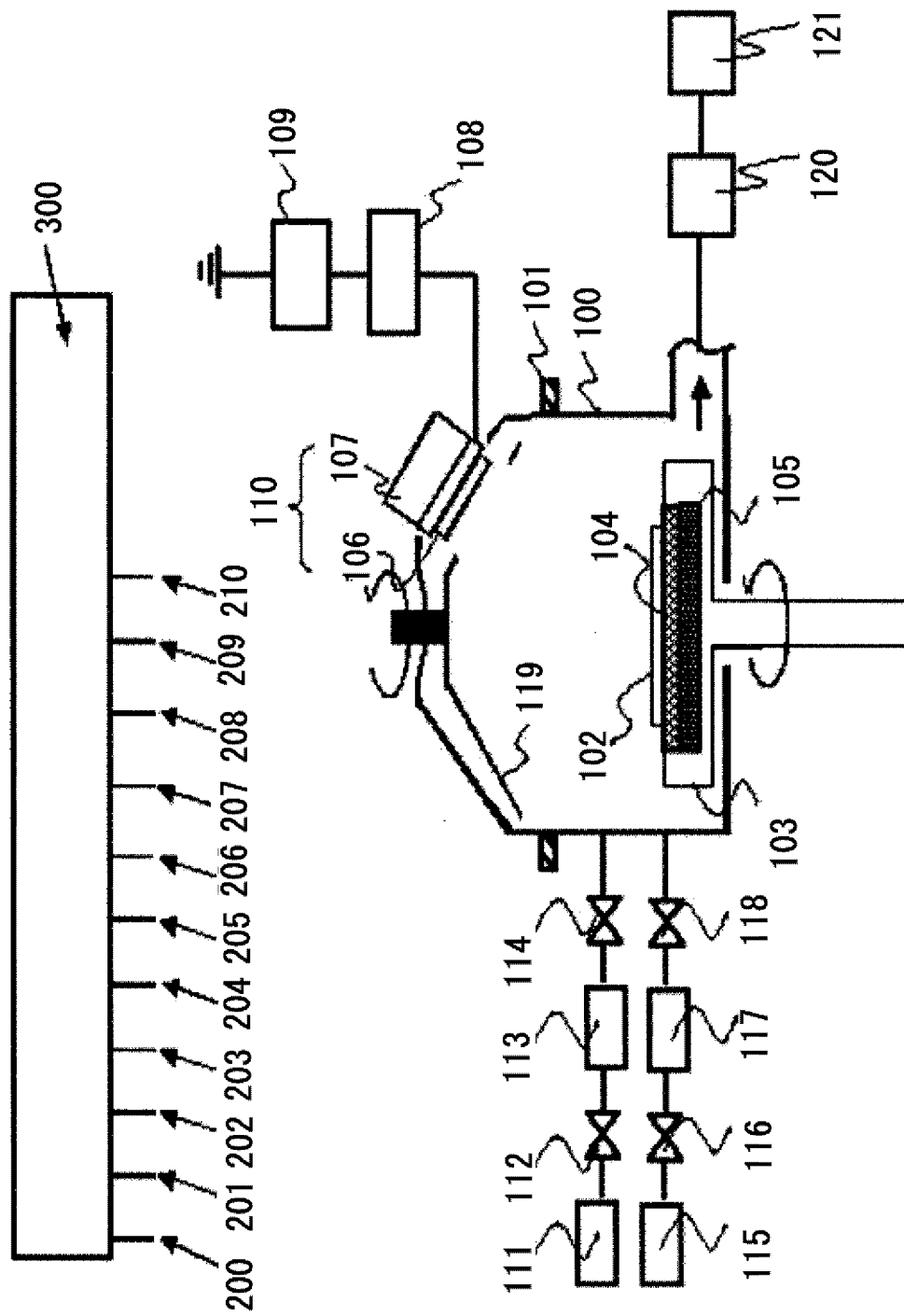
前記形成方法は、

真空容器内に配した被処理基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する第1の工程と、

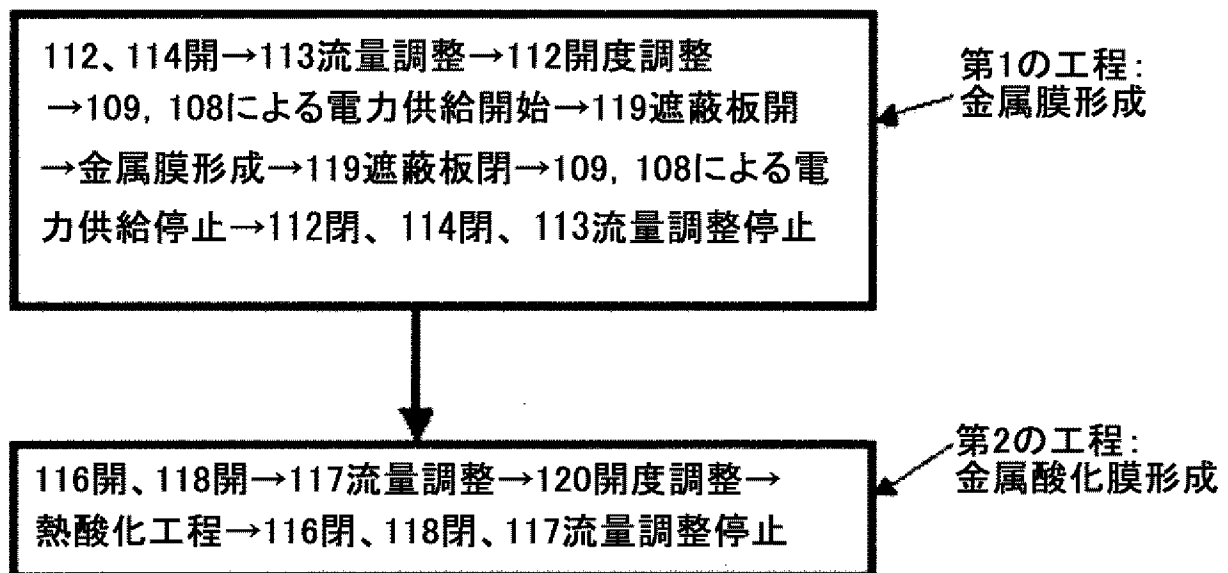
前記真空容器内で、金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化する第2の工程と

有することを特徴とするコンピュータ読み取り可能な記録媒体。

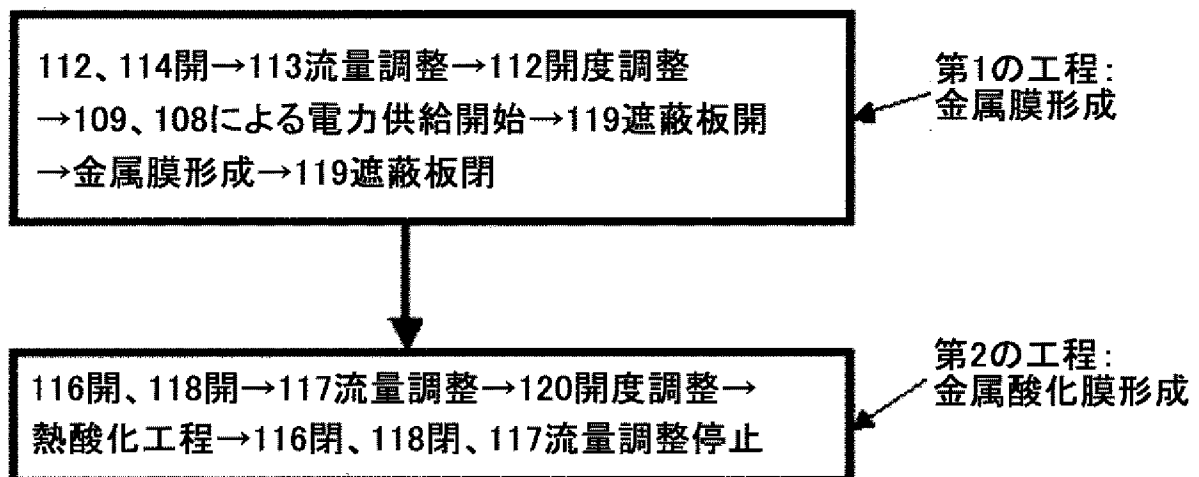
[図1]



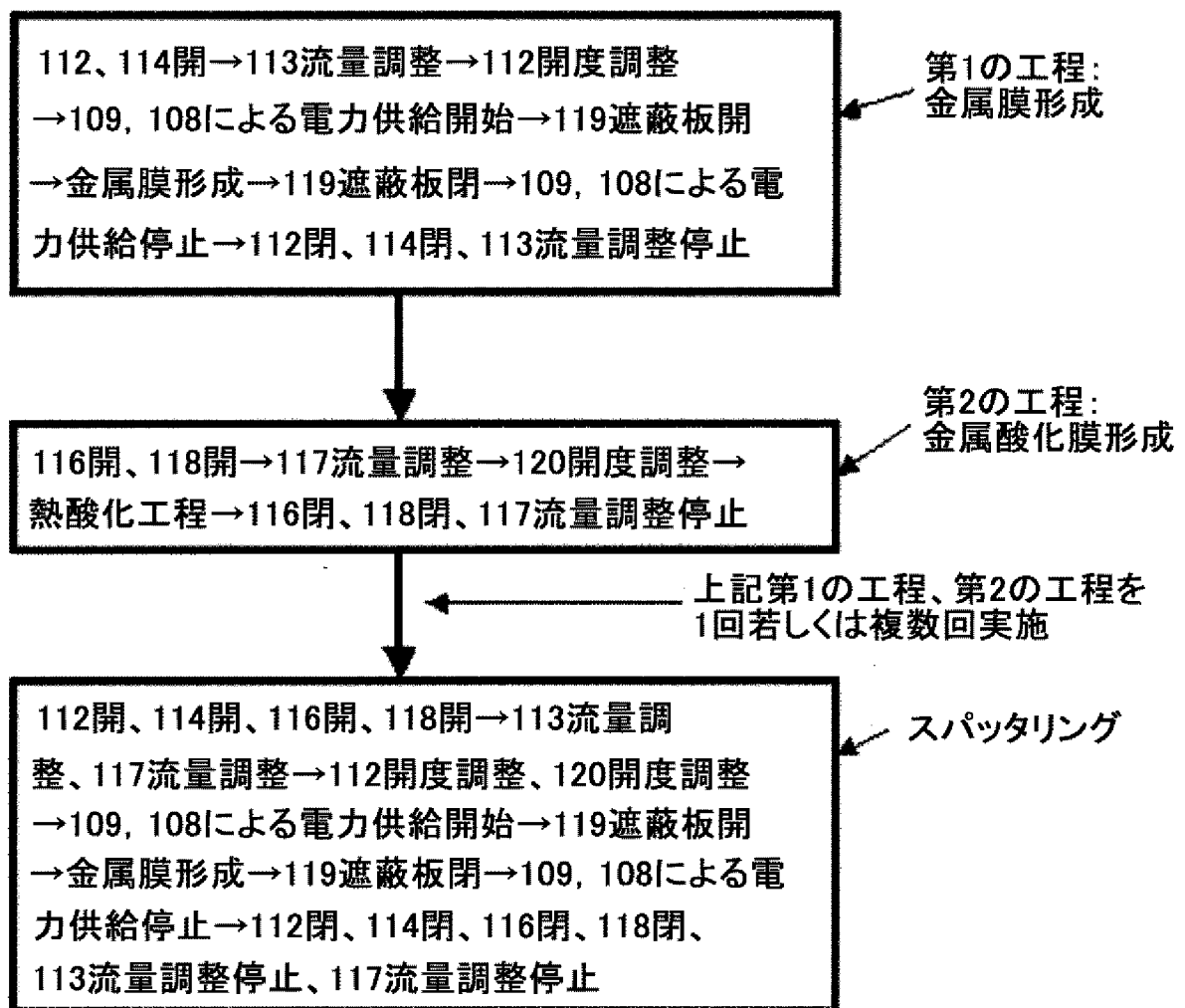
[図2]



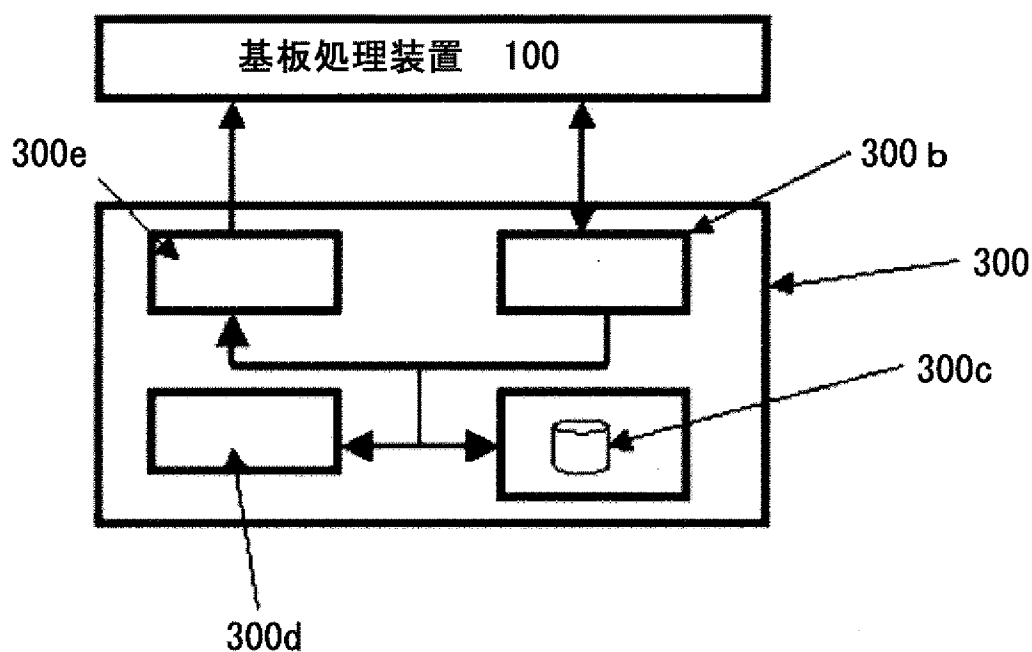
[図3]



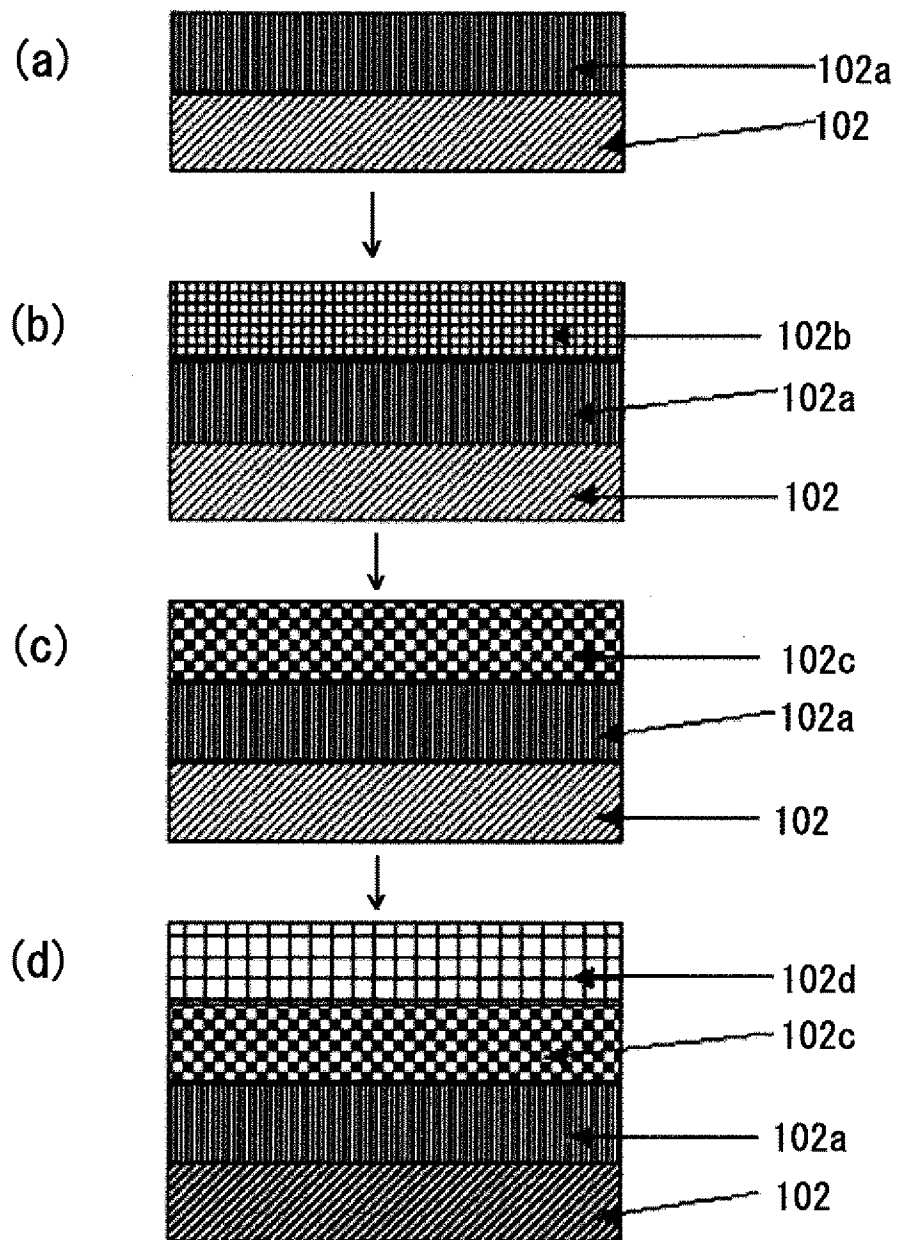
[図4]



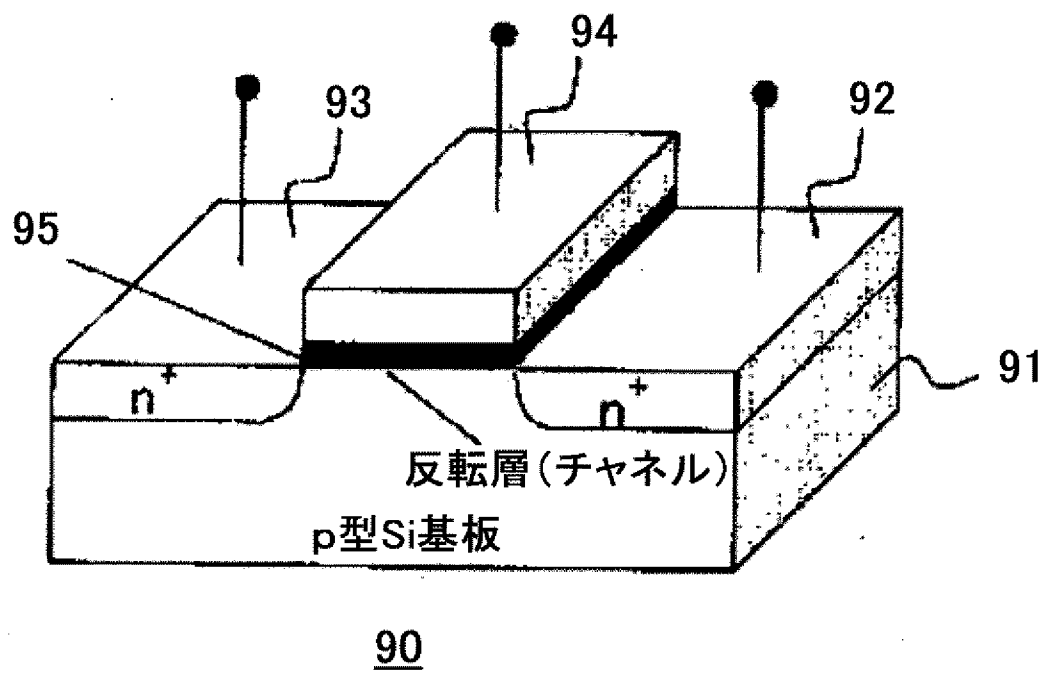
[図5]



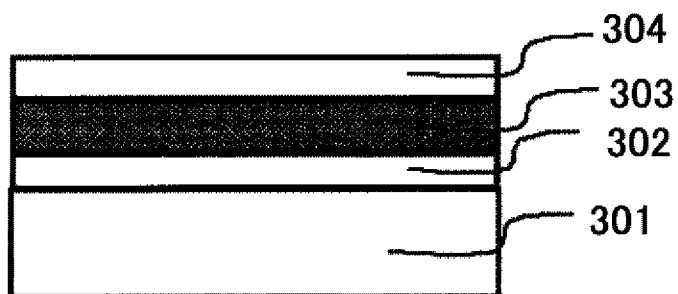
[図6]



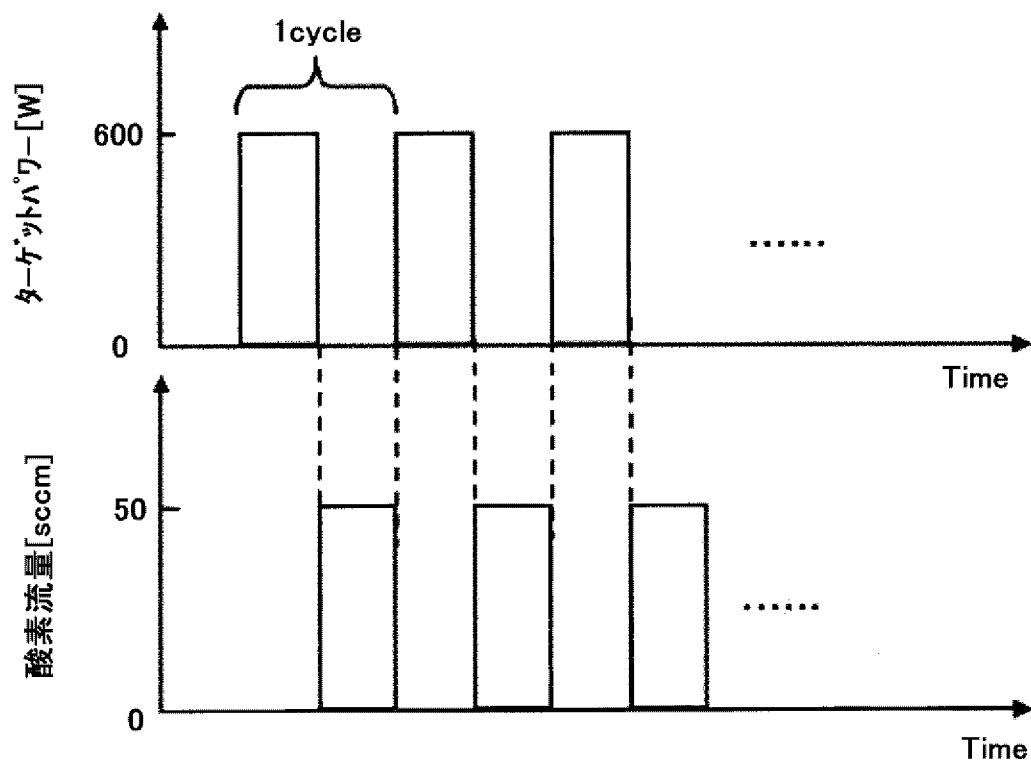
[図7]



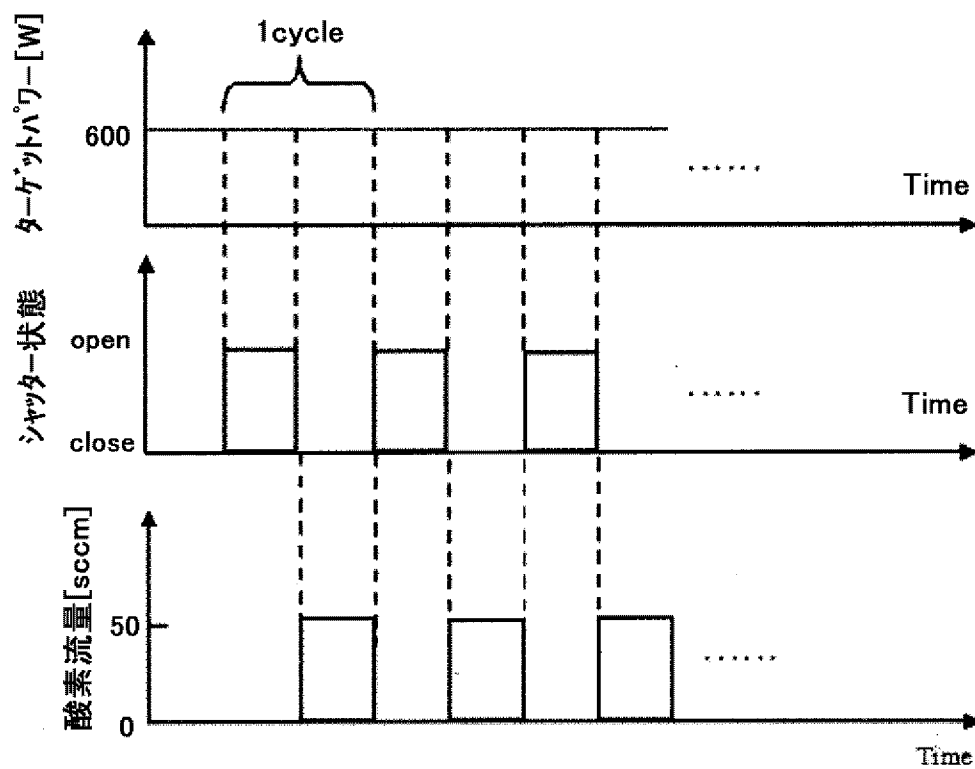
[図8]



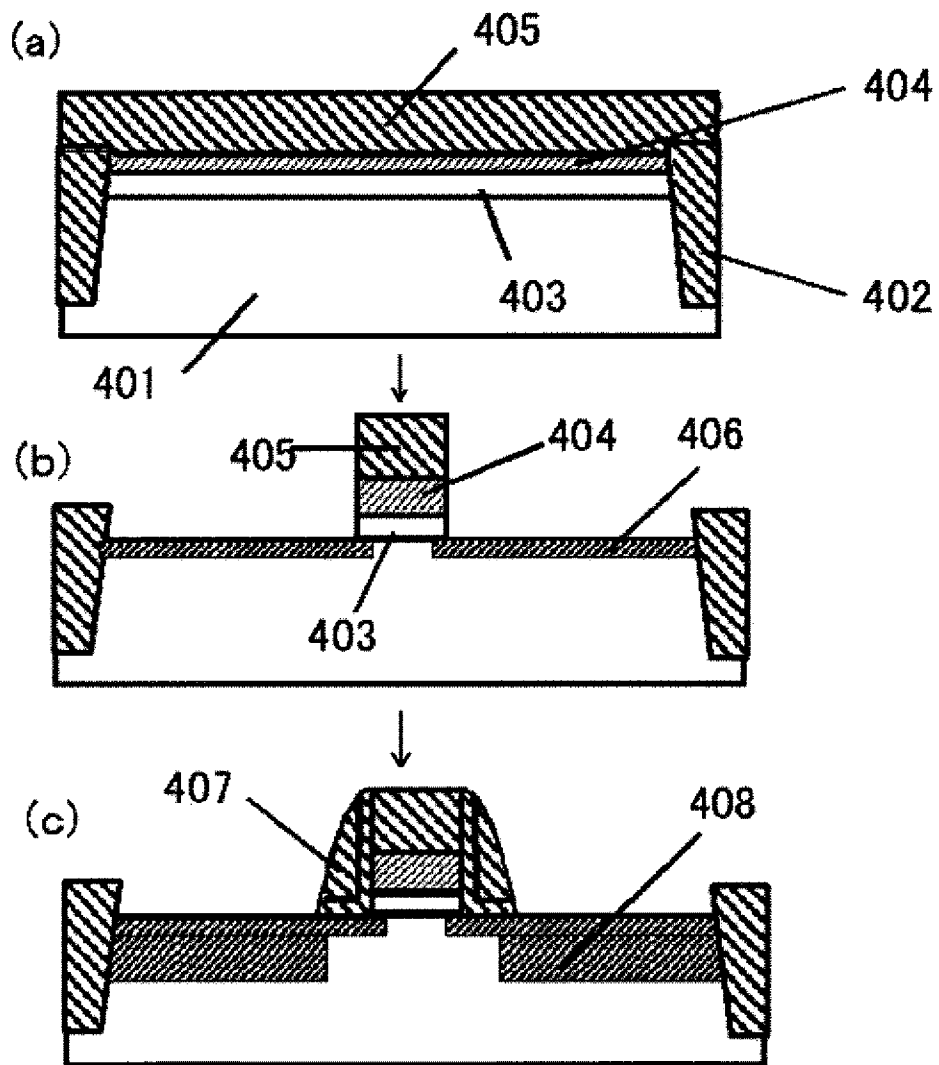
[図9]



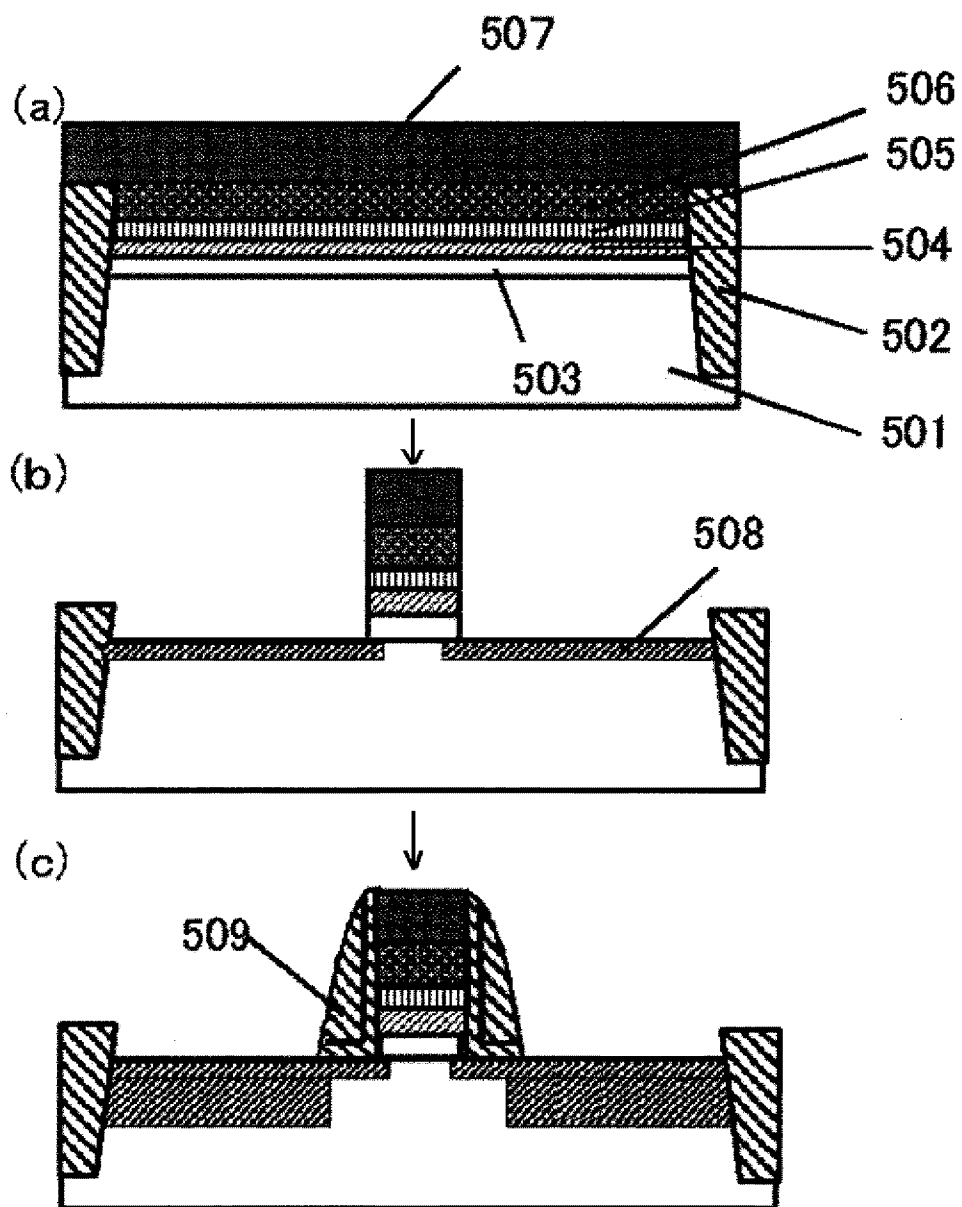
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/071321

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/316(2006.01)i, C23C14/08(2006.01)i, H01L21/31(2006.01)i,
H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/78(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/316, C23C14/08, H01L21/31, H01L21/8247, H01L27/115, H01L29/78,
H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-249497 A (Matsushita Electric Industrial Co., Ltd.), 05 September 2003 (05.09.2003), entire text; fig. 1 to 10 & US 2003/0113972 A1 & CN 1427454 A	1-2, 4-6, 8-10 3, 7
X A	WO 2007/148795 A1 (National University Corporation Kitami Institute of Technology), 27 December 2007 (27.12.2007), entire text; fig. 1 & US 2009/0202807 A	1-2, 4-6, 8-10 3, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

04 March, 2010 (04.03.10)

Date of mailing of the international search report

16 March, 2010 (16.03.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/071321

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/071321

Continuation of Box No.III of continuation of first sheet(2)

Document 1: JP 2003-249497 A (Matsushita Electric Industrial Co., Ltd.),
5 September 2003 (05.09.2003), entire text, fig. 1-10

Document 2: WO 2007/148795 A1 (National University Corporation Kitami
Institute of Technology), 27 December 2007 (27.12.2007),
entire text, fig. 1

Document 1 discloses technical features such that a gate insulating film of a MOSFET is formed by forming a metal film on a semiconductor substrate by a sputtering method using a metal target at a substrate temperature of 0-300°C and then oxidizing the metal film at a substrate temperature of 0-300°C, thereby forming a metal oxide film; the sputtering step for forming the metal film and the oxidation step for oxidizing the metal film are carried out in one same vacuum processing apparatus; the sputtering step for forming the metal film and the oxidation step for oxidizing the metal film are repeated; the metal film formed by sputtering is a Hf, Zr, Al, Ti or Ta film; the oxidation is carried out in an oxidizing atmosphere of oxygen molecules, oxygen ions, oxygen radicals, N₂O or the like; and the vacuum processing apparatus is provided with an inert gas-introducing means.

Document 2 discloses technical features such that a metal oxide film is formed by forming a metal film on a substrate by a sputtering method using a metal target and then oxidizing the metal film in the same processing chamber while setting the substrate temperature at a temperature from room temperature to 300°C; the sputtering step for forming the metal film and the oxidation step for oxidizing the metal film are repeated; the metal film formed by sputtering is a Hf, Zr, Ti or Ta film; the oxidation is carried out using oxygen radicals; and the vacuum processing apparatus is provided with an inert gas-introducing means.

Consequently, the inventions of claims 1 and 2 are not novel over the inventions set forth in documents 1 and 2, and thus do not have a special technical feature.

Judging from the special technical features of claims 1-10 at the time of the order for payment of additional search fees, the claims are considered to contain the following two groups of inventions respectively linked by the special technical feature mentioned below.

The inventions of claims 1 and 2, which do not have a special technical feature, are considered to fall under invention group 1.

(Invention group 1) claims 1, 2, 4-6 and 8-10

Claims 1 and 2 do not have a special technical feature.

Since claims 4-6 and 8-10 are related to practically examined inventions (namely, the inventions of claims 4-6 and 8-10 are inventions to which a well-known conventional art is merely added, or inventions which are different only in the categories), they are considered to fall under invention group 1.

(Invention group 2) claims 3 and 7

A method having the feature of claim 3.

Since claim 7 is related to an invention which is different from the invention of claim 3 only in the categories, claim 7 is considered to fall under invention group 2.

A. 発明の属する分野の分類 (国際特許分類 (I P C))			
Int.Cl. H01L21/316(2006.01)i, C23C14/08(2006.01)i, H01L21/31(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/78(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (I P C))			
Int.Cl. H01L21/316, C23C14/08, H01L21/31, H01L21/8247, H01L27/115, H01L29/78, H01L29/788, H01L29/792			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
X A	JP 2003-249497 A (松下電器産業株式会社) 2003.09.05, 全文, 第1図-第10図 & US 2003/0113972 A1 & CN 1427454 A		1-2, 4-6, 8-10 3, 7
X A	WO 2007/148795 A1 (国立大学法人北見工業大学) 2007.12.27, 全文, 第1図 & US 2009/0202807 A		1-2, 4-6, 8-10 3, 7
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 04.03.2010		国際調査報告の発送日 16.03.2010	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 山本 雄一 電話番号 03-3581-1101 内線 3471	4R 3123

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

特別ページ参照

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

文献 1 : JP 2003-249497 A (松下電器産業株式会社) 2003.09.05, 全文, 第 1 図-第 10 図

文献 2 : WO 2007/148795 A1 (国立大学法人北見工業大学) 2007.12.27, 全文, 第 1 図

文献 1 には、半導体基板上に金属ターゲットを用いたスパッタリング法によって基板温度 $0^{\circ}\text{C} \sim 300^{\circ}\text{C}$ で金属膜を形成し、金属膜を基板温度 $0^{\circ}\text{C} \sim 300^{\circ}\text{C}$ で酸化処理を行って金属酸化膜を形成して MOSFET のゲート絶縁膜を形成すること、金属膜を形成するスパッタリング工程と金属膜を酸化する酸化工程とを同一の真空処理装置内で行うこと、金属膜を形成するスパッタリング工程と金属膜を酸化する酸化工程とを繰り返し行うこと、スパッタリングで作成する金属膜が Hf、Zr、Al、Ti 又は Ta であること、酸化処理を酸素分子、酸素イオン、酸素ラジカル、 N_2O 等の酸化性雰囲気下で行うこと、及び、真空処理装置に不活性ガス導入手段を設けることが記載されている。

文献 2 には、基板上に金属ターゲットを用いたスパッタリング法によって金属膜を形成し、同一処理室内において、基板温度を室温 $\sim 300^{\circ}\text{C}$ として金属膜に酸化処理を行って金属酸化膜を形成すること、金属膜を形成するスパッタリング工程と金属膜を酸化する酸化工程とを繰り返し行うこと、スパッタリング法で作成する金属膜が Hf、Zr、Ti 又は Ta であること、酸化処理を酸素ラジカルを用いて行うこと、及び、真空処理装置に不活性ガス導入手段を設けることが記載されている。

してみると、請求項 1 ～ 2 に係る発明は、文献 1 ～ 2 に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

そこで、請求項 1 ～ 10 について、手数料の追加納付命令時点での特別な技術的特徴を判断すると、以下に示す各特別な技術的特徴で連関する 2 つの発明が含まれるものと認められる。

なお、特別な技術的特徴を有しない請求項 1 ～ 2 に係る発明は、発明 1 に区分する。

(発明 1) 請求項 1 ～ 2、4 ～ 6、8 ～ 10

請求項 1 ～ 2 は特別な技術的特徴を有しない。

なお、請求項 4 ～ 6、8 ～ 10 は実施的に審査が終了した発明 (周知慣用技術の付加、カテゴリー表現上の差異があるだけの発明) であるので、発明 1 に区分した。

(発明 2) 請求項 3、7

請求項 3 の構成を有する方法。

なお、請求項 7 は請求項 3 に対してカテゴリー表現上の差異があるだけの発明であるので、発明 2 に区分した。