

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P6144731

※ 申請日期：96.11.26

※IPC 分類：H03K 17/10(2006.01)

一、發明名稱：(中文/英文)

雙向訊號介面及相關系統及方法

BIDIRECTIONAL SIGNAL INTERFACE AND RELATED SYSTEM
AND METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

飛兆半導體公司 / Fairchild Semiconductor Corporation

代表人：(中文/英文)

保羅 D. 德爾瓦 / DELVA, PAUL D.

住居所或營業所地址：(中文/英文)

美國 緬因州 04106 南波特蘭市 賽跑山路 82 號

82 Running Hill Road, South Portland, ME 04106, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 黃雷 / HUANG, LEI

2. 朱丹陽 / ZHU, DANYANG

3. 馬龍 米斯克 / MISKE, MYRON

國籍：(中文/英文)

1. 中國大陸 / CHINA

2. 中國大陸 / CHINA

3. 美國 / U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2006.12.22、60/876,592

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

雙向訊號介面的實施例包括第一節點和第二節點以及第一轉換電路和第二轉換電路。第一節點和第二節點分別可操作於接收第一邏輯訊號和第二邏輯訊號。第一轉換電路具有連接在第一節點和第二節點之間的第一訊號路徑，其可操作於感測第一節點上的第一邏輯訊號的轉換，並且回應於所述轉換，可操作於將第一邏輯訊號經由第一訊號路徑連接至第二節點。第二轉換電路具有連接在第一節點和第二節點之間並與第一訊號路徑並聯的第二訊號路徑，其可操作於感測第二節點上的第二邏輯訊號的轉換，並且回應於第二邏輯訊號的轉換，可操作於將第二邏輯訊號經由第二訊號路徑連接至第一節點。

六、英文發明摘要：

An embodiment of a bidirectional signal interface includes first and second nodes and first and second translating circuits. The first and second nodes are respectively operable to receive a first logic signal and a second logic signal. The first translating circuit has a first signal path coupled between the first and second nodes, is operable to sense a transition of the first logic signal on the first node, and, in response to the transition, is operable to couple the first logic signal to the second node via the first

signal path. The second translating circuit has a second signal path that is coupled between the first and second nodes and that is parallel to the first signal path, is operable to sense a transition of the second logic signal on the second node, and is, in response to the transition of the second logic signal, operable to couple the second logic signal to the first node via the second signal path.

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

20	耦合電路
22	線路
24	線路
26	節點
28	節點
30	通過電路
32	升壓轉換器
34	降壓轉換器
V_A	低電源電壓
V_B	高電源電壓
V_C	共同電源電壓
E_A	致能訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本案係關於一種雙向訊號介面及相關系統及方法。

優先權主張

本申請案主張於 2006 年 12 月 22 日提申的美國臨時申請案流水號 60/876,592 的優先權，其被以參照方式併入。

【先前技術】

雙向訊號(bidirectional signal)介面允許產生具有不同電壓準位的邏輯訊號的兩個或更多電路之間的通信。例如，假如處理器產生等於 0 伏(V)的低邏輯準位(例如，邏輯 0 準位)和等於 1.8V 的高邏輯準位(例如，邏輯 1 準位)，並且記憶體產生等於 0V 的邏輯 0 準位和等於 2.7V 的邏輯 1 準位。因為它們的邏輯 1 準位不同，所以一般不能將處理器的訊號(例如，資料位址)節點直接地連接至記憶體的對應的訊號節點。代替地，將雙向訊號介面佈置在處理器和記憶體之間，介面將來自處理器的邏輯-1 訊號的電壓準位轉換為記憶體的邏輯-1 電壓準位，並將來自記憶體的邏輯-1 訊號的電壓準位轉換為處理器的邏輯-1 電壓準位。

很多已知的雙向訊號介面要求一個或更多的方向訊號(direction signal)，方向訊號表示在特定時刻哪個耦合電路(例如，上述例子中的處理器或記憶體)正將訊號驅動至特定的訊號節點。例如，當處理器將邏輯訊號驅動至訊號節點時，處理器可以產生一方向訊號，其向介面指示處理器是訊號的源。類似地，當記憶體驅動邏輯訊號至相同訊

號節點時，記憶體可以產生一方向訊號，其向介面指示記憶體是訊號的源。

但是一些電路不能產生方向訊號。

幸運地是，一些已知的雙向訊號介面不要求方向訊號。

但是這些雙向訊號介面可能具有不理想的特性。例如，現有介面速度可能相對較慢，而且可能因此限制耦合電路之間的帶寬。此外，在備用狀態中，即無訊號轉換期間，現有介面可能消耗大量的能量。

【發明內容】

根據本發明的實施例，雙向訊號介面包括第一節點和第二節點以及第一轉換電路和第二轉換電路。第一節點和第二節點分別可操作於接收第一邏輯訊號和第二邏輯訊號。第一轉換電路具有連接在第一節點和第二節點之間的第一訊號路徑，其可操作於感測第一節點上的第一邏輯訊號的轉換，並且回應於所述轉換，可操作於將第一邏輯訊號經由第一訊號路徑連接至第二節點。第二轉換電路具有連接在第一節點和第二節點之間並與第一訊號路徑並聯的第二訊號路徑，其可操作於感測第二節點上的第二邏輯訊號的轉換，並且回應於第二邏輯訊號的轉換，可操作於將第二邏輯訊號經由第二訊號路徑連接至第一節點。

根據本發明的另一實施例，第一訊號路徑可以不與第二訊號路徑並聯，第一轉換電路回應於第一邏輯訊號的轉換，可操作於禁止第二轉換電路在第一預定時間內將第二邏輯訊號連接至第一節點，以及第二轉換電路回應於第二

邏輯訊號的轉換，可操作於禁止第一轉換電路在第二預定時間內將第一邏輯訊號連接至第二節點。

雙向訊號介面的該實施例可以比現有介面更加快速，並且消耗更少的備用能量。

【實施方式】

圖 1 為電子系統 10 的電路圖，根據本發明的實施例，其包括具有多工能力的雙向訊號介面 12。如以下結合圖 2-8 所討論，介面 12 可以比現有雙向介面更加快速並且消耗更少的備用能量，而且還可以提供優於現有介面的其他優點。

除了介面 12 之外，系統 10 還包括主電路 14 和一個或多個從電路 16_1-16_n ，主電路 14 由低電源電壓 V_A 和共同電源電壓 V_C 供能，從電路 16_1-16_n 由 V_C 和各自的獨立高電源電壓 $V_{B1}-V_{Bn}$ 供能，其中高電源電壓 $V_{B1}-V_{Bn}$ 可以是相同的或不同的。例如，系統 10 可以為一部手機，主電路 14 可以為由 $V_A=1.8V$ 和 $V_C=0V$ (接地)供能的微處理器，而從電路 16_1-16_n 可以由 $V_{B1}-V_{Bn}=2.7V$ 和 $V_C=0V$ 供能的非揮發性記憶體電路，並且每個存儲各自的手機配置韌體(為了清楚，圖 1 中省略了手機的其他元件)。例如，記憶體 16_1 可以存儲為在美國工作的手機而配置的韌體，而記憶體 16_2 可以存儲為在歐洲工作的手機而配置的韌體。

主電路 14 經由匯流排 A ~~匯流排~~ 發送和接收訊號(例如，資料和位址訊號)，例如，其可以遵守安全數位輸入/輸出(SDIO)或多媒體卡(MMC)匯流排協定，並產生分別對應於

從電路 16_1-16_n 的致能訊號 E_1-E_n 。因為主電路 14 由 V_A 和 V_C 供能，因此由主電路產生的訊號的高邏輯準位(例如，邏輯 1 準位)等於 V_A ，而低邏輯準位(例如，邏輯 0 準位)等於 V_C 。

類似地，從電路 16_1-16_n 中的每個電路可以經由各自的匯流排 $B_{\text{匯流排 } 1}-B_{\text{匯流排 } n}$ 發送和接收訊號(例如，資料和位址訊號)，例如，其也可以遵守 SDIO 或 MMC 匯流排協定。因為從電路 16_1-16_n 由 $V_{B1}-V_{Bn}$ 和 V_C 供能，因此從電路產生的訊號的高邏輯準位分別等於 $V_{B1}-V_{Bn}$ ，而低邏輯準位等於 V_C 。

工作時，介面電路 12 將來自主電路 14 的訊號連接並轉換至由從電路 16_1-16_n 中選擇的一個，並且還將選擇的從電路的訊號連接並轉換至主電路。

例如，假如主電路 14 為處理器，從電路 16_1-16_n 為記憶體，並且主電路請求從從電路 16_1 中讀取資料。

首先，主電路 14 為致能訊號 E_1 產生有效的邏輯準位(即，高邏輯準位)，並且在 $A_{\text{匯流排}}$ 上傳送記憶體位置的位址以在從電路 16_1 中讀取。

接著，回應於用於 E_1 的有效的邏輯準位，介面 12 將 $A_{\text{匯流排}}$ 上的位址訊號連接至 $B_{\text{匯流排 } 1}$ ，但不連接來自 $A_{\text{匯流排}}$ 的 $B_{\text{匯流排 } 2}-B_{\text{匯流排 } n}$ 。尤其，對於具有高邏輯準位的 $A_{\text{匯流排}}$ 上的位址訊號，介面 12 將來自電壓 V_A 的這些訊號轉換至電壓 V_{B1} ，並且將轉換的訊號驅動至 $B_{\text{匯流排 } 1}$ 的對應線路。對於具有低邏輯準位的 $A_{\text{匯流排}}$ 上的位址訊號，無需轉

換，因為主電路 14 和選擇的從電路 16₁ 的低邏輯準位均等於 V_C ；因此，介面 12 將這些訊號驅動至 B 匯流排 1 的對應線路而不轉換它們。此外，如以下結合圖 6、8 和 14 所討論，介面 12 可以提供瞬態驅動“升壓”，使得介面驅動至 B 匯流排 1 的訊號具有處於期望範圍內，例如，1-100 奈秒(ns)內的上升和/或下降時間。因此，與現有雙向介面相比，該瞬態驅動升壓可以增加介面 12 的訊號帶寬。

然後，選擇的從電路 16₁ 接收具有合適的高電壓準位 V_{B1} 和低電壓準位 V_C 的 B 匯流排 1 位址訊號，並且分別回應於這些訊號，從被編址的位置中重新獲取資料。

接著，選擇的從電路 16₁ 將重新獲取的資料驅動至 B 匯流排 1。

然後，回應於用於 E_1 的仍有效的邏輯準位，介面 12 將 B 匯流排 1 上的資料訊號連接至 A 匯流排，並且保持 B 匯流排 2- B 匯流排 n 不被連接到 A 匯流排。尤其，對於具有高邏輯準位的 B 匯流排 1 上的資料訊號，介面 12 將來自電壓 V_{B1} 的這些訊號轉換至電壓 V_A ，並將轉換的訊號驅動至 A 匯流排的對應線路。對於具有低邏輯準位的 B 匯流排 1 上的資料訊號，無需轉換，因為主電路 14 和選擇的從電路 16₁ 的低邏輯準位均等於 V_C ；因此，介面 12 將這些訊號驅動至 B 匯流排 1 的對應線而不進行轉換。此外，如以下結合圖 6、8 和 14 所討論，介面 12 可以提供暫態驅動升壓，使得介面驅動至 A 匯流排的訊號具有處於期望範圍，例如，1-100 奈秒(ns)內的上升和/或下降時間。

隨後，主電路 14 重新獲取來自 A 匯流排的被請求的資料。

介面 12 繼續以上述方式在主電路 14 和選擇的從電路 16_1 之間連接訊號，直到主電路通過將 E_1 轉變為無效的邏輯準位而指示其不再需要與選擇的從電路進行通信。

接著，回應於 E_1 的無效的邏輯準位，介面 12 不從 A 匯流排連接 B 匯流排 1 ，並保持 B 匯流排 2 - B 匯流排 n 不被連接到 A 匯流排。

依然參照圖 1，關注系統 10 的另一實施例。例如， V_A 可以大於或等於 V_{B1} - V_{Bn} 中的一些或所有；對於 V_{B1} - V_{Bn} 中等於 V_A 的電源電壓，介面 12 不需要轉換來自主電路 14 或來自從電路 16_1 - 16_n 的訊號的高邏輯準位。此外，儘管未在圖 1 中示出，從電路 16_1 - 16_n 可以分別接收致能訊號 E_1 - E_n ；當從電路不接收 E_1 - E_n 時，主電路 14 可以經由 A 匯流排和介面 12 發送預定的初始化序列，使得選擇的從電路 16 “獲知” 其已經被選取。此外，可以用產生致能訊號的主電路替換從電路 16_1 - 16_n ，使得電路 16_1 - 16_n 中的任何一個能夠開始與主電路 14 通信。而且，系統 10 可以包括連接至相同或各個匯流排 A 匯流排的多個主電路 14。另外，主電路 14 可以不僅僅為處理器，並且從電路 16_1 - 16_n 可以不僅僅為記憶體。此外，儘管圖 1 中所示的是分散的積體電路 (IC)，但是可以將介面 12、主電路 14 和從電路 16_1 - 16_n 中的一個或更多佈置在相同的 IC 晶片上，例如，可以將系統 10 或一部分的系統設置在單個 IC 晶片上。而且，主

電路 14 可以通過啟動致能訊號 E_1-E_n 中的多個而向多個從電路 16 同時發送訊號。另外，主電路 14 和從電路 16_1-16_n 可以接收不同的低電源電壓 V_C ，在這種情況下，介面 12 可以轉換低邏輯準位。

圖 2 為介面電路 12(圖 1)的耦合電路 20 的示意圖，其中，根據本發明的實施例，耦合電路可操作地將 A 匯流排中的單條線路連接至選擇的 B 匯流排的對應線路。介面電路 12 包括用於匯流排 B 匯流排 $1-B$ 匯流排 n (圖 1)中的每條線路 22 的各個耦合電路 20。例如，假如 A 匯流排 (圖 1)包括 6 條線路 24_1-24_6 (僅僅在圖 2 中示出了一條線路 24)，並且 B 匯流排 $1-B$ 匯流排 n 每個各自包括六條對應線路 22_1-22_6 (僅僅在圖 2 中示出了 1 條線路 22)。因此，對於 B 匯流排 1 ，介面電路 12 包括六個耦合電路 20，其分別連接 A 匯流排的線路 22_1 和 B 匯流排 1 的 24_1 、線路 22_2 (A 匯流排)和 24_2 (B 匯流排 1)、線路 22_3 和 24_3 、線路 22_4 和 24_4 、線路 22_5 和 24_5 以及線路 22_6 和 24_6 之間的訊號。類似地，對於 B 匯流排 $2-B$ 匯流排 n 中每個，介面電路 12 包括六個單獨的耦合電路 20，對於匯流排 B 匯流排 $1-B$ 匯流排 n ，一共有 $6 \cdot n$ 個耦合電路 20。此外， A 表示 A 匯流排的任意一條線路 24 所攜帶的邏輯訊號， B 表示 B 匯流排 $1-B$ 匯流排 n 中選擇的一個的對應線路 22 所攜帶的邏輯訊號， E_A 表示對應於 B 匯流排 $1-B$ 匯流排 n 中選擇的一個的致能訊號 E_1-E_n 中的一個，而 V_B 表示對應於 B 匯流排 $1-B$ 匯流排 n 中選擇的一個的從電源電壓 $V_{B1}-V_{Bn}$ 中的一個。此外， $A_{高}$ 和 $B_{高}$ 分別表示訊號 A 和 B 的高邏輯準位 V_A 和 V_B ，而 A

$A_{低}$ 和 $B_{低}$ 分別表示訊號 A 和 B 的低邏輯準位 V_C 。

耦合電路 20 包括連接至 A 匯流排線路 24 的節點 26 和連接至選擇的 B 匯流排線路 22 的節點 28，並且包括並聯連接在節點 26 和 28 之間的通過電路 (pass-through circuit) 30、升壓轉換器 (step-up translator) 32 以及降壓轉換器 (step-down translator) 34。

節點 26 和 28 可以是介面 12 的外部接腳，或者如果介面設置在與主電路 14 或從電路 16 相同的晶片上，節點 26 和 28 可以是晶片上的外部節點。

通過電路 30 接收電源電壓 V_A 和 V_C ，並且可操作地接收主電路 14 驅動至節點 26 的低邏輯準位 $A_{低}$ ，而且可操作地將 $A_{低}$ 連接至節點 28 作為對應的低邏輯準位 $B_{低}$ ；通過電路 30 還可操作地接收選擇的從電路 16 驅動至節點 28 的低邏輯準位 $B_{低}$ ，並可操作地將 $B_{低}$ 連接至節點 26 作為對應的低邏輯準位 $A_{低}$ 。因為在該實施例中 $A_{低} = B_{低} = V_C$ ，對於 $A_{低}$ 至 $B_{低}$ 的切換，無需電壓準位轉換，反之亦然。此外，因為在該實施例中， V_C 小於 V_A 和 V_B ，因此通過電路 30 僅僅需要接收這兩個電源電壓中較低的一個，在該實施例中，較低的電源電壓為 V_A 。以下結合圖 3 進一步描述通過電路 30。

升壓轉換器 32 接收電源電壓 V_A 、 V_B 和 V_C ，並且可操作地接收主電路 14 驅動至節點 26 的高邏輯準位 $A_{高}$ ，將 $A_{高}$ 轉換為對應的高邏輯準位 $B_{高}$ ，接著將 $B_{高}$ 驅動至節點 28。例如，假如當致能訊號 E_A 具有有效準位時，主電路 14 (圖

1) 將節點 26 上的訊號 A 從 $A_{低}$ 轉換為 $A_{高}$ 。回應於該轉換，升壓轉換器 32 以相對高的驅動強度將節點 28 上的訊號 B 從 $B_{低}$ 轉換為 $B_{高}$ ，使得 B 的上升時間位於期望的範圍內，例如 1-100ns，這依賴於具體應用。因此，轉換器 32 以較低的驅動強度維持節點 28 上的準位 $B_{高}$ ，直到下列情況中的一種發生：主電路 14 將 A 轉換回 $A_{低}$ ，選擇的從電路 16 將 B 轉換回 $B_{低}$ ，或者主電路將 E_A 轉換為無效準位——較低的驅動強度允許主電路將 A 轉換回 $A_{低}$ 或者允許從電路將 B 轉換回 $B_{低}$ ，而介面 12 與現有介面相比不用消耗過多的能量。以下結合圖 4-6 進一步描述升壓轉換器 32。

降壓轉換器 34 接收電源電壓 V_A 、 V_B 以及 V_C ，並且可操作地接收選擇的從電路 16 驅動至節點 28 的高邏輯準位 $B_{高}$ ，將 $B_{高}$ 轉換成對應的高邏輯準位 $A_{高}$ ，並接著驅動 $A_{高}$ 至節點 26。例如，假如當致能訊號 E_A 具有有效準位時，選擇的從電路 16(圖 1)將節點 28 上的訊號 B 從 $B_{低}$ 轉換為 $B_{高}$ 。回應於該轉換，轉換器 34 以相對高的驅動強度將節點 26 上的訊號 A 從 $A_{低}$ 轉換為 $A_{高}$ ，使得 A 的上升時間位於期望範圍內，例如 1-100ns，這依賴於具體應用。因此，轉換器 34 以較低驅動強度維持節點 26 上的準位 $A_{高}$ ，直到下列情況中的一種發生：選擇的從電路 16 將 B 轉換回 $B_{低}$ ，主電路 14(圖 1)將 A 轉換回 $A_{低}$ ，或者主電路將 E_A 轉換回無效準位——較低的驅動強度允許從電路將 B 轉換回 $B_{低}$ 或者允許主電路將 A 轉換為 $A_{低}$ ，而介面 12 與現有介面相比不消耗過多的能量。以下結合圖 7-8 進一步描述

降壓轉換器 34。

圖 3 為根據本發明的實施例的圖 2 的通過電路 30 的示意圖。

電路 30 包括 NMOS 電晶體 40，使其閘極節點 42 經由緩衝器 44 連接至 E_A 、一個源極/汲極節點 46 連接至 A-側節點 26、另一源極/汲極節點 48 連接至 B 側節點 28，以及基極 (body) 節點 50 連接至 V_C 。電晶體 40 的臨限電壓小於 $V_A - V_C$ 的差值。例如，電晶體 40 的臨限電壓可以大約為 0.5V。

工作時，當 E_A 具有有效的高邏輯準位 V_A 時，緩衝器 44 將等於 V_A 的電壓驅動至閘極節點 42。只要節點 26 和 28 中至少一個分別攜帶低邏輯準位 $A_{低}$ 或 $B_{低}$ ，閘極節點 42 上的電壓 V_A 就導通電晶體 40，使得電晶體在節點 26 和 28 之間表現為低阻抗，一般幾歐姆或者更少。

如果主電路 14(圖 1)驅動等於 V_C 的 $A_{低}$ 至節點 26，那麼“導通的”電晶體 40 可操作地將來自節點 26 的 $A_{低}$ 連接至節點 28 成為等於 V_C 的 $B_{低}$ 。

類似地，如果選擇的從電路 16(圖 1)將等於 V_C 的 $B_{低}$ 驅動至節點 28，那麼“導通的”電晶體 40 可操作地將來自節點 28 的 $B_{低}$ 連接至節點 26 成為等於 V_C 的 $A_{低}$ 。

考慮通過電路 30 的可選實施例。例如，其中 V_A 和 V_B 為負電壓，電晶體 40 可以為 PMOS 電晶體。

圖 4 為根據本發明的實施例的圖 2 的升壓轉換器 32 的示意圖，其中 E_B 表示加強的 (stepped-up) 致能訊號 E_A 。

即，如果訊號 E_A 具有有效的高準位 $E_{A高} = V_A$ ，那麼對應的訊號 E_B 具有有效的高邏輯準位 $E_{B高} = V_B$ 。以下結合圖 5 描述用於將 $E_{A高}$ 轉換為 $E_{B高}$ 的轉換器。

升壓轉換器 32 包括 NAND 閘 60、反相器 62、四電晶體升壓栓鎖器 64 以及驅動緩衝器 66。NAND 閘 60 和反相器 62 由 V_A 和 V_C 供能，而栓鎖器 64 和驅動緩衝器 66 由 V_B 和 V_C 供能。

工作時，當訊號 A 或訊號 E_A 具有低邏輯準位 $A_{低} = E_{A低} = V_C$ 時，緩衝器 66 相對於節點 28 表現為高輸出阻抗。即，緩衝器 66 的輸出不輸出訊號準位至節點 28，使得其他電路例如通過電路 30(圖 2)或者選擇的從電路 16(圖 1)可以控制節點 28 上的電壓準位。

但是當 $E_A = E_{A高}$ 並且主電路 14(圖 1)將訊號 A 轉換為高邏輯準位 $A_{高}$ 時，緩衝器 66 驅動高邏輯準位 $B_{高}$ 至節點 28。回應於在 $E_A = E_{A高}$ 時訊號 A 從 $A_{低}$ 到 $A_{高}$ 的轉換，NAND 閘 60 在其輸出處產生低邏輯準位 $A_{低}$ ，並且反相器 62 在其輸出處產生高邏輯準位 $A_{高}$ 。回應於其各個閘極 G 上的這些輸出電壓 $A_{低}$ 和 $A_{高}$ ，栓鎖器 64 的 NMOS 電晶體 68 導通並將 PMOS 電晶體 70 的閘極 G 上拉至大約等於 V_C ，並且 NMOS 電晶體 72 截止並且不導出電流。回應於其閘極 G 的電壓 V_C ，PMOS 電晶體 70 導通並將栓鎖器-輸出節點 74 上拉至電壓 V_B 。接著，緩衝器 66 將該電壓 V_B 驅動至節點 28，以產生具有高邏輯準位 $B_{高} = V_B$ 的訊號 B 。如果在 A 轉換為 $A_{高}$ 之前訊號 B 為 $B_{低}$ ，那麼，如以下結合

圖 6 進一步所述，因為緩衝器 66 以相對高驅動強度驅動節點 28 一段預定時間， B 以期望的上升時間從 $B_{低}$ 轉換為 $B_{高}$ ；在預定時間過去後，緩衝器 66 以相對低的驅動強度驅動節點 28。

當主電路 14(圖 1)將 E_A 轉換回 $E_{A_{低}}$ 或者將 A 轉換回 $A_{低}$ 時，緩衝器 66 的輸出在節點 28 處表現為高阻抗。回應於訊號 E_A 從 $E_{A_{高}}$ 至 $E_{A_{低}}$ 的轉換或者 A 從 $A_{高}$ 至 $A_{低}$ 的轉換，NAND 閘 60 在其輸出處產生高邏輯準位 $A_{高}$ ，並且反相器 62 在其輸出處產生低邏輯準位 $A_{低}$ 。回應於這些輸出電壓 $A_{高}$ 和 $A_{低}$ ，NMOS 電晶體 68 “截止”，並且 NMOS 電晶體 72 “導通”，而且因此將栓鎖器-輸出節點 74 降低至 V_C 。回應於其閘極 G 處的電壓 V_C ，PMOS 電晶體 76 “導通”並將 PMOS 電晶體 70 的閘極升高至 V_B ，因此使電晶體 70 “截止”。回應於其輸入處的電壓 V_C ，緩衝器 66 “截止”並在節點 28 處表現為高輸出阻抗。

依然參照圖 4，考慮升壓電晶體 32 的其他實施例。例如，如果 V_A 和 V_B 相對於 V_C 為負，則可以用兩個栓鎖器 64 替代升壓栓鎖器 64。

圖 5 為升壓轉換器 80 的示意圖，根據本發明的實施例，其用於將致能訊號 E_A 轉換為圖 4 的加強的致能訊號 E_B 。

除了轉換管 80 缺少類似於緩衝器 66 的輸出緩衝器之外，轉換器 80 在結構和功能上類似於圖 4 的轉換器 32，並且包括替換 NAND 閘 60 的反相器 82。回應於主電路 14(圖 1)將 E_A 從 $E_{A_{低}}=V_C$ 轉換為 $E_{A_{高}}=V_A$ ，類似於栓鎖器 64(圖 4)

的升壓栓鎖器 84 將 E_B 從 $E_{B低} = V_C$ 轉換成 $E_{B高} = V_B$ ，並且只要主電路將 E_A 保持為 $E_{A高}$ ，就使 E_B 保持在 $E_{B高}$ 。相反，回應於主電路 14 將 E_A 從 $E_{A高}$ 轉換為 $E_{A低}$ ，栓鎖器 84 將 E_B 從 $E_{B高}$ 轉換為 $E_{B低}$ ，並且只要主電路將 E_A 保持在 $E_{A低}$ ，就使 E_B 保持為 $E_{B低}$ 。

圖 6 為根據本發明的實施例的圖 4 的緩衝器 66 的示意圖。

緩衝器 66 包括高強度驅動路徑 90 以及低強度驅動路徑 92。

高強度驅動路徑 90 包括延遲反相器 94、由 V_B 和 V_C 供能的三輸入 NAND 閘 96 以及由 V_B 供能的“強”PMOS 驅動電晶體 98。

低強度驅動路徑 92 包括由 V_C 和 V_B 供能的兩輸入 NAND 閘 100、由 V_B 供能的“弱”PMOS 驅動電晶體 102 以及可選的上拉電阻器 104。如果上拉電阻器 104 出現，那麼即使單獨的電晶體 102 不是弱電晶體，其也可以使得電晶體 102 變弱。

如以上結合圖 4 所討論，在主電路 14(圖 1)將 E_A 轉換為 $E_{A高}$ 並將 A 轉換為 $A_{高}$ 之前，電晶體 72(圖 4)將節點 74 處的電壓上拉至 V_C 。

因此，電晶體 98 和 102 均“截止”。節點 74 處的電壓 V_C 迫使延時反相器 94 的輸出處的電壓等於 V_B ，這就使得 NAND 閘 96 的輸出處的電壓等於 V_B ，因而使電晶體 98 “截止”。類似地，節點 74 處的電壓 V_C 也使得 NAND 閘

100 的輸出處的電壓等於 V_B ，並因而使電晶體 102 “截止”。

類似地，如以上結合圖 4 所討論，當 E_A 等於有效準位 $E_{A高}$ （並因此當 E_B 等於 $E_{B高}$ ）時，回應於主電路 14(圖 1) 將 A 轉換為 $A_{高}$ ，電晶體 70(圖 4)將節點 74 從 V_C 上拉至 V_B 。

依然參照圖 6，回應於 $E_B=E_{B高}$ 以及節點 74 處的電壓從 V_C 轉換為 V_B ，輸入至 NAND 閘 96 的所有訊號等於 V_B ，因此使得 NAND 閘 96 的輸出等於 V_C 並且“導通”電晶體 98。電晶體 98 被設計成對於節點 28 呈現出相對低的輸出阻抗(幾歐姆或者更少)。因此，電晶體 98 將訊號 B 相對快速地從 $B_{低}$ 驅動為 $B_{高}$ ，例如，上升時間處於 1-100ns 範圍內。

類似地，回應於 $E_B=E_{B高}$ 以及節點 74 處的電壓從 V_C 轉換為 V_B ，輸入至 NAND 閘 100 的所有訊號等於 V_B ，因此使得 NAND 閘 100 的輸出等於 V_C 並“導通”電晶體 102。電晶體 102 和電阻器 104(如果包括)的組合被設計成呈現給節點 28 一個比電晶體 98 表現的輸出阻抗高的輸出阻抗(例如，100 k Ω)；因此，電晶體 102 和電阻器(如果包括)的組合具有相對低的驅動強度。可選地，可以省略電阻器 104，並且可以將電晶體 102 設計成向節點 28 表現期望的輸出阻抗。

但是，因為驅動路徑 90 和 92 並聯，因此當電晶體 98 和 102 都“導通”時，緩衝器 66 的整個驅動強度相對較

強。

依然參照圖 6，在經過大於或等於訊號 B 的期望上升時間的預定時間之後，NAND 閘 96 使電晶體 98 “截止”，使得緩衝器 66 的整個驅動強度變弱。在通過延遲反相器 94 的傳播延遲時間(例如，3.5ns)之後，節點 74 上的電壓 V_B 迫使反相器的輸出等於 V_C 。在通過 NAND 閘 96 的傳播延遲時間(例如，0.3ns)之後，該 NAND 閘的中間輸入節點處的電壓 V_C 迫使該 NAND 閘的輸出節點等於 V_B ，因此在短暫的傳播延遲時間之後(例如，0.2ns)使強電晶體 98 “截止”。因為僅僅弱電晶體 100 保持“導通”，在節點 74 處的電壓從 V_C 轉換為 V_B 之後，緩衝器 66 的驅動強度在一段預定時間(例如，2.0ns)內變為相對低的強度，其中，預定時間等於通過反相器 94、NAND 閘 96 以及電晶體 98 的傳播延遲的總和。可以通過調整反相器 94 的延時而將該預定時間設置為期望值。

緩衝器 66 將節點 28 處的訊號 B 不穩定地維持在 $B_{高}$ ，直到主電路 14(圖 1)將節點 26(圖 4)處的訊號 A 轉換為 $A_{低}$ ，或者選擇的從電路 16(圖 1)將節點 28 處的訊號 B 轉換為 $B_{低}$ 。

回應於主電路 14(圖 1)將訊號 A 轉換為 $A_{低}$ ，NMOS 電晶體 72(圖 4)將節點 74 下拉至 V_C ，這樣迫使 NAND 閘 96 和 100 的輸出等於 V_B ，並且因此使電晶體 98 和 100 “截止”。因為電晶體 98 和 100 “截止”，通過電路 30(圖 2 和 3)相對容易地將節點 28 處的訊號 B 上拉為 $B_{低}=V_C$ ，並

且當從緩衝器 66 中導出少量的靜電流或者沒有導出靜電流時，將 B 保持為 $B_{低}$ 。因此，當 B 處於 $B_{低}$ 時，緩衝器 66 消耗的靜態功耗比僅具有無源上拉元件 (passive pull-up element)，例如電阻器的緩衝器消耗的靜態功耗少。

反之，回應於在主電路 14(圖 1)將 A 轉換為 $A_{低}$ 或者將 E_A 轉換為 $E_{A_{低}}$ 之前選擇的從電路(圖 1)將訊號 B 轉換為 $B_{低}$ ，電晶體 102 可以在相對短的時間段內形成朝向節點 28 的相對小的靜電流。因為電晶體 102 為弱電晶體(或者電阻器 104 使其變弱)，所以該靜電流相對較小，因此不足以阻止 B 轉換為 $B_{低}$ 。此外，回應於節點 28 處的 $B_{低}$ ，通過電路 30(圖 2 和 3)將節點 26 處的訊號 A 轉換為 $A_{低}$ ，這樣使得電晶體 98 和 102 “截止”，並且因此而減小或者消除了如上所述由緩衝器 66 產生的朝向節點 28 的靜電流。因而，當選擇的從電路 16 將 B 從 $B_{高}$ 轉換為 $B_{低}$ 時，緩衝器 66 可以形成朝向節點 28 的大的靜電流的時間(例如，5-150ns)被限制為通過通過電路 30(從節點 28 至節點 26)的傳播延遲以及通過升壓轉換器 32(從節點 26 至節點 28)的傳播延遲的總和。

因此，因為緩衝器 66 可以形成的朝向 28 的靜電流的大小和持續時間相對較小，與現有介面相比，介面 12(圖 1)可以消耗明顯更少的靜態功耗。

參照圖 4-6，考慮升壓轉換器 32 的可選實施例。例如，如果 V_A 和 V_B 小於 V_C ，可以以兩個栓鎖器 64 和兩個栓鎖器 84 以及兩個電晶體 98 和兩個電晶體 102 分別代替栓鎖

器 64 和栓鎖器 84 以及電晶體 98 和電晶體 102。

圖 7 為根據本發明的實施例的圖 2 的降壓轉換器 34 的示意圖，其中，圖 5 的轉換器 80 將 E_A 轉換為 E_B 。

轉換器 34 包括 NAND 閘 110、反相器 112 以及驅動緩衝器 114。NAND 閘 110 和反相器 112 由 V_B 和 V_C 供能，而驅動緩衝器 114 由 V_A 和 V_C 供能。

工作時，當訊號 B 或訊號 E_B 具有低邏輯準位 $B_{低}=E_{低}$ 時，緩衝器 114 對節點 26 呈現出高輸出阻抗，使得其他電路例如通過電路 30(圖 2)或者主電路 14(圖 1)可以控制節點 26 處的電壓準位。

但是當 $E_B=E_{B高}$ 並且選擇的從電路 16(圖 1)將訊號 B 轉換為高邏輯準位 $B_{高}$ 時，緩衝器 114 將高邏輯準位 $A_{高}$ 驅動至節點 26。回應於 $E_B=E_{B高}$ 時訊號 B 從 $B_{低}$ 至 $B_{高}$ 的轉換，NAND 閘 110 在其輸出處產生低邏輯準位 $B_{低}$ ，而反相器 112 在其輸出處產生高邏輯準位 $B_{高}$ 。回應於節點 116 處輸出電壓 $B_{高}=V_B$ ，緩衝器 114 將電壓 V_A 驅動至節點 26，以產生具有高邏輯準位 $A_{高}=V_A$ 的訊號 A 。如果訊號 A 在 B 轉換為 $B_{高}$ 之前為 $A_{低}$ ，那麼，如下結合圖 8 進一步所述，因為緩衝器 114 以相對高驅動強度驅動節點 26 一段預定時間，因此 A 以期望的上升時間從 $A_{低}$ 轉換為 $A_{高}$ ；在預定時間過去後，緩衝器 114 以相對低驅動強度驅動節點 26。

當主電路 14(圖 1)將 E_A 轉換為 $E_{A低}$ (因此有效地將 E_B 轉換為 $E_{B低}$)或者選擇的從電路 16(圖 1)將 B 轉換為 $B_{低}$ 時，

緩衝器 114 的輸出在節點 26 處呈現出高阻抗。回應於訊號 E_B 從 $E_{B高}$ 至 $E_{B低}$ 的轉換或者 B 從 $B_{高}$ 至 $B_{低}$ 的轉換，NAND 閘 110 在其輸出處產生高邏輯準位 $B_{高}$ ，並且反相器 112 在其輸出處產生低邏輯準位 $B_{低}$ 。回應於節點 116 上的準位 $B_{低}$ ，緩衝器 114 “截止”，並在節點 26 處呈現出相對高的輸出阻抗。

依然參照圖 7，考慮降壓轉換器 34 的另一實施例。

圖 8 為根據本發明的實施例的圖 6 的緩衝器 114 的示意圖。除了緩衝器 114 的元件由 V_A 和 V_C 供能而不是由 V_B 和 V_C 供能之外，緩衝器 114 在拓撲結構和工作上類似於圖 4 和 6 的緩衝器 66，並且緩衝器的輸出連接至節點 26 而不是節點 28。因此，為了簡潔省略了緩衝器 114 的詳細討論。

圖 9 為介面電路 12(圖 1)的耦合電路 120 的示意圖，其中，根據本發明的實施例，耦合電路可操作地將 $A_{匯流排}$ (圖 1)的單條線路連接至選擇的 $B_{匯流排}$ (圖 1)的對應線路。耦合電路 120 是耦合電路 20(圖 2)的可選方案。因此，在該實施例中，介面電路 12 包括用於匯流排 $B_{匯流排 1}$ - $B_{匯流排 n}$ (圖 1)中的每條線路 22 的各個耦合電路 120，一共有 $6 \cdot n$ 個耦合電路 120。耦合電路 120 可以比耦合電路 20 更快地(即，以更少的延遲時間)在線路 22 和 24 之間連接訊號，尤其是將高準位訊號轉換為低準位訊號時更是如此。因此，耦合電路 120 的帶寬可以寬於耦合電路 20。

耦合電路 120 包括分別連接至 $A_{匯流排}$ 和選擇的 $B_{匯流排}$

線路 24 和 22 的節點 122 和 124、連接在節點 122 和 124 之間的通過-和-升壓轉換器(下文的升壓轉換器)126 以及也連接在節點 122 和 124 之間的通過-和-降壓轉換器(下文的降壓轉換器)128。

與耦合電路 20 的節點 26 和 28(圖 2)類似，節點 122 和 124 可以為介面 12 的外部接腳，或者，如果介面設置在與主電路 14 或從電路 16(圖 1)相同的晶片上，節點 122 和 124 可以為晶片上的內部節點。

升壓轉換器 126 接收電源電壓 V_A 、 V_B 和 V_C ，並可操作地接收主電路 14(圖 1)驅動至節點 122 的訊號 A ，以及可操作地將 A 切換為對應的訊號 B 。更具體地，如果 $A=A_{低}=V_C$ ，那麼轉換器 126 將 V_C 驅動至節點 124，使得訊號 $B=B_{低}=V_C$ 。並且如果 $A=A_{高}=V_A$ ，那麼轉換器 126 將 $A_{高}$ 切換為對應的高邏輯準位 $B_{高}=V_B$ ，而且接著驅動 $B_{高}$ 至節點 124，使得訊號 $B=B_{高}$ 。

例如，假如當致能訊號 E_A 具有有效的準位時，主電路 14(圖 1)將節點 122 上的訊號 A 從 $A_{低}$ 轉換為 $A_{高}$ 。回應於該轉換，升壓轉換器 126 以相對高的驅動強度將節點 124 上的訊號 B 從 $B_{低}$ 轉換為 $B_{高}$ ，使得 B 的上升時間處於期望的範圍內，例如，1-100ns，這依賴於具體應用。此外，在 B 從 $B_{低}$ 轉換為 $B_{高}$ 時，升壓轉換器 126 禁止降壓轉換器 128 一段預定時間(例如，1-200ns)，使得降壓轉換器不能將訊號驅動至節點 122。這樣可以消除降壓轉換器 128 可能引入到節點 122 上的雜訊。在預定時間過去之後，升

壓轉換器 126 以較低的驅動強度保持節點 124 上的準位 $B_{高}$ ，直到下列情況之一發生：主電路 14 將 A 轉換回 $A_{低}$ ，選擇的從電路 16 將 B 轉換回 $B_{低}$ ，或者主電路將 E_A 轉換回無效的準位——較低的驅動強度允許主電路將 A 轉換回 $A_{低}$ 或者允許從電路將 B 轉換回 $B_{低}$ ，而介面 12 與現有介面相比並不消耗過量的能量。

類似地，假如在致能訊號 E_A 具有有效準位時，主電路 14(圖 1)將節點 122 上的訊號 A 從 $A_{高}$ 轉換為 $A_{低}$ 。回應於該轉換，升壓轉換器 126 以相對高的驅動強度將節點 124 上的訊號 B 從 $B_{高}$ 轉換為 $B_{低}$ ，使得 B 的下降時間處於期望的範圍內，例如，1-100ns，這依賴於具體應用。此外，在 B 從 $B_{高}$ 轉換為 $B_{低}$ 時，升壓轉換器 126 禁止降壓轉換器 128 一段預定時間(例如，1-200ns)，使得降壓轉換器不能驅動訊號至節點 122。在預定時間過去之後，升壓轉換器 126 以較低的驅動強度保持節點 124 上的準位 $B_{低}$ ，直到下列情況之一發生：主電路 14 將 A 轉換回 $A_{高}$ ，選擇的從電路 16 將 B 轉換回 $B_{高}$ ，或者主電路將 E_A 轉換為無效的準位——較低的驅動強度允許主電路將 A 轉換回 $A_{高}$ 或者允許從電路將 B 轉換回 $B_{高}$ ，而介面 12 與現有介面相比並不消耗過量的能量。

以下結合圖 10-16 進一步描述升壓轉換器 126。

依然參照圖 9，降壓轉換器 128 接收電源電壓 V_A 、 V_B 和 V_C ，可操作地接收選擇的從電路 16(圖 1)驅動至節點 124 的訊號 B ，並可操作地將 B 切換為對應的訊號 A 。尤其，

如果 $B=B_{\text{低}}=V_C$ ，那麼轉換器 128 將 V_C 驅動至節點 122，使得訊號 $A=A_{\text{低}}=V_C$ 。並且如果 $B=B_{\text{高}}=V_B$ ，那麼轉換器將 $B_{\text{高}}$ 切換為對應的高邏輯準位 $A_{\text{高}}=V_A$ ，並且接著驅動 $A_{\text{高}}$ 至節點 122，使得訊號 $A=A_{\text{高}}$ 。

例如，假如當致能訊號 E_B 具有有效的準位時，選擇的從電路 16(圖 1)將節點 124 上的訊號 B 從 $B_{\text{低}}$ 轉換為 $B_{\text{高}}$ ，諸如圖 5 中電路 80 的電路將來自主電路 14(圖 1) 的 E_A 轉換為 E_B 。回應於該轉換，升壓轉換器 128 以相對高的驅動強度將節點 122 上的訊號 A 從 $A_{\text{低}}$ 轉換為 $A_{\text{高}}$ ，使得 A 從 $A_{\text{低}}$ 至 $A_{\text{高}}$ 的上升時間位於期望的範圍內，例如 1-100ns，這依賴於具體應用。此外，當 A 從 $A_{\text{低}}$ 轉換為 $A_{\text{高}}$ 時，降壓轉換器 128 禁止升壓轉換器 126 一段預定時間(例如，1-200ns)，使得升壓轉換器不能驅動訊號至節點 124。這樣可以消除升壓轉換器 126 可能引入到節點 124 上的雜訊。在預定時間過去之後，降壓轉換器 128 以較低的驅動強度保持節點 122 上的準位 $A_{\text{高}}$ ，直到下列情況之一發生：主電路 14 將 A 轉換回 $A_{\text{低}}$ ，選擇的從電路 16 將 B 轉換回 $B_{\text{低}}$ ，或者主電路將 E_A (並且因此 E_B)轉換為無效的準位——較低的驅動強度允許主電路將 A 轉換回 $A_{\text{低}}$ 或者允許從電路將 B 轉換回 $B_{\text{低}}$ ，而介面 12 並不消耗過量的能量。

類似地，假如當致能訊號 E_B 具有有效的準位時，選擇的從電路 16(圖 1)將節點 124 上的訊號 B 從 $B_{\text{高}}$ 轉換為 $B_{\text{低}}$ 。回應於該轉換，降壓轉換器 128 以相對高的驅動強度將節點 122 上的訊號 A 從 $A_{\text{高}}$ 轉換為 $A_{\text{低}}$ ，使得 A 的下降

時間位於期望範圍內，例如 1-100ns，這依賴於具體應用。此外，當 A 從 $A_{高}$ 轉換為 $A_{低}$ 時，降壓轉換器 128 禁止升壓轉換器 126 一段預定時間(例如，1-200ns)，使得升壓轉換器不能驅動訊號至節點 124。在預定時間過去之後，降壓轉換器 128 以較低的驅動強度保持節點 122 上的準位 $A_{低}$ ，直到下列情況之一發生：主電路 14 將 A 轉換回 $A_{高}$ ，選擇的從電路 16 將 B 轉換回 $B_{高}$ ，或者主電路將 E_A (因而 E_B) 轉換為無效的準位——較低的驅動強度允許主電路將 A 轉換回 $A_{高}$ 或者允許從電路將 B 轉換回 $B_{高}$ ，而介面 12 並不消耗過量的能量。

以下結合圖 10-16 進一步描述降壓轉換器 128。

依然參照圖 9，升壓轉換器 126 包括輸入緩衝器 130、並聯連接在輸入緩衝器和節點 124 之間的高驅動強度訊號路徑 132 和低驅動強度訊號路徑 134、連接至輸入緩衝器的 A 訊號邊緣檢測器 136，以及連接至高驅動強度路徑和邊緣檢測器的方向檢測器-和-高強度驅動路徑致能電路 (DDHSDPE) 138。

類似地，降壓轉換器 128 包括輸入緩衝器 140、並聯連接在輸入緩衝器 140 和節點 122 之間的高驅動強度訊號路徑 142 和低驅動強度訊號路徑 144、連接至輸入緩衝器 140 的 B-訊號邊緣檢測器 146 以及 DDHSDPE 電路 138，DDHSDPE 電路 138 連接至高驅動強度路徑 142 和邊緣檢測器 146。即，升壓轉換器 126 和降壓轉換器 128 “共用” DDHSDPE 電路 138。

圖 10 為根據本發明的實施例的圖 9 的訊號 A 和升壓轉換器 126 產生的訊號的時序圖。儘管被表示為具有零上升時間和零下降時間，應該理解這些訊號具有非零的上升時間和非零的下降時間。此外，儘管未示出，一些訊號可以相對於其他訊號而被延遲。例如， $A_{緩衝}$ 的邊緣和 $A_{轉換}$ 的邊緣可以相對於 A 的對應邊緣而被延遲，並且 HDS_A 的邊緣可以相對於 $A_{邊緣}$ 的對應邊緣而被延遲。

參照圖 9-10，升壓轉換器 126 的輸入緩衝器 130 接收電源電壓 V_A 、 V_B 和 V_C ，並且可操作地接收由主電路 14(圖 1)產生的訊號 A 和 E_A ，在節點 148 上將 A 切換為對應的訊號 $A_{緩衝}$ ，在節點 150 上將 A 切換為對應的訊號 $A_{轉換}$ 。訊號 $A_{緩衝}$ 具有與訊號 A 相同的電壓準位，並且因此是訊號 A 的緩衝形式。訊號 $A_{轉換}$ 具有與對應的訊號 B 將要具有的電壓準位相同的電壓準位。例如，如果 $A=A_{高}=V_A$ ，那麼 $A_{轉換}=B_{高}=V_B$ ；類似地，如果 $A=A_{低}=V_C$ ，那麼 $A_{轉換}=B_{低}=V_C$ 。

高驅動強度訊號路徑 132 包括高驅動強度緩衝器 152，其接收電源電壓 V_B 和 V_C ，並且回應於來自 DDHSDPE 電路 138 的高驅動強度致能訊號 HDS_A ，可操作地將節點 150 上的訊號 $A_{轉換}$ 切換為節點 124 上的對應訊號 B 。例如，如果 $A_{轉換}=V_C$ ，那麼緩衝器 152 將 $A_{轉換}$ 切換成 $B=V_C=B_{低}$ 。類似地，如果 $A_{轉換}=V_B$ ，則緩衝器 152 將 $A_{轉換}$ 切換成 $B=V_B=B_{高}$ 。緩衝器 152 在訊號 HDS_A 的持續時間內以相對高的驅動強度將訊號 B 驅動至節點 124，使得訊號 B 具有期望範圍

內的上升/下降時間，例如，1-100ns。如下所討論，訊號 HDS_A 具有至少與訊號 B 的期望的上升/下降時間一樣長的持續時間。此外，緩衝器 152 可以被設計成使得 B 的上升時間快於 B 的下降時間，或者反之亦然。

低驅動強度訊號路徑 134 包括多工器 154 和緩衝器 156，兩者均接收電源電壓 V_B 和 V_C 。

回應於具有有效的高準位 V_B 的 E_B ，多工器 154 將節點 150 上的 $A_{\text{轉換}}$ 連接至緩衝器 156，這樣以相對低的驅動強度將 $A_{\text{轉換}}$ 驅動至節點 124 作為訊號 B 。當 HDS_A 和 E_B 有效時，緩衝器 152 和 156 驅動訊號 $B=A_{\text{轉換}}$ 至節點 124；因此，升壓轉換器 126 的驅動強度為高。但是在 HDS_A 恢復至無效準位之後，僅僅緩衝器 156 驅動訊號 B 至節點 124，使得升壓轉換器 126 的總驅動強度為低。這樣的低驅動強度允許緩衝器 152 其後回應主電路 14(圖 1)轉換 A 而轉換 B ，並允許選擇的從電路 16(圖 1)其後轉換 B ，而介面 12 不消耗過量的能量。

反之，回應於具有無效的低準位 V_C 的 E_B ，多工器 154 將節點 124 連接至緩衝器 156；因此，多工器和緩衝器形成弱栓鎖器，其將節點 124 與節點 122 進行隔離，並增強節點 124 上訊號 B 的準位($B_{\text{高}}$ 或 $B_{\text{低}}$)。

A-訊號邊緣檢測器 136 接收電源電壓 V_A 、 V_B 和 V_C ，回應於訊號 A 從 $A_{\text{低}}$ 至 $A_{\text{高}}$ 和從 $A_{\text{高}}$ 至 $A_{\text{低}}$ 的每個轉換，可操作地產生脈衝 $A_{\text{邊緣}}$ ，並且可操作地產生用於在每個脈衝 $A_{\text{邊緣}}$ 的持續時間 $T_{A_{\text{邊緣}}}$ 內禁止 B-訊號邊緣檢測器 146

的訊號 **禁止**_B (其等於 $\overline{A_{edge}}$)。脈衝 $A_{\text{邊緣}}$ 具有等於 V_C 的無效的低準位、等於 V_B 的有效的高準位以及預定寬度 $T_{A_{\text{邊緣}}}$ ，預定寬度至少與訊號 B 的期望的上升時間和下降時間的長度一樣。例如， $T_{A_{\text{邊緣}}}$ 可以在 1-200ns 的範圍內。

DDHSDPE 電路 138 接收電源電壓 V_A 、 V_B 和 V_C ，並且可操作地產生 HDS_A ，因而回應於脈衝 $A_{\text{邊緣}}$ ，可操作地致能高驅動強度緩衝器 152。儘管 HDS_A 被表示為具有與 $A_{\text{邊緣}}$ 相同的寬度 $T_{A_{\text{邊緣}}}$ ，但是 HDS_A 也可以具有與 $A_{\text{邊緣}}$ 不同的寬度。此外，儘管 **禁止**_B 被表示為具有與 HDS_A 相同的寬度，但是 **禁止**_B 也可以具有與 HDS_A 不同的寬度。

依然參照圖 9-10，根據本發明的實施例描述升壓轉換器 126 的工作。

當 E_A 和 E_B 具有無效的低準位 (例如， $E_A = E_B = E_{A_{\text{低}}} = E_{B_{\text{低}}} = V_C$) 時，那麼輸入緩衝器 130 將節點 150 與節點 122 上的訊號 A 隔離，並且多工器 154 將節點 124 上的訊號 B 與節點 150 隔離。如上所述，多工器 154 將節點 124 連接至緩衝器 156 的輸入，使得多工器和緩衝器形成增強節點 124 上的訊號 B 的準位 ($B_{\text{高}}$ 和 $B_{\text{低}}$) 的弱栓鎖器。此外，輸入緩衝器 130 可以產生用於 $A_{\text{translated}}$ 的默認準位 ($B_{\text{低}}$ 或 $B_{\text{高}}$) 以阻止節點 150 電漂移，並且可以產生用於 $A_{\text{緩衝}}$ 的相應的默認準位 ($A_{\text{低}}$ 或 $A_{\text{高}}$) 來阻止節點 148 電漂移。

接著， E_A 和 E_B 轉換為有效的高準位 (例如， $E_A = E_{A_{\text{高}}} = V_A$ 並且 $E_B = E_{B_{\text{高}}} = E_B$)。

如果訊號 A 的邏輯準位與 $A_{\text{緩衝}}$ 和 $A_{\text{translated}}$ 的默認邏輯準

位相同，那麼輸入緩衝器 130 維持節點 150 上的默認電壓準位 ($B_{高} = V_B$ 或 $B_{低} = V_C$)，並且多工器 154 將該電壓準位連接至緩衝器 156 的輸入，其驅動該電壓準位至節點 124 作為訊號 B 。因為沒有訊號 A 的轉換，邊緣檢測器 136 不產生 $A_{邊緣}$ ，並且因此 DDHSDPE 電路 138 不啟動高驅動強度緩衝器 152。

但是如果當 E_A 和 E_B 分別轉換為 $E_{A高}$ 和 $E_{B高}$ 時，訊號 A 的邏輯準位不同於 $A_{轉換}$ 和 $A_{緩衝}$ 的默認邏輯準位，或者如果當 $E_A = E_{A高}$ 和 $E_B = E_{B高}$ 時， A 轉換為不同於默認邏輯準位的邏輯準位，那麼輸入緩衝器 130 轉換節點 148 和 150 上的電壓準位。

例如，假如低邏輯準位為 $A_{轉換}$ 和 $A_{緩衝}$ 的默認邏輯準位，並且 $A = A_{高} = V_A$ ，或者在 E_A 和 E_B 分別轉換為 $E_{A高}$ 和 $E_{B高}$ 之後快速地轉換為 V_A 。那麼如圖 10 中 t_0 時刻所示，輸入緩衝器 130 將節點 148 上的電壓準位從 $A_{低} = V_C$ 轉換為 $A_{高} = V_A$ ，並且將節點 150 上的電壓準位從 $B_{低} = V_C$ 轉換為 $B_{高} = V_B$ 。

回應於 $A_{緩衝}$ 從 $A_{低} = V_C$ 至 $A_{高} = V_A$ 的轉換，如圖 10 中 t_0 時刻所示， A -訊號邊緣檢測器 136 產生持續時間為 $T_{A_{邊緣}}$ 的脈衝 $A_{邊緣}$ 。邊緣檢測器 136 還產生脈衝禁止 $B = \overline{A_{edge}}$ (即，禁止 B 具有有效的低準位 $B_{低} = V_C$)，以使得 B -訊號邊緣檢測器 146 在持續時間 $T_{A_{邊緣}}$ 內無效。

回應於脈衝 $A_{邊緣}$ 的上升沿，DDHSDPE 電路 138 產生持續時間等於或大於 $T_{A_{邊緣}}$ 的脈衝 HDS_A 。

回應於 HDS_A 的上升沿，高驅動強度緩衝器 152 以高驅動強度將 $B=B_{高}=V_B$ 驅動至節點 124。

在高驅動緩衝器 152 以相對高驅動強度將 $B_{高}$ 驅動至節點 124 的同時，多工器 154 將 $A_{禁止}=B_{高}$ 連接至緩衝器 156，這樣以相對低的驅動強度將 $B_{高}$ 驅動至節點 124。

但是因為緩衝器 152 和 156 均為活動狀態，升壓轉換器 126 以總的高驅動強度驅動節點 124。

在等於 $T_{A_{連續}}$ 的時間過去之後，如圖 10 中 t_1 時刻所示，A-訊號邊緣檢測器 136 將 $A_{連續}$ 轉換回無效的邏輯準位 $A_{低}=V_C$ ，並且 DDHSDPE 電路 138 將 HDS_A 轉換回無效的邏輯準位 $B_{低}=V_C$ 以使高驅動強度緩衝器 152 無效。A-訊號邊緣檢測器 136 還將 $禁止_B$ 轉換為無效的準位 $B_{高}=V_B$ 以重新致能 B-訊號邊緣檢測器 146。

然而，多工器 154 和低驅動強度緩衝器 156 繼續保持節點 124 上的 $B=B_{高}=V_B$ 。

依然參照圖 9-10，如果在 $T_{A_{連續}}$ 過去之後(例如，在 t_2 時刻)，主電路 14(圖 1)隨後將 A 從 $A_{高}$ 轉換回 $A_{低}$ (或者將 E_A 轉換為 $E_{A_{低}}$ 以及將 E_B 轉換為 $E_{B_{低}}$)，那麼升壓轉換器 126 以類似於以上所述的方式工作以將 $B_{低}$ 驅動至節點 124，並因此繼續工作以進行 A 的後續轉換。

圖 11 為根據本發明的另一實施例的圖 10 中訊號的時序圖，其中，訊號 A 的半個周期 $T_A/2$ 小於脈衝 $A_{連續}$ 的寬度 $T_{A_{連續}}$ 。

參考圖 9 和 11，如果主電路 14 以半周期 $T_A/2 \leq T_{A_{連續}}$

轉換 A ，那麼升壓轉換器 126 以比 $T_A/2 > T_{A \text{ 邊緣}}$ 時更寬的帶寬轉換 B 。只要 $T_A/2 \leq T_{A \text{ 邊緣}}$ ，脈衝 $A \text{ 邊緣}$ 有效地交疊，使得 $A \text{ 邊緣}$ 為持續有效的高邏輯準位 $B_{\text{高}} = V_B$ 。結果，在持續有效的邏輯準位 $B_{\text{高}} = V_B$ 時，DDHSDPE 電路 138 產生 HDS_A ，使得只要 $T_A/2 \leq T_{A \text{ 邊緣}}$ ，高驅動強度緩衝器 152 就保持被致能。即，緩衝器 152 能夠實質上立即地將訊號 B 的轉換驅動至節點 124，而不用等待以下一系列情況：等待邊緣檢測器 136 回應於 $A \text{ 緩衝}$ 的轉換產生 $A \text{ 邊緣}$ ，等待 DDHSDPE 電路 138 回應於 $A \text{ 邊緣}$ 產生 HDS_A ，以及等待緩衝器 152 回應於 HDS_A 主動地變為致能。所以對於半周期 $T_A/2 \leq T_{A \text{ 邊緣}}$ 時的一系列 A 轉換，持續致能高驅動強度緩衝器 152，使得升壓轉換器以比對於訊號 A 的每次轉換致能和禁止緩衝器 152，如當 $T_A/2 > T_{A \text{ 邊緣}}$ 時發生的帶寬更寬的帶寬將 A 切換為 B 。

參照圖 9-11，當 E_A 和 E_B 隨後在 t_3 時刻轉換為無效的低準位 V_C 時，緩衝器 130 將訊號 $A \text{ 緩衝}$ 和 $A \text{ 轉換}$ 驅動為其各自的默認準位（這裏為低邏輯準位 V_C ）， A -訊號邊緣檢測器 136 將訊號 **禁止** B 驅動為其默認準位（這裏為高邏輯準位 V_B ），並且多工器 154 將節點 150 從節點 124 斷開，並將節點 124 連接至弱緩衝器 156 的輸入。

類似地，參照圖 9-11，根據本發明的實施例，討論降壓轉換器 128 的佈局。在該實施例中，如圖 10-11 所示，訊號 B 、 $B \text{ 緩衝}$ 、 $B \text{ 轉換}$ 、 $B \text{ 邊緣}$ 、 HDS_B 、**禁止** A 以及 A 分別具有與訊號 A 、 $A \text{ 緩衝}$ 、 $A \text{ 轉換}$ 、 $A \text{ 邊緣}$ 、 HDS_A 、**禁止** B 以及

B 相同的時序，但是具有下列不同的電壓準位： $B_{緩衝} \rightarrow V_B$ 和 V_C 以及 $B_{轉換}$ 、 $B_{逆轉}$ 、 HDS_B 和 禁止 $A \rightarrow V_A$ 和 V_C 。

參照圖 9-10，升壓轉換器 128 的輸入緩衝器 140 接收電源電壓 V_A 、 V_B 和 V_C ，並且可操作地接收由選擇的從電路 16(圖 1)產生的訊號 B 和 E_B ，在節點 158 上將 B 切換為對應的訊號 $B_{緩衝}$ ，並在節點 160 上將 B 切換為對應的訊號 $B_{translated}$ 。訊號 $B_{緩衝}$ 具有與訊號 B 相同的電壓準位，並且因此是訊號 B 的緩衝形式。訊號 $B_{轉換}$ 具有與對應的訊號 A 將要具有的電壓準位相同的電壓準位，例如，如果 $B = B_{高} = V_B$ ，那麼 $B_{轉換} = A_{高} = V_A$ ；類似地，如果 $B = B_{低} = V_C$ ，那麼 $B_{轉換} = A_{低} = V_C$ 。

高驅動強度訊號路徑 142 包括高驅動強度緩衝器 162，其接收電源電壓 V_A 和 V_C ，並回應於來自 DDHSDPE 電路 138 的高驅動強度致能訊號 HDS_B ，可操作地將節點 160 上的訊號 $B_{轉換}$ 切換為節點 122 上對應的訊號 A 。例如，如果 $B_{轉換} = V_C$ ，那麼緩衝器 162 將 $B_{轉換}$ 切換為 $A = V_C = A_{低}$ 。類似地，如果 $B_{轉換} = V_A$ ，那麼緩衝器 162 將 $B_{轉換}$ 切換為 $A = V_A = A_{高}$ 。緩衝器 162 在訊號 HDS_B 的持續時間內以相對高的驅動強度將訊號 A 驅動至節點 122，使得訊號 A 具有處於期望範圍內的上升/下降時間。與訊號 HDS_A 類似，訊號 HDS_B 具有至少與訊號 A 的期望的上升/下降時間一樣長的持續時間(例如，1-100ns)。此外，緩衝器 162 可以被設計成使得 A 的上升時間比 A 的下降時間短，或者反之亦然。

低驅動強度訊號路徑 144 包括多工器 164 和緩衝器

166，兩者均接收電源電壓 V_A 和 V_C 。

回應於具有有效的高準位 V_A 的 E_A ，多工器 164 將節點 160 上的 $B_{\text{轉換}}$ 連接至緩衝器 166，這樣以相對低的驅動強度將 $B_{\text{轉換}}$ 驅動至節點 122 成為訊號 A 。當 HDS_B 和 E_A 有效時，緩衝器 162 和 166 均將訊號 $A=B_{\text{轉換}}$ 驅動至節點 122，使得升壓轉換器 128 的驅動強度為高。但是當 HDS_B 恢復至無效準位時，僅僅緩衝器 166 將訊號 A 驅動至節點 122；因此，升壓轉換器 128 的驅動強度為低。這樣的低驅動強度允許緩衝器 162 隨後回應選擇的從電路 16(圖 1) 轉換 B 而轉換 A ，並允許主電路 14(圖 1) 隨後轉換 A ，而介面 12 不消耗過量的能量。

反之，回應於具有無效的低準位 V_C 的 E_A ，多工器 164 將節點 122 連接至緩衝器 166；因此，多工器和緩衝器形成弱栓鎖器，該弱栓鎖器將節點 122 與節點 124 隔離並增強節點 122 上的訊號 A 的準位 ($A_{\text{高}}$ 或 $A_{\text{低}}$)。

B-訊號邊緣檢測器 146 接收電源電壓 V_A 、 V_B 和 V_C ，回應於訊號 B 從 $B_{\text{低}}$ 至 $B_{\text{高}}$ 的每次轉換並回應於 B 從 $B_{\text{高}}$ 至 $B_{\text{低}}$ 的每次轉換，可操作地產生脈衝 $B_{\text{邊緣}}$ ，並且可操作地產生用於在每個脈衝 $B_{\text{邊緣}}$ 的持續時間 $T_{B_{\text{邊緣}}}$ 內禁止 A-訊號邊緣檢測器 136 的訊號 **禁止**_A (其等於 $\overline{B_{\text{edge}}}$)。

回應於脈衝 $B_{\text{邊緣}}$ ，DDHSDPE 電路 138 可操作地產生 HDS_B ，並且因此可操作地致能高驅動強度緩衝器 162。 HDS_B 可以具有與 $B_{\text{邊緣}}$ 相同的寬度 $T_{B_{\text{邊緣}}}$ ，或者 HDS_B 可以具有不同的脈衝寬度，並且 **禁止**_A 可以具有與 HDS_B 相同的或

不同的脈衝寬度。

參照圖 9-10，根據本發明的實施例描述降壓轉換器 128 的工作。

當 E_A 和 E_B 具有無效的低準位(例如， $E_A = E_B = E_{A低} = E_{B低} = V_C$)時，那麼輸入緩衝器 140 將節點 160 與節點 124 上的訊號 B 隔離，並且多工器 164 將節點 122 上的訊號 A 與節點 160 隔離。如以上所述，多工器 164 將節點 122 連接至緩衝器 166 的輸入，使得多工器和緩衝器形成弱栓鎖器，該弱栓鎖器增強節點 122 上訊號 A 的準位($A_{高}$ 或 $A_{低}$)。此外，輸入緩衝器 140 可以為 $B_{轉換}$ 產生默認準位($A_{低}$ 或 $A_{高}$)以阻止節點 160 電漂移，並可以為 $B_{緩衝}$ 產生對應默認準位($B_{低}$ 或 $B_{高}$)以阻止節點 158 電漂移。

接著， E_A 和 E_B 轉換為有效的高準位(例如， $E_A = E_{A高} = V_A$ 和 $E_B = E_{B高} = V_B$)。

如果訊號 B 的邏輯準位與 $B_{轉換}$ 和 $B_{緩衝}$ 的默認邏輯準位相同，那麼輸入緩衝器 140 保持節點 160 上的默認電壓準位($A_{高} = V_A$ 或 $A_{低} = V_C$)，並且多工器 164 將該電壓準位連接至緩衝器 166 的輸入，這將該電壓準位驅動至節點 122 作為訊號 A 。因為不存在訊號 B 的轉換，邊緣檢測器 146 不產生 $B_{邊緣}$ ，並因此 DDHSDPE 電路 138 不啟動高驅動強度緩衝器 162。

但是，如果訊號 B 的邏輯準位不同於 $B_{轉換}$ 和 $B_{緩衝}$ 的默認邏輯準位，或者如果 B 轉換為該不同的邏輯準位，那麼輸入緩衝器 140 轉換節點 158 和 160 上的電壓準位。例

如，假設低邏輯準位為 $B_{\text{緩衝}}$ 和 $B_{\text{轉換}}$ 的默認邏輯準位，並且 $B = B_{\text{高}} = V_B$ 。因此，輸入緩衝器 140 將節點 158 上的電壓準位從 $B_{\text{低}} = V_C$ 轉換為 $B_{\text{高}} = V_B$ ，並且將節點 160 上的電壓準位從 $A_{\text{低}} = V_C$ 轉換為 $A_{\text{高}} = V_A$ （例如，對應於圖 10 中的 t_0 時刻）。

回應於 $B_{\text{緩衝}}$ 從 $B_{\text{低}} = V_C$ 到 $B_{\text{高}} = V_B$ 的轉換，B-訊號邊緣檢測器 146 產生持續時間為 $T_{B_{\text{邊緣}}}$ 的脈衝 $B_{\text{邊緣}}$ （例如，對應於圖 10 中的 t_0 時刻）。邊緣檢測器 146 還產生脈衝 $\text{禁止}_A = \overline{B_{\text{邊緣}}}$ （即， 禁止_A 具有有效的低準位 $A_{\text{低}} = V_C$ ），以使得 A-訊號邊緣檢測器 136 無效一段持續時間 $T_{B_{\text{邊緣}}}$ 。

回應於脈衝 $B_{\text{邊緣}}$ 的上升沿，DDHSDPE 電路 138 產生時間等於或大於 $T_{B_{\text{邊緣}}}$ 的脈衝 HDS_B 。

回應於 HDS_B 的上升沿，高驅動強度緩衝器 162 以高驅動強度將 $A_{\text{高}} = V_A$ 驅動至節點 122。

在高驅動強度緩衝器 162 以相對高驅動強度將 $A_{\text{高}}$ 驅動至節點 122 的同時，多工器 164 將 $B_{\text{轉換}} = A_{\text{高}}$ 連接至緩衝器 166，這樣以相對低的驅動強度將 $A_{\text{高}}$ 驅動至節點 122。

但是，因為緩衝器 162 和 166 均為活動狀態，降壓轉換器 128 以總的高驅動強度驅動節點 122。

在等於 $T_{B_{\text{邊緣}}}$ 的時間過去之後，B-訊號邊緣檢測器 146 將 $B_{\text{邊緣}}$ 轉換回 $B_{\text{低}} = V_C$ （例如，對應於圖 10 中 t_1 時刻），並且 DDHSDPE 電路 138 將 HDS_B 轉換回無效的準位 $A_{\text{低}} = V_C$ （例如，時刻 t_1 ）以使高驅動強度緩衝器 162 無效。B-訊號邊緣檢測器 146 還將 禁止_A 轉換為無效準位 $A_{\text{高}} = V_A$ 以重

新致能 A-訊號邊緣檢測器 136(例如, t_1 時刻)。

然而, 多工器 164 和低驅動強度緩衝器 166 繼續在節點 122 上保持 $A=A_{高}=V_A$ 。

依然參照圖 9-10, 如果在 $T_{B 邊緣}$ 過去之後(例如, 圖 10 中的 t_2 時刻), 選擇的從電路 16(圖 1)隨後將 B 從 $B_{高}$ 轉換回 $B_{低}$ (或者將 E_A 轉換為 $E_{A 低}$ 以及將 E_B 轉換為 $E_{B 低}$), 那麼降壓轉換器 128 以類似於以上所述的方式工作以將 $A_{低}$ 驅動至節點 122, 並因此繼續工作以進行 B 的後續轉換。

參考圖 9 和 11, 如果選擇的從電路 16 以半周期 $T_B/2 \leq T_{B 邊緣}$ 轉換 B , 那麼因為類似於以上結合圖 9 和 11 針對升壓轉換器 126 所述的相同的原因, 降壓轉換器 128 以比 $T_B/2 > T_{B 邊緣}$ 時的帶寬更寬的帶寬轉換 B 。

參照圖 9-11, 當 E_A 和 E_B 隨後轉換為無效的低準位 V_C 時(對應於圖 10-11 中的 t_3 時刻), 輸入緩衝器 140 將訊號 $B_{緩衝}$ 和 $B_{轉換}$ 驅動為其各自的默認準位(這裏為低邏輯準位 V_C), B -訊號邊緣檢測器 146 將訊號禁止 A 驅動為其默認準位(這裏為高邏輯準位 V_A), 並且多工器 164 將節點 160 從節點 122 斷開, 並將節點 122 連接至弱緩衝器 166 的輸入。

參照圖 9, 考慮耦合電路 120 的可選實施例。例如, V_C 可以不只為接地, 並且 V_A 和 V_B 可以為負, 因此而小於 V_C 。

圖 12 為根據本發明的實施例的圖 9 的輸入緩衝器 130 的示意圖。在耦合電路 120(圖 9)的上電期間, 當 V_A 小於預定的 V_A 臨限值時, 電源檢測電路(未在圖 11 中示出)產生 $V_{A 好}=V_C$, 並且在 V_A 等於或大於該臨限值時, 將 $V_{A 好}$ 轉

換為 V_B 。類似地，當 V_B 小於預定的 V_B 臨限值時，電源檢測電路產生 $V_{B好} = V_C$ ，並且在 V_B 等於或大於該 V_B 臨限值時將 $V_{B好}$ 轉換為 V_A 。例如，如果 V_A 穩定狀態 = 1.8V 並且 V_B 穩定狀態 = 2.7V，那麼預定的 V_A 臨限值可以等於 1.6V，並且預定的 V_B 臨限值可以等於 2.4V。此外，電路 80(圖 5) 除了產生 E_A 之外還可以產生 $\overline{E_A}$ 。此外，如果高驅動強度緩衝器 152(圖 9) 為反向緩衝器，那麼 $\overline{A_{translated}}$ 可以被連接至節點 150；類似地，如果 A-訊號邊緣檢測器 136(圖 9) 被設計成接收 $A_{緩衝}$ 的補，那麼 $\overline{A_{buf}}$ 可以被連接至節點 148。另外，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個輸入緩衝器 130 代替輸入緩衝器 130。

依然參照圖 12，根據本發明的實施例，輸入緩衝器 140 類似於輸入緩衝器 130。更具體地，除了下列變化之外，輸入緩衝器 140 類似於輸入緩衝器 130：緩衝器 140(圖 9) 的節點 124、158 和 160 分別位於圖 12 中緩衝器 130 的節點 122、148 和 150 所在的位置，緩衝器 140 的 V_A 連接至圖 12 中 V_B 連接的節點， V_B 連接至圖 12 中 V_A 連接的節點， E_B 和 $\overline{E_B}$ 分別連接至圖 12 中 E_A 和 $\overline{E_A}$ 連接的節點， $B_{緩衝}$ 和 $\overline{B_{緩衝}}$ 分別產生於圖 12 中產生 $A_{緩衝}$ 和 $\overline{A_{緩衝}}$ 的節點上， $B_{轉換}$ 和 $\overline{B_{轉換}}$ 分別產生於圖 12 中產生 $A_{轉換}$ 和 $\overline{A_{轉換}}$ 的節點上， $V_{A好}$ 連接至圖 12 中 $V_{B好}$ 連接的節點，以及 $V_{B好}$ 連接至圖 12 中 $V_{A好}$ 連接的節點。此外，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個輸入緩衝器 140 代替輸入緩衝器 140。

圖 13 為根據本發明的實施例的圖 9 的 A-訊號邊緣檢

測器 136 的示意圖。儘管未在圖 9 中示出，但是如以上結合圖 12 所討論，輸入緩衝器 130 可以提供 $\overline{A_{\text{mid}}}$ 至邊緣檢測器 136。此外，如以上結合圖 12 所討論，邊緣檢測器 136 從電源檢測電路(未在圖 13 中示出)接收 V_A 好。

圖 14 為根據本發明的實施例的圖 13 中一些訊號的時序圖。儘管出於簡潔，這些訊號被表示為具有零上升時間和零下降時間，但是應該理解這些訊號具有非零的上升時間和非零的下降時間。此外，儘管出於簡潔這些訊號中的一些訊號的邊緣被表示為與這些訊號中的其他訊號的邊緣同步，但是應該理解不同訊號的邊緣在時間上可以彼此延遲。

參照圖 13-14，回應於 $A_{\text{緩衝}}$ 從 $A_{\text{低}}=V_C$ 到 $A_{\text{高}}=V_A$ 的轉換，NMOS 轉換器 170 和 172 分別下拉反相器 174 和 176 的輸入，因而使得訊號 S 、 \overline{S} 、 Q 和 \overline{Q} 進行轉換。

但是因為轉換器 172 比轉換器 170 弱(即，具有更高的電阻)，因此訊號 S 和 \overline{S} 的轉換關於訊號 Q 和 \overline{Q} 的轉換延遲了預定時間 T_D (T_D 可以小於或約等於 $T_{A_{\text{緩衝}}}$)。

在該預定延遲時間 T_D 內， S 和 $A_{\text{緩衝}}$ 均處於高準位 V_A ，並且因此使得 NMOS 轉換器 178 和 180 將反相器 182 的輸入下拉為 V_C ，這樣使得反相器 182 將中間訊號 U 轉換為高準位 V_A 。

回應於 U 的該低-至-高的轉換，NMOS 轉換器 184 將 PMOS 電晶體 186 的閘極下拉至 V_C ，並因而使得電晶體 186 將 $A_{\text{緩衝}}$ 轉換為高準位 V_B 。因此， U 的上升沿和 $A_{\text{緩衝}}$ 的上

升沿之間的傳播延遲等於通過電晶體 184 和 186 的延遲。此外，在 U 的低-至-高轉換傳播通過電晶體 184、反相器 190 和 192，以及反相器 188 之後，反相器 188 增強 $A_{\text{邊緣}}$ 的高邏輯準位。

回應於 $A_{\text{邊緣}}$ 的低-至-高的轉換，反相器 194 將 **禁止** B 轉換為有效的邏輯低準位 V_C ，以禁止 B-訊號邊緣檢測器 146(圖 9)。

在預定延遲時間 T_D 過去之後， S 轉換為低邏輯準位 V_C ，因此截止電晶體 178 並導通 PMOS 電晶體 196。

因為訊號 Q 為高邏輯準位 V_A ，所以 PMOS 電晶體 198 也導通。

因此，電晶體 196 和 198 將反相器 182 的輸入上拉至高準位 V_A ，並因而使得反相器 182 將 U 轉換為低準位 V_C 並使得反相器 200 將 \bar{U} 轉換為高準位 V_A 。

在 \bar{U} 傳播通過電晶體 202 和 204 以及反相器 190、192 和 188 之後， \bar{U} 使得反相器 188 將 $A_{\text{邊緣}}$ 轉換回低準位 V_C 。此外， $A_{\text{邊緣}}$ 變回 V_C 的轉換使得反相器 194 將 **禁止** B 轉換回無效的高準位 V_B 。

因此， $T_{A_{\text{邊緣}}}$ 是延遲 T_D 、 U 的上升沿通過電晶體 184 和 186 的傳播延遲以及 \bar{U} 的上升沿通過電晶體 202 和 204 以及反相器 190、192 和 188 的傳播延遲(等於 U 的下降沿)的函數。此外，電晶體 206 的尺寸 (dimension) 可以被設置成精細地調節 $T_{A_{\text{邊緣}}}$ 。

依然參照圖 13-14，回應於 $A_{\text{邊緣}}$ 從 $A_{\text{高}}=V_A$ 至 $A_{\text{低}}=V_C$

的轉換，PMOS 電晶體 208 和 210 分別上拉反相器 174 和 176 的輸入，因而使得訊號 S 、 \bar{S} 、 Q 和 \bar{Q} 轉換。

但是因為電晶體 210 弱於(即，具有更高的電阻)電晶體 208，因此訊號 Q 和 \bar{Q} 的轉換關於訊號 S 和 \bar{S} 的轉換延遲 T_D 。

在延遲時間 T_D 內， \bar{Q} 和 $\overline{A_{\text{緩沖}}}$ 為高準位 V_A ，並且因此使得 NMOS 電晶體 212 和 214 將反相器 182 的輸入下拉至 V_C ，這樣使得反相器 182 將中間訊號 U 轉換為高準位 V_A 。

回應於 U 的該低-至-高的轉換，如上所述，NMOS 電晶體 184 和 PMOS 電晶體 186 將 $A_{\text{邊緣}}$ 轉換為高準位 V_B 。此外，如上所述，反相器 194 將 **禁止** B 轉換為有效的低準位 V_C ，並且反相器 188 隨後增強 $A_{\text{邊緣}}$ 的高邏輯準位。

在延遲時間 T_D 過去之後， \bar{Q} 轉換為低邏輯準位 V_C ，因此截止電晶體 212 並導通 PMOS 電晶體 216。

因為訊號 \bar{S} 也處於高邏輯準位 V_A ，因此 PMOS 電晶體 218 也導通。

因此，電晶體 216 和 218 將反相器 182 的輸入上拉至高準位 V_A ，因而使得反相器 182 將 U 轉換為低準位 V_C 並且使得反相器 200 將 \bar{U} 轉換為高準位 V_A 。

如上所述， \bar{U} 到 V_A 的轉換使得反相器 188 將 $A_{\text{邊緣}}$ 轉換回無效的低準位 V_C ，並且 $A_{\text{邊緣}}$ 的該轉換使得反相器 194 將 **禁止** B 轉換回無效的高準位 V_B 。

考慮訊號-A 邊緣檢測器 136 的可選實施例。例如，延遲 T_D 可以遠小於 $T_{A_{\text{邊緣}}}$ 。此外，如果 V_A 和 V_{Bn} 關於 V_C 為

負，那麼可以以兩個訊號-A 邊緣檢測器 136 代替訊號-A 邊緣檢測器 136。

依然參照圖 13-14，根據本發明的實施例，訊號-B 邊緣檢測器 146(圖 9)類似於邊緣檢測器 136。更具體地，除了下列變化之外，邊緣檢測器 146 類似於邊緣檢測器 136：檢測器 146 的訊號 $B_{緩衝}$ 和 $\overline{B_{緩衝}}$ 分別連接至圖 13 中 $A_{緩衝}$ 和 $\overline{A_{緩衝}}$ 連接到的節點，邊緣檢測器 146 的 V_A 連接至圖 13 中 V_B 連接的節點， V_B 連接至圖 13 中 V_A 連接的節點，**禁止**_A 和 **禁止**_B 分別連接至圖 13 中 **禁止**_B 和 **禁止**_A 連接的節點，以及 $V_{B好}$ 連接至圖 13 中 $V_{A好}$ 連接的節點。此外，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個邊緣檢測器 146 代替邊緣檢測器 146。

圖 15 為根據本發明的實施例的 DDHSDPE 電路 138 的示意圖。電路 138 包括第一電路 220、第二電路 222，以及第三電路 224。

當主電路 14(圖 1)在節點 122(圖 9)上產生用於連接至節點 124(圖 9)而成為訊號 B 的訊號 A 時，第一電路 220 產生分別具有其各自的第一值的訊號 DIR_A 、 $\overline{DIR_A}$ 、 DIR_B 和 $\overline{DIR_B}$ ，並且當選擇的從電路 16(圖 1)在節點 124 上產生用於連接至節點 122 而成為訊號 A 的訊號 B 時，第一主電路 220 產生分別具有其各自的第二值的 DIR_A 、 $\overline{DIR_A}$ 、 DIR_B 和 $\overline{DIR_B}$ 。更具體地，當 $A_{邊緣}=V_A$ 且 $B_{邊緣}=V_C$ 時，第一電路產生 220 產生訊號 $DIR_A=DIR_B=V_C$ 、 $\overline{DIR_A}=V_A$ ，以及 $\overline{DIR_B}=V_B$ 。

當 $B_{\text{邊緣}} = E_A = V_A$ 且 $\overline{DIR}_A = V_C$ 時，第二電路 222 產生脈衝 HDS_B 。因此，如上結合 9-11 所討論，在該實施例中，脈衝 HDS_B 具有大約與脈衝 $B_{\text{邊緣}}$ 相同的持續時間 $T_{B_{\text{邊緣}}}$ (除非在 $B_{\text{邊緣}}$ 轉換為 V_C 之前 E_A 轉換為 V_C)。

類似地，當 $A_{\text{邊緣}} = E_B = V_B$ 且 $DIR_B = V_C$ 時，第三電路 224 產生脈衝 HDS_A 。因此，在該實施例中，脈衝 HDS_A 具有大約與脈衝 $A_{\text{邊緣}}$ 相同的持續時間 $T_{A_{\text{邊緣}}}$ (除非在 $A_{\text{邊緣}}$ 轉換為 V_C 之前 E_B 轉換為 V_C)。

考慮 DDHSDPE 電路 138 的可選實施例。例如，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個電路 138 代替電路 138。

圖 16 為根據本發明的實施例的圖 9 的多工器 164 和弱緩衝器 166 以及過電流保護電路 226 的示意圖。反相器(圖 15 中未示出)可以由 E_A 產生 \overline{E}_A 。

考慮多工器 164、緩衝器 166 以及保護電路 226 的可選實施例。例如，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個電路 164、兩個電路 166 和兩個電路 226 分別代替電路 164、166 和 226。

依然參照圖 16，根據本發明的實施例，圖 9 的多工器 154 和緩衝器 156 以及對應的過電流保護電路(圖 9 中未示出)分別類似於多工器 164、緩衝器 166、邊緣檢測器 136。更具體地，除了下列變換之外，多工器 154、緩衝器 156 以及對應的過電流保護電路類似於多工器 164、緩衝器 166 和保護電路 226：節點 124 和 150(圖 9)分別位於圖 16 中

節點 122 和 160 所在的位置，訊號 E_B 和 $\overline{E_B}$ 分別連接至圖 16 中 E_A 和 $\overline{E_A}$ 所連接到的節點，以及 V_B 連接至圖 16 中 V_A 所連接的節點。此外，如果 V_A 和 V_B 關於 V_C 為負，那麼可以以兩個多工器 154、兩個緩衝器 156 和兩個對應的過電流保護電路分別代替多工器 154、緩衝器 156 和對應的過電流保護電路。

提出前述的討論以使得熟習本項技術者能夠實現並利用本發明。對於熟習本項技術者而言，實施例的各種修改顯而易見，並且本文中一般原理可以應用於其他實施例和具體應用而不脫離本發明的精神和範圍。因此，本發明並不旨在受限於所示的實施例，而是被給予符合本文中所揭示的原理和特色的最廣泛的範圍。

【圖式簡單說明】

圖 1 為根據本發明的實施例的包括雙向訊號介面的電子系統的電路圖；

圖 2 為根據本發明的實施例的圖 1 的雙向介面的一部分的電路圖，其用於將第一電路的訊號節點連接至第二電路的對應訊號節點；

圖 3 為根據本發明的實施例的圖 2 的通過電路的示意圖；

圖 4 為根據本發明的實施例的圖 2 的低電壓-至-高電壓單向轉換器的示意圖；

圖 5 為根據本發明的實施例的圖 4 的致能訊號轉換器

的示意圖；

圖 6 為根據本發明的實施例的圖 4 的緩衝器的示意圖；

圖 7 為根據本發明的實施例的圖 2 的高電壓-至-低電壓單向轉換器的示意圖；

圖 8 為根據本發明的實施例的圖 7 的緩衝器的示意圖；

圖 9 為根據本發明的實施例的圖 1 的雙向介面的一部分的電路圖，其將第一電路的訊號節點連接至第二電路的對應訊號節點；

圖 10 為根據本發明的實施例的圖 9 中訊號的時序圖；

圖 11 為根據本發明的另一實施例的圖 10 中訊號的時序圖；

圖 12 為根據本發明的實施例的圖 9 的低電壓-至-高電壓輸入緩衝器的示意圖；

圖 13 為根據本發明的實施例的圖 9 的低電壓邊緣檢測器的示意圖；

圖 14 為根據本發明的實施例的圖 13 中的訊號的時序圖；

圖 15 為根據本發明的實施例的圖 9 的方向檢測器-和-高驅動強度路徑致能(DDHDSPE)電路的示意圖；以及

圖 16 為根據本發明的實施例的圖 9 的高電壓-至-低電壓多工器和保持緩衝器的示意圖。

【主要元件符號說明】

10

電子系統

12	雙向訊號介面
14	主電路
16 ₁ -16 _n	從電路
V _A	低電源電壓
V _B	高電源電壓
V _C	共同電源電壓
V _{B1} -V _{Bn}	高電源電壓
A _{匯流排}	匯流排
E ₁ -E _n	致能訊號
B _{匯流排 1} -B _{匯流排 n}	匯流排
E _A	致能訊號
20	耦合電路
22	線路
24	線路
26	節點
28	節點
30	通過電路
32	升壓轉換器
34	降壓轉換器
40	NMOS 電晶體
42	閘極節點
44	緩衝器
46	源極/汲極節點
48	源極/汲極節點

50	基極 (body) 節點
60	NAND 閘
62	反相器
64	升壓栓鎖器
66	驅動緩衝器
68	NMOS 電晶體
70	PMOS 電晶體
72	NMOS 電晶體
74	輸出節點
76	PMOS 電晶體
80	升壓轉換器
82	反相器
84	升壓栓鎖器
90	驅動路徑
92	驅動路徑
94	延遲反相器
96	NAND 閘
98	驅動電晶體
100	NAND 閘
102	驅動電晶體
104	電阻器
110	NAND 閘
112	反相器
114	驅動緩衝器

116	節點
120	耦合電路
122 和 124	節點
126	轉換器
128	轉換器
130	輸入緩衝器
132	路徑
134	路徑
136	A 訊號邊緣檢測器
138	方向檢測器 - 和 - 高強度驅動路徑致 能電路
140	輸入緩衝器
142	路徑
144	路徑
146	B 訊號邊緣檢測器
150	節點
152	高驅動強度緩衝器
154	多工器
156	緩衝器
158	節點
160	節點
162	高驅動強度緩衝器
164	多工器
166	緩衝器

170、172	NMOS 轉換器
174、176	反相器
178、180	NMOS 轉換器
182	反相器
184	NMOS 轉換器
186	PMOS 電晶體
188	反相器
190、192	反相器
194	反相器
196	PMOS 電晶體
198	PMOS 電晶體
200	反相器
202 和 204	電晶體
206	電晶體
208 和 210	PMOS 電晶體
212 和 214	NMOS 電晶體
216	PMOS 電晶體
218	PMOS 電晶體
200	反相器
220	第一電路
222	第二電路
224	第三電路
226	過電流保護電路

十、申請專利範圍：

1. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於接收致能訊號，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該致能訊號及該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；以及

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於接收該致能訊號，可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該致能訊號及該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點。

2. 如申請專利範圍第 1 項之雙向訊號介面，其中：

該第一邏輯訊號可操作於在第一電壓準位和第二電壓準位之間轉換；以及

該第二邏輯訊號可操作於在該第一電壓準位和不同於該第一電壓準位的第三電壓準位之間轉換。

3. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節

點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中該第一邏輯訊號可操作於在第一電壓準位和第二電壓準位之間轉換；

該第二邏輯訊號可操作於在該第一電壓準位和不同於該第一電壓準位的第三電壓準位之間轉換；以及

該第一轉換電路和該第二轉換電路每個包括：可操作於接收實質上等於該第一電壓準位的第一供電電壓的相應的第一供電節點、可操作於接收實質上等於該第二電壓準位的第二供電電壓的相應的第二供電節點、以及可操作於接收實質上等於該第三電壓準位的第三供電電壓的相應的第三供電節點。

4. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該

第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路回應於該第一邏輯訊號的轉換，可操作於在第一預定時期期間以第一驅動強度並且在該第一預定時期過去之後以第二驅動強度而將該第一邏輯訊號驅動至該第二節點；以及

其中，該第二轉換電路回應於該第二邏輯訊號的轉換，可操作於在第二預定時期期間以第三驅動強度並且在該第二預定時期過去之後以第四驅動強度而將該第二邏輯訊號驅動至該第一節點。

5. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉

換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中回應於該第一邏輯訊號從第一電壓準位轉換為第二電壓準位，該第一轉換電路可操作於將該第一邏輯訊號連接至該第二節點；

其中回應於該第二邏輯訊號從該第一電壓準位轉換為不同於該第二電壓準位的第三電壓準位，該第二轉換電路可操作於將該第二邏輯訊號連接至該第一節點；以及

第三轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑和該第二訊號路徑並聯的第三訊號路徑，當該第一邏輯訊號具有該第一電壓準位時，該第三轉換電路可操作於將該第一邏輯訊號連接至該第二節點，以及當該第二邏輯訊號具有該第一電壓準位時，該第三轉換電路可操作於將該第二邏輯訊號連接至該第一節點。

6. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉

換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

該第一轉換電路回應於該第一節點上該第一邏輯訊號的轉換，可操作於在第一預定時間內阻止該第二轉換電路將該第二邏輯訊號連接至該第一節點；以及

該第二轉換電路回應於該第二節點上該第二邏輯訊號的轉換，可操作於在第二預定時間內阻止該第一轉換電路將該第一邏輯訊號連接至該第二節點。

7. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路還包括位於該第一節點和該第二節點之間的第三訊號路徑，該第一轉換電路回應於該第一邏輯訊號的轉換，可操作於在第一預定時期內經由該第

一訊號路徑和該第三訊號路徑並且在該第一預定時期之後僅僅經由該第三訊號路徑而將該第一邏輯訊號連接至該第二節點；以及

其中，該第二轉換電路還包括位於該第一節點和該第二節點之間的第四訊號路徑，該第二轉換電路回應於該第二邏輯訊號的轉換，可操作於在第二預定時期內經由該第二訊號路徑和該第四訊號路徑並且在該第二預定時期之後僅僅經由該第四訊號路徑而將該第二邏輯訊號連接至該第一節點。

8. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路還包括位於該第一節點和該第二節點之間並且與該第一訊號路徑並聯的第三訊號路徑，該第一轉換電路回應於該第一邏輯訊號的轉換，可操作於

在第一預定時期內經由該第一訊號路徑和該第三訊號路徑並且在該第一預定時期之後僅僅經由該第三訊號路徑而將該第一邏輯訊號連接至該第二節點；以及

其中，該第二轉換電路還包括位於該第一節點和該第二節點之間並且與該第二訊號路徑並聯的第四訊號路徑，該第二轉換電路回應於該第二邏輯訊號的轉換，可操作於在第二預定時期內經由該第二訊號路徑和該第四訊號路徑並且在該第二預定時期之後僅僅經由該第四訊號路徑而將該第二邏輯訊號連接至該第一節點。

9. 一種雙向訊號介面，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路還包括位於該第一節點和該第二節點之間並且與該第一訊號路徑並聯的第三訊號路徑，該第一轉換電路回應於該第一邏輯訊號的轉換，可操作於

在第一預定時間內以第一驅動強度經由該第一訊號路徑以及在該第一預定時間之後以第二驅動強度經由該第三訊號路徑而將該第一邏輯訊號驅動至該第二節點；以及

其中，該第二轉換電路還包括位於該第一節點和該第二節點之間並且與該第二訊號路徑並聯的第四訊號路徑，該第二轉換電路回應於該第二邏輯訊號的轉換，可操作於在第二預定時期內以第三驅動強度經由該第二訊號路徑並且在該第二預定時期之後以第四驅動強度經由該第四訊號路徑而將該第二邏輯訊號驅動至該第一節點。

10. 一種雙向訊號介面電路，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間的第二訊號路徑，可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的該轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路可操作於回應於該第一邏輯訊號的該轉換而禁止該第二轉換電路在第一預定時間內將該第二邏輯訊號連接至該第一節點；以及

其中，該第二轉換電路可操作於回應於該第二邏輯訊號的該轉換而禁止該第一轉換電路在第二預定時間內將該第一邏輯訊號連接至該第二節點。

11. 如申請專利範圍第 10 項之雙向訊號介面電路，其中，該第一訊號路徑與該第二訊號路徑並聯。

12. 一種雙向訊號介面電路，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間的第二訊號路徑，可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的該轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路具有連接在該第一節點和該第二節點之間的第三訊號路徑；

其中，該第二轉換電路具有連接在該第一節點和該第二節點之間的第四訊號路徑；

其中，該第一轉換電路可操作於將該第一邏輯訊號經由該第三訊號路徑連接至該第二節點；以及

其中，該第二轉換電路可操作於將該第二邏輯訊號經

由該第四訊號路徑連接至該第一節點。

13. 一種雙向訊號介面電路，其包括：

第一節點，其可操作於接收第一邏輯訊號；

第二節點，其可操作於接收第二邏輯訊號；

第一轉換電路，其具有連接在該第一節點和該第二節點之間的第一訊號路徑，可操作於感測該第一節點上的該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第二節點；

第二轉換電路，其具有連接在該第一節點和該第二節點之間的第二訊號路徑，可操作於感測該第二節點上的該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的該轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第一節點；

其中，該第一轉換電路具有連接在該第一節點和該第二節點之間並且與該第一訊號路徑並聯的第三訊號路徑；以及

其中，該第二轉換電路具有連接在該第一節點和該第二節點之間並且與該第二訊號路徑並聯的第四訊號路徑；

其中，該第一轉換電路可操作於將該第一邏輯訊號經由該第三訊號路徑連接至該第二節點；以及

其中，該第二轉換電路可操作於將該第二邏輯訊號經由該第四訊號路徑連接至該第一節點。

14. 一種電子系統，其包括：

第一積體電路，其具有第一訊號節點並可操作於在該

第一訊號節點上提供第一邏輯訊號；

第二積體電路，其具有第二訊號節點並可操作於在該第二訊號節點上提供第二邏輯訊號；以及

整合介面電路，其包括：

第三節點，其連接至該第一訊號節點，

第四節點，其連接至該第二訊號節點，

第一轉換電路，其具有連接在該第三節點和該第四節點之間的第一訊號路徑，可操作於感測該第三節點上該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第四節點，以及

第二轉換電路，其具有連接在該第三節點和該第四節點之間與該第一訊號路徑並聯的第二訊號路徑，該第二轉換電路可操作於感測該第四節點上該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的該轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第三節點；

其中，

該第一積體電路還包括第一致能節點，並可操作於在該致能節點上產生致能訊號；

其中，該整合介面電路包括連接至該第一致能節點的第二致能節點；

其中，該第一轉換電路回應於該致能訊號可操作於將該第一邏輯訊號連接至該第四節點；以及

其中，該第二轉換電路回應於該致能訊號可操作於將該第二邏輯訊號連接至該第三節點。

15.如申請專利範圍第 14 項之電子系統，其中：

該第一積體電路包括處理器；以及

該第二積體電路包括處理器週邊設備。

16.如申請專利範圍第 14 項之電子系統，其中，該第一積體電路和該整合介面電路設置在同一晶片上。

17.一種電子系統，其包括：

第一積體電路，其具有第一訊號節點並可操作於在該第一訊號節點上提供第一邏輯訊號；

第二積體電路，其具有第二訊號節點並可操作於在該第二訊號節點上提供第二邏輯訊號；以及

整合介面電路，其包括：

第三節點，其連接至該第一訊號節點，

第四節點，其連接至該第二訊號節點，

第一轉換電路，其具有連接在該第三節點和該第四節點之間的第一訊號路徑，可操作於感測該第三節點上該第一邏輯訊號的轉換，並且回應於該轉換，可操作於將該第一邏輯訊號經由該第一訊號路徑連接至該第四節點，以及

第二轉換電路，其具有連接在該第三節點和該第四節點之間的第二訊號路徑，可操作於感測該第四節點上該第二邏輯訊號的轉換，並且回應於該第二邏輯訊號的該轉換，可操作於將該第二邏輯訊號經由該第二訊號路徑連接至該第三節點；

其中，該第一轉換電路回應於該第一邏輯訊號的該轉換，可操作於禁止該第二轉換電路在第一預定時間內將該

第二邏輯訊號連接至該第三節點；以及

其中，該第二轉換電路回應於該第二邏輯訊號的該轉換，可操作於禁止該第一轉換電路在第二預定時間內將該第一邏輯訊號連接至該第四節點。

18.一種用於雙向訊號介面之方法，其包括：

感測第一節點上第一邏輯訊號的轉換；

回應於該轉換並回應於致能訊號，將該第一邏輯訊號經由第一訊號路徑連接至第二節點；

感測該第二節點上第二邏輯訊號的轉換；

回應於該第二邏輯訊號的該轉換並回應於該致能訊號，將該第二邏輯訊號經由與該第一訊號路徑並聯的第二訊號路徑連接至該第一節點。

19.如申請專利範圍第 18 項之方法，其中：

感測第一邏輯訊號的轉換包括：感測該第一邏輯訊號從第一電壓準位至第二電壓準位的轉換；

連接第一邏輯訊號包括：將該第二電壓準位轉換為第三電壓準位，以及將該第三電壓準位經由該第一訊號路徑連接至該第二節點；

感測第二邏輯訊號的轉換包括：感測該第二邏輯訊號從該第一電壓準位至該第三電壓準位的轉換；以及

連接第二邏輯訊號包括：將該第三電壓準位轉換為該第二電壓準位，以及將該第二電壓準位經由該第二訊號路徑連接至該第一節點。

20.如申請專利範圍第 18 項之方法，還包括：

在感測該第一邏輯訊號的該轉換之後，在預定時間內禁止將該第二邏輯訊號連接至該第一節點；以及

在感測該第二邏輯訊號的該轉換之後，在預定時間內禁止將該第一邏輯訊號連接至該第二節點。

21. 一種用於雙向訊號介面之方法，其包括：

感測第一節點上第一邏輯訊號的轉換；

回應於該轉換，將該第一邏輯訊號經由第一訊號路徑連接至第二節點；

感測該第二節點上第二邏輯訊號的轉換；

回應於該第二邏輯訊號的該轉換，將該第二邏輯訊號經由與該第一訊號路徑並聯的第二訊號路徑連接至該第一節點；

其中，將第一邏輯訊號連接至第二節點包括：在第一預定時期期間以第一驅動強度以及在該第一預定時期過去之後以第二驅動強度將該第一邏輯訊號驅動至該第二節點；以及

其中，將第二邏輯訊號連接至第一節點包括：在第二預定時期期間以第三驅動強度以及在該第二預定時期過去之後以第四驅動強度將該第二邏輯訊號驅動至該第一節點。

22. 一種用於雙向訊號介面之方法，其包括：

感測第一節點上第一邏輯訊號的轉換；

回應於該轉換，將該第一邏輯訊號經由第一訊號路徑連接至第二節點；

感測該第二節點上第二邏輯訊號的轉換；

回應於該第二邏輯訊號的該轉換，將該第二邏輯訊號經由與該第一訊號路徑並聯的第二訊號路徑連接至該第一節點；

其中，將第一邏輯訊號連接至第二節點包括：在第一預定時間內以第一驅動強度並在該第一預定時間之後以第二驅動強度將該第一邏輯訊號驅動至該第二節點；以及

其中，將第二邏輯訊號連接至第一節點包括：在第二預定時間內以第三驅動強度並在該第二預定時間之後以第四驅動強度將該第二邏輯訊號驅動至該第一節點。

23. 一種用於雙向訊號介面之方法，其包括：

感測第一節點上第一邏輯訊號的轉換；

回應於該第一邏輯訊號的該轉換，將該第一邏輯訊號連接至第二節點；

感測第二節點上第二邏輯訊號的轉換；

回應於該第二邏輯訊號的該轉換，將該第二邏輯訊號連接至該第一節點；

如果在該第二邏輯訊號的該轉換之前感測該第一邏輯訊號的該轉換，那麼在感測該第一邏輯訊號的該轉換之後，在預定時間內禁止將該第二邏輯訊號連接至該第一節點；以及

如果在該第一邏輯訊號的該轉換之前感測該第二邏輯訊號的該轉換，那麼在感測該第二邏輯訊號的該轉換之後，在預定時間內禁止將該第一邏輯訊號連接至該第二節點；

點。

24.如申請專利範圍第 23 項之方法，其中：

在感測該第一邏輯訊號的該轉換之後，在預定時間內禁止將該第二邏輯訊號連接至該第一節點包括：

在感測該第一邏輯訊號的該轉換之後，在該預定時間內禁止將該第二邏輯訊號之更高強度形式連接至該第一節點；以及

在感測該第一邏輯訊號的該轉換之後，在該預定時間內允許該第二邏輯訊號之更低強度形式連接至該第一節點；

在感測該第二邏輯訊號的該轉換之後，在預定時間內禁止將該第一邏輯訊號連接至該第二節點包括：

在感測該第二邏輯訊號的該轉換之後，在該預定時間內禁止將該第一邏輯訊號之更高強度形式連接至該第二節點；以及

在感測該第二邏輯訊號的該轉換之後，在該預定時間內允許該第一邏輯訊號之更低強度形式連接至該第二節點。

25.如申請專利範圍第 23 項之方法，其中：

在感測該第一邏輯訊號的該轉換之後，在預定時間內禁止將該第二邏輯訊號連接至該第一節點包括在感測該第一邏輯訊號的該轉換之後，在該預定時間內禁止將該第二邏輯訊號之更高強度形式連接至該第一節點；以及

在感測該第二邏輯訊號的該轉換之後，在預定時間內

禁止將該第一邏輯訊號連接至該第二節點包括在感測該第二邏輯訊號的該轉換之後，在該預定時間內禁止將該第一邏輯訊號之更高強度形式連接至該第二節點。

26. 一種雙向訊號介面，其包括：

第一節點，可操作於接收具有第一電壓準位的第一邏輯訊號；

第二節點，可操作於接收具有不同於該第一電壓準位的第二電壓準位的第二邏輯訊號；

第三節點，可操作於接收具有不同於該第一電壓準位和該第二電壓準位的第三電壓準位的第三邏輯訊號；以及

轉換電路，其連接至該第一節點、該第二節點以及該第三節點，並且可操作於

藉由將該第一電壓準位轉換為該第二電壓準位而將來自該第一節點的該第一邏輯訊號連接至該第二節點；

藉由將該第一電壓準位轉換為該第三電壓準位而將來自該第一節點的該第一邏輯訊號連接至該第三節點；

藉由將該第二電壓準位轉換為該第一電壓準位而將來自該第二節點的該第二邏輯訊號連接至該第一節點；以及

藉由將該第三電壓準位轉換為該第一電壓準位而將來自該第三節點的該第三邏輯訊號連接至該第一節點。

27. 如申請專利範圍第 26 項之雙向訊號介面，其中：

該第一節點可操作於接收具有不同於該第一電壓準位、該第二電壓準位和該第三電壓準位的第四電壓準位的第一邏輯訊號；

該第二節點可操作於接收具有該第四電壓準位的第二邏輯訊號；

該第三節點可操作於接收具有該第四電壓準位的第三邏輯訊號；以及

該轉換電路可操作於

將來自該第一節點的具有該第四電壓準位的該第一邏輯訊號連接至該第二節點，

將來自該第一節點的具有該第四電壓準位的該第一邏輯訊號連接至該第三節點，

將來自該第二節點的具有該第四電壓準位的該第二邏輯訊號連接至該第一節點，以及

將來自該第三節點的具有該第四電壓準位的該第三邏輯訊號連接至該第一節點。

28.如申請專利範圍第 26 項之雙向訊號介面，其中，該轉換電路可操作於接收第一供電電壓、第二供電電壓和第三供電電壓，每個供電電壓實質上分別等於該第一電壓準位、該第二電壓準位以及該第三電壓準位。

29.如申請專利範圍第 26 項之雙向訊號介面，還包括：

第四節點，其可操作於接收具有不同於該第一電壓準位、該第二電壓準位和該第三電壓準位的第四電壓準位的第四邏輯訊號；以及

其中，該轉換電路連接至該第四節點，並且可操作於藉由將該第四電壓準位轉換為該第二電壓準位而將來自該第四節點的該第四邏輯訊號連接至該第二節點；

藉由將該第四電壓準位轉換為該第三電壓準位而將來自該第四節點的該第四邏輯訊號連接至該第三節點；

藉由將該第二電壓準位轉換為該第四電壓準位而將來自該第二節點的該第二邏輯訊號連接至該第四節點；以及

藉由將該第三電壓準位轉換為該第四電壓準位而將來自該第三節點的該第三邏輯準位連接至該第四節點。

30.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第一電壓準位大於該第二電壓準位；以及

該第二電壓準位大於該第三電壓準位。

31.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第一電壓準位大於該第三電壓準位；以及

該第三電壓準位大於該第二電壓準位。

32.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第二電壓準位大於該第一電壓準位；以及

該第一電壓準位大於該第三電壓準位。

33.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第二電壓準位大於該第三電壓準位；以及

該第三電壓準位大於該第一電壓準位。

34.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第三電壓準位大於該第一電壓準位；以及

該第一電壓準位大於該第二電壓準位。

35.如申請專利範圍第 26 項之雙向訊號介面，其中：

該第三電壓準位大於該第二電壓準位；以及

該第二電壓準位大於該第一電壓準位。

36. 一種電子系統，其包括：

第一積體電路，其具有第一訊號節點，並可操作於在該第一訊號節點上提供具有第一電壓準位的第一邏輯訊號；

第二積體電路，其具有第二訊號節點，並可操作於在該第二訊號節點上提供具有不同於該第一電壓準位的第二電壓準位的第二邏輯訊號；

第三積體電路，其具有第三訊號節點，並可操作於在該第三訊號節點上提供具有不同於該第一電壓準位和該第二電壓準位的第三電壓準位的第三邏輯訊號；以及

整合介面電路，其包括：

第四節點，其連接至該第一訊號節點，

第五節點，其連接至該第二訊號節點，

第六節點，其連接至該第三訊號節點，以及

轉換電路，其連接至該第四節點、該第五節點以及該第六節點，並可操作於

藉由將該第一電壓準位轉換為該第二電壓準位而將來自該第四節點的該第一邏輯訊號連接至該第五節點；

藉由將該第一電壓準位轉換為該第三電壓準位而將來自該第四節點的該第一邏輯訊號連接至該第六節點；

藉由將該第二電壓準位轉換為該第一電壓準位而將來自該第五節點的該第二邏輯訊號連接至該第四節點；以及

藉由將該第三電壓準位轉換為該第一電壓準位而將來自該第六節點的該第三邏輯準位連接至該第四節點。

37.如申請專利範圍第 36 項之電子系統，其中，該第一積體電路、該第二積體電路以及該第三積體電路和該整合介面電路設置在同一晶片上。

38.一種用於雙向訊號介面之方法，其包括：

將第一節點上的第一邏輯訊號的第一電壓準位轉換為第二節點上的第二電壓準位，該第二電壓準位不同於該第一電壓準位；以及

將該第一節點上的該第一邏輯訊號的該第一電壓準位轉換為第三節點上的第三電壓準位，該第三電壓準位不同於該第一電壓準位和該第二電壓準位。

39.如申請專利範圍第 38 項之方法，還包括：

將該第二節點上的第二邏輯訊號的該第二電壓準位轉換為該第一節點上的該第一電壓準位。

40.如申請專利範圍第 38 項之方法，還包括：

將該第二節點上的第二邏輯訊號的該第二電壓準位轉換為該第一節點上的該第一電壓準位；以及

將該第三節點上的第三邏輯訊號的該第三電壓準位轉換為該第一節點上的該第一電壓準位。

41.如申請專利範圍第 38 項之方法，還包括：將第四節點上的第二邏輯訊號的第四電壓準位轉換為該第二節點上的該第二電壓準位，該第四電壓準位不同於該第一電壓準位、該第二電壓準位以及該第三電壓準位。

42.如申請專利範圍第 38 項之方法，還包括：

將第四節點上的第二邏輯訊號的第四電壓準位轉換為

該第二節點上的該第二電壓準位，該第四電壓準位不同於該第一電壓準位、該第二電壓準位以及該第三電壓準位；以及

將該第二節點上的第三邏輯訊號的該第二電壓準位轉換為該第四節點上的該第四電壓準位。

43.如申請專利範圍第 38 項之方法，還包括：

將第四節點上的第二邏輯訊號的第四電壓準位轉換為該第二節點上的該第二電壓準位，該第四電壓準位不同於該第一電壓準位、該第二電壓準位以及該第三電壓準位；以及

將該第四節點上的該第二邏輯訊號的該第四電壓準位轉換為該第三節點上的該第三電壓準位。

44.如申請專利範圍第 38 項之方法，還包括：

將第四節點上的第二邏輯訊號的第四電壓準位轉換為該第二節點上的該第二電壓準位，該第四電壓準位不同於該第一電壓準位、該第二電壓準位以及該第三電壓準位；

將該第四節點上的該第二邏輯訊號的該第四電壓準位轉換為該第三節點上的該第三電壓準位；

將該第二節點上的第三邏輯訊號的該第二電壓準位轉換為該第四節點上的該第四電壓準位；以及

將該第三節點上的第四邏輯訊號的該第三電壓準位轉換為該第四節點上的該第四電壓準位。

45.如申請專利範圍第 38 項之方法，其中：

該第一電壓準位小於該第二電壓準位；以及

該第二電壓準位小於該第三電壓準位。

46.如申請專利範圍第 38 項之方法，其中：

該第一電壓準位小於該第三電壓準位；以及

該第三電壓準位小於該第二電壓準位。

47.如申請專利範圍第 38 項之方法，其中：

該第二電壓準位小於該第一電壓準位；以及

該第一電壓準位小於該第三電壓準位。

48.如申請專利範圍第 38 項之方法，其中：

該第二電壓準位小於該第三電壓準位；以及

該第三電壓準位小於該第一電壓準位。

49.如申請專利範圍第 38 項之方法，其中：

該第三電壓準位小於該第一電壓準位；以及

該第一電壓準位小於該第二電壓準位。

50.如申請專利範圍第 38 項之方法，其中：

該第三電壓準位小於該第二電壓準位；以及

該第二電壓準位小於該第一電壓準位。

51.一種用於雙向訊號介面之方法，其包括：

感測第一節點上第一邏輯訊號的轉換；

回應於該感測之轉換以產生禁止訊號，該禁止訊號具有至少足以允許該第一邏輯訊號自該第一節點傳播至第二節點之持續時間；以及

回應於該禁止訊號，阻止第二邏輯訊號自該第二節點連接至該第一節點。

52.如申請專利範圍第 51 項之方法，還包括：

感測該第二節點上第三邏輯訊號的轉換；以及

在感測該第三邏輯訊號的該轉換之後，至少預定時間內阻止第四邏輯訊號自該第一節點連接至該第二節點。

53.如申請專利範圍第 51 項之方法，其中阻止第二邏輯訊號自該第二節點連接至該第一節點包括回應於該禁止訊號，阻止該第二邏輯訊號之更高強度形式自該第二節點連接至該第一節點。

54.如申請專利範圍第 51 項之方法，其中阻止第二邏輯訊號自該第二節點連接至該第一節點包括：

回應於該禁止訊號，阻止該第二邏輯訊號之更高強度形式自該第二節點連接至該第一節點；以及

於該禁止訊號之該持續時間內，允許該第二邏輯訊號之更低強度形式自該第二節點連接至該第一節點。

十一、圖式：

如次頁

圖 1

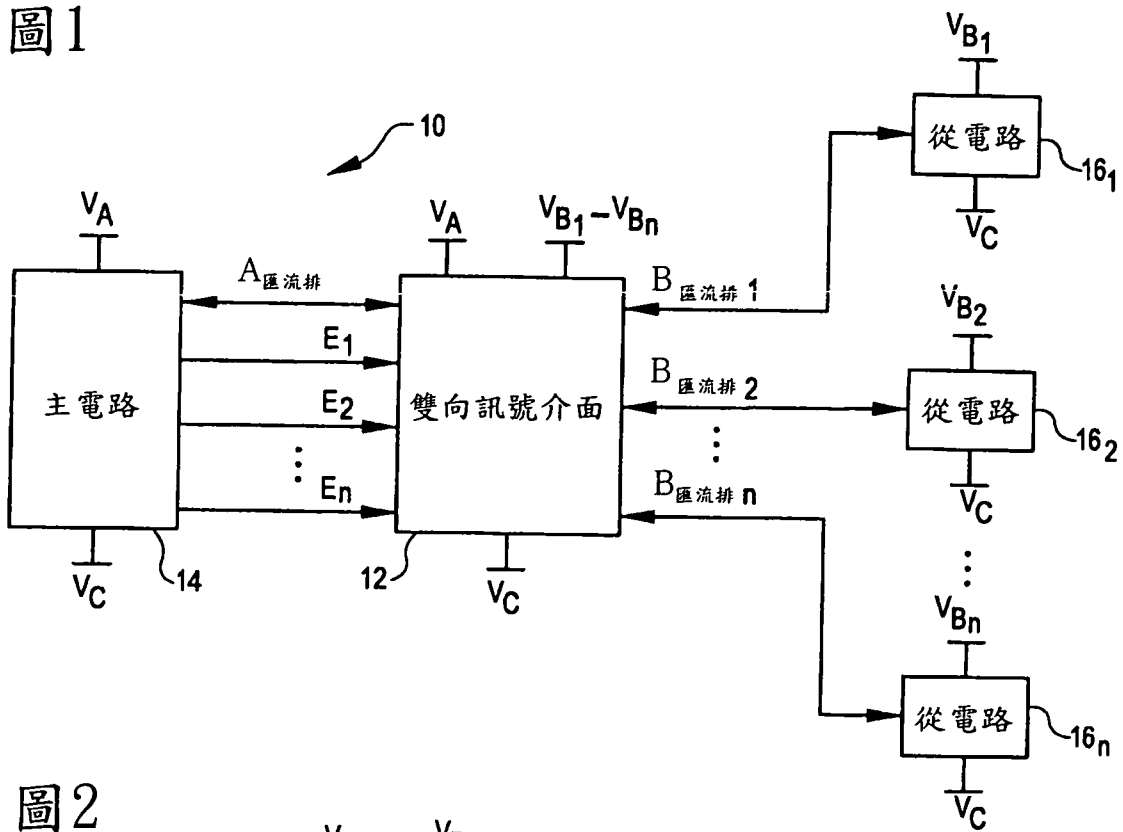


圖 2

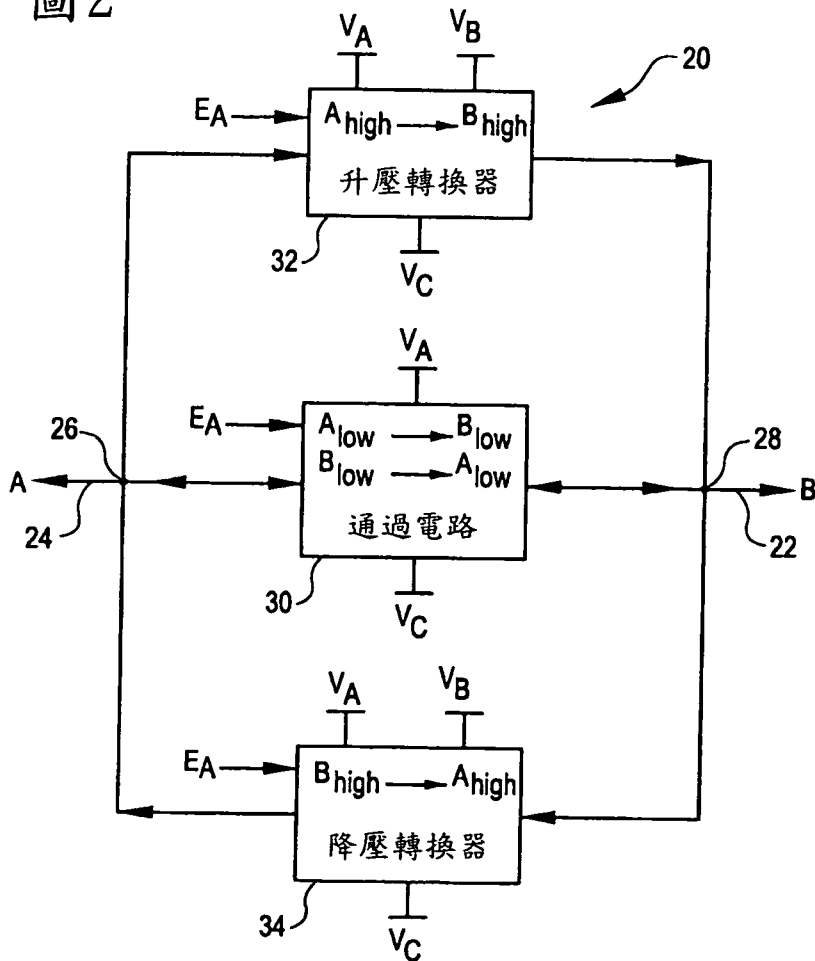


圖3

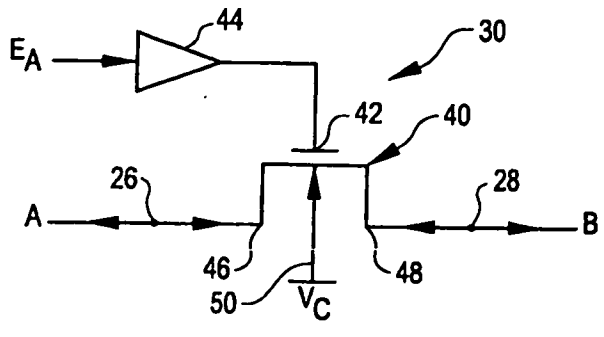


圖4

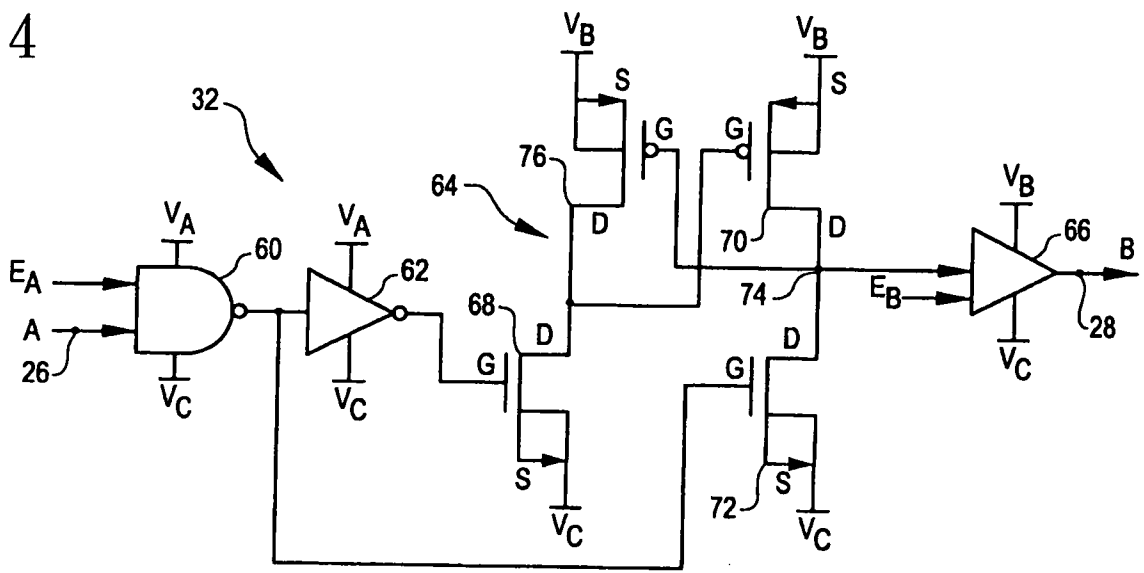


圖5

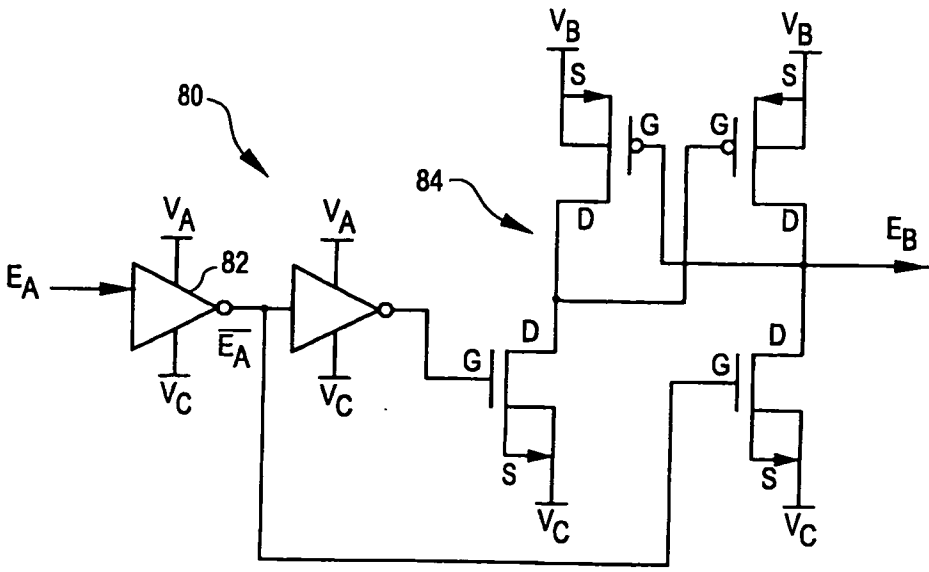


圖6

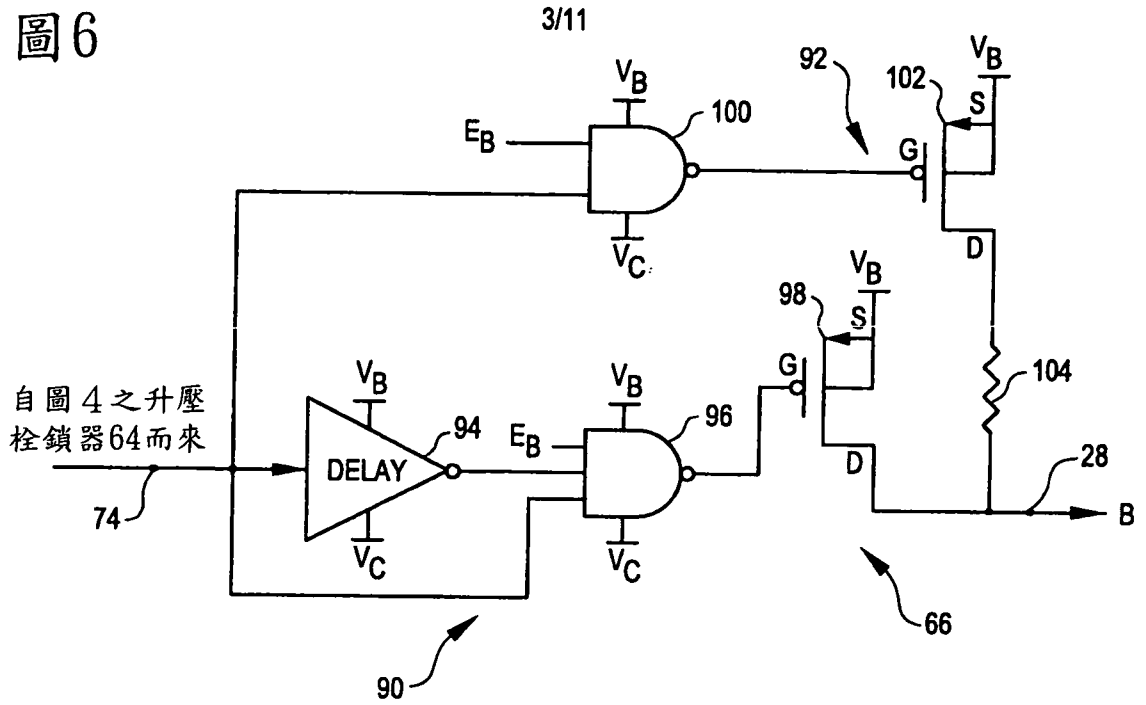


圖7

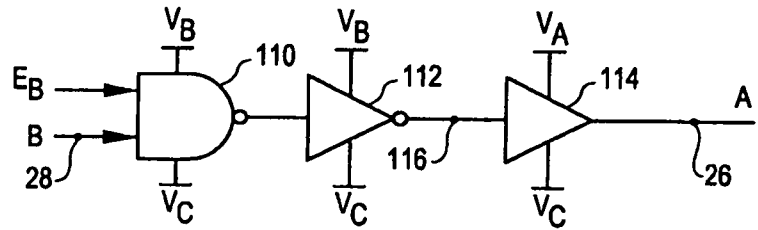


圖8

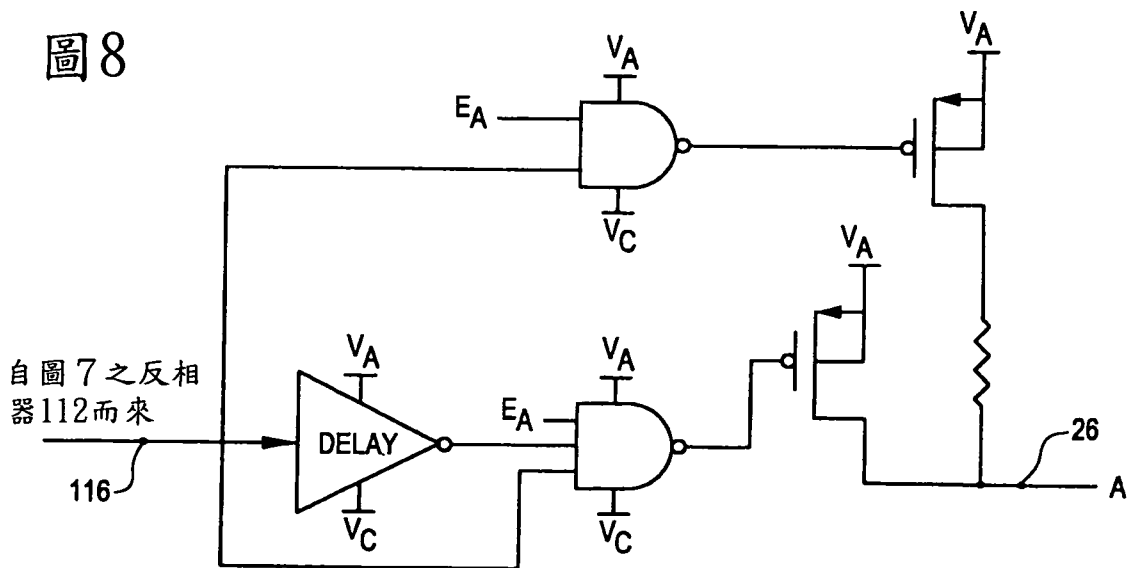


圖9

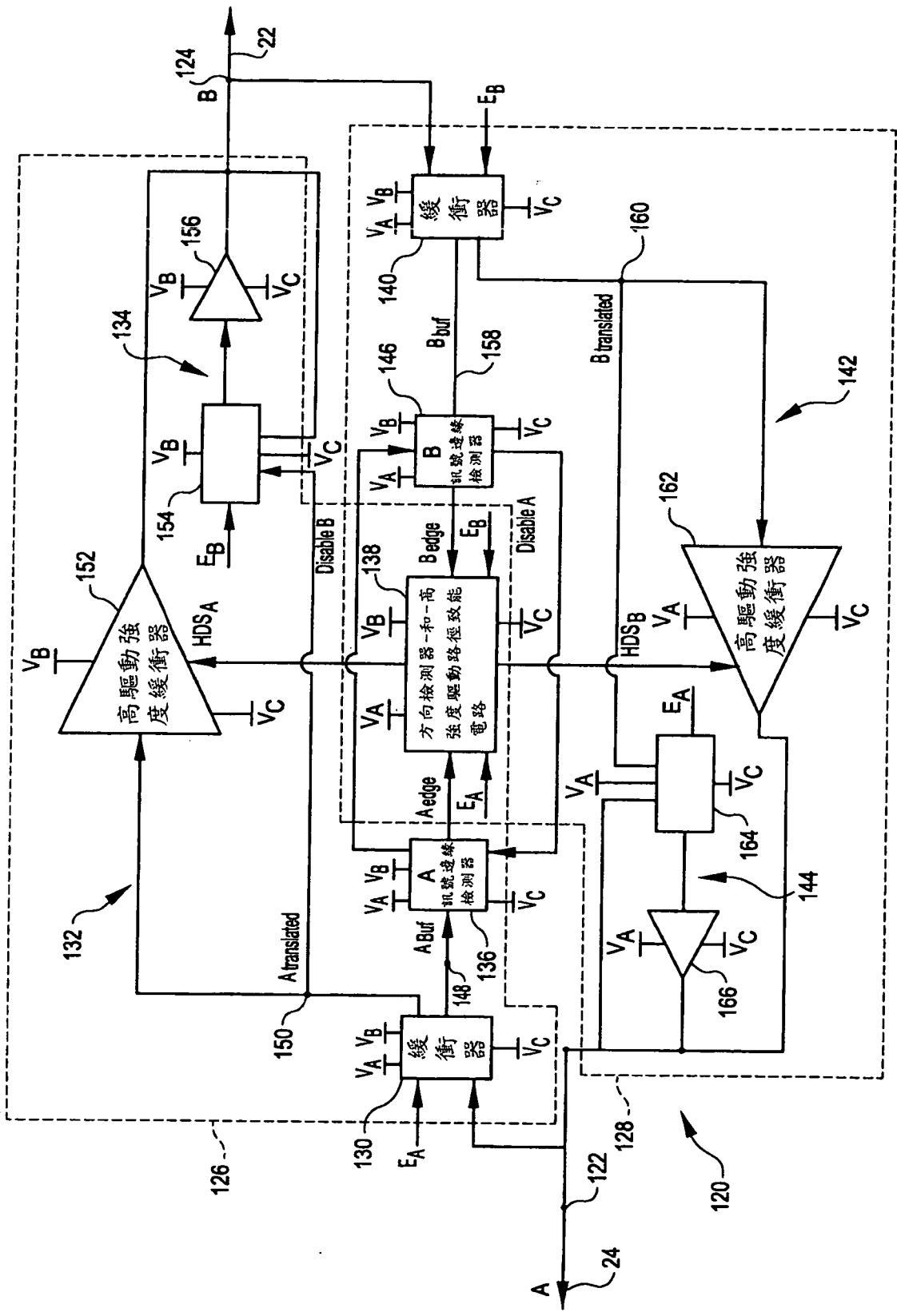


圖10

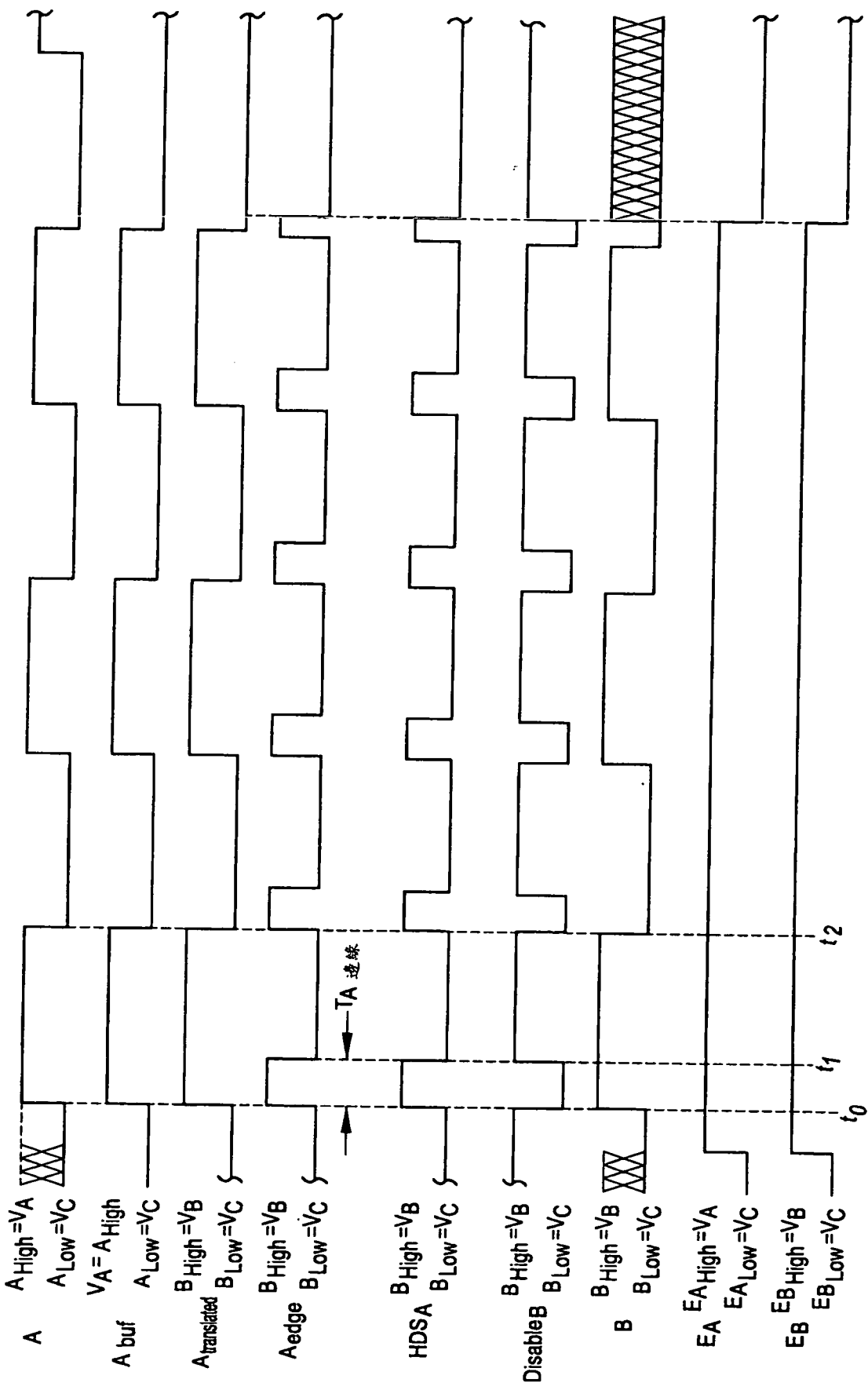


圖 11

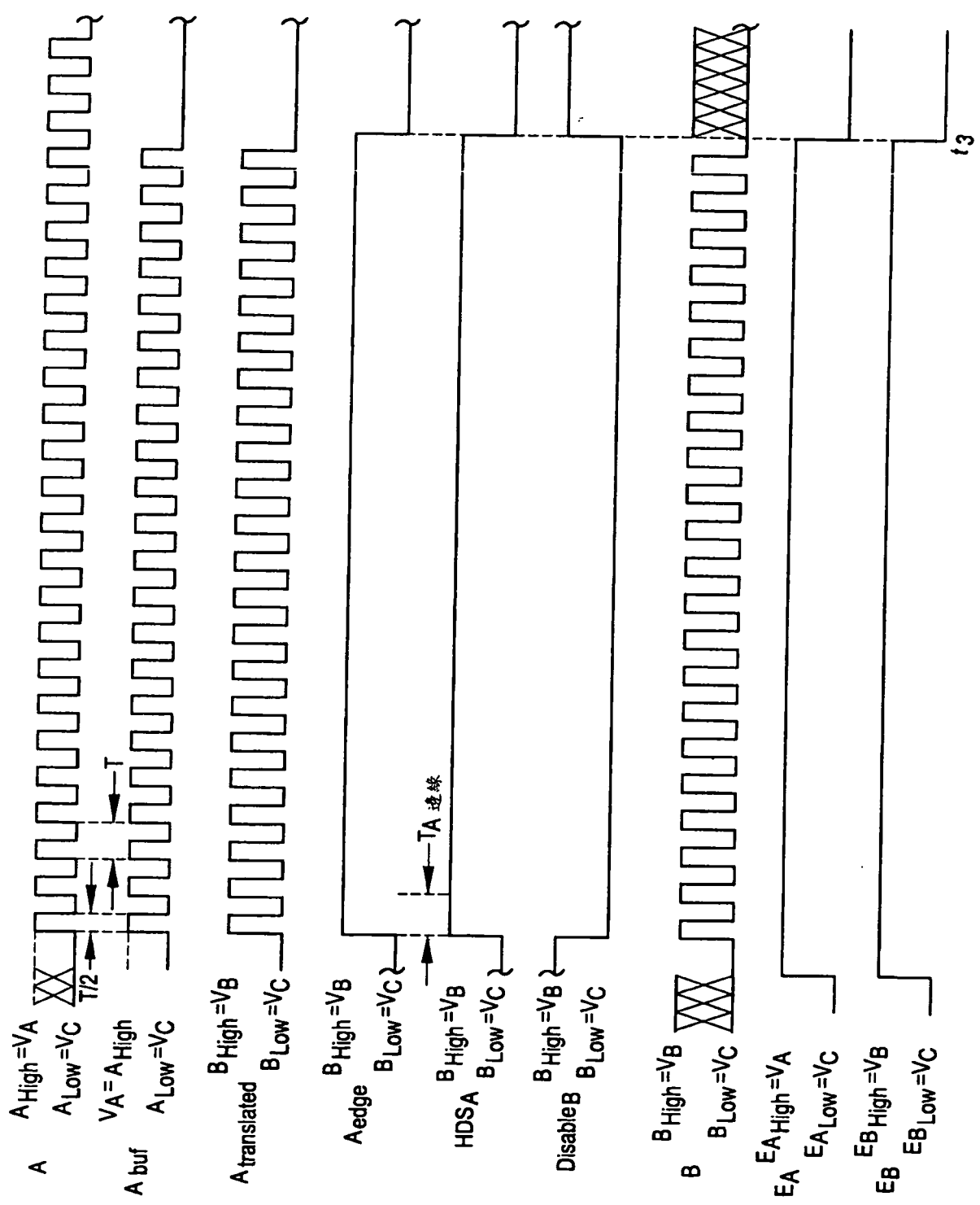


圖12

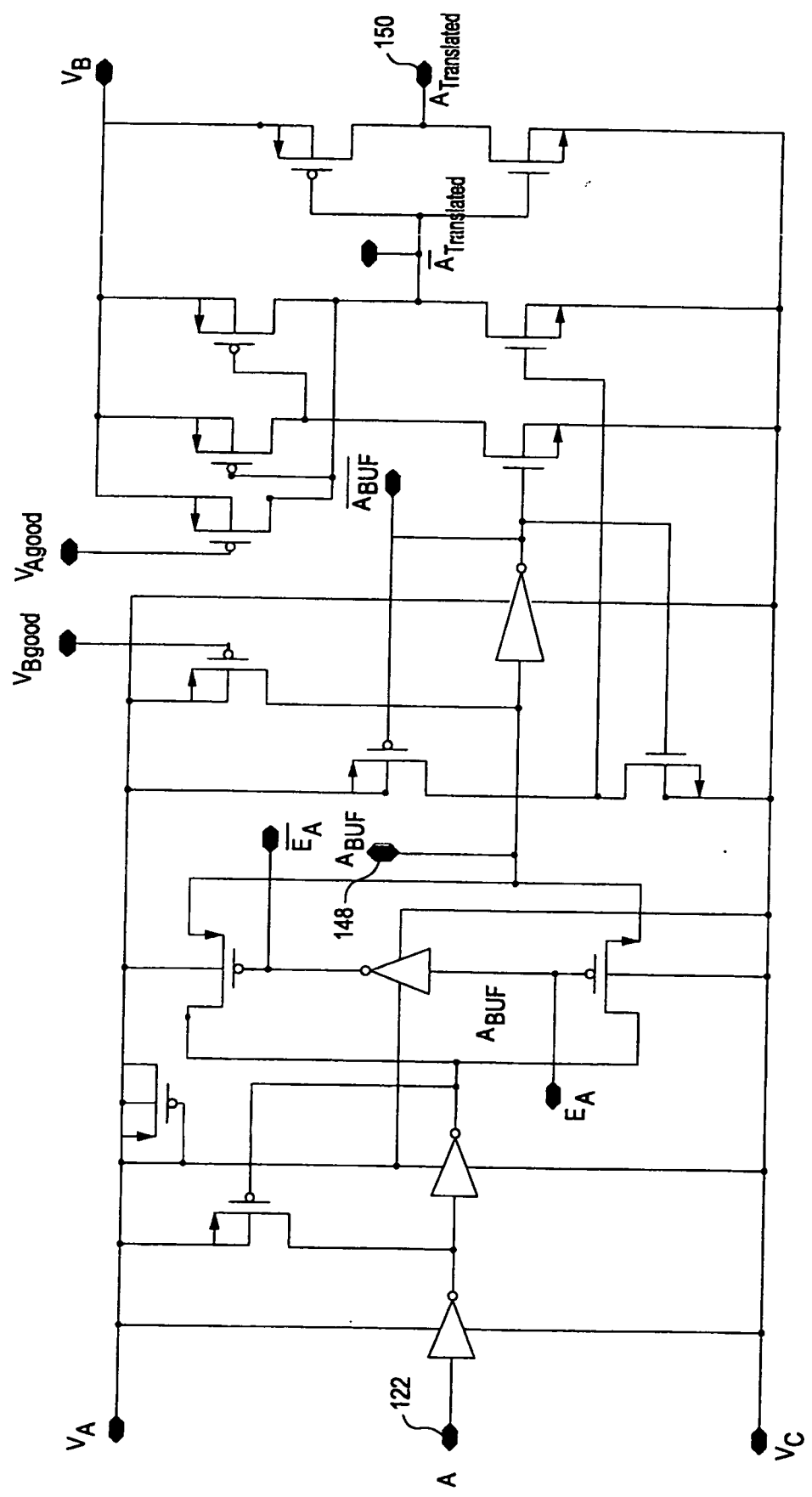


圖13

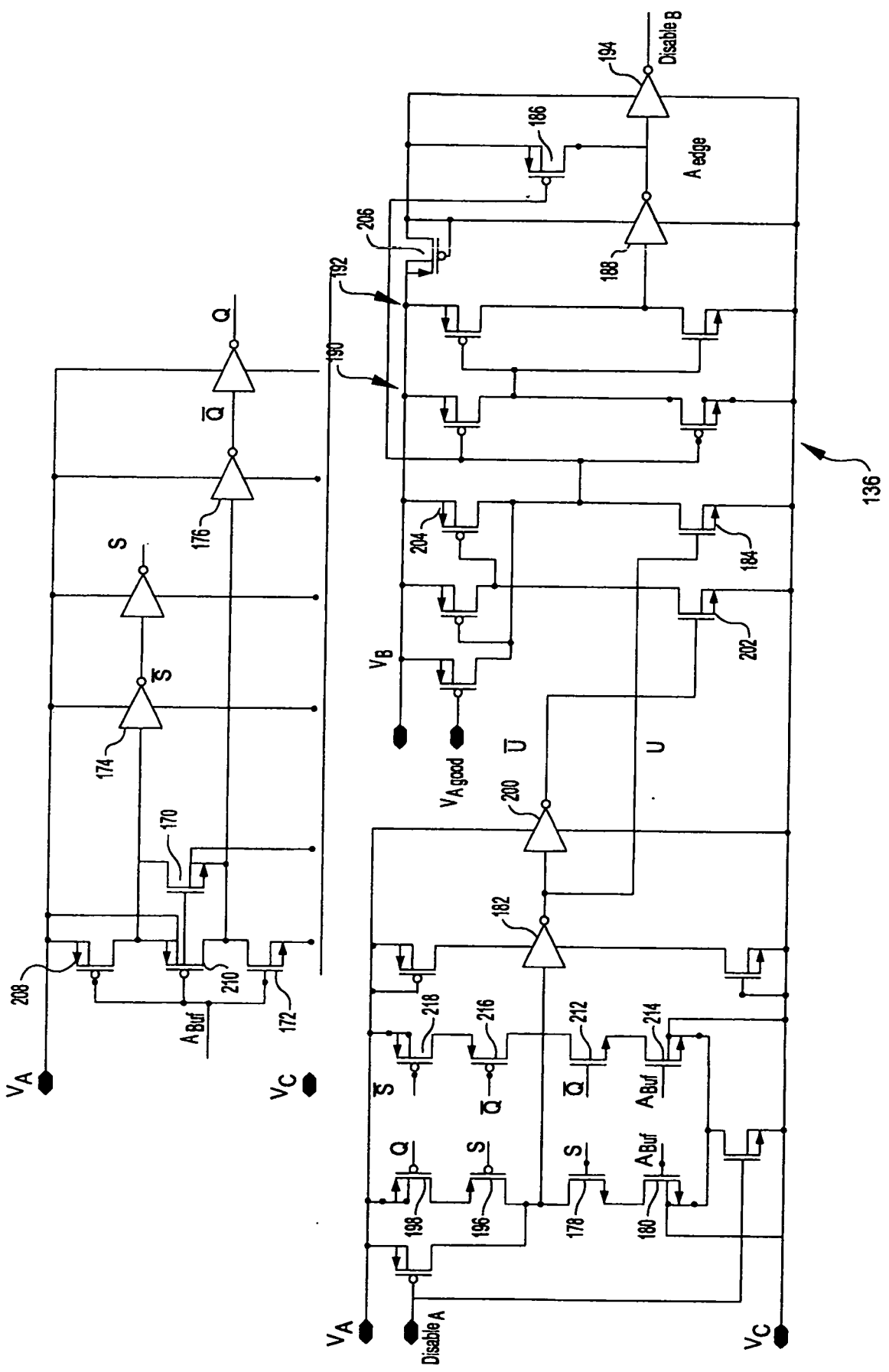


圖 14

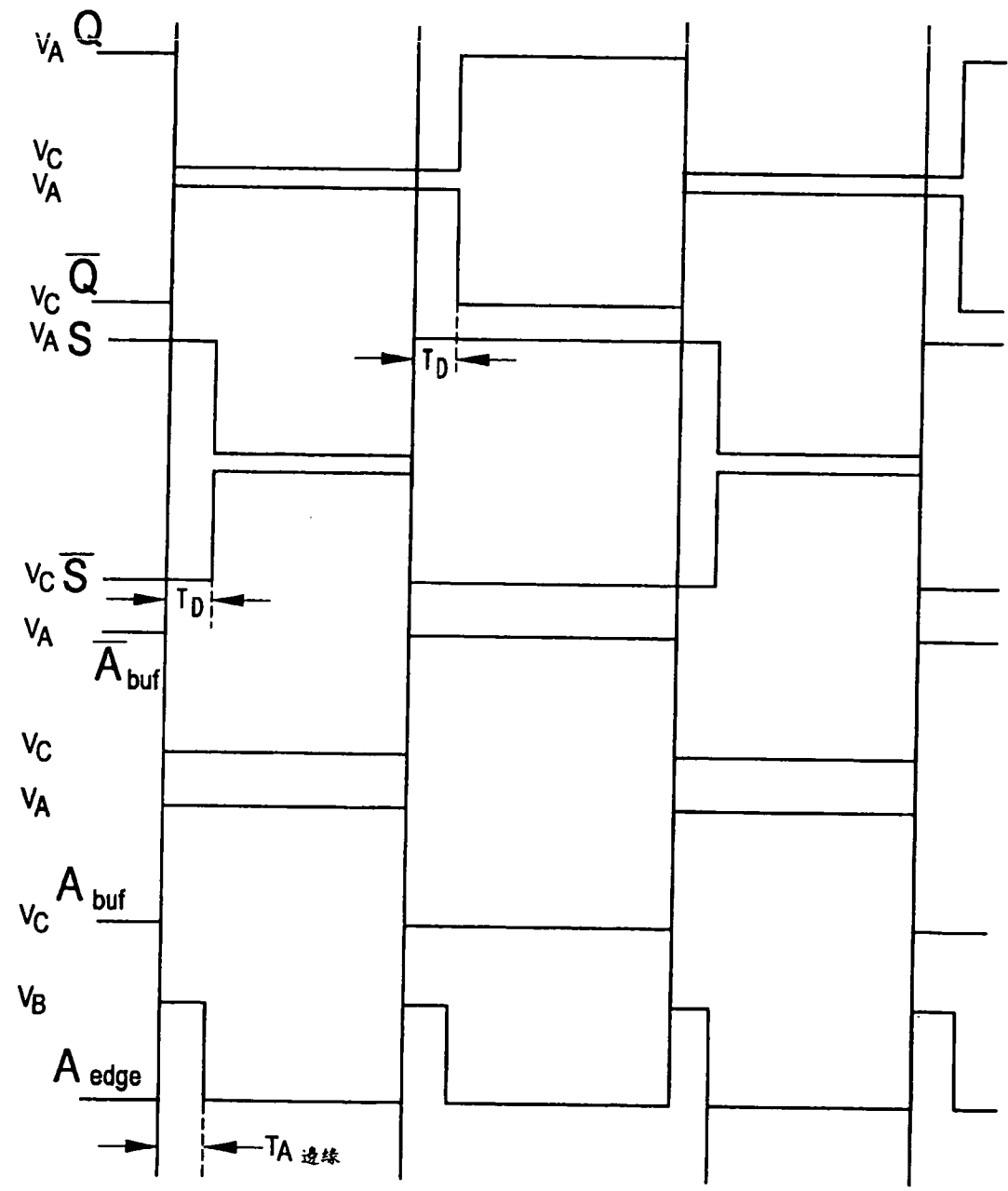


圖 16

