

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 1 月 21 日 (2021.1.21)

【公開番号】特開 2019-80035 (P2019-80035A)

【公開日】令和 1 年 5 月 23 日 (2019.5.23)

【年通号数】公開・登録公報 2019-019

【出願番号】特願 2018-102702 (P2018-102702)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/12 (2006.01)

H 0 1 L 29/739 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 8 H

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/78 6 5 8 E

H 0 1 L 29/78 6 5 5 A

【手続補正書】

【提出日】令和 2 年 12 月 1 日 (2020.12.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

M O S 構造の半導体素子を有する炭化珪素半導体装置であって、
炭化珪素で構成された第 1 または第 2 導電型の基板 (1) と、
前記基板の上に形成され、前記基板よりも低不純物濃度とされた第 1 導電型の半導体か
らなるドリフト層 (2) と、
前記ドリフト層の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
前記ベース領域の上に形成され、前記ドリフト層よりも第 1 導電型不純物濃度が高くさ
れた第 1 導電型の炭化珪素からなるソース領域 (4) と、
前記ドリフト層と前記ソース領域との間における前記ベース領域の表面に形成されたゲ
ート絶縁膜 (7) と、
前記ゲート絶縁膜の上に配置されたゲート電極 (8) と、
前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホール (10 a) が形
成された層間絶縁膜 (10) と、
前記コンタクトホールを通じて、前記ソース領域に電氣的に接続されたソース電極 (1
1) と、
前記基板の裏面側に形成されたドレイン電極 (12) と、を含む前記半導体素子を有し
、
前記ドリフト層は、第 1 導電型不純物濃度が $1.0 \times 10^{15} / \text{cm}^3$ 以上かつ $5 \times 10^{16} / \text{cm}^3$ 以下で、かつ、キャリアのライフタイムが $1 \mu \text{sec}$ 以下であり、
前記ドリフト層には $Z_{1/2}$ センター (2 a) が導入されており、該 $Z_{1/2}$ センター
の密度が $2 \times 10^{13} \text{cm}^{-3}$ 以上であると共に、該 $Z_{1/2}$ センターの密度は、前記ド

リフト層のうち前記基板との境界部においてピークを持っている炭化珪素半導体装置。

【請求項 2】

MO S 構造の半導体素子を有する炭化珪素半導体装置であって、
 炭化珪素で構成された第 1 または第 2 導電型の基板 (1) と、
 前記基板の上に形成され、前記基板よりも低不純物濃度とされた第 1 導電型の半導体からなるドリフト層 (2) と、
 前記ドリフト層の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
 前記ベース領域の上に形成され、前記ドリフト層よりも第 1 導電型不純物濃度が高くされた第 1 導電型の炭化珪素からなるソース領域 (4) と、
 前記ドリフト層と前記ソース領域との間における前記ベース領域の表面に形成されたゲート絶縁膜 (7) と、
 前記ゲート絶縁膜の上に配置されたゲート電極 (8) と、
 前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホール (10 a) が形成された層間絶縁膜 (10) と、
 前記コンタクトホールを通じて、前記ソース領域に電氣的に接続されたソース電極 (11) と、
 前記基板の裏面側に形成されたドレイン電極 (12) と、を含む前記半導体素子を有し、
 前記ドリフト層は、第 1 導電型不純物濃度が $1.0 \times 10^{15} / \text{cm}^3$ 以上かつ $5 \times 10^{16} / \text{cm}^3$ 以下で、かつ、キャリアのライフタイムが $1 \mu \text{sec}$ 以下であり、
前記ドリフト層には $Z_{1/2}$ センター (2 a) が導入されており、該 $Z_{1/2}$ センターの密度が $1 \times 10^{13} \text{cm}^{-4}$ 以上であると共に、該 $Z_{1/2}$ センターの密度は、前記ドリフト層のうち前記基板との境界部においてピークを持っている炭化珪素半導体装置。

【請求項 3】

前記基板のライフタイムが $0.05 \mu \text{sec}$ 以下である請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記ドリフト層は、第 1 導電型不純物濃度が $2 \times 10^{16} \text{cm}^{-3}$ 以下で、かつ、キャリアのライフタイムが $0.1 \mu \text{sec}$ 以下である請求項 1 ないし 3 のいずれか 1 つ に記載の炭化珪素半導体装置。

【請求項 5】

前記半導体素子は、
 前記ソース領域の表面から前記ベース領域よりも深く形成されたゲートトレンチ (6) 内に、該ゲートトレンチの内壁面を覆うように前記ゲート絶縁膜 (7) が配置されていると共に、前記ゲート絶縁膜の上に前記ゲート電極が配置されることでトレンチゲート構造が構成されたトレンチゲート型の MO S 構造とされている請求項 1 ないし 4 のいずれか 1 つ に記載の炭化珪素半導体装置。

【請求項 6】

炭化珪素で構成された第 1 または第 2 導電型の基板 (1) と、
 前記基板の上に形成され、前記基板よりも低不純物濃度とされた第 1 導電型の半導体からなり、第 1 導電型不純物濃度が $1.0 \times 10^{15} / \text{cm}^3$ 以上かつ $5 \times 10^{16} / \text{cm}^3$ 以下で構成されるドリフト層 (2) と、
 前記ドリフト層の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、
 前記ベース領域の上に形成され、前記ドリフト層よりも第 1 導電型不純物濃度が高くされた第 1 導電型の炭化珪素からなるソース領域 (4) と、
 前記ドリフト層と前記ソース領域との間における前記ベース領域の表面に形成されたゲート絶縁膜 (7) と、
 前記ゲート絶縁膜の上に配置されたゲート電極 (8) と、
 前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホール (10 a) が形成された層間絶縁膜 (10) と、

前記コンタクトホールを通じて、前記ソース領域に電氣的に接続されたソース電極（１１）と、

前記基板の裏面側に形成されたドレイン電極（１２）と、を含むＭＯＳ構造の半導体素子を有する炭化珪素半導体装置の製造方法であって、

前記ドリフト層におけるキャリアのライフタイムが $1\ \mu\text{s}$ 以下となるように、前記ドリフト層に対して $Z_{1/2}$ センター（２ａ）を導入することでライフタイムコントロールを行うこと、を含み、

前記ライフタイムコントロールを行うことは、前記ドリフト層に対してボロンイオンとリンイオンのいずれか一方もしくは両方を照射することにより行う炭化珪素半導体装置の製造方法。

【請求項７】

前記ドリフト層の第１導電型不純物濃度を $2 \times 10^{16}\ \text{cm}^{-3}$ とし、キャリアのライフタイムが $0.1\ \mu\text{s}$ 以下となるように、前記ライフタイムコントロールを行うこと、を含む請求項６に記載の炭化珪素半導体装置の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００９

【補正方法】変更

【補正の内容】

【０００９】

上記目的を達成するため、請求項１または２に記載の発明では、炭化珪素で構成された第１または第２導電型の基板（１）と、基板の上に形成され、基板よりも低不純物濃度とされた第１導電型の半導体からなるドリフト層（２）と、ドリフト層の上に形成された第２導電型の炭化珪素からなるベース領域（３）と、ベース領域の上に形成され、ドリフト層よりも第１導電型不純物濃度が高くされた第１導電型の炭化珪素からなるソース領域（４）と、ドリフト層とソース領域との間におけるベース領域の表面に形成されたゲート絶縁膜（７）と、ゲート絶縁膜の上に配置されたゲート電極（８）と、ゲート電極およびゲート絶縁膜を覆うと共にコンタクトホール（１０ａ）が形成された層間絶縁膜（１０）と、コンタクトホールを通じて、ソース領域に電氣的に接続されたソース電極（１１）と、基板の裏面側に形成されたドレイン電極（１２）と、を含む半導体素子を有している。そして、このような構成において、ドリフト層は、第１導電型不純物濃度が $1.0 \times 10^{15}\ \text{cm}^{-3}$ 以上かつ $5 \times 10^{16}\ \text{cm}^{-3}$ 以下で、かつ、キャリアのライフタイムが $1\ \mu\text{s}$ 以下となっている。そして、ドリフト層には $Z_{1/2}$ センター（２ａ）が導入されており、 $Z_{1/2}$ センターの密度は、ドリフト層のうち基板との境界部においてピークを持っている。