

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/28	(45) 공고일자 2002년07월 18일
	(11) 등록번호 10-0328749
	(24) 등록일자 2002년03월05일
(21) 출원번호 10-1998-0046339	(65) 공개번호 특 1999-0037532
(22) 출원일자 1998년 10월 30일	(43) 공개일자 1999년 05월 25일
(30) 우선권주장 97-299839 1997년 10월 31일	일본(JP)
(73) 특허권자	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 마쓰모또 아끼라
(74) 대리인	일본 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시끼가이샤 나이 특허법인코리아나

심사관 : 권인희

(54) 듀얼다마신구조를 갖는 반도체 장치 제조 방법

요약

제 1 절연막은 반도체 기판상에 형성된다. 그 후, 제 1 절연막상에, 제 1 포토레지스트가 형성된다. 콘택홀용 패턴이 제 1 포토레지스트에 형성된다. 그 후, 제 1 포토레지스트를 마스크로 사용하여 제 1 절연막이 에칭되므로, 콘택홀이 형성된다. 그 후, 제 1 포토레지스트가 제거되고, 유기 절연막이 전체 표면상에 형성된다. 추가로, 제 2 절연막이 유기 절연막상에 형성된다. 다음으로, 제 2 포토레지스트가 제 2 절연막상에 형성된다. 배선 트렌치용 패턴은 제 2 포토레지스트에 형성된다. 그 후, 제 2 포토레지스트를 마스크로 사용함으로써 제 2 절연막이 에칭된다. 다음으로, 제 2 절연막을 마스크로 사용함으로써 유기 절연막이 에칭되므로, 배선 트렌치가 형성된다.

대표도

도 4i

명세서

도면의 간단한 설명

- <1> 도 1 은 대표적인 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 나타내는 단면도.
<2> 도 2 는 미국 특허 번호 제 4,789,648 호에 개시된 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 나타내는 단면도.
<3> 도 3 은 미국 특허 번호 제 4,944,836 호에 개시된 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 공정순으로 나타내는 단면도.
<4> 도 4a 내지 도 4i 는 본 발명의 제 1 실시예에 따른 반도체 장치 제조 방법을 공정순으로 나타내는 단면도.
<5> 도 5 는 본 발명의 제 2 실시예에 따른 반도체 장치 제조 방법을 공정순으로 나타내는 단면도.
<6> 도 6 은 각종 방법에 의하여 제조된 반도체 장치의 배선층간 기생 용량 및 수율의 측정 결과를 나타내는 그래픽 선도.
<7> ※도면의 주요부분에 대한 부호의 설명※
<8> 101 : 실리콘 기판
<9> 102 : 소자 분리 영역
<10> 103 : 확산층
<11> 104 : 다결정 실리콘층
<12> 105 : 실리콘 질화막
<13> 106 : BPSG 막
<14> 108 : 콘택홀
<15> 109 : 유기 도포막
<16> 110 : 실리콘 산화막

- <17> 112 : 배선 트렌치
<18> 113 : 텅스텐층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <19> 본 발명은 듀얼 다마신 구조를 갖는 반도체 장치 제조 방법에 관한 것으로, 특히 치수 정확도가 높은 듀얼 다마신 구조를 갖는 반도체 장치 제조 방법에 관한 것이다.
- <20> 대표적인 종래의 반도체 장치 제조 방법에서 배선층 형성시, 배선 금속층이 반도체 기판의 전체 표면상에 형성된 후 배선 패턴의 형태를 갖는 포토레지스트가 형성된다. 그 후, 포토레지스트를 에칭 마스크로 사용함으로써 배선 금속층이 에칭된다.
- <21> 그러나, 더욱 미세한 패턴이 요구되는 최근의 반도체 장치에서, 배선 금속층의 에칭에만 의존하는 것은 생산에서의 곤란을 발생시킨다.
- <22> 따라서, 예를 들어, 배선 패턴이 형성되는 영역에 형성된 절연막을 에칭하고, 트렌치를 형성하며, 상기 트렌치내에 배선 금속층을 매립하여, 배선층을 형성하는 방법 (미국 특허 번호 제 4,944,836 호) 이 제안되어 왔다.
- <23> 더욱이, 상술한 방법으로부터 개발된 방법으로서, 자기-정렬 방식으로 연속적으로 하부 소자를 배선층에 접속하는 비어홀의 형성을 수행하고, 비어홀내에 금속층 및 배선 트렌치를 동시에 매립하여, 비어 플러그 및 배선층을 형성하는 방법 (미국 특허 번호 제 4,789,648 호) 이 제안되어 왔다. 이 방법에 따르면, 공정이 단축될 수 있고, 더욱이 비어홀 및 배선 트렌치의 노출시 발생하는 패턴의 오정렬로 인한 오류가 억제된다. 이 방법을 듀얼 다마신법이라고 부르며, 미래에 반도체 장치 제조 방법에서 중요하게 간주되는 기술이 되었다.
- <24> 한편, 더욱 미세한 패턴에 따라 발생하는 다른 문제로서, 인접 배선층들간 기생 용량에 의해 신호 전송 속도의 저하 및 크로스토크가 발생한다. 이 문제들에 대한 대응책으로서, 배선층 사이에 저유전율의 절연막을 갖는 구조체가 대표적으로 적용된다. 그와 같은 저유전율의 절연막으로서, 유기 도포막, 무기 도포막, 불소를 함유한 실리콘 산화막 및 불소를 함유한 비정질 탄소막이 연구되고 있다. 특히, 유기 절연막은 유전 상수가 극히 낮아, 유망한 재료이다.
- <25> 따라서, 상기 듀얼 다마신법 및 유기 절연막의 응용은 장래 반도체 장치의 제조 분야에서 필수적인 기술로 간주된다.
- <26> 도 1 은 대표적인 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 나타내는 단면도이다. Si 기판 (300) 의 표면상에, 소자 분리 영역 (301) 이 형성된다. Si 기판 (300) 상에, 제 1 에칭 스톱퍼 (302), 제 1 층간 절연막 (303), 제 2 에칭 스톱퍼 (304), 제 2 층간 절연막 (305) 이 순차적으로 적층되고 포토레지스트 (306) 가 적층된다. 콘택홀 (307) 이 그에 의하여 형성된 적층체를 관통하여 형성된다.
- <27> 듀얼 다마신법을 사용하는 이 종래 제조 방법에서, 콘택홀 (307) 이 상술한 바와 같이 에칭에 의해 형성된 후 배선 트렌치를 형성하기 위하여 포토레지스트 (도시하지 않음) 의 노광 및 에칭이 수행된다. 콘택홀 (307) 의 에칭을 수행하기 위해, 제 2 층간 절연막 (305), 제 2 에칭 스톱퍼 (304), 제 1 층간 절연막 (303) 및 제 1 에칭 스톱퍼 (302) 의 에칭을 순차적으로 수행하는 것이 필요하다. 따라서, 전체적으로는, 4 개의 에칭 공정이 요구된다. 고집적도를 갖는 반도체 장치에서, 도 1 에 도시한 바와 같이, 소자 영역 및 소자 분리 영역 (301) 으로 연장되도록 콘택홀 (307) 이 형성되는 경우, 제 1 에칭 스톱퍼 (302) 는 소자 분리 영역 (301) 의 실리콘 산화막이 에칭되는 것을 방지하는 기능을 한다.
- <28> 예를 들어, 실리콘 산화막이 제 1 및 제 2 층간 절연막 (303 및 305) 으로서 사용되고 실리콘 질화막이 제 1 및 제 2 에칭 스톱퍼 (302 및 304) 로서 사용된다면, 실리콘 산화막의 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 CHF₃ 가스 및 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다. 더욱이, 실리콘 질화막의 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 CF₄ 가스, 20 sccm 의 플로우 레이트를 갖는 H₂ 가스 및 560 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <29> 도 2 는 미국 특허 번호 제 4,789,648 호에 개시된 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 나타내는 단면도이다. Si 기판 (401) 상에, 제 1 에칭 스톱퍼 (402), 제 1 층간 절연막 (403) 및 제 2 에칭 스톱퍼 (404) 가 순차적으로 적층된다. 제 2 에칭 스톱퍼 (404) 상에, 트렌치를 갖는 제 2 층간 절연막 (405) 이 제공된다. 더욱이, 트렌치내에 매립되고 제 2 층간 절연막 (405) 의 표면을 덮는 반사 방지 도포막 (408) 이 제공된다. 반사 방지 도포막 (408) 상에, 패턴링된 포토레지스트 (406) 가 형성된다.
- <30> 듀얼 다마신법을 사용하는 이러한 종래 제조 방법에서, 콘택홀을 형성하기 위한 노광에 의하여 포토레지스트에 미세한 패턴이 형성된다. 따라서, 콘택홀에 앞서, 배선 트렌치가 상술한 바와 같이 형성된다. 그 후, 반사 방지 도포막 (408) 이 배선 트렌치내에 매립되고, 평탄화가 수행된다. 다음으로, 콘택홀을 형성하기 위해 포토레지스트가 노광된다. 콘택홀을 형성하기 위하여 에칭 수행

시, 상기 반사 방지 도포막 (408) 도 에칭된다.

<31> 도 3 은 미국 특허 번호 제 4,944,836 호에 개시된 듀얼 다마신법을 사용하는 종래 반도체 장치 제조 방법을 공정순으로 나타내는 단면도이다. 도 3 의 (a) 에 도시한 바와 같이, 제 1 에칭 스톱퍼 (501), 제 1 층간 절연막 (502), 패터닝된 제 2 에칭 스톱퍼 (503), 제 2 층간 절연막 (504), 패터닝된 포토레지스트 (505) 가 Si 기판 (500) 상에 순차적으로 적층된다. 그 후, 배선 트렌치 (506) 및 비어홀 (507) 이 도 3 의 (b) 에 도시한 바와 같이, 형성된다.

<32> 듀얼 다마신법을 사용하는 이 종래 제조 방법에서, 포토레지스트 (505) 및 제 2 에칭 스톱퍼 (503) 가 패터닝된다. 따라서, 배선 트렌치 (506) 및 비어홀 (507) 을 형성하는 에칭 즉, 높은 에스펙트비의 콘택-에칭시의 공정수가 많은 에칭을 할 필요가 없다. 더욱이, 상술한 종래 기술의 두 가지 예와 비교할 때, 콘택홀이 보다 용이하게 형성될 수 있다.

발명이 이루고자 하는 기술적 과제

<33> 그러나, 도 1 에 도시한 대표적인 듀얼 다마신법을 사용하는 반도체 장치 제조 방법에서, 제조상의 편차를 감안하여, 실리콘 산화막 또는 실리콘 질화막 에칭 공정의 일반적인 막 두께와 비교하여 오버-에칭을 수행하는 것이 필요하다. 이 때, 측면 방향으로의 에칭 또는 증착이 발생한다. 따라서, 콘택홀의 치수를 제어하는 것은 대단히 어렵다. 특히 그와 같은 듀얼 다마신법에서, 콘택홀을 형성하기 위하여 에칭되는 막 두께는 종래 방법을 사용하여 에칭되는 막 두께와 절연막의 막 두께의 합이 된다. 따라서, 콘택홀의 에스펙트 비율은 대단히 커진다. 결과적으로, 미세한 콘택홀의 에칭이 더욱 어려워진다.

<34> 도 2 에 도시한 듀얼 다마신법을 사용하는 반도체 장치 제조 방법에서, 콘택홀의 노광전에 트렌치가 미리 형성된다. 그러나, 노광에 의하여 미세한 패턴을 형성하기 위하여, 트렌치내에 반사 방지 도포막을 매립하고 평탄화를 수행하는 것이 필요하다. 따라서, 콘택홀 에칭 공정에서, 반사 방지 도포막을 에칭하는 여분의 공정이 요구된다. 더욱이, 제조 방법에서 미세한 콘택홀을 형성하는 것 또한 어렵다.

<35> 한편, 도 3 에 도시한 듀얼 다마신법을 사용하는 반도체 장치 제조 방법에서, 에스펙트 비율이 높은 콘택홀을 형성하기 위하여 다수의 공정을 갖는 에칭은 요구되지 않는다. 따라서, 상술한 종래 기술의 두가지 예와 비교할 때, 콘택홀이 용이하게 형성될 수 있다. 그러나, 제 2 에칭 스톱퍼의 에칭 속도를 제 1 층간 절연막 및 제 2 층간 절연막의 에칭 속도의 1/20 이하로 되게 하는 것이 필요하다. 실리콘 질화막 또는 실리콘 산화막과 같은 막이 사용되면, 미세한 트렌치를 포함하는 배선 트렌치의 깊이의 제어가 대단히 어려워진다. 결과적으로, 제조상의 마진이 적어지고 수율이 대단히 낮아진다.

<36> 본 발명의 목적은 치수 정확도가 높고 에스펙트 비율이 높은 각각의 콘택홀, 비어홀 또는 배선 트렌치 형성이 가능한 듀얼 다마신 구조를 갖는 반도체 장치 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<37> 본 발명에 따르는 듀얼 다마신 (dual damascene) 구조를 갖는 반도체 장치 제조 방법은 표면에 소자 영역을 갖는 반도체 기판상에 제 1 절연막을 형성하는 단계 및, 제 1 절연막상에 제 1 포토레지스트를 형성하는 단계를 구비한다. 다음으로, 콘택홀 또는 비어홀용 패턴이 노광법을 사용함으로써 제 1 포토레지스트에 형성된다. 그 후, 제 1 포토레지스트를 마스크로 사용함으로써 제 1 절연막이 에칭되므로, 소자 영역에 전기적인 전도를 제공하는 콘택홀 또는 비어홀이 형성된다. 그 후, 제 1 포토레지스트가 제거되고, 전체 표면상에 유기 절연막이 형성된다. 더욱이, 제 2 절연막이 유기 절연막상에 형성된다. 다음으로, 제 2 포토레지스트가 제 2 절연막상에 형성된다. 배선 트렌치용 패턴은 노광법을 사용함으로써 제 2 포토레지스트에 형성된다. 그 후, 제 2 포토레지스트를 마스크로 사용함으로써 제 2 절연막이 에칭된다. 다음으로, 제 2 절연막을 마스크로 사용함으로써 유기 절연막이 에칭되므로, 배선 트렌치가 형성된다. 전도층은 콘택홀 또는 비어홀과 배선 트렌치내에 매립된다.

<38> 본 발명에 따르면, 에칭 공정에서 다수의 공정이 감소한다. 높은 치수 정확도와 더불어, 에스펙트 비율이 높은 각각의 콘택홀 및 비어홀이 형성될 수 있다. 더욱이, 유기 절연막이 사용되기 때문에, 마스크로서 역할하는 다른 절연막과 에칭 속도에서의 차이가 커지고 커다란 마진이 보장될 수 있다. 결과적으로, 수율이 현저하게 향상될 수 있고, 배선층들간 기생 용량이 감소될 수 있다. 따라서, 반도체 장치의 동작 속도가 증가될 수 있다.

<39> 이후, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 반도체 장치 제조 방법을 구체적으로 설명한다. 도 4a 내지 도 4i 는 본 발명의 제 1 실시예에 따른 반도체 장치 제조 방법을 공정순으로 나타내는 단면도이다.

<40> 제 1 실시예에서, 배선층을 포함하는 소자 영역 (도시하지 않음) 을 갖는 확산층 (103) 이 도 4a 에 도시한 바와 같이 실리콘 기판 (101) 의 표면에 우선 형성된다. 다음으로, 실리콘 산화막을 포함하는 소자 분리 영역 (102) 이 확산층 (103) 의 표면에 선택적으로 형성된다. 그 후, 다결정 실리콘층 (104) 이 소자 분리 영역 (102) 상에 선택적으로 형성된다. 에칭 스톱퍼로서 역할하는 제 1 절연막으로서, 예를 들어, 500 Å 의 막 두께를 갖는 실리콘 질화막 (105) 이 화학 기상 증착법 (CVD) 을 사용함으로써 형성된다. 더욱이, 제 2 절연막으로서, 예를 들어, 2 μm 의 막 두께를 갖는 BPSG (붕소가 도핑된 포스포-실리케이트 (phospho-silicate) 유리) 막 (106) 이 CVD법을 사용함으로써 실리콘 질화막 (105) 상에 형성된다. 그 후, 확산층 (103) 상의 전체 막 두께가 예를 들어, 1 μm 가 될 때 까지 BPSG 막 (106) 의 표면은 화학-기계적 연마법을 사용함으로써 평탄화된다.

<41> 다음으로, 도 4b 에 도시한 바와 같이, 제 1 포토레지스트 (107) 가 BPSG 막 (106) 상에 형성된다. 통상적인 노광법을 사용함으로써 콘택홀용 패턴이 제 1 포토레지스트 (107) 에 형성된다.

- <42> 다음으로, 패터닝된 제 1 포토레지스트 (107) 를 마스크로 사용함으로써, 도 4c 에 도시한 바와 같이 BPSG 막 (106) 의 에칭 속도가 실리콘 질화막 (105) 의 에칭 속도보다 커지도록 하는 조건하에서 콘택홀 (108) 이 이방성 건식 에칭에 의하여 형성된다. BPSG 막 (106) 의 에칭 속도가 실리콘 질화막 (105) 의 에칭 속도보다 크기 때문에, 이 공정에서 콘택홀 (108) 의 형성은 실리콘 질화막 (105) 의 표면에서 정지된다.
- <43> 다음으로, 제 1 포토레지스트 (107) 를 마스크로 사용함으로써, 도 4d 에 도시한 바와 같이 실리콘 질화막 (105) 의 에칭 속도가 실리콘 산화막의 에칭 속도보다 커지도록 하는 조건하에서 실리콘 질화막 (105) 이 에칭된다.
- <44> 이러한 방식으로, 에칭은 두 단계로 수행된다. 따라서, 콘택홀 (108) 이 부분적으로 소자 분리 영역 (102) 으로 돌출된다 하더라도, 소자 분리 영역 (102) 을 형성하는 실리콘 산화막은 에칭되지 않는다. 따라서, 소자의 성능은 손상되지 않는다.
- <45> BPSG 막 (106) 의 에칭은 예를 들어, 20 sccm 의 플로우 레이트 (flow rate) 를 갖는 C_4F_8 가스 및 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다. 실리콘 질화막 (105) 의 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 CF_4 가스, 20 sccm 의 플로우 레이트를 갖는 H_2 가스 및 560 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <46> 다음으로, 도 4e 에 도시한 바와 같이, 제 1 포토레지스트 (107) 가 제거된다. 그 후, 콘택홀 (108) 이 형성되지 않은 영역의 BPSG 막 (106) 상에 막 두께가 예를 들어, 0.5 μm 되도록 예를 들어, 벤즈시클로부텐 (BCB) 으로 이루어진 유기 도포막 (유기 절연막) (109) 이 전체 표면에 도포된다. 그 후, 유기 도포막 (109) 은 300 °C 에서 베이킹 (bake) 된다. 예를 들어, 2,000 Å 의 막 두께를 갖는 실리콘 산화막 (110) 이 플라즈마 CVD법을 사용함으로써 유기 도포막 (109) 상에 제 3 절연막으로서 형성된다.
- <47> 다음으로, 도 4f 에 도시한 바와 같이, 제 2 포토레지스트 (111) 가 실리콘 산화막 (110) 상에 형성된다. 통상적인 노광법을 사용함으로써 배선 트렌치용 패턴이 제 2 포토레지스트 (111) 에 형성된다.
- <48> 다음으로, 도 4g 에 도시한 바와 같이, 패터닝된 제 2 포토레지스트 (111) 를 마스크로 사용함으로써 실리콘 산화막 (110) 이 에칭된다. 상기 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 C_4F_8 가스, 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <49> 다음으로, 도 4h 에 도시한 바와 같이, 유기 도포막 (109) 이 실리콘 산화막 (110) 을 마스크로 사용함으로써 에칭된다. 따라서 배선 트렌치 (112) 가 형성된다. 상기 에칭은 예를 들어, 150 sccm 의 플로우 레이트를 갖는 Cl_2 가스 및 150 sccm 의 플로우 레이트를 갖는 O_2 가스를 사용하고, 기판 온도를 20 °C 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <50> 상기 공정에서, 유기 재료로 이루어진 제 2 포토레지스트 (111) 는 유기 도포막 (109) 이 에칭됨과 동시에 에칭된다. 따라서, 제 2 포토레지스트 (111) 를 제거하는 단계는 요구되지 않는다.
- <51> 더욱이, 유기 도포막 (109) 은 에칭 조건에서 실리콘 산화막과 현저하게 다르기 때문에, 유기 도포막 (109) 의 에칭 속도는 실리콘 산화막의 에칭 속도의 50 배 정도가 되도록 조절될 수 있다.
- <52> 다음으로, 예를 들어, TiN 등으로 이루어지고 500 내지 1000 Å 의 범위내에서 막 두께를 갖는 배리어 금속층 (도시하지 않음) 이 전체 표면에 형성된다. 더욱이, 도 4i 에 도시한 바와 같이, CVD 법을 사용함으로써 텅스텐층 (113) 이 전도층으로서 형성된다. 콘택홀 (108) 의 내부 및 배선 트렌치 (112) 의 내부를 제외한 영역에 형성되는 텅스텐층 (113) 및 배리어 금속층은 화학-기계적 연마법을 사용함으로써 제거된다. 결과적으로, 배선층 및 콘택 플러그가 형성된다.
- <53> 본 실시예에 따라서, 콘택홀의 에칭은 두 단계에서만 완성될 수 있다. 더욱이, 에스펙트 비율은 종래 기술의 에스펙트 비율과 거의 동일하기 때문에, 콘택홀 (108) 이 매우 정확하게 형성될 수 있다.
- <54> 이제, 본 발명의 제 2 실시예를 설명한다. 도 5 는 본 발명의 제 2 실시예에 따른 반도체 제조 방법을 공정순으로 나타내는 단면도이다.
- <55> 제 2 실시예에서, 알루미늄 또는 알루미늄 합금으로 이루어진 Al 배선층 (202) 이 도 5 의 (a) 에 도시한 바와 같이, 반도체 기판 (도시하지 않음) 상에 형성된 층간 절연막 (201) 의 표면에 선택적으로 우선 형성된다. 다음으로, 예를 들어, 0.8 μm 의 막 두께를 갖는 제 1 실리콘 산화막 (203) 이 제 1 절연막으로서 전체 표면에 형성된다. 더욱이, 제 1 포토레지스트 (204) 가 제 1 실리콘 산화막 (203) 상에 형성되고, 통상적인 노광법을 사용함으로써 비어홀용 패턴이 제 1 포토레지스트 (204) 에 형성된다. 패터닝된 제 1 포토레지스트 (204) 를 마스크로 사용하는 이방성 건식 에칭에 의하여, 제 1 실리콘 산화막 (203) 이 에칭된다. 결과적으로, 비어홀 (205) 이 형성된다. 상기 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 CHF_3 가스 및 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <56> 부연하면, Al 배선층 (202) 이 제 1 실시예에서의 텅스텐 대신에 알루미늄을 사용함으로써 형성되고 텅스텐층 (113) 에 대응한다면, 비어홀 (205) 의 에칭은 제 1 실시예에서의 실리콘 산화막 (110) 에 대응하는 막이 에칭시 정지된다. 이 경우에 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 CHF_3 가스 및 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 °C 로 설정하며,

바이어스 파워를 25 W 로 설정함으로써 수행된다.

- <57> 다음으로, 도 5 의 (b) 에 도시한 바와 같이, 제 1 포토레지스트 (204) 가 제거된다. 그 후, 비어홀 (205) 이 형성되지 않은 영역의 제 1 실리콘 산화막 (203) 상의 막 두께가 예를 들어, 0.7 μm 되도록 예를 들어, BCB로 이루어진 유기 도포막 (유기 절연막) (206) 이 전체 표면상에 도포된다. 더욱이, CVD법을 사용함으로써 제 2 실리콘 산화막 (207) 이 제 2 절연막으로서 유기 도포막 (206) 상에 형성된다.
- <58> 다음으로, 도 5 의 (c) 에 도시한 바와 같이, 제 2 포토레지스트 (208) 가 실리콘 산화막 (207) 상에 형성되고, 통상적인 노광법을 사용함으로써 배선 트렌치용 패턴이 제 2 포토레지스트 (208) 에 형성된다.
- <59> 다음으로, 도 5 의 (d) 에 도시한 바와 같이, 패턴닝된 제 2 포토레지스트 (208) 를 마스크로 사용함으로써 실리콘 산화막 (207) 이 에칭된다. 상기 에칭은 예를 들어, 20 sccm 의 플로우 레이트를 갖는 C_2F_8 가스 및 580 sccm 의 플로우 레이트를 갖는 Ar 가스를 사용하고, 기판 온도를 10 $^{\circ}\text{C}$ 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다.
- <60> 다음으로, 도 5 의 (e) 에 도시한 바와 같이, 실리콘 산화막 (207) 을 마스크로 사용함으로써, 유기 도포막 (206) 이 에칭된다. 따라서, 배선 트렌치 (210) 가 형성된다. 상기 에칭은 예를 들어, 150 sccm 의 플로우 레이트를 갖는 Cl_2 가스 및 150 sccm 의 플로우 레이트를 갖는 O_2 가스를 사용하고, 기판 온도를 20 $^{\circ}\text{C}$ 로 설정하며, 바이어스 파워를 25 W 로 설정함으로써 수행된다. 상기 공정에서, 유기 도포막 (206) 과 함께 제 2 포토레지스트 (208) 도 동시에 제거된다.
- <61> 다음으로, 예를 들어, TiN 등으로 이루어지고 500 내지 1,000 \AA 의 범위내에서 막 두께를 갖는 배리어 금속층 (도시하지 않음) 이 전체 표면상에 형성된다. 더욱이, CVD법 또는 스퍼터링법과 리플로우법을 결합함으로써 얻어지는 방법을 사용함으로써 Al 또는 Al 합금층 (209) 이 전도층으로서 전체 표면상에 형성된다. 비어홀 (205) 의 내부 및 배선 트렌치 (210) 의 내부를 제외한 영역에 형성되는 Al 또는 Al 합금층 (209) 과 배리어 금속층은 화학-기계적 연마법을 사용함으로써 제거된다. 결과적으로, 도 5 의 (f) 에 도시한 바와 같이, 배선층 및 비어 플러그가 형성된다.
- <62> 이제, 본 발명의 실시예의 효과를 설명한다. 단계 금속화 구조의 배선층들간 직렬로 접속된 30,000 개의 콘택을 갖는 각각의 측정용 반도체 장치를 제 1 실시예 및 제 2 실시예에 따라서 제조하였다. 그와 같은 구조를 콘택 체인 (contact chain) 이라 부른다. 콘택 체인의 양단에 위치한 배선층들 사이에 전압을 인가하였다. 전류를 흐르지 못하게 하는 반도체 장치는 오류 장치로 판단함으로써, 수율 측정을 행하였다. 더욱이, 도 1 에 도시한 종래 기술 (비교예 1) 및 도 2 에 도시한 종래 기술 (비교예 2) 에 대하여 동일한 수율 측정을 행하였다.
- <63> 더욱이, 0.3 μm 의 배선 간격을 갖는 각각의 반도체 장치를 제 1 실시예 및 제 2 실시예에 따라서 제조하였다. 이 반도체 장치들의 배선층들간 기생 용량을 측정하였다. 더욱이, 배선층들 사이에 동일한 기생 용량의 측정을 비교예 1 및 비교예 2 에 대하여 수행하였다. 그 결과를 도 6 에 도시한다. 도 6 은 각종 방법에 의하여 제조된 반도체 장치의 배선층간 기생 용량 및 수율의 측정 결과를 나타내는 그래픽 선도이다. 도 6 에서, 흑색점은 수율을 나타내고 백색점은 배선층들간 용량을 나타낸다.
- <64> 도 6 에 도시한 바와 같이, 실시예의 수율은 비교예 1 및 비교예 2 의 수율보다 현저하게 높다. 더욱이, 배선층들간 기생 용량은 20 % 정도 감소된다.

발명의 효과

- <65> 본 발명에 따르면, 에칭 공정에서 다수의 공정이 감소한다. 높은 치수 정확도와 더불어, 에스펙트 비율이 높은 각각의 콘택홀 및 비어홀이 형성될 수 있다. 더욱이, 유기 절연막이 사용되기 때문에, 마스크로서 역할하는 다른 절연막과 에칭 속도에서의 차이가 커지고 커다란 마진이 보장될 수 있다. 결과적으로, 수율이 현저하게 향상될 수 있고, 배선층들간 기생 용량이 감소될 수 있다. 따라서, 반도체 장치의 동작 속도가 증가될 수 있다.

(57) 청구의 범위

청구항 1

표면에 소자 영역을 갖는 반도체 기판상에 제 1 절연막을 형성하는 단계,
 상기 제 1 절연막상에 제 1 포토레지스트를 형성하는 단계,
 노광법을 사용함으로써 상기 제 1 포토레지스트에 콘택홀용 패턴을 형성하는 단계,
 상기 소자 영역에 전기적인 전도를 제공하는 콘택홀을 형성하기 위하여 상기 제 1 포토레지스트를 마스크로 사용함으로써 상기 제 1 절연막을 에칭하는 단계,
 상기 제 1 포토레지스트를 제거하는 단계,
 상기 제 1 절연막 위와 상기 콘택홀 내에 유기 절연막을 형성하는 단계,
 상기 제 1 절연막 위와 상기 콘택홀 내에 있는 상기 유기 절연막상에 제 2 절연막을 형성하는 단계,
 상기 제 2 절연막상에 제 2 포토레지스트를 형성하는 단계,

노광법을 사용함으로써 상기 제 2 포토레지스트에 배선 트렌치용 패턴을 형성하는 단계,
 마스크로서 상기 제 2 포토레지스트를 사용하여 상기 제 2 절연막을 에칭하는 단계,

상기 제 1 절연막 상의 유기 절연막의 일부분이 유지되도록 배선 트렌치를 형성하기 위하여, 상기 제 2 절연막을 마스크로 사용하여 상기 유기절연막을 에칭하는 단계, 및

상기 콘택홀 및 상기 배선 트렌치내에 전도층을 매립하는 단계를 구비하는 것을 특징으로 하는 듀얼 다마신 구조를 갖는 반도체 장치 제조 방법.

청구항 2

제 1 항에 있어서, 상기 전도층을 매립하는 단계는,

전체 표면에 전도성 막을 형성하는 단계, 및

상기 전도성 막을 상기 콘택홀 및 상기 배선 트렌치에만 남기기 위하여 상기 전도성 막을 선택적으로 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3

제 1 항에 있어서, 상기 유기 절연막을 에칭하는 단계는 상기 제 2 포토레지스트를 동시에 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4

제 1 항에 있어서, 상기 유기 절연막을 형성하는 단계는 상기 유기 절연막을 전체 표면에 도포하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5

제 1 항에 있어서, 상기 제 1 절연막을 형성하는 단계는,

상기 반도체 기판상에 제 3 절연막을 형성하는 단계, 및

상기 제 3 절연막상에 제 4 절연막을 형성하는 단계를 구비하고,

상기 제 1 절연막은 상기 제 3 절연막과 상기 제 4 절연막으로 이루어지고,

상기 제 1 절연막을 에칭하는 단계는,

상기 제 3 절연막의 에칭 속도가 상기 제 4 절연막의 에칭 속도보다 낮은 조건하에서 상기 제 3 절연막의 표면이 노출될 때까지 상기 제 4 절연막을 에칭하는 단계, 및

상기 제 3 절연막을 에칭하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6

제 1 항에 있어서, 상기 유기 절연막은 벤즈시클로부텐 막인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7

제 2 항에 있어서, 상기 전도성 막은 티타늄질화물로 이루어진 배리어 금속막과 상기 배리어 금속막상에 형성된 텅스텐막을 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 8

표면에 소자 영역을 갖는 반도체 기판상에 제 1 절연막을 형성하는 단계,

상기 제 1 절연막상에 제 1 포토레지스트를 형성하는 단계,

노광법을 사용함으로써 상기 제 1 포토레지스트 내에 비어홀용 패턴을 형성하는 단계,

상기 소자 영역에 전기적인 전도를 제공하는 상기 비어홀을 형성하기 위하여 상기 제 1 포토레지스트를 마스크로 사용하여 상기 제 1 절연막을 에칭하는 단계,

상기 제 1 포토레지스트를 제거하는 단계,

상기 제 1 절연막 위와 상기 비어홀 내에 유기 절연막을 형성하는 단계,

상기 제 1 절연막 위와 상기 비어홀 내에 있는 상기 유기 절연막 상에 제 2 절연막을 형성하는 단계,

상기 제 2 절연막상에 제 2 포토레지스트를 형성하는 단계,

노광법을 사용함으로써 상기 제 2 포토레지스트에 배선 트렌치용 패턴을 형성하는 단계,

상기 제 2 포토레지스트를 마스크로 사용함으로써 상기 제 2 절연막을 에칭하는 단계,

상기 제 1 절연막 상의 유기절연막의 일부분을 유지하도록 배선 트렌치를 형성하기 위하여 상기 제 2 절연막을 마스크로 사용하여 상기 유기 절연막을 에칭하는 단계, 및

상기 비어홀 및 상기 배선 트렌치내에 전도층을 매립하는 단계를 구비하는 것을 특징으로 하고

듀얼 다마신 구조를 갖는 반도체 장치 제조 방법.

청구항 9

제 8 항에 있어서, 상기 전도층을 매립하는 단계는,

전체 표면상에 전도성 막을 형성하는 단계, 및

상기 전도성 막을 상기 비어홀 및 상기 배선 트렌치에만 남기기 위하여 상기 전도성 막을 선택적으로 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 10

제 8 항에 있어서, 상기 유기 절연막을 에칭하는 단계는 상기 제 2 포토레지스트를 동시에 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 11

제 8 항에 있어서, 상기 유기 절연막을 형성하는 단계는 상기 유기 절연막을 전체 표면상에 도포하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 12

제 8 항에 있어서, 상기 유기 절연막은 벤즈시클로부텐 막인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 13

제 9 항에 있어서, 상기 전도성 막은 티타늄질화물로 이루어진 배리어 금속막과 상기 배리어 금속막 상에 형성된 알루미늄 또는 알루미늄 합금막을 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 14

소자층과 소통하는 제 1 절연막 내에 콘택홀을 형성하는 단계와,

상기 제 1 절연막 위와 상기 콘택홀 내에 유기막을 공급하는 단계와,

상기 유기막을 형성하는 단계 직후에 상기 유기막 상에 제 2 절연막을 형성하는 단계와,

상기 유기막의 표면을 노출하도록 상기 제 2 절연막 상에 포토마스크를 통하여 에칭하는 단계와,

상기 콘택홀들 중 하나에 등록되어 있는 각각의 배선 트렌치를 형성하기 위하여 상기 유기막을 통하여 에칭하는 단계와,

상기 유기막을 통하여 에칭하는 단계 동안 포토마스크를 제거하는 단계와,

상기 콘택홀과 상기 배선 트렌치를 전도성 물질로 채워서 콘택 플러그와 배선층을 형성하는 단계와,

상기 배선층의 인접한 쌍 사이의 상기 제 1 절연막 상의 상기 유기막을 제거함으로써 상기 배선층의 상기 인접한 쌍 사이의 기생 용량을 제어하는 단계를 구비하는 것을 특징으로 하는 듀얼 다마신 구조를 갖는 반도체 장치 제조 방법.

청구항 15

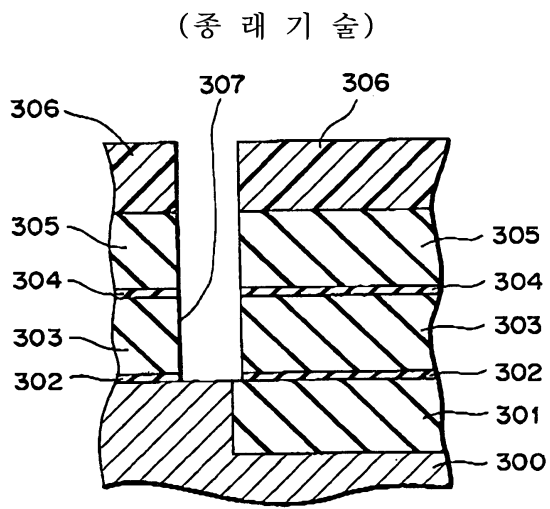
제 14 항에 있어서, 상기 유기막은 BCB 막인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 16

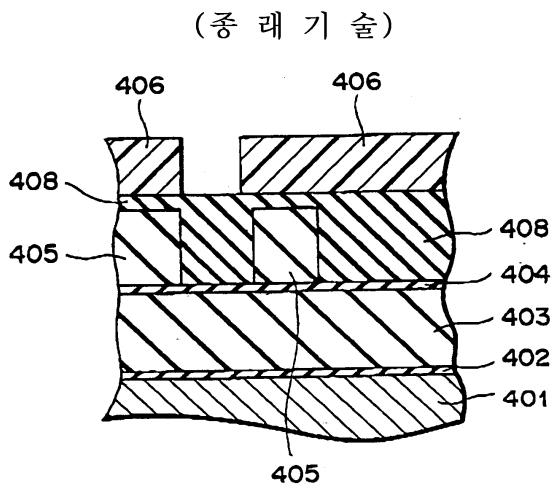
제 14 항에 있어서, 상기 포토마스크를 통과하는 에칭 단계는 상기 유기막을 위한 선택도와는 다른 상기 제 2 절연막을 위한 선택도를 가지고 에칭하는 단계를 구비하는 것을 특징으로 하는 반도체 장치 제조 방법.

도면

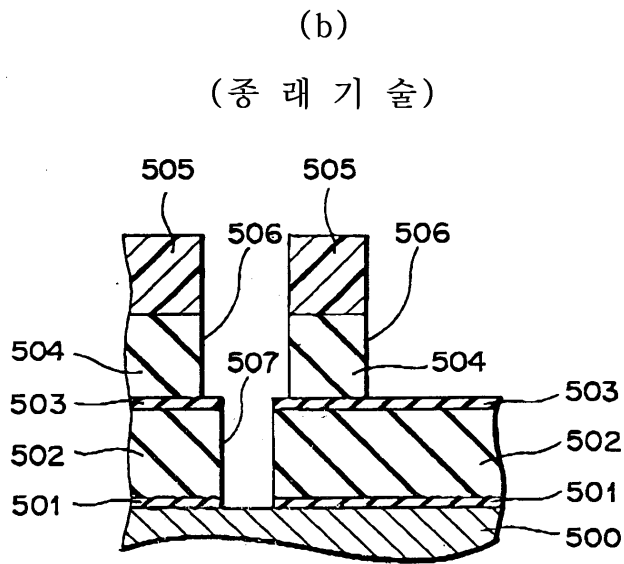
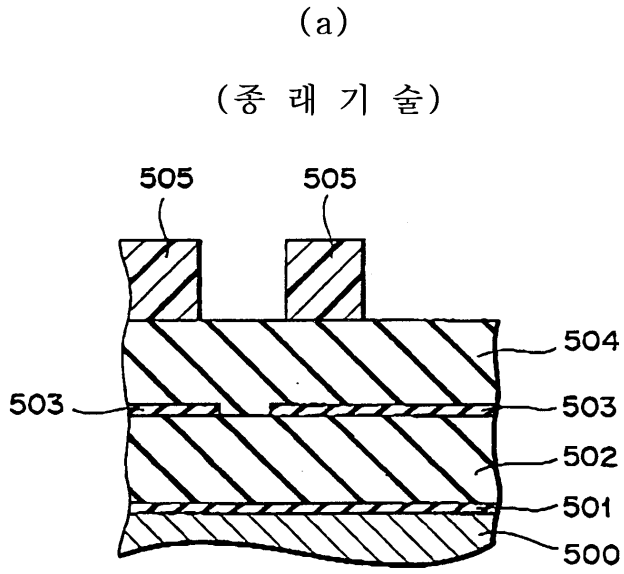
도면1



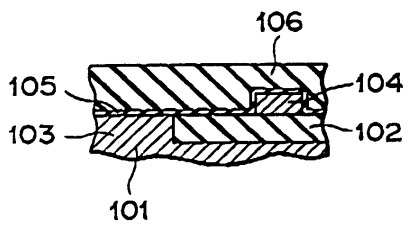
도면2



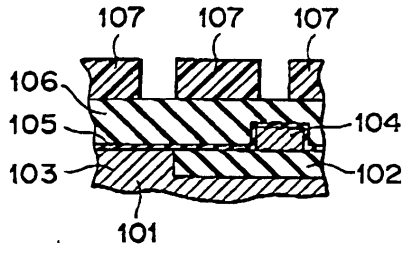
도면3



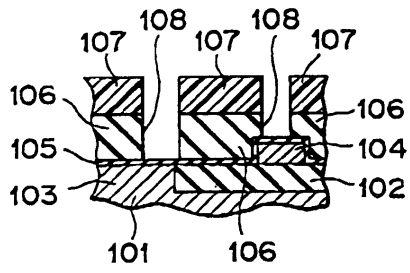
도면4a



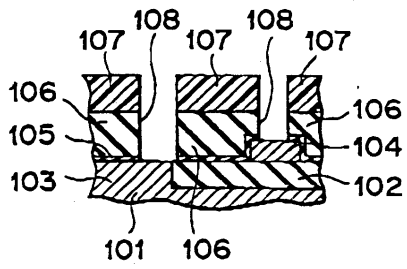
도면4b



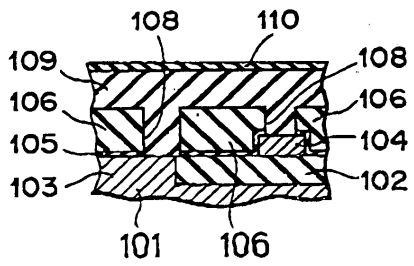
도면4c



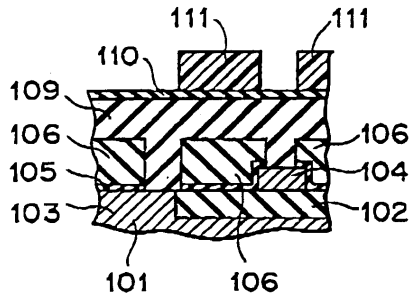
도면4d



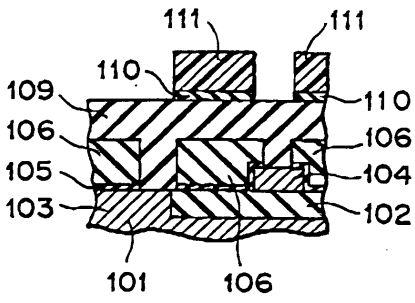
도면4e



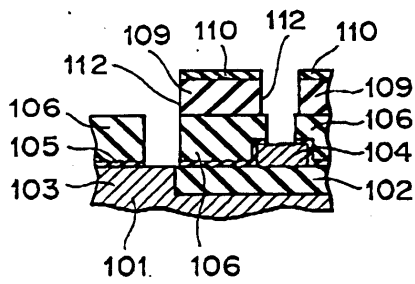
도면4f



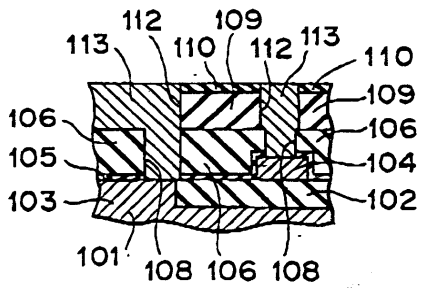
도면4g



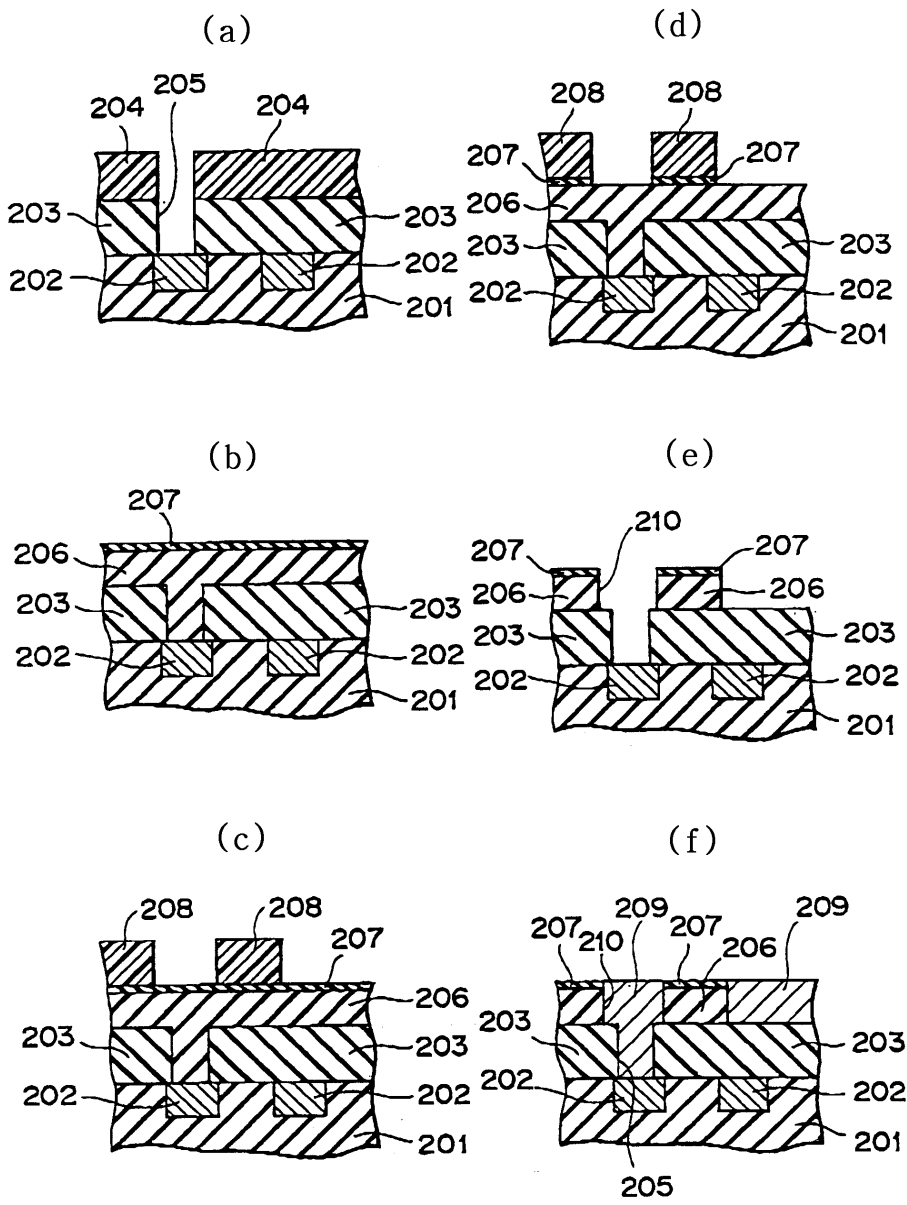
도면4h



도면4i



도면5



도면6

