

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580043444.2

[51] Int. Cl.

H01L 21/8234 (2006.01)

H01L 21/28 (2006.01)

H01L 27/088 (2006.01)

H01L 29/417 (2006.01)

[43] 公开日 2007 年 11 月 28 日

[11] 公开号 CN 101080814A

[22] 申请日 2005.3.11

[21] 申请号 200580043444.2

[30] 优先权

[32] 2004.12.28 [33] JP [31] 379620/2004

[86] 国际申请 PCT/JP2005/004324 2005.3.11

[87] 国际公布 WO2006/070490 日 2006.7.6

[85] 进入国家阶段日期 2007.6.18

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 太田宗吾

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

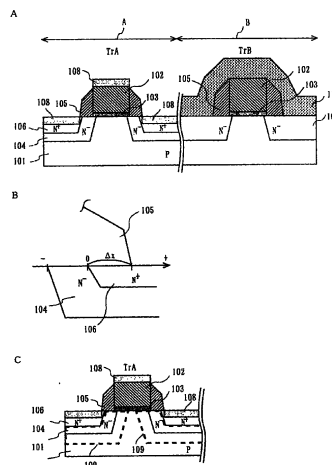
权利要求书 3 页 说明书 17 页 附图 9 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

使晶体管 TrA 中每个侧壁(105)的厚度薄于晶体管 TrB 中每个侧壁(105)的厚度。在晶体管 TrA 中,当从衬底的主表面方向来看时,高浓度杂质扩散层(106)的表面和侧壁(105)的底部部分处在重叠的位置。硅化物层(108)仅仅形成在高浓度杂质扩散层(106)中。通过在形成覆盖晶体管 TrB 的 CVD 氧化物膜(111)之后并且在形成硅化物层(108)之前在晶体管 TrA 中形成高浓度杂质扩散层(106)可以实现这种限制性的形成。通过这种方式,通过简单的结构可以改善截止-泄露特性,并且可以在同一衬底上同时形成硅化物晶体管和硅化物晶体管。



1、一种半导体器件，包括其上形成有硅化物层的第一晶体管和其上没有形成硅化物层的第二晶体管，其中，

该第一晶体管和该第二晶体管中的每一个包括：

形成在半导体衬底的主表面上的栅极绝缘膜上的栅电极；

形成在该栅电极的两个侧面壁上的侧壁；以及

形成在所述半导体衬底的所述主表面中的源极扩散层和漏极扩散层，并且

在所述第一晶体管中，

每个所述侧壁的厚度薄于所述第二晶体管的每个所述侧壁的厚度，

所述源极扩散层和所述漏极扩散层中的每一个具有低浓度杂质扩散层和高浓度杂质扩散层，该高浓度杂质扩散层形成在该低浓度杂质扩散层的内部，并具有高于该低浓度杂质扩散层的杂质浓度的杂质浓度，

当从所述半导体衬底的主表面方向观察时，所述高浓度杂质扩散层的表面和每个所述侧壁的底部处在彼此重叠的位置，并且

仅在所述高浓度杂质扩散层中形成所述硅化物层。

2、根据权利要求1所述的半导体器件，其中在所述第二晶体管中的所述源极扩散层和所述漏极扩散层仅由所述低浓度杂质扩散层形成。

3、根据权利要求1所述的半导体器件，其中在所述第二晶体管中的所述源极扩散层和所述漏极扩散层由所述低浓度杂质扩散层和所述高浓度杂质扩散层形成。

4、一种包括其上形成有硅化物层的第一晶体管和其上没有形成硅化物层的第二晶体管的半导体器件的制造方法，该方法包括以下步骤：

在半导体衬底的主表面上的栅极绝缘膜上形成所述第一晶体管和所述第二晶体管中的每一个的栅电极；

通过使用该栅电极作为掩膜在所述半导体衬底的所述主表面中形成所述第一晶体管和所述第二晶体管中的每一个的低浓度杂质扩散层；

在所述栅电极的侧面壁上形成所述第一晶体管和所述第二晶体管中的每一个的侧壁；

形成覆盖所述半导体衬底的整个表面的绝缘膜；

对所述绝缘膜进行选择性蚀刻处理，执行该选择性蚀刻处理，从而除去覆盖所述第一晶体管的所述绝缘膜，并且保留覆盖所述第一晶体管的所述绝缘膜；

在所述第一晶体管中，通过使用所述栅电极和所述侧壁作为掩膜在所述低浓度杂质扩散层的内部形成高浓度杂质扩散层，每个所述高浓度杂质扩散层具有高于每个所述低浓度杂质扩散层的杂质浓度的杂质浓度；

在所述半导体衬底的所述主表面上形成覆盖所述第一晶体管和所述第二晶体管的金属膜，并且通过将该金属膜与所述半导体衬底反应来形成硅化物；并且

通过选择性除去未反应的金属膜形成具有仅形成在所述第一晶体管的所述高浓度杂质扩散层中的硅化物的硅化物层。

5、根据权利要求4所述的半导体器件的制造方法，进一步包括在形成所述绝缘膜的步骤之前通过利用所述第二晶体管中的所述栅

电极和所述侧壁作为掩膜在所述低浓度杂质扩散层内部形成高浓度杂质扩散层的步骤,其中每个所述高浓度杂质扩散层具有高于每个所述低浓度杂质扩散层的杂质浓度的杂质浓度。

6、根据权利要求4所述的半导体器件的制造方法,其中对所述绝缘膜所进行的蚀刻处理是湿法蚀刻。

7、根据权利要求4所述的半导体器件的制造方法,其中所述金属膜是从钛、钴和镍构成的组中选择的一种。

半导体器件及其制造方法

技术领域

本发明涉及一种半导体器件及其制造方法。更特别地，本发明涉及一种包括具有硅化物层的晶体管的半导体器件及其制造方法。

背景技术

在包括 MOS 晶体管等的半导体器件中，对于获得高耐热特性和低电阻的布线使用由难熔金属硅化物制成的硅化物层。作为形成这种硅化物层的技术，存在一种自对准硅化物技术，其中通过硅材料与形成在硅衬底中的扩散层，由多晶硅制成的栅电极，与诸如钛（Ti）和钴（Co）的难熔金属形成难熔金属硅化物（下文称作硅化物），并且通过蚀刻处理选择性地除去未反应的难熔金属而以自对准的方式保留下硅化物层。

例如，在专利文献 1 中所提出的是一种半导体器件，其包括形成在同一衬底上的、具有由硅化物技术形成的硅化物层的 MOS 晶体管（下文称作硅化物晶体管）以及不具有硅化物层的 MOS 晶体管（下文称作非硅化物晶体管）。当采用该自对准硅化物技术来制造这种半导体器件时，硅化物晶体管和非硅化物晶体管可以同时形成在半导体衬底上。在具有硅化物晶体管的半导体器件中，如果以突然的方式将噪声等引起的高电压从外部施加到晶体管，则可能容易损坏晶体管，因为其中形成了硅化物层，产生了泄露电流。因此，近年来，如专利文献 1 中所公开的，在同一衬底上具有硅化物晶体管和非硅化物晶体管的半导体器件已经被广泛地使用。

图 7 是示出在同一衬底上具有硅化物晶体管和非硅化物晶体管

的半导体器件的结构的剖面图的示意图。在图 7 中，在半导体衬底 101 上，形成了硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB。在硅化物 MOS 晶体管 TrA 中，在用作源极扩散层和漏极扩散层的扩散层的表面上以及栅电极 102 的表面上形成硅化物层 108。MOS 晶体管 TrB 的表面被 CVD 氧化物膜 111 覆盖，由此防止硅化物层的形成。当通过采用其中执行图 8 中所示的各个工艺的方法来制造具有上述结构的半导体器件时，可以在半导体衬底 101 上同时形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB。下面，通过将包括硅化物层的区域称作硅化物区 A 并且将不包括硅化物层的区域称作非硅化物区 B 来进行说明。

图 8 是示出在制造图 7 所示的半导体器件的工艺中该衬底和其上的一部分的剖面图的示意图。为了获得在加工状态中的半导体器件，如图 8A 所示，首先在半导体衬底 101 的主表面上淀积用于形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 的栅极氧化物膜 103 和多晶硅膜。接着，通过图案化形成栅极氧化物膜 103 和该多晶硅膜，在栅极氧化物膜 103 上形成栅电极 102。使用所得到的栅电极 102 作为掩膜，在半导体衬底 101 的主表面上引入 N 型杂质，以便不将高电场施加到栅电极 102 下面的沟道区。因此，形成了用作源极扩散层和漏极扩散层的 N 型（下文写作 N 型）扩散层，其杂质浓度低。下文中，该 N 型扩散层被称作 LDD 层 104。

图 8B 是示出其中在用于形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 中的每一个的栅电极 102 的侧面壁（lateral wall）上形成侧壁 105 的状态的示意图。在以下步骤中形成侧壁 105。首先，在图 8A 示出的状态下在半导体衬底 101 的整个表面上淀积 CVD 氧化物膜（未示出）。接着，通过反应离子蚀刻回刻该 CVD 氧化物膜，直到暴露出半导体衬底 101 的表面。由此，以自对准的方式在栅电极 102 的侧面壁上形成侧壁 105。

图 8C 是示出其中在用于形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 的 LDD 层 104 的内部形成杂质浓度高于 LDD 层 104 的杂质浓度的 N 型（下文写作 N⁺型）高浓度杂质扩散层 106 的状态的示图。通过采用其中利用侧壁 105 的自对准方法、通过在 LDD 层 104 中的高浓度离子注入来形成该高浓度杂质扩散层 106。

图 8D 是示出其中在半导体衬底 101 的主表面上形成 CVD 氧化物膜 111 的状态的示图。通过采用 CVD 方法，形成该 CVD 氧化物膜 111，以便覆盖半导体衬底 101 的整个表面。如下面所述，该 CVD 氧化物膜 111 被用于选择性地形成硅化物区 A 和非硅化物区 B。

图 8E 是示出其中 CVD 氧化物膜 111 被选择性蚀刻处理的状态的示图。为了获得这种状态下的 CVD 氧化物膜 111，仅仅对覆盖硅化物区 A 的 CVD 氧化物膜 111 进行利用氢氟酸（HF）等的湿法蚀刻处理。由此，仅仅覆盖硅化物区 A 的 CVD 氧化物膜 111 被选择性地除去，并且覆盖非硅化物区 B 的 CVD 氧化物膜 111 保留作为用于非硅化物区 B 的掩膜。通过该湿法蚀刻处理，硅化物 MOS 晶体管 TrA 的侧壁 105 的膜厚减少了过蚀刻的膜厚。

图 8F 是示出其中在半导体衬底 101 的整个表面上形成难熔金属膜 107 的状态的示图。通过将诸如钛（Ti）和钴（Co）的难熔金属溅射淀积在半导体衬底 101 的整个表面而获得了该难熔金属膜 107。

图 8G 是示出其中形成有硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 的半导体器件的状态的示图。为了获得其上形成有这种集成电路的半导体衬底 101，对在上面图 8F 中示出的工艺中形成的难熔金属膜 107 首先进行第一热处理。由此，在硅材料与难熔金属膜 107 接触的部分上形成硅化物，并且在硅材料与难熔金属膜 107 接触的部分以外的部分上，难熔金属膜 107 保持未反应。接着，通过湿法蚀刻将未通过该第一热处理反应的难熔金属膜 107 除去，并且之后，进行第二热处理。由此，在硅化物 MOS 晶体管 TrA 中，以自对

准方式只在源极扩散层和漏极扩散层的表面上以及栅电极 102 的表面上形成硅化物层 108。在同一衬底上，同时形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB。

在通过进行上述工艺其上已经形成硅化物区 A 和非硅化物区 B 的半导体衬底 101 上，通过采用通常已知的方法形成层间电介质、布线等，从而产生半导体器件。

[专利文献 1]日本特开平专利公报 No.2002-164355

发明内容

本发明要解决的问题

然而，当通过上述工艺制造半导体器件时，在图 8E 中示出的其中对 CVD 氧化物膜 111 进行湿法蚀刻的工艺中，使硅化物 MOS 晶体管 TrA 的侧壁 105 的膜厚减少了过蚀刻的膜厚。具体地，在图 8D 所示的工艺之前以及在图 8D 所示的工艺之中，当从衬底主表面的方向观察时，侧壁 105 的底部处在与高浓度杂质扩散层 106 的表面重叠的位置。相反，在湿法蚀刻之后，如图 8E 所示，当从衬底主表面的方向观察时，侧壁 105 的底部处在不与高浓度杂质扩散层 106 的表面重叠的位置，因为膜厚减少了。相应地，在图 8F 所示的工艺中形成的难熔金属膜 107 与高浓度杂质扩散层 106 的整个表面接触。因此，在图 8G 所示的工艺中形成的硅化物层 108 形成在高浓度杂质扩散层 106 的整个表面上，并且其边缘部分由于热扩散而伸展到 LDD 层 104。

其中形成硅化物层 108 以便突出到高浓度杂质扩散层 106 之上以及到达 LDD 层 104 的半导体器件具有的问题是可能容易使晶体管的截止-泄露 (off-leak) 特性退化。下面将介绍其原因。图 9 是示出其中在图 7 所示的半导体器件中将电场施加到硅化物 MOS 晶体管 TrA 的漏极扩散层的状态的示意图。在图 9 中，当将电场施加到漏极扩散

层时,在P型半导体衬底101和N型LDD层104之间的界面处形成耗尽层109。根据施加的电场的情况,耗尽层109不仅伸展到半导体衬底101的一侧,而且伸展到LDD层104的一侧。由此产生的耗尽层109的特征在于耗尽层109在具有低杂质浓度的LDD层104内部容易伸展,而耗尽层109在具有高杂质浓度的高浓度杂质扩散层106内部不容易伸展。因此,朝着LDD层104一侧伸展的耗尽层109在LDD层104和高浓度杂质扩散层106之间的界面处停止伸展。

当形成上述耗尽层109时,在图9所示的半导体器件中,由于硅化物层108突出到LDD层104内部,因此耗尽层109和硅化物层108在LDD层104的内部彼此接触。当耗尽层109和硅化物层108彼此接触时,如图9的箭头R所示,从硅化物层108朝着半导体衬底101的方向产生泄露通路,并且大约 $1\text{ pA}/\mu\text{m}$ 的泄露电流易于流动,由此导致晶体管的截止-泄露特性退化的问题。

在通过利用近来的高密度精细尺寸元件图案形成的晶体管或类似物中可以看到上述现象。例如,在通过采用 $0.25\text{ }\mu\text{m}$ 或以下的工艺技术制造的N沟道MOS晶体管中,电源电压大约为2.5V到5V,从LDD层104和半导体衬底101之间的界面到LDD层104和高浓度杂质扩散层106之间的界面的水平距离小于或等于 $0.1\text{ }\mu\text{m}$,并且从LDD层104和半导体衬底101之间的界面到LDD层104和高浓度杂质扩散层106之间的界面的垂直距离也小于或等于 $0.1\text{ }\mu\text{m}$ 。因此,由于耗尽层109易于伸展到整个LDD层104并且上述问题可能容易发生,因而需要改善截止-泄露特性。

因此,在专利文献1中,已经提出了一种半导体器件,其中形成侧壁105以便具有包括CVD氧化物膜和氮化物膜的两层结构,并且该氮化物膜设置在其表面侧上,由此防止侧壁105膜厚的减少。然而,尽管具有上述结构的半导体器件允许防止侧壁105膜厚的减少,但是需要形成侧壁105,以便具有叠置的结构,由此导致制造工艺复杂。

因此,本发明的目的是提供一种半导体器件及其制造方法,在该半导体器件中可以改善截止-泄露特性,并且可以在同一衬底上同时形成硅化物晶体管和硅化物晶体管。

解决问题的方案

为了实现上述目的,本发明关注于包括其上形成有硅化物层的第一晶体管和其上没有形成硅化物层的第二晶体管的半导体器件。在该半导体器件中,第一晶体管和第二晶体管中的每一个包括:形成在半导体衬底的主表面上的栅极绝缘膜上的栅电极;形成在栅电极的两个侧面壁上的侧壁;以及形成在半导体衬底的主表面中的源极扩散层和漏极扩散层。并且在第一晶体管中,每个侧壁的厚度薄于第二晶体管的每个侧壁的厚度,并且源极扩散层和漏极扩散层中的每一个具有低浓度杂质扩散层和高浓度杂质扩散层,该高浓度杂质扩散层形成在低浓度杂质扩散层的内部,并具有高于该低浓度杂质扩散层的杂质浓度的杂质浓度。并且当从半导体衬底的主表面方向观察时,高浓度杂质扩散层的表面和每个侧壁的底部处在彼此重叠的位置,并且仅在高浓度杂质扩散层中形成硅化物层。

通过具有上述结构,在第一晶体管中,形成在该半导体衬底和低浓度杂质扩散层之间的界面处的耗尽层不与硅化物层接触,由此抑制泄露电流的产生并且改善了截止-泄露特性。

此外,在第二晶体管中的源极扩散层和漏极扩散层可以仅由低浓度杂质扩散层形成,或者由低浓度杂质扩散层和高浓度杂质扩散层形成。

此外,本发明专注于一种包括其上形成有硅化物层的第一晶体管和其上没有形成硅化物层的第二晶体管的半导体器件的制造方法。在该制造方法中,第一晶体管和第二晶体管中的每一个的栅电极首先形成在半导体衬底的主表面上的栅极绝缘膜上。接着,通过使用该栅电

极作为掩膜在半导体衬底的主表面中形成第一晶体管和第二晶体管中的每一个的低浓度杂质扩散层。接着，在栅电极的侧面壁上形成第一晶体管和第二晶体管中的每一个的侧壁。接着，形成覆盖半导体衬底的整个表面的绝缘膜。接着，对该绝缘膜进行选择性蚀刻处理，执行该选择性蚀刻处理，从而除去覆盖第一晶体管的绝缘膜，并且保留覆盖第一晶体管的绝缘膜。接着，在第一晶体管中，通过使用栅电极和该侧壁作为掩膜在低浓度杂质扩散层的内部形成高浓度杂质扩散层，每个所述高浓度杂质扩散层具有高于每个所述低浓度杂质扩散层的杂质浓度的杂质浓度。接着，在半导体衬底的主表面上形成覆盖第一晶体管和第二晶体管的金属膜，并且通过将该金属膜与半导体衬底反应来形成硅化物。通过选择性除去未反应的金属膜形成具有仅形成在第一晶体管的高浓度杂质扩散层中的硅化物的硅化物层。

根据上述制造方法，由于在第一晶体管中，通过使用已经进行了蚀刻处理的侧壁作为掩膜来形成高浓度杂质扩散层，可以形成硅化物层，从而当从半导体衬底的主表面方向观察时，高浓度杂质扩散层的表面和侧壁的底部处于彼此重叠的位置。由于可以仅在高浓度杂质扩散层中形成硅化物层，因此可以避免硅化物层和耗尽层的接触，由此改善截止-泄露特性。

该制造方法可以进一步包括在形成绝缘膜的步骤之前通过使用第二晶体管中的栅电极和侧壁作为掩膜在低浓度杂质扩散层内部形成高浓度杂质扩散层的步骤，每个所述高浓度杂质扩散层具有高于每个所述低浓度杂质扩散层的杂质浓度的杂质浓度。绝缘膜所进行的蚀刻处理是湿法蚀刻。优选该金属膜是从钛、钴和镍构成的组中选择的一种。

发明效果

如上所述，在本发明的半导体器件中，由于仅在用作源极扩散层

和漏极扩散层的高浓度杂质扩散层中形成硅化物层，即使在半导体衬底和源极以及漏极扩散层之间的界面处形成耗尽层，也可以避免耗尽层和硅化物层的接触，由此改善截止-泄露特性。此外，在本发明的半导体器件的制造方法中，如上所述仅在高浓度杂质扩散层中形成硅化物层，由此改善了截止-泄露特性的该硅化物晶体管以及该非硅化物晶体管可以在同一衬底上同时形成。

附图说明

图 1A 到 1C 是示出根据本发明第一实施例的半导体集成电路结构的主要部分的剖面图和放大的示意图，以及其耗尽层的状态的剖面图的示图；

图 2A 到 2G 是解释制造根据第一实施例的半导体集成电路的工艺过程的示图；

图 3 是示出根据本发明第二实施例的半导体集成电路结构的示图；

图 4 A 到 4G 是解释制造根据第二实施例的半导体集成电路的方法的示图；

图 5 是示出根据本发明第三实施例的半导体集成电路结构的剖面图的示图；

图 6 A 到 6G 是解释制造根据第三实施例的半导体集成电路的方法的示图；

图 7 是示出常规半导体集成电路结构的剖面图的示图；

图 8 A 到 8G 是解释制造常规半导体集成电路的方法的示图；

图 9 是示出常规半导体集成电路的耗尽层的剖面图的示图。

参考符号的说明

101 半导体衬底

- 102 栅电极
- 103 栅极氧化物膜
- 104 LDD 层
- 105 侧壁
- 106 高浓度杂质扩散层
- 107 难熔金属
- 108 硅化物层
- 109 耗尽层
- 111 CVD 氧化物膜

具体实施方式

第一实施例

下面将介绍根据本发明第一实施例的半导体器件。图 1A 是示出根据本实施例的半导体器件结构的剖面图的示图。在图 1A 中，该半导体器件包括一个集成电路，该集成电路包括在同一衬底上的硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB，并且该半导体器件具有形成在其中的包括硅化物层的硅化物区 A 和不包括硅化物层的非硅化物区 B。在图 1A 中，该半导体器件包括半导体衬底 101、栅电极 102、栅极氧化物膜 103、LDD 层 104、侧壁 105、高浓度杂质扩散层 106、硅化物层 108 以及 CVD 氧化物膜 111。

该半导体衬底 101 是具有形成在其中的 P 型半导体的硅衬底。栅电极 102 由多晶硅制成，并且形成在半导体衬底 101 的主表面上。栅极氧化物膜 103 形成在半导体衬底 101 的主表面上，并且使栅电极 102 与半导体衬底 101 绝缘。LDD 层 104 是通过采用离子注入法或类似方法在半导体衬底 101 的主表面上引入 N 型杂质形成的 N 型扩散层，其导电类型与半导体衬底 101 的导电类型相反。高浓度杂质扩散层 106 是通过采用离子注入法或类似方法在 LDD 层 104 内部引入 N

型杂质形成的 N^+ 型扩散层, 以便具有高于 LDD 层 104 的杂质浓度的杂质浓度。侧壁 105 是形成在栅电极 102 的侧面壁上的绝缘膜。硅化物层 108 由通过将硅材料与难熔金属反应形成的硅化物形成。CVD 氧化物膜 111 用于形成非硅化物区 B 并且防止硅化物的形成。

这里, 将介绍作为根据本实施例的半导体器件特征的硅化物 MOS 晶体管 TrA。在硅化物 MOS 晶体管 TrA 中, 当从半导体衬底 101 的主表面方向观察时, 高浓度杂质扩散层 106 的表面和侧壁 105 的底部处在彼此重叠的位置。这一点将详细说明。图 1B 是以典型地方式示出硅化物 MOS 晶体管 TrA 的主要部分的示意图。在图 1B 中, 在由箭头表示的直线上, 0 示出了高浓度杂质扩散层 106 和 LDD 层 104 的结位置, 箭头方向显示为加号 (+), 与其相反的方向显示为减号 (-)。当从半导体衬底 101 主表面方向观察时, 根据本发明的半导体器件在高浓度杂质扩散层 106 的表面和侧壁 105 的底部之间具有重叠部分 Δx , 满足表达式 “ $\Delta x > 0$ ”。

在图 9 所示的常规半导体器件中的硅化物 MOS 晶体管 TrA 中, 当从半导体衬底 101 主表面方向观察时, 侧壁 105 的底部处在与 LDD 层 104 重叠的位置, 而不是在高浓度杂质扩散层 106 的表面。并且当从半导体衬底 101 主表面方向观察时, 侧壁 105 的底部和高浓度杂质扩散层 106 之间的重叠部分 Δx 满足表达式 “ $\Delta x < 0$ ”。

在根据本发明的半导体器件中, 硅化物 MOS 晶体管 TrA 的源极和漏极扩散层中的硅化物层 108 仅形成在高浓度杂质扩散层 106 中。通过采用下述根据本发明的制造方法可以实现以这种方式形成的硅化物层 108。

在根据本发明的半导体器件中, 非硅化物 MOS 晶体管 TrB 例如用在易受半导体集成电路中的浪涌等的影响的输入/输出部分保护电路中。该非硅化物 MOS 晶体管 TrB 还用于保护形成在半导体内部的主电路的目的, 以便即使在超过规定的高电流输入到半导体芯片端子

时, 通过将形成在 LDD 层 104 中的硅化物层 108 与栅电极 102 隔开并且保持源极和漏极扩散层之间的部分, 即, 硅化物 MOS 晶体管 TrA 中栅电极 102 下的沟道部分的高电阻, 可以使晶体管不受损坏。

下文将参照具体例子介绍根据本实施例的半导体器件的制造方法。图 2 是示出在制造图 1 所示的半导体器件的各个工艺中衬底的剖面图的示意图。图 2A 是示出其中硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 将要形成在半导体衬底 101 的主表面上的加工中 (in-process) 状态的示意图。为了获得这种加工中状态的半导体器件, 通过在半导体衬底 101 的主表面上淀积厚度为 $90\text{\AA}$ 的氧化硅膜首先形成栅极氧化物膜 103。接着, 在栅极氧化物膜 103 上淀积多晶硅膜, 以便具有 $2000\text{\AA}$ 的厚度。接着, 通过使栅极氧化物膜 103 和该多晶硅膜进行选择性的蚀刻处理来形成以理想的方式构图的栅电极 102。通过采用利用所获得的栅电极 102 的自对准方法, 在半导体衬底 101 的主表面上形成源极和漏极扩散层。具体地, 朝着半导体衬底 101 的主表面对例如磷的 N 型杂质进行离子注入, 以便不向栅电极 102 下的沟道区域施加高电场。由此, 形成用作源极和漏极扩散层的杂质浓度为 $5 \times 10^{17} \text{cm}^{-3}$ 的 LDD 层 104。

图 2B 是示出其中在栅电极 102 的侧面壁上形成侧壁 105 的状态的示意图。为了获得这种状态的侧壁 105, 在图 2A 所示的状态中, 在半导体衬底 101 的整个表面上淀积厚度为 $1500\text{\AA}$ 的 CVD 氧化物膜 (未示出)。通过反应离子蚀刻, 该 CVD 氧化物膜被回刻, 直到暴露出半导体衬底 101 的表面。由此, 以自对准的方式在栅电极 102 的侧面壁上形成侧壁 105。侧壁 105 的厚度大约为 100 nm 。

图 2C 是示出其中在半导体衬底 101 的整个表面上形成厚度为 $300\text{\AA}$ 的 CVD 氧化物膜 111 的状态的示意图。该 CVD 氧化物膜 111 用于选择性地形成硅化物区域 A 和非硅化物区域 B。

图 2D 是示出其中对 CVD 氧化物膜 111 进行选择性的蚀刻处理的

状态的示意图。为了获得这种状态的 CVD 氧化物膜 111，仅仅对覆盖硅化物区域 A 的 CVD 氧化物膜 111 进行利用 HF 等的湿法蚀刻处理。因此，仅仅覆盖硅化物区域 A 的 CVD 氧化物膜 111 被选择性地除去，而覆盖非硅化物区域 B 的 CVD 氧化物膜 111 保留作为用于非硅化物区 B 的掩膜。通过湿法蚀刻处理，硅化物 MOS 晶体管 TrA 的侧壁 105 的厚度减少了过蚀刻膜的厚度。这里，考虑到过蚀刻余量，设置湿法蚀刻处理得到的蚀刻量，从而可以使 CVD 氧化物膜 111 被蚀刻 500Å。因此，硅化物 MOS 晶体管 TrA 的侧壁 105 的膜厚减少了 200Å，这是过蚀刻的厚度，导致大约 80 nm 的膜厚。

图 2E 是示出其中在硅化物 MOS 晶体管 TrA 的 LDD 层 104 的内部形成高浓度杂质扩散层 106 的状态的示意图。通过采用利用侧壁 105 的自对准方法形成该高浓度杂质扩散层 106，每个侧壁 105 都具有在图 2E 的上述工艺中减少的膜厚。具体地，利用栅电极 102 和侧壁 105 作为掩膜，对半导体衬底 101 进行例如砷的 N 型杂质离子注入，其注入剂量小于用于源极和漏极扩散层的常规剂量，由此获得该高浓度杂质扩散层 106。该高浓度杂质扩散层 106 中的杂质浓度为 $1E19\text{cm}^{-3}$ 。

图 2F 是示出其中在半导体衬底 101 的整个表面形成难熔金属膜 107 的状态的示意图。可以通过在半导体衬底 101 的整个表面上溅射作为难熔金属的 Co 以便具有 200 Å 的厚度来得到该难熔金属膜 107。

图 2G 是示出其中在半导体衬底 101 的主表面上形成硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 的状态的示意图。为了获得这种状态的半导体衬底 101，在 500 摄氏度下首先对难熔金属膜 107 进行第一热处理 60 秒。因此，没有被 CVD 氧化物膜 111 覆盖的半导体衬底 101 的主表面和栅电极 102 与难熔金属膜 107 反应，由此形成 Co 硅化物。另一方面，在被 CVD 氧化物膜 111 覆盖的非硅化物区 B 中，不形成 Co 硅化物。接着，通过湿法蚀刻选择性除去在第一热处

理中没有反应的难熔金属膜 107。并且进行在 800 摄氏度下的第二热处理 10 秒钟。因此, 仅仅在高浓度杂质扩散层 106 的内部和硅化物 MOS 晶体管 TrA 中栅电极 102 的表面上, 以自对准方式形成 Co 硅化物制成的硅化物层 108。其中除去了覆盖其表面的难熔金属膜 107 的非硅化物 MOS 晶体管 TrB 被 CVD 氧化物膜 111 覆盖。可以获得具有同时形成在同一衬底上的硅化物 MOS 晶体管 TrA 和非硅化物 MOS 晶体管 TrB 的集成电路, 并且同时, 形成了包括硅化物层的硅化物区 A 和包括非硅化物层的非硅化物区 B。

如上所述, 在根据本发明的半导体器件的制造方法中, 如图 2E 中的工艺所示, 用于防止硅化物形成的 CVD 氧化物膜 111 被选择性除去, 然后, 对硅化物 MOS 晶体管 TrA 进行离子注入, 以形成高浓度杂质扩散层 106。因此, 形成高浓度杂质扩散层 106, 以便当从半导体衬底 101 的主表面方向来看时使其处在其表面与侧壁 105 的底部重叠的位置。通过在这种状态下以自对准方式在半导体衬底 101 的表面上形成硅化物层 108, 将硅化物层 108 形成为不突出到 LDD 层 104, 并且在高浓度杂质扩散层 106 的区域内。

在具有上述结构的半导体器件中, 当 3.3V 施加到硅化物 MOS 晶体管 TrA 的漏极扩散层并且 0V 施加到栅电极 102、源极区和半导体衬底 101 时, 在 P 型半导体衬底 101 和 LDD 层 104 之间的边界中形成耗尽层 109, 并且通过施加反向偏压使耗尽层 109 伸展。图 1C 是示出其中在硅化物 MOS 晶体管 TrA 中形成耗尽层 109 的状态的示意图。由于图 1C 中所示的耗尽层 109 不与硅化物层 108 接触, 因此不产生泄露通路, 由此可以使截止-泄露特性得以改善。此外, 每个侧壁 105 具有单层结构, 由此与上述专利文献 1 中的方法相比可以使制造工艺简化。

在上述制造工艺中, 在非硅化物 MOS 晶体管 TrB 中不形成高浓度杂质扩散层 106。然而, 当上述非硅化物 MOS 晶体管 TrB 用在保

护电路中时，将不产生问题。当上述非硅化物 MOS 晶体管 TrB 用在浪涌保护电路中，或者用在刚刚重新设计的不需要高速度和高电流操作的电路中时，将不产生问题。

第二实施例

图 3 是示出根据本发明第二实施例的半导体器件结构的剖面图。尽管在图 3 所示半导体器件的结构中，高浓度杂质扩散层 106 形成在用作非硅化物 MOS 晶体管 TrB 的源极和漏极扩散层的 LDD 层 104 的内部，图 3 所示的半导体器件结构的其他部分与根据第一实施例的上述半导体器件的相同。当半导体器件包括具有这种结构的非硅化物 MOS 晶体管 TrB 时，则可以采用采取不能应用于制造根据第一实施例的半导体器件的现有电路保护技术的常规电路设计。

图 4 是示出在制造具有上述结构的半导体器件的各个工艺中衬底的剖面图的示意图。在图 4 中，由于图 4A 和图 4C 到图 4G 中所示的工艺类似于图 2A 和图 2C 到图 2G 所示的工艺，因此将省略其说明。

图 4B 是示出其中在栅电极 102 的侧面壁上形成侧壁 105 并且在非硅化物 MOS 晶体管 TrB 中的 LDD 层 104 中形成高浓度杂质扩散层 106 的状态的示意图。为了获得这种状态的衬底，如在图 2B 所示的工艺中，在每个晶体管的栅电极 102 的侧壁上以自对准方式首先形成侧壁 105。接着，在非硅化物 MOS 晶体管 TrB 中，通过采用利用侧壁 105 的自对准方法，对半导体衬底 101 的主表面进行例如砷的 N 型杂质的离子注入，其剂量小于用于典型源极和漏极扩散层的常规剂量，由此形成具有杂质浓度 $1E19\text{cm}^{-3}$ 的高浓度杂质扩散层 106。于是，硅化物 MOS 晶体管 TrA 被掩膜等覆盖，以便避免离子注入。

之后，在图 4C 到图 4G 所示的工艺中，通过进行类似于图 2C 到 2G 所示的工艺，获得了根据本实施例的半导体器件。

第三实施例

图 5 是示出根据本发明第三实施例的半导体器件的剖面图。在图 5 中,在硅化物区 A 中,形成具有与第一和第二实施例中的每一个相同结构的硅化物 MOS 晶体管 TrA 和具有与常规半导体器件相同结构的硅化物 MOS 晶体管 TrC,并且在非硅化物区 B 中,形成具有与第二实施例相同结构的非硅化物晶体管 TrB。包括上述晶体管的半导体器件比根据第二实施例的半导体器件的应用范围更广。

下面,将参照具体例子介绍根据本实施例的半导体器件的制造方法。图 6 是示出在制造图 5 所示的半导体器件的各个工艺中衬底的剖面图的示意图。图 6A 是示出其中硅化物 MOS 晶体管 TrA 和 TrC 以及非硅化物 MOS 晶体管 TrB 将要形成在半导体衬底 101 的主表面上的加工中状态的示意图。为了获得图 6A 所示的这种加工中状态的半导体器件,如参照图 2A 介绍的工艺中那样,在栅极氧化物膜 103 上、形成每个晶体管的区域中形成栅极氧化物膜 102。通过采用利用所获得的栅电极 102 的自对准方法,在半导体衬底 101 的主表面上形成用作源极和漏极扩散层的 LDD 层 104。

图 6B 是示出其中在栅电极 102 的侧面壁上形成侧壁 105 并且在硅化物 MOS 晶体管 TrC 和非硅化物 MOS 晶体管 TrB 中的每一个的 LDD 层 104 中形成高浓度杂质扩散层 106 的状态的示意图。为了获得这种状态的衬底,如图 2B 所示的工艺中那样,在各个晶体管中的每一个中的栅电极 102 的侧面壁上以自对准方式形成侧壁 105。接着,在硅化物 MOS 晶体管 TrC 和非硅化物 MOS 晶体管 TrB 中的每一个的 LDD 层 104 中,通过采用利用侧壁 105 的自对准方法,对半导体衬底 101 的主表面进行 N 型杂质离子注入,其注入剂量小于用于典型的源极和漏极扩散层的常规剂量,由此形成杂质浓度为 $1\text{E}19\text{cm}^{-3}$ 的高浓度杂质扩散层 106。于是,硅化物 MOS 晶体管 TrA 被掩膜等覆盖,以便避免离子注入。

图 6C 是示出其中衬底的整个表面被 CVD 氧化物膜 111 覆盖的状态的示意图。该 CVD 氧化物膜 111 由参照图 2C 介绍的工艺形成。图 6D 是示出其中对 CVD 氧化物膜 111 进行选择性地蚀刻处理的状态的示意图。尽管用于 CVD 氧化物膜 111 的蚀刻处理与参照图 2D 介绍的相同，但是在本实施例中，仅仅对覆盖硅化物区 A 的 CVD 氧化物膜 111，即覆盖硅化物 MOS 晶体管 TrA 和 TrC 的 CVD 氧化物膜 111 进行使用 HF 等的湿法蚀刻处理。因此，暴露出硅化物 MOS 晶体管 TrA 和 TrC，并且非硅化物晶体管 TrB 保持为被 CVD 氧化物膜 111 覆盖。硅化物 MOS 晶体管 TrA 和 TrC 中的每一个的侧壁 105 的厚度减少了过蚀刻的膜厚。

图 6E 是示出其中高浓度杂质扩散层 106 形成在硅化物 MOS 晶体管 TrA 中的 LDD 层 104 内部的状态的示意图。如图 2F 所示的工艺中那样，通过采用利用膜厚已经减少了的侧壁 105 的自对准方法形成了高浓度杂质扩散层 106。

图 6F 是示出其中在半导体衬底 101 的整个表面中形成难熔金属膜 107 的状态的示意图。难熔金属膜 107 通过与图 2F 所示的相同的工艺形成。

图 6G 是示出其中在半导体衬底 101 的主表面上形成硅化物 MOS 晶体管 TrA 和 TrC 以及非硅化物晶体管 TrB 的状态的示意图。通过与图 2G 所示的相同的工艺形成这种状态的半导体衬底 101。因此，在同一衬底上可以同时形成各种类型的晶体管，即，硅化物 MOS 晶体管 TrA 和 TrC 以及非硅化物晶体管 TrB。

如上所述，根据本实施例的半导体器件的制造方法使得在包括在半导体器件的多个晶体管之中可以仅仅改善所希望晶体管的截止-泄露特性。

尽管在上述实施例中，作为例子介绍了其中在栅电极 102 上形成硅化物层 108 的 MOS 晶体管，但是本发明不限于此，并且在栅电极

102 的表面上可以不形成硅化物。尽管在上述实施例中，介绍了其中用于形成硅化物层 108 的硅化物是 Co 硅化物的例子，但是该硅化物可以由 Ti 硅化物、Ni 硅化物等形成。在这些实施例中，栅电极 102、侧壁 105、CVD 氧化物膜 111 等的厚度、材料和热处理条件等是作为本发明的一个例子来进行说明，并且本发明不限于此。而且，尽管在上述实施例中，介绍了各自具有在 P 型半导体衬底中形成的 N 型杂质层的晶体管的例子，但是本发明也可以应用于其中在 N 型半导体衬底中形成的 P 型杂质层的晶体管等。

工业实用性

由于根据本发明的半导体器件以及制造该半导体器件的方法具有这样的特征，即具有良好的截止-泄露特性的硅化物晶体管和非硅化物晶体管可以实现在同一衬底上，因此本发明可以用于图像传感器、车载产品中的半导体等。

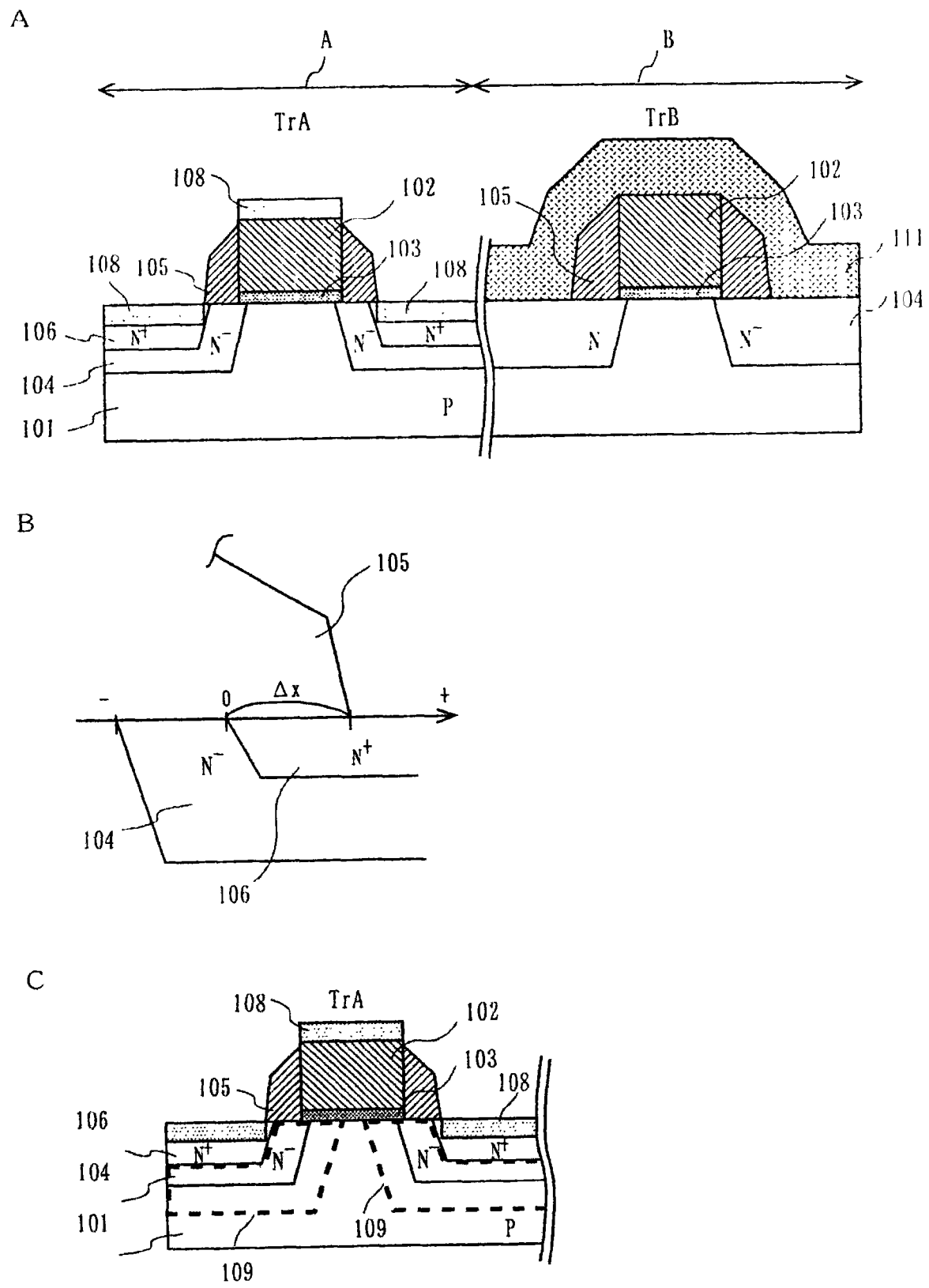


图1

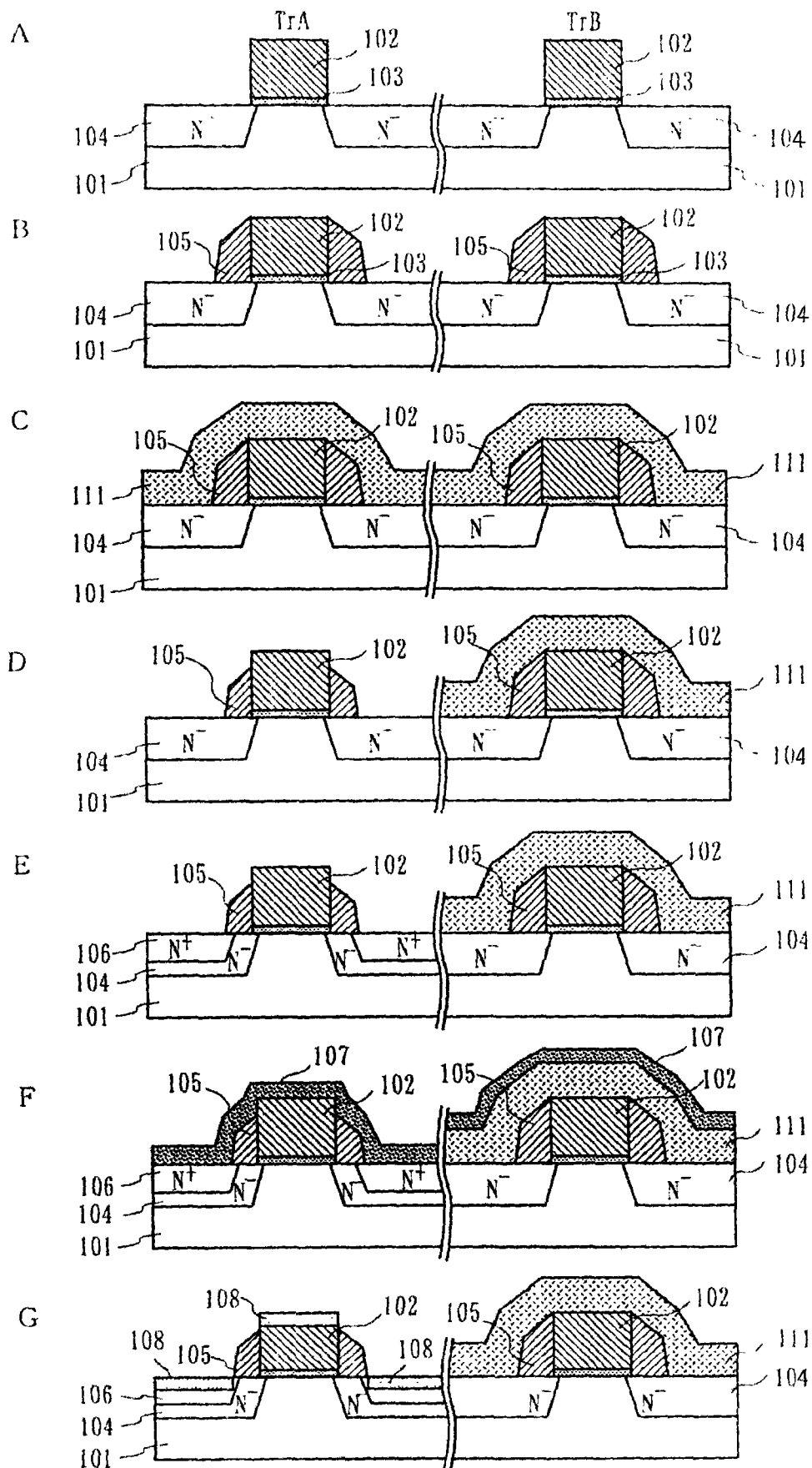


图2

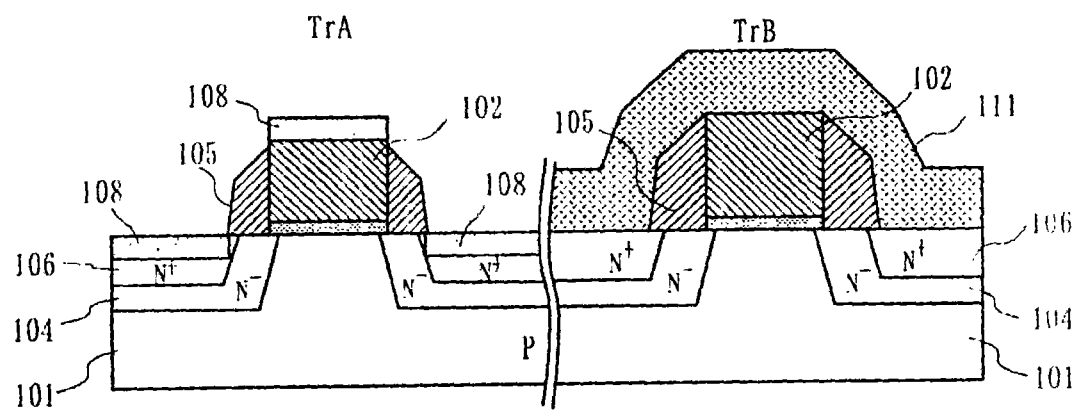


图3

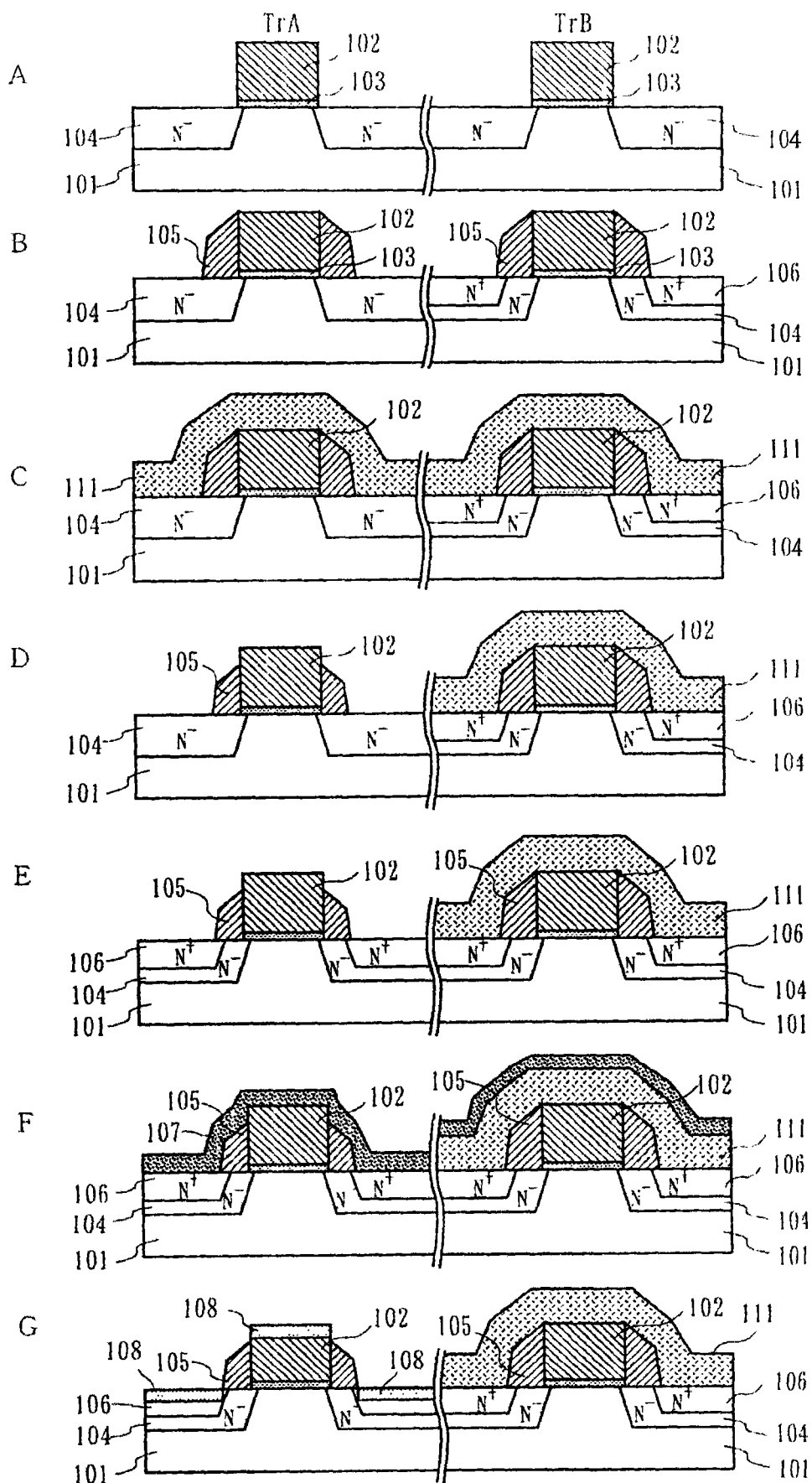


图4

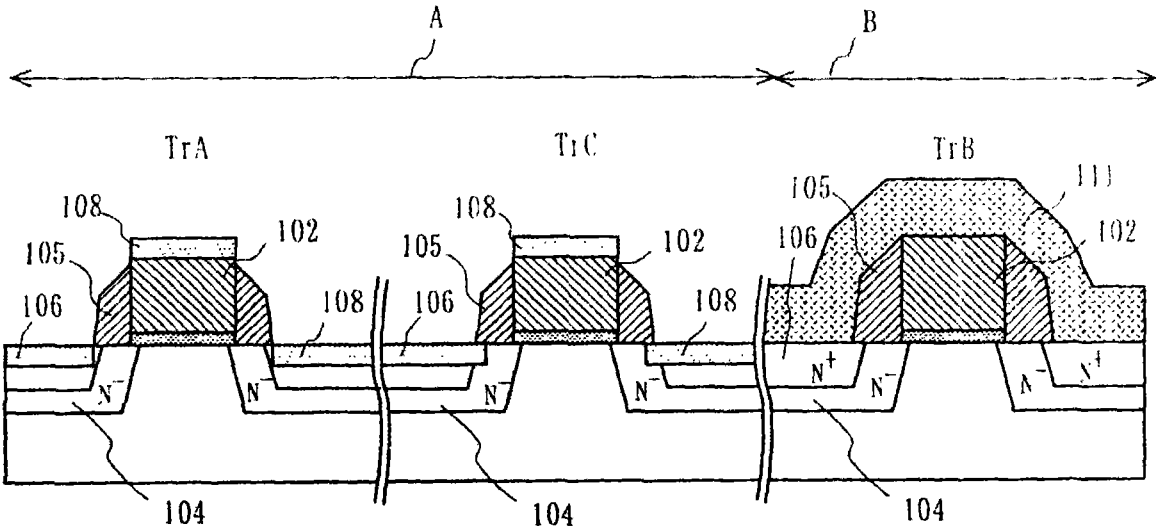


图5

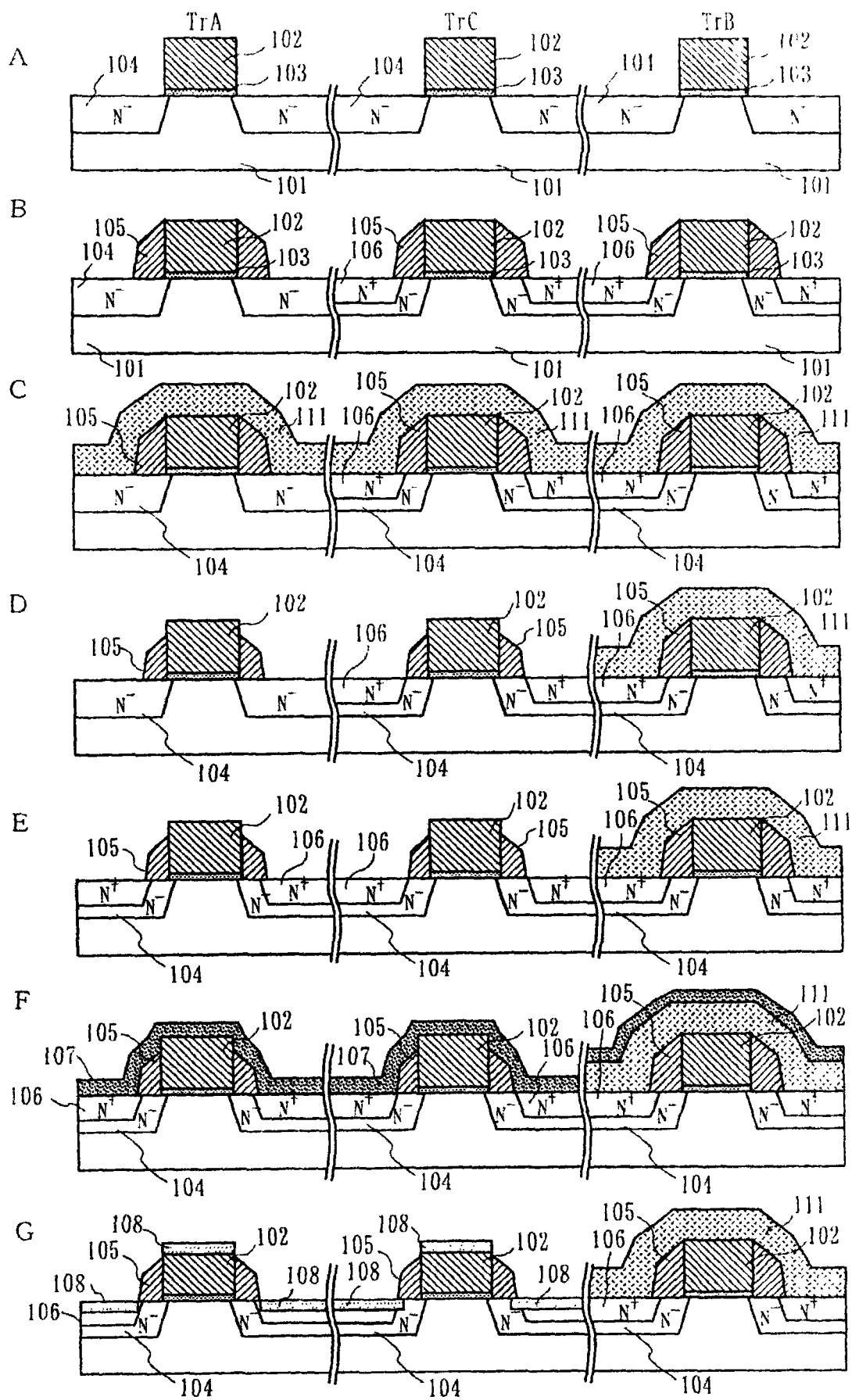


图6

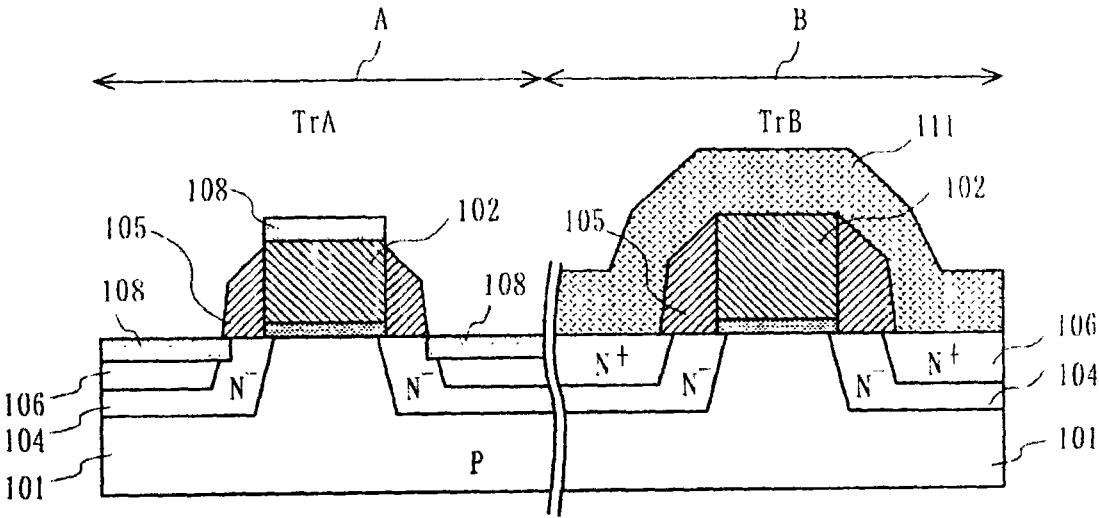


图7

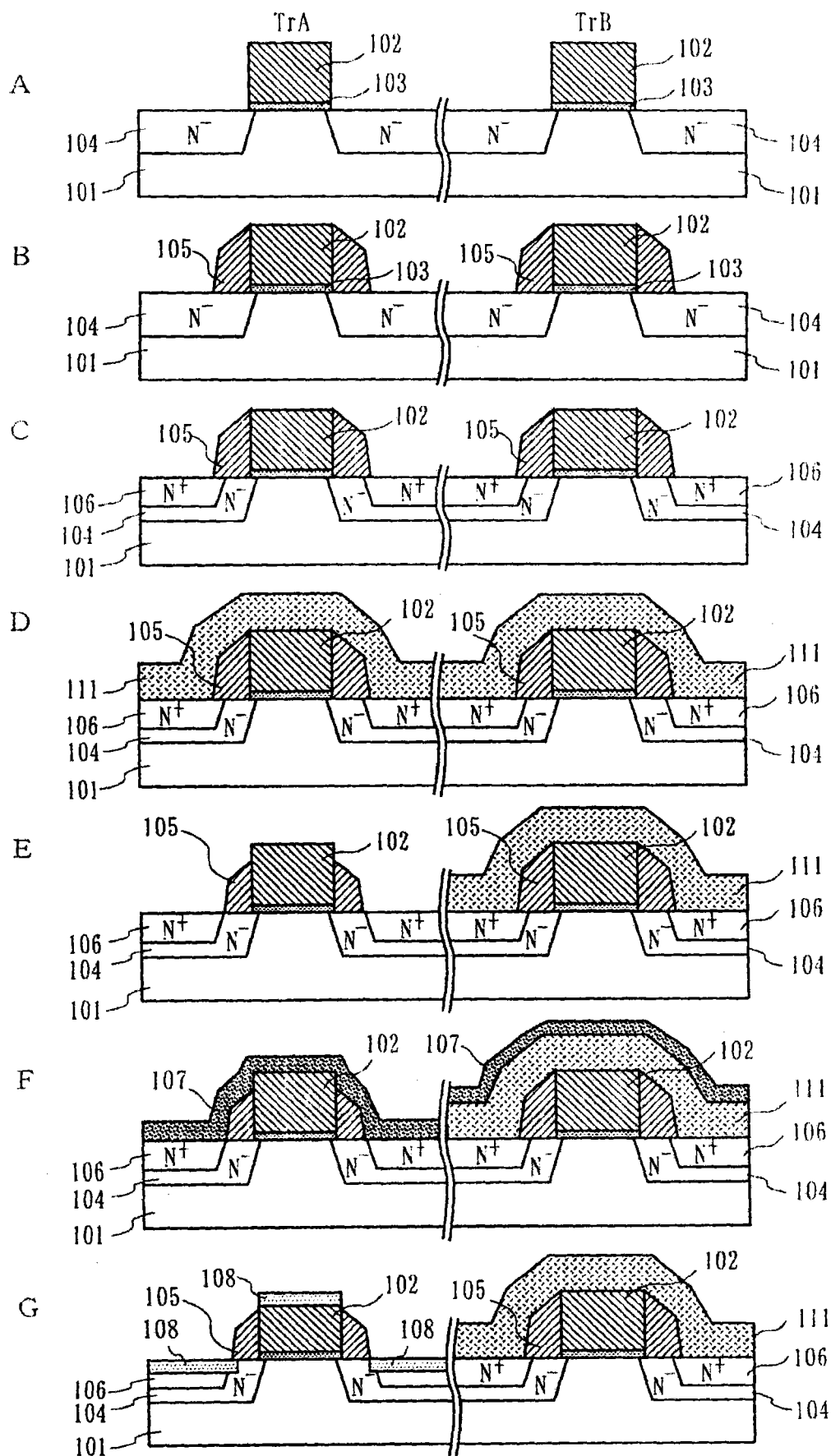


图8

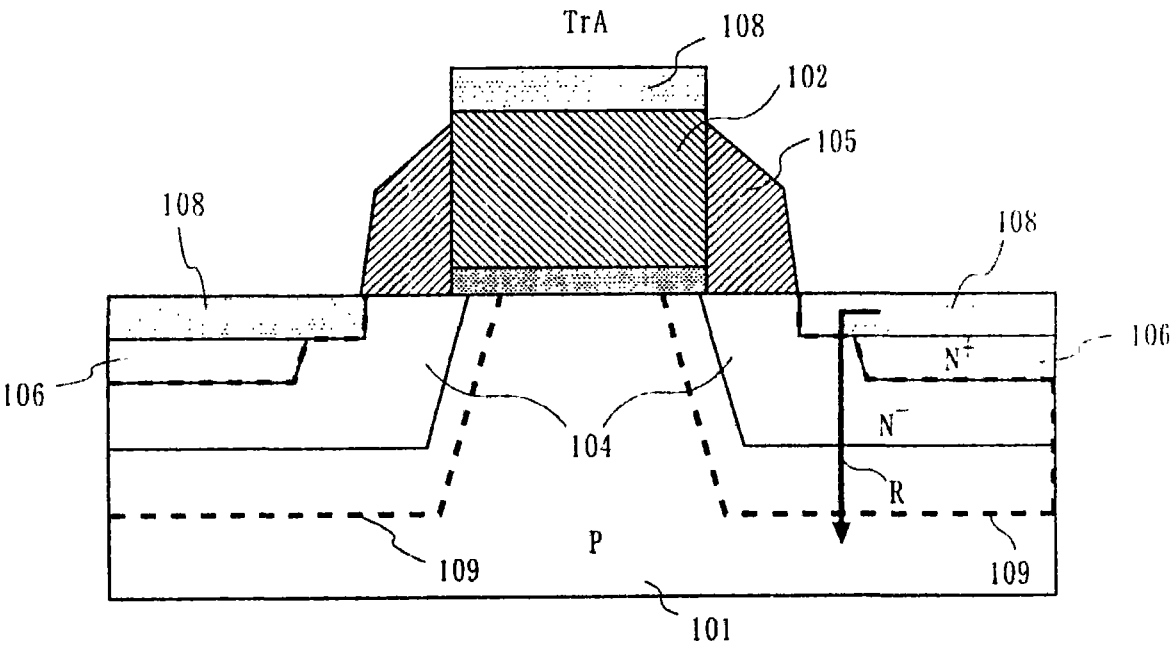


图9