



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월01일

(11) 등록번호 10-1590560

(24) 등록일자 2016년01월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
G09G 3/20 (2006.01)

(21) 출원번호 10-2008-0023354

(22) 출원일자 2008년03월13일

심사청구일자 2013년03월06일

(65) 공개번호 10-2008-0086819

(43) 공개일자 2008년09월26일

(30) 우선권주장

JP-P-2007-00076283 2007년03월23일 일본(JP)

(56) 선행기술조사문헌

JP09068692 A

JP05035200 A\*

KR1020050067097 A\*

KR1020050006363 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

혼다 타츠야

일본국 243-0036 가나가와Ken 아쓰기시 하세 398  
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 5 항

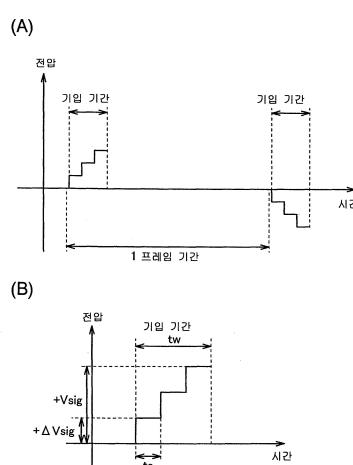
심사관 : 추장희

(54) 발명의 명칭 표시장치 및 표시장치의 구동방법

## (57) 요약

스위칭 소자로서 사용하는 트랜지스터의 드레인 근방에 고전계가 발생하는 것을 억제할 수 있는, 신뢰성이 높은 표시장치 및 그의 구동방법을 제공한다. 화소의 표시 소자와, 표시 소자에 병렬로 접속된 다른 용량에 전하가 축적되는 완화 시간에 주목하여, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시키고 최종적으로는 소망의 높이로 함으로써, 기입 시에 트랜지스터의 소스와 드레인 사이에 인가되는 전압의 크기를 억제한다.

대 표 도 - 도1



## 명세서

### 청구범위

#### 청구항 1

표시장치에 있어서,

신호선에 전기적으로 접속된 트랜지스터;

상기 트랜지스터에 전기적으로 접속된 표시 소자;

상기 트랜지스터에 전기적으로 접속된 용량 소자;

$m$ 개의 상이한 전원 전압이 공급되는  $m$ 개의 전원선;

제1 비디오 신호를 샘플링하고,  $m$ 개의 기억 소자를 포함하는 제1 회로; 및

$m$ 개의 단계를 포함하는 제2 비디오 신호가 상기 신호선에 공급되도록, 상기  $m$ 개의 전원선이 순차로 스위칭되는, 제2 회로를 포함하고,

상기 신호선을 위한 상기 제1 비디오 신호로부터 얻어진 동일한 화상 정보가 상기  $m$ 개의 기억 소자에 기억되고,

상기  $m$ 개의 기억 소자 각각에는 상기  $m$ 개의 전원선 중 대응하는 하나의 전원선이 제공되고,

상기 제2 비디오 신호는 상기 전원 전압에 따라, 상기  $m$ 개의 기억 소자로부터 상기 신호선에 순차적으로 출력되고,

상기 제2 회로는 상기 트랜지스터를 통해, 상기 표시 소자 및 상기 용량 소자에 전기적으로 접속되고,

상기 트랜지스터의 소스 및 드레인 사이에 인가된 전압의 시간 변화는 하기 식:

$$\Delta V_{sig} \times e^{-(t-ts)/\tau} \text{으로 표현되고,}$$

여기서  $t$ 는 시간이고,

$\tau$ 는 완화 시간이고,

$\Delta V_{sig}$ 는 상기 제2 비디오 신호의  $m$ 번째 단계의 전위와 상기 제2 비디오 신호의  $(m+1)$ 번째 단계의 전위 사이의 차이이고,

$ts$ 는 상기 제2 비디오 신호의  $(m-1)$ 번째 단계의 전위가 상기 제2 비디오 신호의 상기  $m$ 번째 단계의 상기 전위로 변경되는 시각으로부터 상기 제2 비디오 신호의 상기  $m$ 번째 단계의 상기 전위가 상기 제2 비디오 신호의 상기  $(m+1)$ 번째 단계의 상기 전위로 변경되는 시각까지의 기간이고,

$t$ 와  $ts$ 의 관계는 하기 식:

$$m \times ts < t \leq (m+1) \times ts < tw \text{로 표현되고,}$$

여기서  $m$ 은 1보다 큰 정수이고,

$tw$ 는 1 프레임 기간의 시간이고,

상기 완화 시간  $\tau$ 는 식,  $\tau = (Cs + Cl) \times R$ 로 표현되고,

$Cs$ 는 상기 용량 소자의 용량이고,  $Cl$ 은 상기 표시 소자의 용량이고,  $R$ 은 상기 신호선의 배선 저항인, 표시장치.

#### 청구항 2

삭제

#### 청구항 3

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

제 1 항에 있어서, 상기 신호선에 전기적으로 접속된 화소를 더 포함하는 표시장치.

**청구항 10**

제 9 항에 있어서, 상기 신호선에 공급된 상기 비디오 신호가 상기 화소에 포함된 상기 트랜지스터의 상기 소스 또는 상기 드레인에 인가되는 표시장치.

**청구항 11**

제 9 항에 있어서, 상기 화소가 트랜지스터와 액정 셀을 포함하고,

상기 신호선에 공급된 상기 비디오 신호가 상기 트랜지스터를 통해 상기 액정 셀에 인가되는 표시장치.

**청구항 12**

표시장치를 구동하는 구동방법에 있어서,

제1 프레임 기간에서,  $m$  단계를 추가함으로써 신호선에 인가되는 정(正)전압을 증가시키는 단계와;제2 프레임 기간에서,  $m$  단계를 추가함으로써 상기 신호선에 인가되는 부(負)전압의 절대값을 증가시키는 단계를 포함하고,상기  $m$  단계는,     $m$  개의 전원선 중 대응하는 하나의 전원선이 각각 제공되는  $m$  개의 기억 소자에 상기 정전압과 상기 부전압 각각을 기억시키고,    전원 전압들에 따라, 상기  $m$  개의 기억 소자로부터 상기 신호선에,  $m$  개 단계의 정전압 및  $m$  개 단계의 부전압을 포함하는 비디오 신호를 순차적으로 출력하는 것에 의하여, 상기 정전압과 상기 부전압에 각각 추가되고,

상기 정전압과 상기 부전압이 상기 신호선을 통해, 화소의 스위칭용 트랜지스터에 교대로 인가되고,

상기 화소는 표시 소자 및 용량 소자를 포함하고,

상기 스위칭용 트랜지스터의 소스 및 드레인 사이에 인가된 상기 정전압 또는 상기 부전압의 절대값의 시간 변화는 하기 식:

$$\Delta V_{sig} \times e^{-(t-t_s)/\tau}$$

여기서  $t$ 는 시간이고,

$\tau$ 는 완화 시간이고,

$\Delta V_{sig}$ 는 상기 비디오 신호의  $m$ 번째 단계의 전위와 상기 비디오 신호의  $(m+1)$ 번째 단계의 전위 사이의 차이이고,

$t_s$ 는 상기 비디오 신호의  $(m-1)$ 번째 단계의 전위가 상기 비디오 신호의  $m$ 번째 단계의 전위로 변경되는 시각으로부터 상기 비디오 신호의 상기  $m$ 번째 단계의 상기 전위가 상기 비디오 신호의 상기  $(m+1)$ 번째 단계의 상기 전위로 변경되는 시각까지의 기간이고,

$t$ 와  $t_s$ 의 관계는 하기 식:

$m \times t_s < t \leq (m+1) \times t_s < t_w$ 로 표현되고,

여기서  $m$ 은 1보다 큰 정수이고,

$t_w$ 는 1 프레임 기간의 시간이고,

상기 완화 시간  $\tau$ 는 식,  $\tau = (C_s + C_l) \times R$ 로 표현되고,

$C_s$ 는 상기 용량 소자의 용량이고,  $C_l$ 은 상기 표시 소자의 용량이고,  $R$ 은 상기 신호선의 배선 저항인, 표시장치 구동방법.

### 청구항 13

삭제

### 청구항 14

삭제

## 발명의 설명

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 액티브 매트릭스형 표시장치 및 그의 구동방법에 관한 것이다.

#### 배경 기술

[0002] 액티브 매트릭스형 표시장치는, 매트릭스 형상으로 배열된 수십~수백만개의 각 화소에 스위칭 소자와 표시 소자가 설치되어 있다. 그 스위칭 소자에 의해, 비디오 신호를 화소에 입력한 후에도 표시 소자에의 전압 인가 또는 전류 공급이 어느 정도 유지되기 때문에, 액티브 매트릭스형은 패널의 대형화 및 고정세화에 유연하게 대응할 수 있어, 금후의 표시장치의 주류가 되고 있다.

[0003] 상기 표시장치가 가지는 구동회로의 대표적인 것으로서, 주사선 구동회로와 신호선 구동회로가 있다. 주사선 구동회로에 의해, 다수의 화소가 1 라인마다, 경우에 따라서는 다수 라인마다 선택된다. 그리고, 신호선 구동회로에 의해, 그 선택된 라인이 가지는 화소로의 비디오 신호의 입력이 제어된다.

[0004] 그런데, 액정 재료를 표시 소자로서 사용하는 표시장치의 경우, 눌러붙음이라고 불리는 액정 재료의 열화(劣化)를 방지하기 위해, 표시 소자에 인가하는 전압의 극성을 소정의 타이밍에 따라 반전시키는 교류 구동이 행해진다. 예를 들어, 하기의 문헌 1에는, 액정층에의 전압 인가는 교류 구동으로 행할 필요가 있다고 기재되어 있다. 구체적으로 교류 구동은, 각 화소에 입력하는 비디오 신호의 전압의 극성을 공통의 전압을 기준으로 하여 반전시킴으로써 행할 수 있다.

[0005] [문헌 1] 일본 특허 제3481349호 공보

#### 발명의 내용

#### 해결 하고자 하는 과제

[0006] 그러나, 트랜지스터를 스위칭 소자로서 사용하는 표시장치의 경우, 교류 구동을 행함으로써, 그 트랜지스터가

열화되기 쉽다는 문제가 있었다. 도 20 및 도 21을 사용하여, 교류 구동을 행하는 경우의 화소의 동작에 대하여 설명한다.

[0007] 도 20(A)는 액티브 매트릭스형 표시장치가 가지는 일반적인 화소의 구성을 나타내고 있다. 트랜지스터(2001)는 화소에의 비디오 신호의 입력을 제어하기 위한 스위칭 소자이다. 또한, 표시 소자(2002)는 계조를 표시할 수 있는 소자로서, 표시 소자(2002)가 가지는 한 쌍의 전극 중, 공통의 전압이 부여되고 있는 전극을 대향 전극이라고 부르고, 비디오 신호에 따라 전압이 부여되는 전극을 화소 전극이라고 부른다.

[0008] 각 화소에는, 신호선(Si)(i = 1~x)과 주사선(Gj)(j = 1~y)이 마련되어 있다. 그리고, 트랜지스터(2001)의 게이트는 주사선(Gj)에 접속되어 있다. 또한, 트랜지스터(2001)의 소스와 드레인은 어느 한쪽이 신호선(Si)에 접속되고, 다른 쪽이 표시 소자(2002)의 화소 전극에 접속되어 있다.

[0009] 도 21에, 도 20(A)에 나타내는 화소를 교류 구동으로 동작시키는 경우에 있어서 신호선에 부여되는 전압의 타이밍 차트를 나타낸다. 먼저, 도 20(A)에 나타내는 바와 같이, 기입 기간에서 주사선(Gj)이 선택됨으로써, 트랜지스터(2001)가 온(ON)으로 된다. 그리고, 신호선(Si)에 비디오 신호의 전압(+Vsig)이 부여되면, 그 전압(+Vsig)은 트랜지스터(2001)를 통하여 표시 소자(2002)의 화소 전극에 부여된다. 다음에, 도 20(B)에 나타내는 바와 같이, 기입 기간의 종료와 함께 주사선(Gj)의 선택이 종료되면, 트랜지스터(2001)가 오프(OFF)로 된다. 따라서, 신호선(Si)의 전압에 관계없이, 다음의 기입 기간까지 전압(+Vsig)은 유지된다.

[0010] 그리고, 도 20(C)에 나타내는 바와 같이, 다시 기입 기간에서 주사선(Gj)이 선택됨으로써, 트랜지스터(2001)가 온으로 된다. 이 때, 신호선(Si)에 부여되는 비디오 신호는 전압(+Vsig)의 극성이 반전된 전압(-Vsig)을 가지는 것으로 한다. 신호선(Si)에 전압(-Vsig)이 부여되면, 그 전압(-Vsig)은 트랜지스터(2001)를 통하여 표시 소자(2002)의 화소 전극에 부여된다. 이 때, 트랜지스터(2001)의 소스와 드레인 사이의 전압은 최종적으로는 거의 0에 가까워지는데, 트랜지스터(2001)가 온으로 되어, 신호선(Si)에 전압(-Vsig)이 부여된 직후에는, 도 20(C)에 나타내는 바와 같이, 트랜지스터(2001)의 소스와 드레인 사이에  $|2Vsig|$  인 전압이 인가되는 것으로 된다.

[0011] 소스와 드레인 사이에 인가되는 전압이 높게 되면, 트랜지스터(2001)의 드레인 근방에 고전계가 발생하기 때문에, 핫 캐리어 효과가 발생하고, 트랜지스터가 열화되어 스레시홀드 전압이 변동한다. 특히 화소부의 고정세화에 수반하여 트랜지스터의 채널 길이가 짧게 되면, 이 경향은 강해져, 스레시홀드 전압의 변동은 더욱 커진다. 그리고, 스레시홀드 전압이 크게 변동하면, 트랜지스터(2001)가 스위칭 소자로서 정상적으로 동작하지 않게 되기 때문에, 표시 불량을 일으킨다. 따라서, 교류 구동에 의해 발생하는 소스와 드레인 사이의 전압의 높이는 표시장치의 신뢰성을 떨어뜨리는 한 요인으로 되고 있었다.

[0012] 또한, 상기 문헌 1에는, 상기 신호선에 상당하는 기입 신호선에, 시간과 함께 서서히 전압이 변화하는 기입 신호를 입력하는 구성에 대하여 기재되어 있다. 그러나, 문헌 1과 같이 신호선에 부여하는 전압을 서서히 변화시키도록 하여도, 화소가 가지는 표시 소자, 및 그것에 병렬로 접속된 보유 용량에 축적되는 전하량은 신호선에 부여하는 전압의 변화에 대해 늦게 추종한다. 이 때문에, 도 20에 나타낸 바와 같은 종래의 구동법에 비하면, 스위칭 소자로서 기능하는 트랜지스터의 소스와 드레인 사이의 전압을 작게 할 수 있지만, 더욱 작게 억제할 여지가 아직 남아 있었다.

[0013] 또한, 트랜지스터에 LDD(Lightly Doped Drain) 영역을 마련하는 것은 핫 캐리어 효과를 억제하는 유효한 방법 중 하나이다. 그러나, LDD 영역과 같이 트랜지스터의 구조 자체를 개량하면, 제조 행정이 복잡해지는 데다가, 트랜지스터의 특성 편차를 유인한다. 이 때문에, 트랜지스터의 구조를 개량함으로써, 핫 캐리어 효과에 의한 스레시홀드 전압의 변동을 억제하는 데는 한계가 있었다.

[0014] 본 발명은 상기한 문제를 감안하여, 스위칭 소자로서 사용하는 트랜지스터의 드레인 근방에 고전계가 발생하는 것을 억제할 수 있는, 신뢰성이 높은 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다.

### 과제 해결수단

[0015] 본 발명자는, 화소에 비디오 신호의 기입을 행할 때, 신호선에의 비디오 신호의 전압을 거는 방법에 따라, 트랜지스터의 소스와 드레인 사이에 인가되는 전압의 크기를 억제할 수 있는 것은 아닐까 생각했다. 그리고, 화소의 표시 소자와, 표시 소자에 병렬로 접속된 다른 용량에 전하가 축적되는 완화 시간에 주목하고, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시켜 최종적으로 소망의 높이로 함으로써, 기입 시에 트랜지스터의 소스와 드레인 사이에 인가되는 전압의 크기를 억제할 수 있는 표시장치를 생각해 냈다.

[0016] 구체적으로, 본 발명의 표시장치는, 다수의 전원 전압의 공급에 의해 기입 기간에서 신호선에 부여하는 비디오 신호의 전압을 다수 회에 걸쳐 단계적으로 변화시킬 수 있는 신호선 구동회로를 가진다. 그리고, 신호선에 부여하는 비디오 신호의 전압은, 상이한 전원 전압이 부여된 다수의 전원선을 신호선 구동회로의 내부에서 순차로 전환함으로써 단계적으로 변화시킬 수 있다. 이 경우, 신호선 구동회로는 다수의 전원 전압의 공급 경로를 가진다. 그리고, 상기 다수의 전원 전압에 따라, 비디오 신호의 전압을 순차로 전환하여 하나의 신호선에 공급하는 회로를 가진다.

[0017] 또는, 신호선 구동회로의 내부에서 전원 전압의 전환을 행하는 것이 아니라, 공급되는 다수의 전원 전압을 표시장치의 외부에서 순차로 전환함으로써, 신호선에 부여하는 비디오 신호의 전압을 다수 회에 걸쳐 단계적으로 변화시켜도 좋다.

### 효과

[0018] 본 발명에서는, 기입 기간에서 스위칭 소자로서 사용하는 트랜지스터의 소스와 드레인 사이의 전압의 절대값을, 도 21에 나타낸 바와 같은 구동을 행하는 종래의 표시장치 및 상기한 문헌 1에 기재된 구동을 행하는 표시장치 보다도 작게 억제할 수 있다. 따라서, 그 트랜지스터의 드레인 근방에 고전류가 발생하는 것을 억제함으로써, 핫 캐리어 효과에 의한 트랜지스터의 열화를 방지할 수 있다. 그리고, 본 발명의 구성에 의해, 스위칭 소자의 신뢰성의 향상, 나아가서는 표시장치의 신뢰성의 향상을 실현할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시형태에 대하여 도면을 참조하여 설명한다. 그러나, 본 발명은 많은 상이한 양태로 실시할 수 있고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세를 여러 가지로 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0020] [실시형태 1]

[0021] 본 발명의 구동방법에 대하여 도 1을 사용하여 설명한다. 도 1(A)는 본 발명에서 신호선에 부여되는 전압의 타이밍 차트를 나타내고 있다. 도 1(A)에서는, 최초로 출현하고 있는 기입 기간에서 비디오 신호선의 전압이 공통의 전압으로부터  $+V_{sig}$ 까지 계단 형상으로 단계적으로 변화하도록 신호선(Si)에 부여되어 있다. 도 1(A)에서 최초로 출현하고 있는 기입 기간의 타이밍 차트의 확대도를 도 1(B)에 나타낸다.

[0022] 구체적으로는, 도 1(B)에 나타내는 바와 같이, 기입 기간이 개시되면, 신호선의 전압이 먼저  $+ \Delta V_{sig}$ 만큼 변화한다. 단,  $| \Delta V_{sig} | < | V_{sig} |$ 인 것으로 한다. 그리고,  $+ \Delta V_{sig}$ 만큼 전압이 변화한 후, 시간  $t_s$ 가 경과하면, 다시 신호선의 전압은  $+ \Delta V_{sig}$ 만큼 변화한다. 단, 기입 기간의 길이를  $t_w$ 라 하면,  $t_s < t_w$ 인 것으로 한다.

[0023] 그리고, 다음에 시간  $t_s$ 가 경과하면, 다시 신호선의 전압은  $+ \Delta V_{sig}$ 만큼 변화한다. 이것을 순차로 반복하여, 최종적으로 신호선의 전압은  $+V_{sig}$ 에 도달한다. 그리고, 다음에 출현하는 기입 기간에서는, 도 1(A)에 나타내는 바와 같이, 시간  $t_s$ 마다 신호선의 전압이  $- \Delta V_{sig}$ 씩 변화하도록 구동을 행한다.

[0024] 다음에, 본 발명의 효과에 대하여 보다 알기 쉽게 설명하기 위해, 종래의 경우와 본 발명의 경우에서 소스와 드레인 사이의 전압의 시간 변화를 비교한다.

[0025] 먼저, 종래와 같이, 기입 기간에서 신호선에 최초부터 소정의 전압을 부여하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds1}$ )에 대하여 고찰한다. 직전에 신호선에 부여된 비디오 신호의 전압을  $+V_{sig}$ 라 하고, 다음의 기입 기간에서 비디오 신호의 전압( $-V_{sig}$ )이 신호선에 부여되는 것으로 가정한다. 이 때, 화소 전극에서는 정(正)전하가 방출되고, 부(負)전하가 주입되기 때문에, 표시 소자가 가지는 화소 전극의 전압을  $V_p(t)$ 라 하면,  $V_p(t)$ 는 이하의 식 1로 나타내어진다.

[0026] (식 1)

$$V_p(t) = V_{sig} \times e^{-t/\tau} - V_{sig} \times (1 - e^{-t/\tau}) = -V_{sig} \times (1 - 2e^{-t/\tau})$$

[0028] 따라서, 신호선에 최초부터 소정의 전압을 부여하는 경우, 소스와 드레인 사이의 전압( $V_{ds1}$ )은 이하의 식 2로 나타내어진다.

[0029] (식 2)

[0030]  $V_{ds1} = V_p(t) - (-V_{sig}) = -V_{sig} \times (1 - 2e^{-t/\tau}) + V_{sig} = 2V_{sig} \times e^{-t/\tau}$

[0031] 식 2로부터,  $t$ 를 무한대로 하면 소스와 드레인 사이의 전압( $V_{ds1}$ )이 0으로 되는 것을 확인할 수 있다. 그리고, 식 2로부터, 종래의 경우에는  $t$ 가 0이면, 소스와 드레인 사이의 전압( $V_{ds1}$ )이  $2V_{sig}$ 로 되는 것을 알 수 있다.

[0032] 다음에, 상기 문현 1과 같이, 신호선에 부여하는 비디오 신호의 전압을 서서히 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds2}$ )에 대하여 고찰한다. 먼저, 직전에 신호선에 부여된 비디오 신호의 전압을  $+V_{sig}$ , 기입 시간을  $t_w$ 라 하면, 신호선의 전압( $V_s(t)$ )은 이하의 식 3으로 나타내어 진다.

[0033] (식 3)

[0034]  $V_s(t) = -(V_{sig}/t_w) \times t$

[0035] 표시 소자로 형성되는 용량의 용량값을  $C_1$ , 표시 소자가 가지는 한 쌍의 전극 사이에 가해지는 전압을 보유하기 위한 용량의 용량값을  $C_s$ 라 한다. 그리고, 상기 2개의 용량에 축적되는 전하량의 토탈값을  $Q$ 라 하면, 이하의 식 4가 성립한다.

[0036] (식 4)

[0037]  $Q = (C_s + C_1) \times V_p(t)$

[0038] 또한, 배선 저항을  $R$ 이라 하면, 다음의 식 5가 성립한다.

[0039] (식 5)

[0040]  $dQ/dt = (C_s + C_1) \times (dV_p(t)/dt) = -(V_p(t) - V_s(t))/R$

[0041] 다음에,  $\tau = (C_s + C_1) \times R$ 이라 하면, 식 5로부터 식 6이 도출된다.

[0042] (식 6)

[0043]  $dV_p(t)/dt = -(V_p(t) - V_s(t))/\tau$

[0044] 여기서 식 1을 식 6에 대입하면, 식 7이 도출된다.

[0045] (식 7)

[0046]  $dV_p(t)/dt = -(V_p(t) + (V_{sig}/t_w) \times t)/\tau$

[0047] 식 7을  $t$ 에 대하여 미분하고,  $dV_p(t)/dt = F(t)$ 로 두면, 식 8이 도출된다.

[0048] (식 8)

[0049]  $dF(t)/dt = -(F(t) + V_{sig}/t_w)/\tau$

[0050] 또한,  $V_{sig}/t_w$ 는 정수(定數)이기 때문에, 식 9가 성립한다.

[0051] (식 9)

[0052]  $dF(t)/dt = d(F(t) + V_{sig}/t_w)/dt$

[0053] 식 9를 식 8에 대입하면, 식 10이 얻어진다.

[0054] (식 10)

[0055]  $d(F(t) + V_{sig}/t_w)/dt = -(F(t) + V_{sig}/t_w)/\tau$

[0056] 식 10은,  $F(t) + V_{sig}/t_w$ 를 미분하면 원래의 함수로 되돌아가는 것을 나타내고 있기 때문에,  $F(t) + V_{sig}/t_w$ 가 지수 함수인 것을 의미한다. 따라서, 이하의 식 11이 성립한다.

[0057] (식 11)

[0058]  $F(t) + V_{sig}/t_w = A \times e^{-t/\tau}$  ( $A$ 는 정수(定數))

[0059]  $dV_p(t)/dt = F(t)$ 이기 때문에, 식 11로부터 이하의 식 12가 얻어진다.

[0060] (식 12)

$$dVp(t)/dt = A \times e^{-t/\tau} - Vsig/tw$$

[0062] 식 12를 적분하면, 이하의 식 13이 도출된다.

[0063] (식 13)

$$Vp(t) = -\tau \times A \times e^{-t/\tau} - (Vsigt/tw) \times t$$

[0065] 또한,  $Vp(0) = Vsigt$ 라 하면, 식 13으로부터  $A = -Vsigt/\tau$ 인 것을 알 수 있다.

[0066] 따라서, 식 13에 A를 대입하면, 이하의 식 14가 얻어진다.

[0067] (식 14)

$$Vp(t) = Vsigt \times e^{-t/\tau} - (Vsigt/tw) \times t$$

[0069] 따라서, 식 14로부터, 상기한 문헌 1에서의 소스와 드레인 사이의 전압( $Vds2$ )은 이하의 식 15로 나타내어질 수 있다.

[0070] (식 15)

$$Vds2 = Vp(t) - Vs(t) = Vsigt \times e^{-t/\tau}$$

[0072] 식 15로부터, t를 무한대로 하면, 소스와 드레인 사이의 전압( $Vds2$ )이 0으로 되는 것을 확인할 수 있다. 또한, 식 15로부터, t가 0이면, 소스와 드레인 사이의 전압( $Vds2$ )이  $Vsig$ 로 되는 것을 알 수 있다.[0073] 다음에, 본 발명과 같이, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $Vds3$ ,  $Vds4$ )에 대하여 고찰한다.[0074] 본 실시형태에서는, 직전에 신호선에 부여된 비디오 신호의 전압을  $+Vsigt$ 라 한다. 그리고, 기입 시간( $tw$ ) 내에서, 수 단계로 나누어  $-\Delta Vsigt$ 씩 신호선에 부여하는 전압을 변화시키는 것으로 하고, 전압을 변화시킨 후, 다음에 신호선에 부여하는 전압을  $-\Delta Vsigt$ 만큼 변화시킬 때까지의 기간을  $ts$ 라 한다.  $ts$ 는 기입 기간( $tw$ )보다 짧다.[0075] 먼저,  $0 \leq t \leq ts$ 에 있어서의 소스와 드레인 사이의 전압( $Vds3$ )에 대하여 고찰한다.  $0 \leq t \leq ts$ 인 경우,  $Vs(t) = -\Delta Vsigt$ 이기 때문에,  $Vs(t)$ 는 일정하다. 따라서, 전압( $Vds3$ )은 이하의 식 16으로 나타내어진다.

[0076] (식 16)

$$Vds3 = Vp(t) - Vs(t) = Vp(t) + \Delta Vsigt$$

[0078] 또한, 본 발명에서는, 종래와 동일하게 식 4가 성립한다. 따라서, 배선 저항을 R이라 하면, 이하의 식 17이 성립한다.

[0079] (식 17)

$$dQ/dt = (Cs + C1) \times (dVp(t)/dt) = -(Vp(t) + \Delta Vsigt)/R$$

[0081] 다음에,  $\tau = (Cs + C1) \times R$ 이라 하면, 식 17로부터 식 18이 도출된다.

[0082] (식 18)

$$dVp(t)/dt = -(Vp(t) + \Delta Vsigt)/\tau$$

[0084]  $\Delta Vsigt$ 는 정수(定數)이기 때문에, 식 19가 성립한다.

[0085] (식 19)

$$dVp(t)/dt = d(Vp(t) + \Delta Vsigt)/dt$$

[0087] 식 19를 식 18에 대입하면, 식 20이 얻어진다.

[0088] (식 20)

- [0089]  $d(Vp(t) + \Delta Vsig)/dt = -(Vp(t) + \Delta Vsig)/\tau$
- [0090] 식 20은,  $Vp(t) + \Delta Vsig$ 를 미분하면 원래의 함수로 되돌아가는 것을 나타내고 있기 때문에,  $Vp(t) + \Delta Vsig$ 가 지수 함수인 것을 의미한다. 따라서, 이하의 식 21이 성립한다.
- [0091] (식 21)
- [0092]  $Vp(t) + \Delta Vsig = B \times e^{-t/\tau}$  (B는 정수(定數))
- [0093] 또한,  $Vp(0) = Vsig$ 라 하면, 식 21로부터  $B = Vsig + \Delta Vsig$ 인 것을 알 수 있다. 따라서, 식 21에 B를 대입하면, 이하의 식 22가 얻어진다.
- [0094] (식 22)
- [0095]  $Vp(t) = -\Delta Vsig + (Vsig + \Delta Vsig) \times e^{-t/\tau}$
- [0096] 따라서, 식 22로부터, 본 발명의  $0 \leq t \leq t_s$ 에 있어서의 소스와 드레인 사이의 전압( $Vds3$ )은 이하의 식 23으로 나타내어질 수 있다.
- [0097] (식 23)
- [0098]  $Vds3 = Vp(t) - Vs(t) = (Vsig + \Delta Vsig) \times e^{-t/\tau}$
- [0099] 식 23으로부터,  $t$ 를 무한대로 하면, 소스와 드레인 사이의 전압( $Vds3$ )이 0이 되는 것을 확인할 수 있다. 또한, 식 23으로부터,  $t$ 가 0이면, 소스와 드레인 사이의 전압( $Vds3$ )이  $Vsig + \Delta Vsig$ 로 되는 것을 알 수 있다.
- [0100] 다음에,  $t_s < t \leq 2t_s$ 에 있어서의 소스와 드레인 사이의 전압( $Vds4$ )에 대하여 고찰한다.  $t_s < t \leq 2t_s$ 인 경우,  $Vs(t) = -2\Delta Vsig$ 이기 때문에,  $Vs(t)$ 는 일정하다. 따라서, 전압( $Vds4$ )은 이하의 식 24로 나타내어진다.
- [0101] (식 24)
- [0102]  $Vds4 = Vp(t) - Vs(t) = Vp(t) + 2\Delta Vsig$
- [0103] 또한, 본 발명에서는, 종래와 동일하게 식 4가 성립한다. 따라서, 배선 저항을  $R$ 이라 하면, 이하의 식 25가 성립한다.
- [0104] (식 25)
- [0105]  $dQ/dt = (Cs + C1) \times (dVp(t)/dt) = -(Vp(t) + 2\Delta Vsig)/R$
- [0106] 다음에,  $\tau = (Cs + C1) \times R$ 이라 하면, 식 25로부터 식 26이 도출된다.
- [0107] (식 26)
- [0108]  $dVp(t)/dt = -(Vp(t) + 2\Delta Vsig)/\tau$
- [0109]  $2\Delta Vsig$ 는 정수(定數)이기 때문에, 식 27이 성립한다.
- [0110] (식 27)
- [0111]  $dVp(t)/dt = d(Vp(t) + 2\Delta Vsig)/dt$
- [0112] 식 27을 식 26에 대입하면, 식 28이 얻어진다.
- [0113] (식 28)
- [0114]  $d(Vp(t) + 2\Delta Vsig)/dt = -(Vp(t) + 2\Delta Vsig)/\tau$
- [0115] 식 28은,  $Vp(t) + 2\Delta Vsig$ 를 미분하면, 원래의 함수로 되돌아가는 것을 나타내고 있기 때문에,  $Vp(t) + 2\Delta Vsig$ 가 지수 함수인 것을 의미한다. 따라서, 이하의 식 29가 성립한다.
- [0116] (식 29)
- [0117]  $Vp(t) + 2\Delta Vsig = C \times e^{-t/\tau}$  (C는 정수(定數))
- [0118] 또한,  $Vp(0) = -\Delta Vsig$ 라 하면, 식 29로부터  $B = \Delta Vsig$ 인 것을 알 수 있다. 따라서, 식 29에 C를 대입하고,

마지막으로  $t$ 를  $t-ts$ 로 치환하면, 이하의 식 30이 얻어진다.

[0119] (식 30)

$$V_p(t) = -2\Delta V_{sig} + V_{sig} \times e^{-(t-ts)/\tau}$$

[0121] 따라서, 식 30으로부터, 본 발명의  $ts < t \leq 2ts$ 에 있어서의 소스와 드레인 사이의 전압( $V_{ds4}$ )은, 마지막으로  $t$ 를  $t-ts$ 로 치환하면, 이하의 식 31로 나타내어질 수 있다.

[0122] (식 31)

$$V_{ds4} = V_p(t) - V_s(t) = \Delta V_{sig} \times e^{-(t-ts)/\tau}$$

[0124] 식 31로부터, 본 발명의  $ts < t \leq 2ts$ 에 있어서의 소스와 드레인 사이의 전압( $V_{ds4}$ )의 최대값이  $\Delta V_{sig}$ 인 것을 알 수 있다. 그리고,  $t$ 의 범위를  $m \times ts < t \leq (m+1) \times ts < tw$ (단,  $m$ 은 1보다 큰 정수(整數))로 일반화한 경우에 있어서도 소스와 드레인 사이의 전압은 식 31로 나타내어진다. 따라서,  $t$ 의 범위가  $m \times ts < t \leq (m+1) \times ts < tw$ 인 경우, 소스와 드레인 사이의 전압의 최대값은  $\Delta V_{sig}$ 가 된다.

[0125] 도 2에, 본 발명에서의 화소 전극의 전압( $V_p(t)$ )과 신호선의 전압( $V_s(t)$ )의 시간 변화를 나타낸다. 도 2에 나타낸 바와 같이, 전하의 완화 시간( $\tau$ )보다도 크게 되도록 시간( $ts$ )의 값을 설정한 경우, 시간( $ts$ )마다 신호선의 전압( $V_s(t)$ )이 변화하면, 그것에 추종하도록 전압( $V_p(t)$ )의 값을 변화하는 것을 알 수 있다.

[0126] 다음에, 종래의, 신호선에 최초부터 소정의 전압을 부여하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds1}$ )과, 상기한 문헌 1의, 신호선에 부여하는 비디오 신호의 전압을 서서히 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds2}$ )과, 본 발명의, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds3}$ ,  $V_{ds4}$ )의 시간 변화를 비교한다.

[0127] 또한, 본 실시형태에서는, 비교를 평이하게 행할 수 있도록,  $V_{sig} = 1$ ,  $\tau = 1$ ,  $tw/\tau = 6$ ,  $\Delta V_{sig} = 1/6$ ,  $ts = 1$ 로 가정한다. 그리고, 상기 가정 하에서, 식 2, 식 15, 식 24, 식 31을 사용함으로써 얻어지는 소스와 드레인 사이의 전압의 시간 변화를 도 3에 나타낸다.

[0128] 도 3으로부터 알 수 있는 바와 같이, 본 발명의 경우, 기입 기간에서 최초로 전압을  $-\Delta V_{sig}$ 만큼 변화시켰을 때, 전압( $V_{ds2}$ )보다도  $\Delta V_{sig}$ 만큼 소스와 드레인 사이의 전압의 절대값이 크게 되어 있지만, 그 후의 기간에서 소스와 드레인 사이의 전압의 절대값은  $V_{ds1}$ 과  $V_{ds2}$ 에 비해 그의 최대값을 작게 억제할 수 있다.

[0129] 따라서, 본 발명에서는, 기입 기간에서, 스위칭 소자로서 사용하는 트랜지스터의 소스와 드레인 사이의 전압의 절대값을 종래보다도 작게 할 수 있기 때문에, 그 트랜지스터의 드레인 근방에 고전계가 발생하는 것을 억제할 수 있다. 그리고, 본 발명의 구성에 의해, 스위칭 소자의 신뢰성의 향상, 나아가서는 표시장치의 신뢰성의 향상을 실현할 수 있다.

[0130] 또한, 도 1에서는, 신호선의 전압이 3 단계에 걸쳐 변화하고 있는 경우를 예시하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 신호선의 전압이 2 단계로 변화하고 있어도 좋고, 4 단계 이상으로 변화하고 있어도 좋다.

[0131] 또한, 각 단계에서의 전압의 변화량은 반드시 일정할 필요는 없다. 단계마다 전압의 변화량에도 차이를 두도록 하여도 좋다. 예를 들어, 앞의 기입 기간에서, 극성이 다른 전압이 인가되어 있는 경우, 기입 기간의 첫번째 단계에서 변화시키는 전압의 변화량을 다른 단계에서의 변화량보다 작게 억제함으로써, 스위칭 소자로서 사용하는 트랜지스터의, 첫번째 단계에서의 소스와 드레인 사이의 전압을 더욱 작게 억제할 수 있다. 특히 첫번째 단계에서 기준이 되는 전압을 부여하고, 다음 단계로부터 신호선에 부여하는 전압을 변화시키도록 함으로써, 기입 기간의 첫번째 단계에서의 소스와 드레인 사이의 전압을 상기한 문헌 1의 경우의 소스와 드레인 사이의 전압과 마찬가지로 작게 억제할 수 있다.

[0132] 또한, 본 발명에서 행해지는 교류 구동은, 임의의 1 프레임 기간에서 모든 화소에 동일한 극성을 가지는 비디오 신호가 입력되는 프레임 반전 구동 외에, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 또는 그 밖의 반전 구동이어도 좋다. 소스 라인 반전 구동이란, 임의의 1 프레임 기간에서 하나의 신호선에 접속되어 있는 모든 화소에 동일한 극성의 비디오 신호가 입력되고, 인접한 신호선에 접속되어 있는 화소들에는 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다. 게이트 라인 반전 구동이란, 임의의 1 프레임 기간에서 하

나의 주사선에 접속되어 있는 모든 화소에 동일한 극성의 비디오 신호가 입력되고, 인접한 주사선에 접속되어 있는 화소들에는 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다. 도트 반전 구동이란, 임의의 1 프레임 기간에서 인접한 화소들에는 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다.

[0133] [실시형태 2]

[0134] 실시형태 1과는 상이한 구동방법에 대하여 도 4를 사용하여 설명한다. 도 4(A)는 본 발명에서 신호선에 부여되는 전압의 타이밍 차트를 나타내고 있다. 도 4(A)에서는, 실시형태 1과 마찬가지로, 최초로 출현하는 기입 기간에서 신호선(Si)에 비디오 신호의 전압(+Vsigt)이 단계적으로 부여되고 있다. 도 4(A)에서 최초로 출현하고 있는 기입 기간의 타이밍 차트의 확대도를 도 4(B)에 나타낸다.

[0135] 도 4(B)에 나타내는 바와 같이, 기입 기간이 개시되면, 신호선의 전압이 먼저  $+\Delta Vsigt$ 만큼 변화한다. 단,  $|\Delta Vsigt| < |Vsigt|$ 인 것으로 한다. 그리고, 본 실시형태에서는, 앞에 나온 용량(Cs, C1)의 전하량의 변화가 신호선의 전압의 변화에 보다 추종하기 쉽도록 신호선의 전압을 변화시킨다. 구체적으로는, 실시형태 1에서는, 그의 파형이 직사각형이 되도록  $+\Delta Vsigt$ 만큼의 전압을 높이지만, 본 실시형태에서는  $+\Delta Vsigt$ 만큼의 전압의 상승을 늦추어, 그의 파형을 포물선 형상으로 무디게(dull) 한다.

[0136] 다음에,  $+\Delta Vsigt$ 만큼 전압이 변화한 후, 시간 ts가 경과하면, 다시 신호선의 전압은  $+\Delta Vsigt$ 만큼 변화한다. 단, 기입 기간의 길이를 tw로 하면,  $ts < tw$ 인 것으로 한다. 그리고, 다음에, 시간 ts가 경과한 후에, 다시 신호선의 전압은  $+\Delta Vsigt$ 만큼 마찬가지로 변화한다. 이것을 순차로 반복하여, 최종적으로 신호선의 전압은  $+Vsigt$ 에 도달한다. 또한, 두번째 단계 이후의 전압의 변화도, 첫번째 단계와 마찬가지로,  $+\Delta Vsigt$ 만큼의 전압의 상승을 늦추어, 그의 파형이 무디게 되도록 한다.

[0137] 그리고, 다음에 출현하는 기입 기간에서는, 도 4(A)에 나타내는 바와 같이, 시간 ts마다 신호선의 전압이  $-\Delta Vsigt$ 씩 변화하도록 구동을 행한다. 전압이  $-\Delta Vsigt$ 씩 변화하는 경우에도,  $+\Delta Vsigt$ 씩 변화하는 경우와 마찬가지로, 앞에서 나온 용량(Cs, C1)의 전하량의 변화가 신호선의 전압의 변화에 보다 추종하기 쉽도록 신호선의 전압을 변화시킨다. 구체적으로는, 실시형태 1에서는 전압의 파형이 직사각형이 되도록  $-\Delta Vsigt$ 만큼 전압을 낮추었지만, 본 실시형태에서는  $+\Delta Vsigt$ 만큼 전압의 상승을 늦추어, 그의 파형이 무디게 되도록 한다.

[0138] 다음에, 본 실시형태와 같이, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압(Vds5, Vds6)에 대하여 고찰한다.

[0139] 본 실시형태에서는, 직전에 신호선에 부여된 비디오 신호의 전압을  $+Vsigt$ 라 한다. 또한, 신호선에 부여하는 전압의 파형을 전하의 축적 시간( $\tau$ ) =  $(Cs + C1) \times R$ 만큼 지연시키는 경우에 대하여 고찰한다. 또한, 기입 시간(tw) 내에서 수 단계로 나누어  $-\Delta Vsigt$ 씩 신호선에 부여하는 전압을 변화시키는 것으로 하고, 신호선에 부여하는 전압을  $-\Delta Vsigt$ 만큼 변화시킬 때까지의 기간을 ts라 한다. ts는 기입 기간(tw)보다 짧다.

[0140] 먼저,  $0 \leq t \leq ts$ 에 있어서의 소스와 드레인 사이의 전압(Vds5)에 대하여 고찰한다.  $0 \leq t \leq ts$ 인 경우,  $Vs(t) = -\Delta Vsigt \times (1 - e^{-t/\tau})$ 이다. 따라서, 전압(Vds5)은 이하의 식 32로 나타내어진다.

[0141] (식 32)

$$Vds5 = Vp(t) - Vs(t) = Vp(t) + \Delta Vsigt \times (1 - e^{-t/\tau})$$

[0143] 또한, 본 발명에서는, 종래와 동일하게 식 4가 성립한다. 따라서, 배선 저항을 R이라 하면, 이하의 식 33이 성립한다.

[0144] (식 33)

$$dQ/dt = (Cs + C1) \times (dVp(t)/dt) = -(Vp(t) + \Delta Vsigt \times (1 - e^{-t/\tau}))/R$$

[0146] 다음에,  $\tau = (Cs + C1) \times R$ 이라 하면, 식 33으로부터 식 34가 도출된다.

[0147] (식 34)

$$dVp(t)/dt = -(Vp(t) + \Delta Vsigt \times (1 - e^{-t/\tau}))/\tau$$

[0149] 여기서, 미분 방정식  $dy/db = -a \times y + Q(b)$ 의 일반해(解)가  $y = e^{-ab} \times \{ \int e^{ab} \times Q(b)db + D \}$  (D는 정수(定數))인 것을 사용하고, 식 34를 풀면, 식 35가 얻어진다.

[0150] (식 35)

$$V_p(t) = -\Delta V_{sig} + (t-D) \times (\Delta V_{sig}/\tau) \times e^{-t/\tau}$$

[0152] 초기 조건으로서  $V_p(0) = +V_{sig}$ 라 하면, 식 35로부터  $D = -(\tau / \Delta V_{sig}) \times (\Delta V_{sig} + V_{sig})$ 인 것을 알 수 있다.  $D$ 를 식 35에 대입하면, 이하의 식 36이 얻어진다.

[0153] (식 36)

$$V_p(t) = -\Delta V_{sig} + (t + (\tau / \Delta V_{sig}) \times (\Delta V_{sig} + V_{sig})) \times (\Delta V_{sig}/\tau) \times e^{-t/\tau}$$

[0155] 따라서, 식 32와 식 36으로부터,  $V_{ds5}$ 는 이하의 식 37로 나타내어진다.

[0156] (식 37)

$$V_{ds5} = V_p(t) + \Delta V_{sig} \times (1 - e^{-t/\tau}) = (t + (\tau / \Delta V_{sig}) \times V_{sig}) \times (\Delta V_{sig}/\tau) \times e^{-t/\tau}$$

[0158] 다음에,  $ts < t \leq 2ts$ 에 있어서의 소스와 드레인 사이의 전압( $V_{ds6}$ )에 대하여 고찰한다.  $ts < t \leq 2ts$ 인 경우,  $V_s(t) = -\Delta V_{sig} \times (1 - e^{-t/\tau}) - \Delta V_{sig} = -\Delta V_{sig} \times (2 - e^{-t/\tau})$ 이다. 따라서, 전압( $V_{ds6}$ )은 이하의 식 38로 나타내어진다.

[0159] (식 38)

$$V_{ds6} = V_p(t) - V_s(t) = V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})$$

[0161] 또한, 본 발명에서는, 종래와 동일하게 식 4가 성립한다. 따라서, 배선 저항을  $R$ 이라 하면, 이하의 식 39가 성립한다.

[0162] (식 39)

$$dQ/dt = (C_s + C_l) \times (dV_p(t)/dt) = -(V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})) / R$$

[0164] 다음에,  $\tau = (C_s + C_l) \times R$ 이라 하면, 식 39로부터 식 40이 도출된다.

[0165] (식 40)

$$dV_p(t)/dt = -(V_p(t) + \Delta V_{sig} \times (2 - e^{-t/\tau})) / \tau$$

[0167] 여기서,  $dy/db = -a \times y + Q(b)$ 의 해가  $y = e^{-ab} \times \{ \int e^{ab} \times Q(b) db + E \}$  ( $E$ 는 정수)인 것을 사용하여, 식 40을 풀면, 식 41이 얻어진다.

[0168] (식 41)

$$V_p(t) = -(\Delta V_{sig}/\tau) \times e^{-t/\tau} \{ 2\tau \times e(t/\tau) - t + E \}$$

[0170] 초기 조건으로서  $V_p(0) = -\Delta V_{sig}$ 라 하면, 식 41로부터  $E = -\tau$ 인 것을 알 수 있다.  $E$ 를 식 41에 대입하고, 마지막으로  $t$ 를  $t-ts$ 로 치환하면, 이하의 식 42가 얻어진다.

[0171] (식 42)

$$V_p(t) = -(\Delta V_{sig}/\tau) \times e^{-(t-ts)/\tau} \{ 2\tau \times e((t-ts)/\tau) - (t-ts) - \tau \}$$

[0173] 따라서, 식 38과 식 42로부터,  $t$ 를  $t-ts$ 로 치환하면,  $V_{ds6}$ 는 이하의 식 43으로 나타내어진다.

[0174] (식 43)

$$V_{ds6} = V_p(t) + \Delta V_{sig} \times (2 - e^{-(t-ts)/\tau}) = ((t-ts)/\tau) \times \Delta V_{sig} \times e^{-(t-ts)/\tau}$$

[0176] 또한,  $t$ 의 범위를  $m \times ts < t \leq (m+1) \times ts < tw$ (단,  $m$ 은 1보다 큰 정수(整數))로 일반화한 경우에 있어서도 소스와 드레인 사이의 전압은 식 43으로 나타내어진다.

[0177] 도 5에, 본 실시형태에서의 화소 전극의 전압( $V_p(t)$ )과 신호선의 전압( $V_s(t)$ )의 시간 의존성을 나타낸다. 도 5

에 나타내는 바와 같이, 신호선에 부여하는 전압의 파형을 축적 시간( $\tau$ ) =  $(C_s + C_l) \times R$ 만큼 지연시키는 경우, 시간( $t_s$ )마다 신호선의 전압( $V_s(t)$ )이 변화하면, 실시형태 1의 경우보다 그것에 추종하도록 전압( $V_p(t)$ )의 값도 변화하는 것을 알 수 있다.

[0178] 다음에, 종래의, 신호선에 최초부터 소정의 전압을 부여하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds1}$ )과, 상기한 문헌 1의, 신호선에 부여하는 비디오 신호의 전압을 서서히 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds2}$ )과, 본 발명의, 신호선에 부여하는 비디오 신호의 전압을 단계적으로 변화시키면서 최종적으로 소망의 높이로 하는 경우에 있어서의 소스와 드레인 사이의 전압( $V_{ds5}$ ,  $V_{ds6}$ )의 시간 의존성을 비교한다.

[0179] 또한, 본 실시형태에서는, 비교를 평이하게 할 수 있도록,  $V_{sig} = 1$ ,  $\tau = 1$ ,  $t_w/\tau = 6$ ,  $\Delta V_{sig} = 1/6$ ,  $t_s = 1$ 로 가정한다. 그리고, 상기 가정 하에서, 식 2, 식 15, 식 37, 식 43을 사용함으로써 얻어지는 소스와 드레인 사이의 전압의 시간 의존성을 도 6에 나타낸다.

[0180] 도 6으로부터 알 수 있는 바와 같이, 본 실시형태에 의한  $V_{ds5}$ 와  $V_{ds6}$ 의 경우, 기입 기간에서 최초로 전압을  $\Delta V_{sig}$ 만큼 변화시켰을 때,  $V_{ds5}$ 와  $V_{ds6}$ 의 절대값은 거의  $V_{ds1}$ 과  $V_{ds2}$ 와 동일하지만, 그 후의 기간에서는  $V_{ds5}$ 와  $V_{ds6}$ 의 절대값은  $V_{ds1}$ 과  $V_{ds2}$ 에 비해 그 절대값을 크게 억제할 수 있다.

[0181] 또한, 도 4에서는, 신호선의 전압이 3 단계에 걸쳐 변화하고 있는 경우를 예시하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 신호선의 전압이 2 단계로 변화하고 있어도 좋고, 4 단계 이상으로 변화하고 있어도 좋다.

[0182] 또한, 각 단계에서의 전압의 변화량은 반드시 일정할 필요는 없다. 단계마다 전압의 변화량에도 차이를 두도록 하여도 좋다. 예를 들어, 앞의 기입 기간에서 극성이 상이한 전압이 인가되어 있는 경우, 기입 기간의 첫번째 단계에 변화시키는 전압의 변화량을 다른 단계에서의 변화량보다 작게 억제함으로써, 스위칭 소자로서 사용하는 트랜지스터의, 첫번째 단계에서의 소스와 드레인 사이의 전압을 더욱 작게 억제할 수 있다. 특히 첫번째 단계에서 기준이 되는 전압을 부여하고, 다음의 단계로부터 신호선에 부여하는 전압을 변화시키도록 함으로써, 기입 기간의 첫번째 단계에서의 소스와 드레인 사이의 전압을 상기한 문헌 1의 경우의 소스와 드레인 사이의 전압보다도 작게 억제할 수 있다.

[0183] 따라서, 본 발명에서는, 기입 기간에서, 스위칭 소자로서 사용하는 트랜지스터의 소스와 드레인 사이의 전압의 절대값을 종래보다도 작게 할 수 있기 때문에, 그 트랜지스터의 드레인 근방에 고전계가 발생하는 것을 억제할 수 있다. 그리고, 본 발명의 구성에 의해, 스위칭 소자의 신뢰성의 향상, 나아가서는 표시장치의 신뢰성의 향상을 실현할 수 있다.

[0184] 또한, 본 발명에서 행해지는 교류 구동은, 임의의 1 프레임 기간에서 모든 화소에 동일한 극성을 가지는 비디오 신호가 입력되는 프레임 반전 구동 외에, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 또는 그 밖의 반전 구동 이어도 좋다. 소스 라인 반전 구동이란, 임의의 1 프레임 기간에서, 하나의 신호선에 접속되어 있는 모든 화소에 동일한 극성의 비디오 신호가 입력되고, 인접한 신호선에 접속되어 있는 화소들에는 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다. 게이트 라인 반전 구동이란, 임의의 1 프레임 기간에서, 하나의 주사선에 접속되어 있는 모든 화소에 동일한 극성의 비디오 신호가 입력되고, 인접한 주사선에 접속되어 있는 화소들에는 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다. 도트 반전 구동이란, 임의의 1 프레임 기간에서, 인접한 화소들에 서로 반대 극성의 비디오 신호가 입력되는 구동방법이다.

[0185] [실시형태 3]

[0186] 본 실시형태에서는, 구체적인 전하 축적의 완화 시간의 산출 방법에 대하여 설명한다.

[0187] 화소 내에서 배선 저항이 무시할 수 있을 정도로 작고, 화소 내의 저항( $R$ )은 스위칭 소자로서 사용되는 트랜지스터에 의한 것으로 가정했을 경우의 완화 시간( $\tau$ )을 산출한다. 스위칭용 트랜지스터는 선형 영역에서 동작하기 때문에, 트랜지스터의 채널 형성 영역에서의 저항은 이하의 식 44로 부여된다. 또한, 식 44에서,  $V_{gs}$ 와  $V_t$ 는 각각 트랜지스터에 인가되는 게이트와 소스 사이의 전압(게이트 전압)과, 스레시홀드 전압을 나타내고 있다. 또한,  $L$ 과  $W$ 는 채널 길이와 채널 폭을 나타낸다.  $\mu$ 는 이동도,  $C_{ox}$ 는 트랜지스터의 단위 면적당 게이트 용량을 나타낸다.

[0188] (식 44)

[0189]  $R = 1/\beta (V_{gs}-V_{th})$  단,  $\beta = (L/W) \times \mu \times C_{ox}$

[0190] 다음에, 화소 내에서의 용량이 액정 용량에 상당한다고 가정하면, 화소의 용량값( $C_p$ )은 이하의 식 45로 나타내어진다. 또한, 식 45에서,  $\epsilon_0$ 과  $\epsilon_{Liq}$ 는 각각 진공의 유전율과 액정의 비유전율을 나타내고 있다. 또한,  $t_{Liq}$ 는 액정의 막 두께,  $S$ 는 화소 전극의 면적을 나타내고 있다.

[0191] (식 45)

[0192]  $C_p = (\epsilon_0 \times \epsilon_{Liq} / t_{Liq}) \times S$

[0193] 다음에, 아모르퍼스 실리콘을 사용한 트랜지스터를 스위칭 소자로 하는 액정 패널을 예로 들어, 그의  $L/W$ ,  $\mu$ ,  $C_{ox}$ ,  $V_{gs}$ ,  $V_{th}$ ,  $\epsilon_{Liq}$ ,  $t_{Liq}$ ,  $S$ ,  $R$ 의 일반적인 값을 설정하고, 완화 시간( $\tau$ )을 산출한다. 구체적으로는,  $L/W = 10/10 \mu\text{m}$ ,  $\mu = 0.5 \text{ cm}^2/\text{Vsec}$ ,  $C_{ox} = 1.8 \times 10^{-4} \text{ F}$ (케이트 절연막이 막 두께 300 nm 상당의 질화규소막인 것을 상정하고 있다),  $V_{gs} = 10 \text{ V}$ ,  $V_{th} = 5 \text{ V}$ ,  $\epsilon_{Liq} = 8$ ,  $t_{Liq} = 6 \mu\text{m}$ ,  $S = 150 \times 150 \mu\text{m}^2$  라 한다.

[0194] 따라서, 완화 시간( $\tau$ ) =  $C_p \times R = 2.6 \times 10^{-13} \times 2.2 \times 10^7 \text{ sec} = 5.7 \times 10^{-6} \text{ sec}$ 가 된다. VGA(480×640 화소)를 상정하고, 1 프레임 시간을 1/60 sec로 하면, 1 수평 기간(1행 기입하는 데에 필요한 시간)은  $1/60/480 = 3.5 \times 10^{-5} \text{ sec}$ 가 되고, 이 1 수평 기간이 기입 시간( $t_w$ )이 취할 수 있는 최대값이 된다. 신호선의 전압에 상당하는 전하가 용량에 축적되기 위해서는  $t_s > \tau$  일 필요가 있고, 대략 그 가능한 기입 시간의 스텝 분할수는  $t_s / \tau$ 로 부여된다. 상기 예에서는,  $t_w = 3.5 \times 10^{-5} \text{ sec}$ 의 경우, 스텝 분할수 =  $t_w / \tau = 3.5 \times 10^{-5} / (5.7 \times 10^{-6}) \approx 6$ 이 된다. 따라서, 신호선의 전압을 5 V로 하면, 스텝 전압( $\Delta V_{sig}$ )은  $5/6 = 0.83 \text{ V}$ 가 된다.

[0195] [실시형태 4]

[0196] 본 실시형태에서는, 본 발명의 표시장치의 구성에 대하여 설명한다. 도 7(A)는 본 실시형태의 표시장치의 블록도이다. 도 7(A)에 나타내는 표시장치는, 표시 소자를 구비한 화소를 다수 가지는 화소부(100)와, 각 화소를 라인마다 선택하는 주사선 구동회로(110)와, 선택된 라인의 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(120)를 가진다.

[0197] 도 7(A)에서, 신호선 구동회로(120)는 시프트 레지스터(121), 제1 래치(122), 제2 래치(123), 레벨 시프터(124)를 가지고 있다. 시프트 레지스터(121)에는, 클록 신호(S-CLK), 스타트 펄스 신호(S-SP), 주사방향 전환 신호(L/R)가 입력된다. 시프트 레지스터(121)는 이들 클록 신호(S-CLK) 및 스타트 펄스 신호(S-SP)에 따라, 펄스가 순차로 시프트하는 타이밍 신호를 생성하여, 제1 래치(122)로 출력한다. 타이밍 신호의 펄스가 출력하는 순서는 주사방향 전환 신호(L/R)에 따라 전환된다.

[0198] 제1 래치(122)에 타이밍 신호가 입력되면, 그 타이밍 신호의 펄스에 따라, 제1 래치(122)가 가지는 다수의 기억 소자에 비디오 신호가 순차로 기입되어 보유된다. 또한, 신호선의 수를 x로 하고, 신호선에 부여하는 전압을 m 단계로 변화시킨다고 가정하면, 제1 래치(122)가 가지는 기억 소자의 수는 적어도  $x \times m$ 개가 된다. 그리고, 동일 신호선에 대응하는 m개의 기억 소자에는, 동일한 화상 정보를 가지는 비디오 신호가 입력된다.

[0199] 또한, 본 실시형태에서는, 제1 래치(122)가 가지는 다수의 기억 소자에 순차로 비디오 신호를 기입하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 제1 래치(122)가 가지는 다수의 기억 소자를 몇 개의 그룹으로 나누고, 그 그룹마다 병행하여 비디오 신호를 입력하는, 이른바 분할 구동을 행하여도 좋다. 또한, 이 때의 그룹수를 분할수라고 부른다. 예를 들어, 4개의 기억 소자마다 래치를 그룹으로 나눈 경우, 4 분할로 분할 구동하는 것으로 된다.

[0200] 제1 래치(122)의 모든 기억 소자에의 비디오 신호의 기입이 종료할 때까지의 시간이 수평 기간(라인 기간)에 상당한다. 실제로는, 상기 수평 기간에 수평 귀선 시간이 더해진 기간을 수평 기간에 포함하는 경우가 있다.

[0201] 신호선의 수를 x로 하고, 신호선에 부여하는 전압을 m 단계로 변화시킨다고 가정하면, 제2 래치(123)는 적어도  $x \times m$ 개의 기억 소자를 가진다. 그리고, 1 수평 기간이 종료하면, 제2 래치(123)에 입력되는 래치 신호(LS1~LSm)의 펄스에 따라, 제1 래치(122)에 보유되어 있는 비디오 신호가 제2 래치(123)에 기입되어 보유된다. 비디오 신호를 제2 래치(123)로 송출하는 것을 끝낸 제1 래치(122)에는, 다시 시프트 레지스터(121)로부터의 타이밍 신호에 따라, 다음의 비디오 신호의 기입이 순차로 행해진다.

[0202] 또한, 래치 신호(LS1~LS<sub>m</sub>)의 펄스는 순차로 시프트하고 있다. 이 때문에, 제2 래치(123)가 가지고 있는, 동일한 신호선에 대응하는  $m$ 개의 기억 소자에 주목하면, 제1 래치(122)로부터의 비디오 신호의 입력은 그  $m$ 개의 기억 소자에 대해 순차로 행해지게 된다. 따라서, 두번째의 1 수평 기간에서는, 제2 래치(123) 내의  $m$ 개의 기억 소자에 각각 기억되어 있는 비디오 신호는 제1 래치(122)로부터 기입된 순서에 따라 레벨 시프터(124)에 입력된다.

[0203] 레벨 시프터(124)에는, 접지(GND) 등의 공통의 전원 전압 외에, 전원 전압(V1~V<sub>m</sub>)이 전원선 등의 공급 경로를 통하여 부여되고 있다. 그리고, 제2 래치(123)에 기입된 비디오 신호는 레벨 시프터(124)에서 전원 전압(V1~V<sub>m</sub>)에 따라 그의 전압이 조정된 후 신호선을 통하여 화소부(100)에 입력된다.

[0204] 또한, 본 실시형태에서는, 제2 래치(123) 내의  $m$ 개의 기억 소자에 각각 기억되어 있는 비디오 신호가 레벨 시프터(124)를 거쳐 순차로 동일 신호선에 입력되게 된다. 그리고, 각 비디오 신호는 전원 전압(V1~V<sub>m</sub>)에 따라 그의 전압이 조정되고 있기 때문에, 기입 기간에서 각 신호선에 부여되는 전압을 전원 전압(V1~V<sub>m</sub>)에 따라 순차로 변화시킬 수 있다. 따라서, 레벨 시프터(124)는 공급되는 전원 전압에 따라 비디오 신호의 전압을 순차로 전환하여 화소부에 공급하기 위한 회로에 상당한다.

[0205] 또한, 신호선 구동회로(120)는, 시프트 레지스터(121) 대신에, 펄스가 순차로 시프트하는 신호를 출력할 수 있는 다른 회로를 사용하여도 좋다.

[0206] 또한, 도 7(A)에서는 레벨 시프터(124)의 후단에 화소부(100)가 직접 접속되어 있으나, 본 발명은 이 구성에 한정되지 않는다. 화소부(100)의 전단에, 레벨 시프터(124)로부터 출력된 비디오 신호에 신호 처리를 실시하는 회로를 마련할 수 있다. 신호 처리를 실시하는 회로의 일례로서, 예를 들어, 과형을 정형할 수 있는 버퍼, 아날로그 신호로 변환할 수 있는 디지털/아날로그 변환 회로 등을 들 수 있다.

[0207] 다음에, 주사선 구동회로(110)의 구성에 대하여 설명한다. 주사선 구동회로(110)는 시프트 레지스터를 가지고 있다. 주사선 구동회로(110)에서, 시프트 레지스터에 클록 신호(G-CLK), 스타트 펄스 신호(G-SP) 및 주사방향 전환 신호(L/R)가 입력됨으로써, 펄스가 순차로 시프트하는 선택 신호가 주사선을 통하여 화소부(100)에 입력된다. 선택 신호의 펄스가 출현하는 순서는 주사방향 전환 신호(L/R)에 따라 전환된다. 생성된 선택 신호의 펄스가 주사선에 입력됨으로써, 해당 주사선을 가지는 라인의 화소가 선택되고, 비디오 신호가 그 화소에 입력된다.

[0208] 또한, 주사선 구동회로(110)에서, 시프트 레지스터의 후단에 화소부(100)가 직접 접속되어 있어도 좋고, 화소부(100)의 전단에, 시프트 레지스터로부터 출력된 선택 신호에 신호 처리를 실시하는 회로를 마련하여도 좋다. 신호 처리를 실시하는 회로의 일례로서, 예를 들어, 과형을 정형할 수 있는 버퍼, 진폭을 증폭시킬 수 있는 레벨 시프터 등을 들 수 있다.

[0209] 또한, 도 7(A)에서는, 하나의 기입 기간 내에서 동일 신호선에 입력되는  $m$ 개의 비디오 신호의 전압을 전원 전압(V1~V<sub>m</sub>)에 따라 레벨 시프터(124)에서 조정하는 구성에 대하여 나타내고 있으나, 본 발명은 이 구성에 한정되지 않는다. 레벨 시프터(124)는 반드시 마련할 필요는 없다. 예를 들어, 제2 래치(123)에서, 전원 전압(V1~V<sub>m</sub>)에 따라 비디오 신호의 전압을 조정하도록 하여도 좋다.

[0210] 도 7(B)에, 레벨 시프터를 마련하지 않은 본 발명의 표시장치의 구성을 일례로서 나타낸다. 도 7(B)에서는, 제2 래치(123)에 전원선 등의 공급 경로를 통하여 전원 전압(V1~V<sub>m</sub>)이 부여되고 있다. 그리고, 비디오 신호는 제2 래치(123)에서 그의 전압이 전원 전압(V1~V<sub>m</sub>)에 따라 조정되고 나서, 신호선을 통하여 화소부(100)에 입력된다.

[0211] 또한, 각 비디오 신호는 전원 전압(V1~V<sub>m</sub>)에 따라 그의 전압이 조정되고 있기 때문에, 기입 기간에서 신호선에 부여되는 전압을 전원 전압(V1~V<sub>m</sub>)에 따라 순차로 변화시킬 수 있다. 따라서, 제2 래치(123)는 공급되는 전원 전압을 전환하여 비디오 신호로서 화소부에 공급하기 위한 회로에 상당한다.

[0212] 또한, 도 7(A) 및 도 7(B)에서는, 신호선에 디지털 비디오 신호를 입력하는 경우에 대하여 설명하지만, 본 발명은 이 구성에 한정되지 않는다.

[0213] 도 8에 신호선에 아날로그 비디오 신호를 입력하는 경우의 본 발명의 표시장치의 구성을 일례로서 나타낸다. 도 8에서는, 제2 래치(123)의 후단에 D/A 변환 회로(125)를 마련하고 있다. 그리고, D/A 변환 회로(125)에 전원선 등의 공급 경로를 통하여 전원 전압(V1~V<sub>m</sub>)이 부여되고 있다. D/A 변환 회로(125)에 입력된 디지털 비디오 신호는 D/A 변환 회로(125)에서 그의 전압이 전원 전압(V1~V<sub>m</sub>)에 따라 조정된 아날로그 신호로 변환되고 나

서, 신호선을 통하여 화소부(100)에 입력된다.

[0214] 각 비디오 신호는 전원 전압( $V_1 \sim V_m$ )에 따라 그의 전압이 조정되고 있기 때문에, 기입 기간에서 신호선에 부여되는 비디오 신호의 전압을 전원 전압( $V_1 \sim V_m$ )에 따라 순차로 변화시킬 수 있다. 따라서, D/A 변환 회로(125)는 공급되는 전원 전압을 전환하여 비디오 신호로서 화소부에 공급하기 위한 회로에 상당한다.

[0215] 도 7(A), 도 7(B), 도 8에 나타낸 표시장치에서는, 모두 주사방향 전환 신호(L/R)를 사용하는 구성에 대하여 나타내고 있지만, 본 발명은 이 구성에 한정되지 않는다. 주사방향을 전환하지 않는 경우, 주사방향 전환 신호(L/R)를 사용할 필요는 없다.

[0216] 또한, 도 7(A), 도 7(B), 도 8에 나타낸 표시장치에서, 화소부(100)의 전단에, 비디오 신호에 신호 처리를 실시하는 회로를 마련할 수 있다. 신호 처리를 실시하는 회로의 일례로서, 예를 들어, 과정을 정형할 수 있는 버퍼 등을 들 수 있다.

[0217] 또한, 본 실시형태에서는, 프레임 기간마다 전원 전압( $V_1 \sim V_m$ )의 극성을 반전시키는 표시장치의 구성에 대하여 설명하였지만, 본 발명은 이 구성에 한정되지 않고, 미리 신호선 구동회로에, 서로 극성이 반전되어 있는 다수의 전원 전압( $V_1 \sim V_m$ )과, 전원 전압( $-V_1 \sim -V_m$ )을 부여하도록 하여도 좋다.

[0218] 또한, 실시형태 3에 나타낸 바와 같이, 신호선에 부여하는 전압의 과정이 무디게 되도록 표시장치를 구동시키고 싶은 경우, 신호선 구동회로에 부여하는 전원 전압 또는 각종 신호의 전압을 적절히 조정함으로써 실현시킬 수도 있지만, 신호선 구동회로에 적산 회로 등의 과정을 무디게 만드는 회로를 형성하도록 하여도 좋다.

[0219] 본 실시형태는 상기한 실시형태들과 조합하여 실시될 수 있다.

[0220] [실시예 1]

[0221] 본 실시예에서는, 본 발명의 표시장치의 하나인 액티브 매트릭스형 액정 표시장치가 가지는 화소부의 구성에 대하여 설명한다.

[0222] 본 실시예의 표시장치의 화소부(610)의 확대도를 도 9에 나타낸다. 도 9에서, 화소부(610)에는 다수의 화소(611)가 매트릭스 형상으로 제공되어 있다. 또한,  $S_1 \sim S_x$ 는 신호선,  $G_1 \sim G_y$ 는 주사선에 상당한다. 본 실시예의 경우, 화소(611)는 신호선( $S_1 \sim S_x$ )과 주사선( $G_1 \sim G_y$ )을 1개씩 가지고 있다.

[0223] 화소(611)는 스위칭 소자로서 기능하는 트랜지스터(612)와, 표시 소자에 상당하는 액정 셀(613)과, 보유 용량(614)을 가지고 있다. 액정 셀(613)은 화소 전극, 대향 전극, 화소 전극과 대향 전극에 의해 전압이 인가되는 액정을 가지고 있다. 트랜지스터(612)의 게이트는 주사선( $G_j$ ) ( $j = 1 \sim y$ )에 접속되어 있고, 트랜지스터(612)의 소스와 드레인 중 어느 한쪽이 신호선( $S_i$ ) ( $i = 1 \sim x$ )에, 그리고 다른 쪽이 액정 셀(613)의 화소 전극에 접속되어 있다. 또한, 보유 용량(614)이 가지는 2개의 전극 중 한쪽 전극이 액정 셀(613)의 화소 전극에, 그리고 다른쪽 전극이 공통 전극에 접속되어 있다. 공통 전극은 액정 셀(613)의 대향 전극에 접속되어 있어도 좋고, 다른 주사선에 접속되어 있어도 좋다.

[0224] 주사선 구동회로로부터 주사선( $G_1 \sim G_y$ )에 입력되는 선택 신호의 펄스에 따라, 주사선( $G_j$ )이 선택되는, 바꾸어 말하면, 주사선( $G_j$ )에 대응하는 라인의 화소(611)가 선택되면, 그 라인의 화소(611)에서 주사선( $G_j$ )에 게이트가 접속된 트랜지스터(612)가 온(ON)으로 된다. 그리고, 신호선 구동회로로부터 신호선( $S_i$ )에 비디오 신호가 입력되면, 그 비디오 신호의 전압에 따라 액정 셀(613)의 화소 전극과 대향 전극 사이에 전압이 인가된다. 액정 셀(613)은 화소 전극과 대향 전극 사이에 인가되는 전압의 값에 따라 그의 투과율이 정해진다. 또한, 액정 셀(613)의 화소 전극과 대향 전극 사이의 전압은 보유 용량(614)에서 보유된다.

[0225] 본 실시예는 상기 실시형태들과 적절히 조합하여 실시될 수 있다.

[0226] [실시예 2]

[0227] 본 실시예에서는, 본 발명의 표시장치의 하나인 액티브 매트릭스형 발광장치가 가지는 화소부의 구성에 대하여 설명한다.

[0228] 액티브 매트릭스형 발광장치는, 각 화소에 표시 소자에 상당하는 발광 소자가 형성되어 있다. 발광 소자는 스스로 발광하기 때문에 시인성(視認性)이 높고, 액정 표시장치에서 필요한 백라이트가 필요하지 않아 박형화에 최적임과 함께, 시야각에도 제한이 없다. 본 실시예에서는, 발광 소자의 하나인 유기 발광 소자(OLED: Organic Light Emitting Diode)를 사용한 발광장치에 대하여 설명하지만, 본 발명은 다른 발광 소자를 사용한 발광장치

이어도 좋다.

[0229] OLED는 전계를 가함으로써 발생하는 루미네센스(Electroluminescence)가 얻어지는 재료를 함유하는 층(이하, 전계 발광층이라고 기재한다)과, 양극층과, 음극층을 가지고 있다. 일렉트로루미네센스에는, 1중향 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(형광)과 삼중향 여기 상태로부터 기저 상태로 되돌아갈 때의 발광(인광)이 있는데, 본 발명의 발광장치는 상기한 발광 중 어느 발광을 사용하여도 좋고, 또는 그들 모두를 사용하여도 좋다.

[0230] 본 실시예의 발광장치의 화소부(601)의 확대도를 도 10(A)에 나타낸다. 화소부(601)는 매트릭스 형상으로 배치된 다수의 화소(602)를 가지고 있다. 또한, S1~Sx는 신호선, V1~Vx는 전원선, G1~Gy는 주사선에 상당한다. 본 실시예의 경우, 화소(602)는 신호선(S1~Sx)과 전원선(V1~Vx)과 주사선(G1~Gy)을 1개씩 가지고 있다.

[0231] 화소(602)의 확대도를 도 10(B)에 나타낸다. 도 10(B)에서, 부호 603은 스위칭용 트랜지스터이다. 스위칭용 트랜지스터(603)의 게이트는 주사선(Gj)(j = 1~y)에 접속되어 있다. 스위칭용 트랜지스터(603)의 소스와 드레인 중 한쪽이 신호선(Si)(i = 1~x)에 접속되고, 다른 한쪽은 구동용 트랜지스터(604)의 게이트에 접속되어 있다. 또한, 전원선(Vi)(i = 1~x)과, 구동용 트랜지스터(604)의 게이트 사이에는 보유 용량(606)이 제공되어 있다.

[0232] 보유 용량(606)은 스위칭용 트랜지스터(603)가 오프일 때, 구동용 트랜지스터(604)의 게이트 전압(게이트와 소스 사이의 전압)을 유지하기 위해 마련되어 있다. 또한, 본 실시예에서는 보유 용량(606)을 마련하는 구성을 나타내었으나, 본 발명은 이 구성에 한정되지 않고, 보유 용량(606)을 마련하지 않아도 좋다.

[0233] 또한, 구동용 트랜지스터(604)의 소스와 드레인 중 한쪽이 전원선(Vi)(i = 1~x)에 접속되고, 다른 한쪽은 발광 소자(605)에 접속되어 있다. 발광 소자(605)는 양극과 음극, 및 양극과 음극 사이에 형성된 전계 발광층을 가진다. 양극이 구동용 트랜지스터(604)의 소스 또는 드레인에 접속하고 있는 경우, 양극이 화소 전극이 되고, 음극이 대향 전극이 된다. 반대로 음극이 구동용 트랜지스터(604)의 소스 또는 드레인에 접속하고 있는 경우에 음극이 화소 전극이 되고, 양극이 대향 전극이 된다.

[0234] 발광 소자(605)의 대향 전극과 전원선(Vi)에는, 각각 소정의 전압이 부여되어 있다.

[0235] 주사선 구동회로로부터 주사선(G1~Gy)에 입력되는 선택 신호의 펄스에 따라, 주사선(Gj)이 선택되면, 바꾸어 말하면, 주사선(Gj)에 대응하는 라인의 화소(602)가 선택되면, 그 라인의 화소(602)에서 주사선(Gj)에 게이트가 접속된 스위칭용 트랜지스터(603)가 온으로 된다. 그리고, 신호선(Si)에 비디오 신호가 입력되면, 그 비디오 신호의 전압에 따라 구동용 트랜지스터(604)의 게이트 전압이 정해진다. 구동용 트랜지스터(604)가 온으로 된 경우, 전원선(Vi)과 발광 소자(605)가 전기적으로 접속되고, 전류의 공급에 의해 발광 소자(605)가 발광한다. 반대로, 구동용 트랜지스터(604)가 오프로 된 경우, 전원선(Vi)과 발광 소자(605)는 전기적으로 접속되지 않기 때문에, 발광 소자(605)에의 전류의 공급은 행해지지 않아, 발광 소자(605)는 발광하지 않는다.

[0236] 또한, 스위칭용 트랜지스터(603)와 구동용 트랜지스터(604)는 n채널형 트랜지스터나 p채널형 트랜지스터 어느 것이나 사용할 수 있다. 그러나, 구동용 트랜지스터(604)의 소스 또는 드레인이 발광 소자(605)의 양극에 접속되어 있는 경우, 구동용 트랜지스터(604)는 p채널형 트랜지스터인 것이 바람직하다. 또한, 구동용 트랜지스터(604)의 소스 또는 드레인이 발광 소자(605)의 음극에 접속되어 있는 경우, 구동용 트랜지스터(604)는 n채널형 트랜지스터인 것이 바람직하다.

[0237] 또한, 스위칭용 트랜지스터(603)와 구동용 트랜지스터(604)는 싱글 게이트 구조가 아니라, 더블 게이트 구조나 트리플 게이트 구조 등의 멀티게이트 구조를 가지고 있어도 좋다.

[0238] 또한, 본 발명은 도 10에 나타낸 회로로 구성뿐만 아니라, 여러 가지 회로로 구성할 수 있는 표시장치에도 적용할 수 있다. 본 발명의 표시장치가 가지는 화소는, 예를 들어, 구동용 트랜지스터의 스레시홀드 전압을 보정할 수 있는 스레시홀드 보정형의 회로로 구성이나, 전류를 입력함으로써 구동용 트랜지스터의 스레시홀드 전압 및 이동도를 보정할 수 있는 전류 입력형 회로로 구성 등을 가지고 있어도 좋다.

[0239] 발광장치의 경우, 액정 표시장치에 비해 표시 소자에 인가하는 전압이 수 볼트 정도 높게 설정되는 경우가 많다. 따라서, 교류 구동을 행하지 않는 경우라도 표시하는 화상에 따라서는, 스위칭 소자로서 기능하는 트랜지스터의 소스와 드레인 사이의 전압차가 크게 되기 쉽다는 문제가 있었다. 또한, 발광 소자의 전류-전압 특성의 열화를 개선시킴으로써 발광 소자의 신뢰성을 높이기 위해, 발광 소자에 일정 기간마다 역방향 바이어스 전압을 인가하는 교류 구동을 행하는 경우가 있다. 그러나, 본 발명의 구성을 사용함으로써, 스위칭 소자로서 사

용하는 트랜지스터의 신뢰성의 향상, 나아가서는 표시장치의 신뢰성의 향상을 실현할 수 있다.

[0240] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절히 조합하여 실시될 수 있다.

[0241] [실시예 3]

[0242] 본 실시예에서는, 본 발명의 표시장치가 가지는 신호선 구동회로의 보다 구체적인 구성에 대하여 설명한다.

[0243] 도 11에 신호선 구동회로의 회로도를 일례로서 나타낸다. 도 11에 나타내는 신호선 구동회로는 시프트 레지스터(501)와, 제1 래치(502)와, 제2 래치(503)와, 레벨 시프터(504)와, 버퍼(505)를 가지고 있다.

[0244] 시프트 레지스터(501)는 다수의 딜레이형 플립 플롭(DFF)(506)을 가지고 있다. 그리고, 시프트 레지스터(501)는 입력된 스타트 펄스 신호(S-SP) 및 클록 신호(S-CLK)에 따라, 순차로 펄스가 시프트한 타이밍 신호를 생성하고, 후단의 제1 래치(502)에 입력한다.

[0245] 제1 래치(502)는, 신호선의 수를 x라 하고, 신호선에 부여하는 전압을 3 단계로 변화시킨다고 가정하면, 적어도  $3 \times x$ 개의 기억 소자(LAT)(507)를 가지고 있다. 그리고, 제1 래치(502)는 입력된 타이밍 신호의 펄스에 따라 비디오 신호를 순차로 샘플링하여, 기억 소자(507)에 기입한다.

[0246] 제2 래치(503)는, 신호선의 수를 x라 하고, 신호선에 부여하는 전압을 3 단계로 변화시킨다고 가정하면, 적어도  $3 \times x$ 개의 기억 소자(LAT)(508)를 가진다. 제1 래치(502)에서 기억 소자(507)에 기입된 비디오 신호의 데이터는, 펄스가 순차로 시프트하여 있는 래치 신호(LS1~LS3)에 따라, 제2 래치(503)가 가지는 기억 소자(508)에 순차로 기입되어 보유된다. 그리고, 기억 소자(508)에 보유되어 있는 데이터는 후단의 레벨 시프터(504)에 비디오 신호로서 출력된다.

[0247] 레벨 시프터(504)에는, 공통의 전원 전압 외에, 전원 전압(V1~V3)이 전원선 등의 공급 경로를 통해 부여되어 있다. 그리고, 제2 래치(503)에 기입된 비디오 신호는, 레벨 시프터(504)에서 전원 전압(V1~V3)에 따라 그의 전압이 조정된 후, 버퍼(505)에서 파형이 정형되어, 신호선에 입력된다.

[0248] 또한, 신호선에 부여되는 비디오 신호는, 신호선에 부여되는 전압을 m 단계로 변화시킨다고 가정하면, 전원 전압(V1~Vm)에 따라 그의 전압이 조정되고 있기 때문에, 기입 기간에서 각 신호선에 부여되는 전압을 전원 전압(V1~Vm)에 따라 순차로 변화시킬 수 있다. 따라서, 레벨 시프터(504)는, 공급되는 전원 전압에 따라 비디오 신호의 전압을 순차로 전환하여 화소부에 공급하기 위한 회로에 상당한다.

[0249] 또한, 본 실시형태에서는, 프레임 기간마다 전원 전압(V1~Vm)의 극성을 반전시키는 표시장치의 구성에 대하여 설명하였으나, 본 발명은 이 구성에 한정되지 않고, 미리 신호선 구동회로에, 서로 극성이 반전되어 있는 다수의 전원 전압(V1~Vm)과 전원 전압(-V1~-Vm)을 전원선 등의 공급 경로를 통해 부여하도록 하여도 좋다.

[0250] 본 실시예는 상기 실시형태 또는 실시예와 적절히 조합하여 실시될 수 있다.

[0251] [실시예 4]

[0252] 본 실시예에서는, 본 발명의 표시장치가 가지는 신호선 구동회로의 보다 구체적인 구성에 대하여 설명한다.

[0253] 도 12에 신호선 구동회로의 회로도를 일례로서 나타낸다. 도 12에 나타내는 신호선 구동회로는 시프트 레지스터(511)와, 제1 래치(512)와, 제2 래치(513)와, D/A 변환 회로(514)를 가지고 있다.

[0254] 시프트 레지스터(511)는 다수의 딜레이형 플립 플롭(DFF)(516)을 가지고 있다. 그리고, 시프트 레지스터(511)는, 입력된 스타트 펄스 신호(S-SP) 및 클록 신호(S-CLK)에 따라, 순차로 펄스가 시프트한 타이밍 신호를 생성하여 후단의 제1 래치(512)에 입력한다.

[0255] 제1 래치(512)는, 비디오 신호의 비트수를 3, 신호선의 수를 x라 하고, 신호선에 부여하는 전압을 3 단계로 변화시킨다고 가정하면, 적어도  $3 \times 3 \times x$ 개의 기억 소자(LAT)(517)를 가지고 있다. 그리고, 제1 래치(512)는 입력된 타이밍 신호의 펄스에 따라 비디오 신호를 순차로 샘플링하여, 기억 소자(517)에 기입한다.

[0256] 제2 래치(513)는, 비디오 신호의 비트수를 3, 신호선의 수를 x라 하고, 신호선에 부여하는 전압을 3 단계로 변화시킨다고 가정하면, 적어도  $3 \times 3 \times x$ 개의 기억 소자(LAT)(518)를 가진다. 제1 래치(512)에서 기억 소자(517)에 기입된 비디오 신호의 데이터는, 펄스가 순차로 시프트하고 있는 래치 신호(LS1~LS3)에 따라, 제2 래치(513)가 가지는 기억 소자(518)에 순차로 기입되어 보유된다. 구체적으로는, 전압을 m 단계로 변화시키는 경우, 각 단계에 대응하는 비디오 신호마다 제2 래치(513)에 순차로 기입하도록 한다. 그리고, 기억 소자(518)에 기입된 비디오 신호는, D/A 변환 회로(514)를 통해 전원 전압(V1~Vm)에 따라 전압이 조정된 후, 버퍼(505)에서 파형이 정형되어, 신호선에 출력된다.

8)에 보유되어 있는 데이터는 후단의 D/A 변환 회로(514)에 비디오 신호로서 출력된다.

[0257] D/A 변환 회로(514)에는, 공통의 전원 전압 외에, 전원 전압(V1~V3)이 전원선 등의 공급 경로를 통해 부여되고 있다. 그리고, 제2 래치(513)에 기입된 비디오 신호는, D/A 변환 회로(514)에서, 전원 전압(V1~V3)에 따라 그의 전압이 조정된 아날로그 신호로 변환된 후, 신호선에 입력된다.

[0258] 또한, 신호선에 부여되는 아날로그 비디오 신호는, 신호선에 부여하는 전압을  $m$  단계로 변화시킨다고 가정하면, 전원 전압(V1~Vm)에 따라 그의 전압이 조정되고 있기 때문에, 기입 기간에서 각 신호선에 부여되는 전압을, 전원 전압(V1~Vm)에 따라 순차로 변화시킬 수 있다. 따라서, D/A 변환 회로(514)는 공급되는 전원 전압에 따라 비디오 신호의 전압을 순차로 전환하여 화소부에 공급하기 위한 회로에 상당한다.

[0259] 본 실시예는 상기 실시형태 또는 실시예와 적절히 조합하여 실시될 수 있다.

[0260] [실시예 5]

[0261] 본 실시예에서는, 1 프레임 기간에서 화소부에 비디오 신호를 입력하는 기입 기간이 출현하는 타이밍에 대하여도 13을 사용하여 설명한다.

[0262] 도 13(A)는, 1 프레임 기간을 다수의 서브프레임 기간(SF1~SF6)으로 분할하여 동작시키는 경우에 있어서 비디오 신호를 화소부에 입력하는 타이밍을 표시하는 타이밍 차트이다. 횡축은 시간을 나타내고, 종축은 주사선 구동회로에 의해 선택되는 라인의 주사 방향을 나타내고 있다. 도 13(A)에서는, 6 비트의 비디오 신호를 사용하고, 1 프레임 기간을 비트수와 동일한 수인 6개의 서브프레임 기간으로 분할하는 경우를 예로 들고 있다. 그러나, 본 발명에서 비디오 신호의 비트수는 6에 한정되지 않는다.

[0263] 서브프레임 기간(SF1~SF6)은, 각 화소에 비디오 신호를 입력하기 위한 기입 기간(Ta)을 각각 가진다. 기입 기간(Ta)에서는, 주사선 구동회로에 의해 각 라인의 화소가 순차로 선택된다. 그리고, 선택된 라인의 화소에 신호선 구동회로로부터 비디오 신호가 입력된다. 그리고, 비디오 신호의 입력이 종료된 라인의 화소로부터 순차로 비디오 신호에 따라 표시가 행해진다. 모든 라인의 화소에서의 비디오 신호의 입력이 종료하면, 기입 기간이 종료한다. 또한, 1개의 기입 기간에 1 비트분의 비디오 신호가 화소부에 입력되기 때문에, 기입 기간(Ta)이 모두 종료하여, 비로서 6 비트의 비디오 신호를 모두 입력한 것으로 된다.

[0264] 그리고, 1개의 기입 기간이 종료하면, 다음의 서브프레임 기간의 기입 기간이 출현할 때까지, 화소부에 입력된 비디오 신호에 따라 계속해서 표시가 행해진다. 다음에, 다른 서브프레임 기간에 대응하는 기입 기간이 출현하여, 상기 동작을 반복한다. 그리고, 모든 서브프레임 기간이 순차로 출현함으로써, 1 프레임 기간이 형성된다.

[0265] 1 프레임 기간 내에서의 모든 서브프레임 기간이 출현하면, 계조를 가지는 화상을 표시할 수 있다. 계조수는, 각 서브프레임 기간에 있어서의 표시 소자의 휘도를 제어함으로써 정할 수 있다. 예를 들어, 6 비트의 비디오 신호로 64 계조를 표시하는 경우, 계조수를 선형으로 변화시킨다면, 서브프레임 기간(SF1~SF6)의 길이의 비를, 긴 쪽에서부터 순서대로  $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 2^0$ 이라 한다.

[0266] 또한, 상기 동작에서는, 화소가 가지는 표시 소자의 휘도가 비디오 신호에 따라 제어되고 있으나, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 비디오 신호에 의하지 않고, 표시 소자의 휘도를 강제적으로 가장 낮은 상태로 하는 비(非)표시 기간을 제공하여도 좋다. 또한, 상기 비표시 기간은 반드시 제공될 필요는 없다. 그러나, 서브프레임 기간의 길이가 기입 기간보다 짧은 경우에, 상기한 바와 같은 비표시 기간을 제공할 필요가 생긴다. 비표시 기간을 제공함으로써, 화소부에서 2행 이상의 화소에 병행하여 비디오 신호를 입력할 필요가 없어진다.

[0267] 또한, 하나의 서브프레임 기간을 추가로 다수로 분할하여 동작시켜도 좋다. 이 경우, 분할된 서브프레임 기간도 기입 기간(Ta)을 각각 가진다.

[0268] 다음에, 1 프레임 기간에 기입 기간(Ta)이 1개만 출현하는 경우에 대하여 설명한다. 도 13(B)는 비디오 신호를 화소부에 입력하는 타이밍을 나타내는 타이밍 차트이다. 횡축은 시간을 나타내고, 종축은 주사선 구동회로에 의해 선택되는 라인의 주사 방향을 나타내고 있다.

[0269] 도 13(B)에서는, 기입 기간(Ta)에서, 주사선 구동회로에 의해 각 라인의 화소가 순차로 선택된다. 그리고, 선택된 라인의 화소에, 신호선 구동회로로부터 아날로그 비디오 신호가 입력된다. 그리고, 기입 기간(Ta)에서 비디오 신호의 입력이 종료된 라인의 화소로부터 순차로, 비디오 신호에 따라 표시가 행해진다. 모든 라인의 화소에서의 비디오 신호의 입력이 종료하면, 기입 기간이 종료한다. 다음에, 기입 기간(Ta)에서 화소부에 입력된

비디오 신호에 따라, 다음의 프레임 기간이 출현할 때까지 표시가 행해진다.

[0270] 또한, 도 13(B)에서 기입 기간(Ta)의 길이는, 1 프레임 기간에 들어가는 길이라면, 설계자가 적절히 설정할 수 있다. 기입 기간(Ta)을 1 프레임 기간과 동일한 정도의 길이로 함으로써, 비디오 신호의 기입시에 있어서의 신호선 구동회로의 구동 주파수를 저감시킬 수 있어, 소비전력도 저감시킬 수 있다.

[0271] 본 실시예는 상기 실시형태 또는 실시예와 적절히 조합하여 실시될 수 있다.

[0272] [실시예 6]

[0273] 다음에, 본 발명의 표시장치의 제작방법에 대하여 상세히 설명한다. 또한, 본 실시예에서는 박막트랜지스터(TFT)를 반도체 소자의 일례로서 나타내지만, 본 발명의 표시장치에 사용되는 반도체 소자는 이것에 한정되지 않는다. 예를 들어, TFT 외에, 기억 소자, 디이오드, 저항, 용량(커패시터), 인덕터 등을 사용할 수 있다.

[0274] 먼저, 도 14(A)에 나타내는 바와 같이, 내열성을 가지는 기판(700) 위에, 절연막(701), 박리층(702), 절연막(703), 반도체막(704)을 순차로 형성한다. 절연막(701), 박리층(702), 절연막(703) 및 반도체막(704)은 연속하여 형성하는 것이 가능하다.

[0275] 기판(700)으로서, 예를 들어, 바륨붕규산 유리나, 알루미노붕규산 유리 등의 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 스테인리스 기판을 포함한 금속 기판, 또는 실리콘 기판 등의 반도체 기판을 사용하여도 좋다. 플라스틱 등의 가요성을 가지는 합성 수지로 된 기판은 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제조 공정에 있어서의 처리 온도에 견딜 수 있는 것이라면 사용할 수 있다.

[0276] 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스터, 폴리에테르술폰(PES), 폴리에틸렌 나프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴-부타디엔-스티렌수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산 비닐, 아크릴 수지 등을 들 수 있다.

[0277] 또한, 본 실시예에서는, 박리층(702)을 기판(700) 상의 전면(全面)에 형성하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 포토리소그래피법 등을 사용하여, 기판(700) 상에서 박리층(702)을 부분적으로 형성하도록 하여도 좋다.

[0278] 절연막(701)과 절연막(703)은, CVD법이나 스퍼터링법 등을 사용하여 산화규소, 질화규소( $SiN_x$ ,  $Si_3N_4$  등), 산화질화규소( $SiO_xN_y$ )( $x>y>0$ ), 질화산화규소( $SiN_xO_y$ )( $x>y>0$ ) 등의 절연성을 가지는 재료를 사용하여 형성한다.

[0279] 절연막(701)과 절연막(703)은, 기판(700) 중에 함유되는 Na 등의 알칼리 금속이나 알칼리토류 금속이 반도체막(704) 중으로 확산하여 TFT 등의 반도체 소자의 특성에 악영향을 미치는 것을 방지하기 위해 형성한다. 또한, 절연막(703)은, 박리층(702)에 함유되는 불순물 원소가 반도체막(704) 중으로 확산하는 것을 방지하고, 또한, 후의 반도체 소자를 박리하는 공정에서 반도체 소자를 보호하는 역할도 가지고 있다.

[0280] 절연막(701)과 절연막(703)은 단수의 절연막을 사용한 것이어도 좋고, 다수의 절연막을 적층하여 사용한 것이어도 좋다. 본 실시예에서는, 막 두께 100 nm의 산화질화규소막, 막 두께 50 nm의 질화산화규소막, 막 두께 100 nm의 산화질화규소막을 순차로 적층하여 절연막(703)을 형성하지만, 각 막의 재질, 막 두께, 적층수는 이것에 한정되는 것은 아니다. 예를 들어, 하층의 산화질화규소막 대신에, 막 두께 0.5~3  $\mu m$ 의 실록산계 수지를 스피코팅법, 슬릿 쿠퍼법, 액적 토출법, 인쇄법 등에 의해 형성하여도 좋다. 또한, 중간층의 질화산화규소막 대신에, 질화규소막( $SiN_x$ ,  $Si_3N_4$  등)을 사용하여도 좋다. 또한, 상층의 산화질화규소막 대신에, 산화규소막을 사용하여도 좋다. 또한, 각각의 막 두께는 0.05~3  $\mu m$ 로 하는 것이 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.

[0281] 또는, 박리층(702)에 가장 가까운, 절연막(703)의 하층을 산화질화규소막 또는 산화규소막으로 형성하고, 중간층을 실록산계 수지로 형성하고, 상층을 산화규소막으로 형성하여도 좋다.

[0282] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 1종을 가지고 있어도 좋다.

[0283] 산화규소막은, 실란과 산소, TEOS(테트라에톡시실란)와 산소 등을 조합한 혼합 가스를 사용하여, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 방법에 의해 형성할 수 있다. 또한, 질화규소막은, 대표적으로는,

실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD에 의해 형성할 수 있다. 또한, 산화질화규소막과 질화산화규소막은, 대표적으로는, 실란과 일산화이질소의 혼합 가스를 사용하여, 플라즈마 CVD에 의해 형성할 수 있다.

[0284] 박리층(702)은 금속막, 금속 산화막, 금속막과 금속 산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속 산화막은 단층이어도 좋고, 다수의 층이 적층된 적층 구조를 가져도 좋다. 또한, 금속막이나 금속 산화막 외에, 금속 질화물이나 금속 산화질화물을 사용하여도 좋다. 박리층(702)은 스퍼터링법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다.

[0285] 박리층(702)에 사용되는 금속으로는, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 아리듐(Ir) 등을 들 수 있다. 박리층(702)은, 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 함유하는 화합물을 사용하여 형성된 막을 사용하여도 좋다.

[0286] 또한, 박리층(702)은 규소(Si) 단체로 형성된 막을 사용해도 좋고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용하여도 좋다. 또는, 규소(Si)와 상기 금속을 함유하는 합금으로 형성된 막을 사용하여도 좋다. 규소를 함유하는 막은 비정질, 미(微)결정, 다결정 중 어느 것이어도 좋다.

[0287] 박리층(702)은 상기한 막을 단층으로 사용해도 좋고, 상기한 다수의 막을 적층하여 사용하여도 좋다. 금속막과 금속 산화막이 적층된 박리층(702)은, 기초가 되는 금속막을 형성한 후, 그 금속막의 표면을 산화 또는 질화시킴으로써 형성할 수 있다. 구체적으로는, 산소 분위기 중 또는 일산화이질소 분위기 중에서 기초가 되는 금속막에 플라즈마 처리를 행하거나, 산소 분위기 중 또는 일산화이질소 분위기 중에서 금속막에 가열 처리를 행하거나 하면 좋다. 또한, 기초가 되는 금속막 상에 접하도록, 산화규소막 또는 산화질화규소막을 형성하는 것에 의해서도 금속막의 산화를 행할 수 있다. 또한, 기초가 되는 금속막 상에 접하도록 산화질화규소막, 또는 질화규소막을 형성함으로써 질화를 행할 수도 있다.

[0288] 금속막의 산화 또는 질화를 행하는 플라즈마 처리로서, 플라즈마 밀도가  $1 \times 10^{11} \text{ cm}^{-3}$  이상, 바람직하게는  $1 \times 10^{11} \text{ cm}^{-3}$  이상  $9 \times 10^{15} \text{ cm}^{-3}$  이하이고, 마이크로파(예를 들어, 주파수 2.45 GHz) 등의 고주파를 사용한 고밀도 플라즈마 처리를 행하여도 좋다.

[0289] 또한, 기초가 되는 금속막의 표면을 산화시킴으로써, 금속막과 금속 산화막이 적층된 박리층(702)을 형성하도록 해도 좋지만, 금속막을 형성한 후에 금속 산화막을 별도로 형성하도록 하여도 좋다. 예를 들어, 금속으로서 텅스텐을 사용하는 경우, 스퍼터링법이나 CVD법 등에 의해 기초가 되는 금속막으로서 텅스텐막을 형성한 후, 그 텅스텐막에 플라즈마 처리를 행한다. 이것에 의해, 금속막에 상당하는 텅스텐막과, 그 금속막에 접하고, 또한 텅스텐의 산화물로 형성된 금속 산화막을 형성할 수 있다.

[0290] 또한, 텅스텐의 산화물은  $W_{0X}$ 로 나타내어진다. X는 2 이상 3 이하의 범위 내이고, X가 2인 경우( $W_{02}$ ), X가 2.5인 경우( $W_{205}$ ), X가 2.75인 경우( $W_{4011}$ ), X가 3인 경우( $W_{03}$ )가 된다. 텅스텐의 산화물을 형성할 때, X의 값에 특별히 제약은 없고, 애칭 레이트 등을 기초로 X의 값을 정하면 좋다.

[0291] 반도체막(704)은 절연막(703)을 형성한 후, 대기에 노출시키지 않고 형성하는 것이 바람직하다. 반도체막(704)의 막 두께는 20~200 nm(바람직하게는 40~170 nm, 더 바람직하게는 50~150 nm)로 한다. 또한, 반도체막(704)은 비정질 반도체 이어도 좋고, 다결정 반도체이어도 좋다. 또한, 반도체는 규소뿐만 아니라 실리콘 게르마늄도 사용할 수 있다. 실리콘 게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01~4.5 원자% 정도인 것이 바람직하다.

[0292] 또한, 반도체막(704)은 공지의 기술에 의해 결정화하여도 좋다. 공지의 결정화 방법으로는, 레이저광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 또는, 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기판(700)으로서 석영과 같은 내열성이 우수한 기판을 사용하는 경우, 전열로를 사용한 열결정화 방법, 적외광을 사용한 램프 어닐 결정화법, 촉매 원소를 사용하는 결정화법과, 950°C 정도의 고온 어닐을 조합한 결정법을 사용하여도 좋다.

[0293] 예를 들어, 레이저 결정화를 사용하는 경우, 레이저 결정화 전에, 레이저에 대한 반도체막(704)의 내성을 높이기 위해, 550°C, 4시간의 가열 처리를 그 반도체막(704)에 대해 행한다. 그리고, 연속 발진이 가능한 고체 레이저를 사용하여, 기본파의 제2 고조파 내지 제4 고조파의 레이저광을 조사함으로써, 대입경의 결정을 얻을 수

있다. 예를 들어, 대표적으로는, Nd : YVO<sub>4</sub> 레이저(기본파 1064 nm)의 제2 고조파(532 nm)나 제3 고조파(355 nm)를 사용하는 것이 바람직하다. 구체적으로는, 연속 발진 YVO<sub>4</sub> 레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환하여, 출력 10 W의 레이저광을 얻는다. 그리고, 바람직하게는 광학계에 의해 조사면에서 직사각형 형상 또는 타원 형상의 레이저광으로 성형하여, 반도체막(704)에 조사한다. 이 때의 에너지 밀도는 0.01~100 MW/cm<sup>2</sup> 정도(바람직하게는 0.1~10 MW/cm<sup>2</sup>)가 필요하다. 그리고, 주사 속도를 10~2000 cm/sec 정도로 하여 조사한다.

[0294] 연속 발진 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한, 연속 발진 고체 레이저로서, YAG 레이저, YVO<sub>4</sub> 레이저, YLF 레이저, YAlO<sub>3</sub> 레이저, 포르스테라이트(Mg<sub>2</sub>SiO<sub>4</sub>) 레이저, GdVO<sub>4</sub> 레이저, Y<sub>2</sub>O<sub>3</sub> 레이저, 유리 레이저, 류비 레이저, 알렉산드라이트 레이저, Ti : 사파이어 레이저 등을 사용할 수 있다.

[0295] 또한, 펄스 발진 레이저로서, 예를 들어, Ar 레이저, Kr 레이저, 엑시머 레이저, CO<sub>2</sub> 레이저, YAG 레이저, Y<sub>2</sub>O<sub>3</sub> 레이저, YVO<sub>4</sub> 레이저, YLF 레이저, YAlO<sub>3</sub> 레이저, 유리 레이저, 류비 레이저, 알렉산드라이트 레이저, Ti : 사파이어 레이저, 구리 증기 레이저 또는 금 증기 레이저를 사용할 수 있다.

[0296] 또한, 펄스 발진 레이저광의 발진 주파수를 10 MHz 이상으로 하고, 통상 사용되고 있는 수십 Hz~수백 Hz의 주파수대보다 현저히 높은 주파수대를 사용하여 레이저 결정화를 행하여도 좋다. 펄스 발진으로 레이저광을 반도체막(704)에 조사하고나서 반도체막(704)이 완전히 고화할 때까지의 시간은 수십 nsec 내지 수백 nsec라고 일컬어지고 있다. 따라서, 상기 주파수를 사용함으로써, 반도체막(704)이 레이저광에 의해 용융되고나서 고화할 때까지, 다음의 펄스 레이저광을 조사할 수 있다. 따라서, 반도체막(704) 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향으로 향하여 연속적으로 성장한 결정립을 가지는 반도체막(704)이 형성된다. 구체적으로는, 함유되는 결정립의 주사 방향에서의 폭이 10~30 μm, 주사 방향에 대해 수직인 방향에서의 폭이 1~5 μm 정도인 결정립의 집합을 형성할 수 있다. 그 주사 방향을 따라 연속적으로 성장한 단결정의 결정립을 형성함으로써, TFT의 적어도 채널 방향에는 결정립계가 거의 존재하지 않는 반도체막(704)을 형성하는 것이 가능하게 된다.

[0297] 또한, 레이저 결정화는, 연속 발진의 기본파인 레이저광과 연속 발진의 고조파인 레이저광을 병행하여 조사하도록 하여도 좋고, 연속 발진의 기본파인 레이저광과 펄스 발진의 고조파인 레이저광을 병행하여 조사하도록 하여도 좋다.

[0298] 또한, 희가스나 질소 등의 불활성 가스 분위기 중에서 레이저광을 조사하도록 하여도 좋다. 이것에 의해, 레이저광 조사에 의해 반도체 표면이 거칠러지는 것을 억제할 수 있고, 계면 준위 밀도의 편차에 의해 생기는 스레시홀드의 편차를 억제할 수 있다.

[0299] 상기한 레이저광의 조사에 의해, 결정성이 보다 높아진 반도체막(704)이 형성된다. 또한, 반도체막(704)에 미리 스퍼터링법, 플라즈마 CVD법, 열 CVD법 등으로 형성한 다결정 반도체를 사용하도록 하여도 좋다.

[0300] 또한, 본 실시예에서는 반도체막(704)을 결정화하고 있으나, 결정화되지 않고, 비정질 규소막 또는 미(微)결정 반도체막인 상태에서, 후술하는 프로세스로 진행하여도 좋다. 비정질 반도체 또는 미결정 반도체를 사용한 TFT는, 다결정 반도체를 사용한 TFT보다 제작 공정이 적은 만큼 비용을 억제하고, 수율을 높게 할 수 있다는 이점을 가지고 있다.

[0301] 비정질 반도체는 규소를 함유하는 기체를 글로우 방전 분해시킴으로써 얻을 수 있다. 규소를 함유하는 기체로서는 SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub> 을 들 수 있다. 이 규소를 함유하는 기체를 수소, 수소 및 헬륨으로 희석시켜 사용하여도 좋다.

[0302] 다음에, 반도체막(704)에 대해, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소를 저농도로 첨가하는 채널 도핑을 행한다. 채널 도핑은 반도체막(704) 전체에 대해 행하여도 좋고, 반도체막(704)의 일부에 대해 선택적으로 행하여도 좋다. p형을 부여하는 불순물 원소로서는 봉소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. n형을 부여하는 불순물 원소로서는 인(P)이나 비소(As) 등을 사용할 수 있다. 여기서는, 불순물 원소로서 봉소(B)를 사용하고, 그 봉소가  $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 의 농도로 함유되도록 첨가한다.

[0303] 다음에, 도 14(B)에 나타내는 바와 같이, 반도체막(704)을 소정의 형상으로 가공(페터닝)하여, 섬 형상의 반도체막(705~707)을 형성한다. 그리고, 섬 형상의 반도체막(705~707)을 덮도록 게이트 절연막(709)을 형성한다.

게이트 절연막(709)은 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 질화규소, 산화규소, 질화산화규소 또는 산화질화규소를 함유하는 막을 단층으로 또는 적층시켜 형성할 수 있다. 적층하는 경우에는, 예를 들어, 기판(700)측으로부터 산화규소막, 질화규소막, 산화규소막의 3층 구조로 하는 것이 바람직하다.

[0304] 게이트 절연막(709)은 고밀도 플라즈마 처리를 행함으로써 섬 형상의 반도체막(705~707)의 표면을 산화 또는 질화시킴으로써 형성하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희가스와 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마 여기를 마이크로파의 도입에 의해 행함으로써, 낮은 전자 온도에서 고밀도 플라즈마를 생성할 수 있다. 이와 같은 고밀도 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의해, 반도체막의 표면을 산화 또는 질화시킴으로써, 1~20 nm, 대표적으로는 5~10 nm의 절연막이 반도체막에 접하도록 형성된다. 이 5~10 nm의 절연막을 게이트 절연막(709)으로서 사용한다.

[0305] 상기한 고밀도 플라즈마 처리에 의한 반도체막의 산화 또는 질화는 고상 반응으로 진행하기 때문에, 게이트 절연막과 반도체막의 계면 준위 밀도를 매우 낮게 할 수 있다. 또한, 고밀도 플라즈마 처리에 의해 반도체막을 직접 산화 또는 질화함으로써, 형성되는 절연막의 두께의 편차를 억제할 수 있다. 또한, 반도체막이 결정성을 가지는 경우, 고밀도 플라즈마 처리를 사용하여 반도체막의 표면을 고상 반응으로 산화시킴으로써, 결정립계에서만 산화가 빠르게 진행하는 것을 억제하여, 균일성이 좋고, 계면 준위 밀도가 낮은 게이트 절연막을 형성할 수 있다. 고밀도 플라즈마 처리에 의해 형성된 절연막을 게이트 절연막의 일부 또는 전부에 포함시켜 형성되는 트랜지스터는 특성의 편차를 억제할 수 있다.

[0306] 다음에, 도 14(C)에 나타내는 바와 같이, 게이트 절연막(709) 위에 도전막을 형성한 후, 그 도전막을 소정의 형상으로 가공(패터닝)함으로써, 섬 형상의 반도체막(705~707)의 상방에 전극(710)을 형성한다. 본 실시예에서 적층된 2개의 도전막을 패터닝하여 전극(710)을 형성한다. 도전막은 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 함유하는 화합물을 사용하여도 좋다. 또는, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한, 다결정 규소 등의 반도체를 사용하여 형성하여도 좋다.

[0307] 본 실시예에서는, 첫번째 층의 도전막으로서 질화탄탈막 또는 탄탈(Ta)막을 사용하고, 두번째 층의 도전막으로서 텅스텐(W)막을 사용한다. 2개의 도전막의 조합으로서, 본 실시예에서 나타낸 예 외에, 질화텅스텐막과 텅스텐막, 질화몰리브덴막과 몰리브덴막, 알루미늄막과 탄탈막, 알루미늄막과 티탄막 등을 들 수 있다. 텅스텐이나 질화탄탈은 내열성이 높기 때문에, 2층의 도전막을 형성한 후의 공정에서, 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 두번째 층의 도전막의 조합으로서, 예를 들어, n형을 부여하는 불순물이 도핑된 규소와 NiSi(니켈 실리사이드), n형을 부여하는 불순물이 도핑된 Si와 WSix 등도 사용할 수 있다.

[0308] 또한, 본 실시예에서는 전극(710)이 적층된 2개의 도전막으로 형성하고 있지만, 본 실시예는 이 구성에 한정되지 않는다. 전극(710)은 단층의 도전막으로 형성되어 있어도 좋고, 3개 이상의 도전막을 적층하여 형성되어 있어도 좋다. 3개 이상의 도전막을 적층하는 3층 구조의 경우에는, 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다.

[0309] 도전막의 형성에는 CVD법, 스퍼터링법 등을 사용할 수 있다. 본 실시예에서는 첫번째 층의 도전막을 20~100 nm의 두께로 형성하고, 두번째 층의 도전막을 100~400 nm의 두께로 형성한다.

[0310] 또한, 전극(710)을 형성할 때 사용하는 마스크로서, 레지스트 대신에 산화규소, 산화질화규소 등을 마스크로서 사용하여도 좋다. 이 경우, 패터닝하여 산화규소, 산화질화규소 등의 마스크를 형성하는 공정이 더해지지만, 예칭 시의 마스크의 막 두께 감소가 레지스트보다 적기 때문에, 소망의 폭을 가지는 전극(710)을 형성할 수 있다. 또한, 마스크를 사용하지 않고, 액적 토출법을 사용하여 선택적으로 전극(710)을 형성하여도 좋다.

[0311] 또한, 액적 토출법이란, 소정의 조성물을 함유하는 액적을 세공(細孔)으로부터 토출 또는 분출시킴으로써 소정의 패턴을 형성하는 방법을 의미하고, 잉크젯법 등이 그 범주에 포함된다.

[0312] 다음에, 전극(710)을 마스크로 하여 섬 형상의 반도체막(705~707)에 n형을 부여하는 불순물 원소(대표적으로는 P(인) 또는 As(비소))를 저농도로 도핑한다(제1 도핑 공정). 제1 도핑 공정의 조건은, 도즈량:  $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ , 가속 전압: 50~70 keV로 하였지만, 이것에 한정되는 것은 아니다. 이 제1 도핑 공정에 의해, 게이트 절연막(709)을 통하여 도핑이 이루어져, 섬 형상의 반도체막(705~707)에 저농도 불순물 영역(711)이 각각 형성된다. 또한, 제1 도핑 공정은 p채널형 TFT가 되는 섬 형상의 반도체막(706)을 마스크로 덮어 행하여도 좋

다.

[0313] 다음에, 도 15(A)에 나타내는 바와 같이, n채널형 TFT가 되는 섬 형상의 반도체막(705, 707)을 덮도록 마스크(712)를 형성한다. 그리고, 마스크(712)에 추가하여 전극(710)을 마스크로서 사용하여, 섬 형상의 반도체막(706)에 p형을 부여하는 불순물 원소(대표적으로는 B(붕소))를 고농도로 도핑한다(제2 도핑 공정). 제2 도핑 공정의 조건은, 도즈량:  $1\times 10^{19} \sim 1\times 10^{20} /cm^3$ , 가속 전압: 20~40 keV로 하여 행한다. 이 제2 도핑 공정에 의해, 게이트 절연막(709)을 통하여 도핑이 이루어져, 섬 형상의 반도체막(706)에 p형의 고농도 불순물 영역(713)이 형성된다.

[0314] 다음에, 도 15(B)에 나타내는 바와 같이, 마스크(712)를 애싱 등에 의해 제거한 후, 게이트 절연막(709) 및 전극(710)을 덮도록 절연막을 형성한다. 그 절연막은 플라즈마 CVD법이나 스퍼터링법 등에 의해 규소막, 산화규소막, 산화질화규소막 또는 질화산화규소막이나, 유기 수지 등의 유기 재료를 함유하는 막을 단층 또는 적층하여 형성한다. 본 실시예에서는, 막 두께 100 nm의 산화규소막을 플라즈마 CVD법에 의해 형성한다.

[0315] 그리고, 수직 방향을 주체로 한 이방성 에칭에 의해, 게이트 절연막(709) 및 그 절연막을 부분적으로 에칭한다. 상기 이방성 에칭에 의해 게이트 절연막(709)이 부분적으로 에칭되어, 섬 형상의 반도체막(705~707) 상에 부분적으로 형성된 게이트 절연막(714)이 형성된다. 또한, 상기 이방성 에칭에 의해, 게이트 절연막(709) 및 전극(710)을 덮도록 형성된 절연막이 부분적으로 에칭되어, 전극(710)의 측면에 접하는 사이드월(sidewall)(715)이 형성된다. 사이드월(715)은 LDD(Lightly Doped drain) 영역을 형성할 때의 도핑용 마스크로서 사용한다. 본 실시예에서는 에칭 가스로서는  $\text{CHF}_3$ 와 He의 혼합 가스를 사용한다. 또한, 사이드월(715)을 형성하는 공정은 이들에 한정되는 것은 아니다.

[0316] 다음에, 도 15(C)에 나타내는 바와 같이, p채널형 TFT가 되는 섬 형상의 반도체막(706)을 덮도록 마스크(716)를 형성한다. 그리고, 형성한 마스크(716)에 추가하여 전극(710) 및 사이드월(715)을 마스크로서 사용하여, n형을 부여하는 불순물 원소(대표적으로는 P 또는 As)를 섬 형상의 반도체막(705, 707)에 고농도로 도핑한다(제3 도핑 공정). 제3 도핑 공정의 조건은, 도즈량:  $1\times 10^{19} \sim 1\times 10^{20} /cm^3$ , 가속 전압: 60~100 keV로 하여 행한다. 이 제3 도핑 공정에 의해, 섬 형상의 반도체막(705, 707)에 n형의 고농도 불순물 영역(717)이 형성된다.

[0317] 또한, 사이드월(715)은, 나중에 고농도의 n형을 부여하는 불순물을 도핑하여, 사이드월(715)의 하부에 저농도 불순물 영역 또는 논도핑(non-doping)의 오프셋 영역을 형성할 때의 마스크로서 기능하는 것이다. 따라서, 저농도 불순물 영역 또는 오프셋 영역의 폭을 제어하기 위해서는, 사이드월(715)을 형성할 때의 이방성 에칭의 조건 또는 사이드월(715)을 형성하기 위한 절연막의 막 두께를 적절히 변경하여, 사이드월(715)의 사이즈를 조정하면 된다. 또한, 반도체막(706)에서, 사이드월(715)의 하부에 저농도 불순물 영역 또는 논도핑의 오프셋 영역을 형성하여도 좋다.

[0318] 다음에, 마스크(716)를 애싱 등에 의해 제거한 후, 불순물 영역의 가열 처리에 의한 활성화를 행하여도 좋다. 예를 들어, 50 nm의 산화질화규소막을 형성한 후, 550°C, 4시간, 질소 분위기 중에서 가열 처리를 행하면 좋다.

[0319] 또한, 수소를 함유하는 질화규소막을 100 nm의 막 두께로 형성한 후, 410°C, 1시간, 질소 분위기 중에서 가열 처리를 행하여, 섬 형상의 반도체막(705~707)을 수소화하는 공정을 행하여도 좋다. 또는, 수소를 함유하는 분위기 중에서 300~450°C로 1~12시간의 가열 처리를 행하여, 섬 형상의 반도체막(705~707)을 수소화하는 공정을 행하여도 좋다. 가열 처리에는, 열 어닐법, 레이저 어닐법 또는 RTA법 등을 사용할 수 있다. 가열 처리에 의해, 수소화뿐만 아니라, 반도체막에 첨가된 불순물 원소의 활성화도 행할 수 있다. 또한, 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용한다)를 행하여도 좋다. 이 수소화 공정에 의해, 열적으로 여기된 수소에 의해 냉글링 본드를 종단시킬 수 있다.

[0320] 상기한 일련의 공정에 의해, n채널형 TFT(718, 720)와 p채널형 TFT(719)가 형성된다.

[0321] 다음에, 도 16(A)에 나타내는 바와 같이, TFT(718, 719, 720)를 보호하기 위한 절연막(722)을 형성한다. 절연막(722)은 반드시 형성할 필요는 없지만, 절연막(722)을 형성함으로써, 알칼리 금속이나 알칼리토류 금속 등의 불순물이 TFT(718, 719, 720)에 침입하는 것을 방지할 수 있다. 구체적으로, 절연막(722)으로서, 질화규소, 질화산화규소, 질화알루미늄, 산화알루미늄, 산화규소 등을 사용하는 것이 바람직하다. 본 실시예에서는, 막 두께 600 nm 정도의 산화질화규소막을 절연막(722)으로서 사용한다. 이 경우, 상기 수소화 공정은 그 산화질화규소막 형성 후에 행하여도 좋다.

[0322] 다음에, TFT(718, 719, 720)를 덮도록, 절연막(722) 상에 절연막(723)을 형성한다. 절연막(723)은

폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, 산화규소, 질화규소, 산화질화규소, 질화산화규소, PSG(인 유리), BPSG(인 봉소 유리), 알루미나 등을 사용할 수 있다. 실록산계 수지는, 치환기에 수소 외에, 불소, 일킬기, 또는 방향족 탄화수소 중 적어도 1종을 가지고 있어도 좋다. 또한, 이들 재료로 형성되는 절연막을 다수 적층시킴으로써 절연막(723)을 형성하여도 좋다.

[0323] 절연막(723)의 형성에는, 그의 재료에 따라, CVD법, 스퍼터링법, SOG법, 스피닝 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.

[0324] 다음에, 섬 형상의 반도체막(705~707)이 각각 일부 노출되도록 절연막(722) 및 절연막(723)에 콘택트 홀을 형성한다. 그리고, 그 콘택트 홀을 통하여 섬 형상의 반도체막(705~707)에 접하는 도전막(725~730)을 형성한다. 콘택트 홀 개구시의 예칭에 사용되는 가스는  $\text{CHF}_3$ 와 He의 혼합 가스를 사용하였지만, 이것에 한정되는 것은 아니다.

[0325] 도전막(725~730)은 CVD법이나 스퍼터링법 등에 의해 형성할 수 있다. 구체적으로, 도전막(725~730)으로서, 알루미늄(Al), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 함유하는 화합물을 사용하여도 좋다. 도전막(725~730)은 상기 금속이 사용된 막을 단층 또는 다수 적층시켜 형성할 수 있다.

[0326] 알루미늄을 주성분으로 하는 합금의 예로서, 알루미늄을 주성분으로 하고 니켈을 함유하는 것을 들 수 있다. 또한, 알루미늄을 주성분으로 하고, 니켈과, 탄소와 규소 중의 어느 하나 또는 모두를 함유하는 것도 예로서 들 수 있다. 알루미늄이나 알루미늄 실리콘은 저항값이 낮고, 저렴하기 때문에, 도전막(725~730)을 형성하는 재료로서 최적이다. 특히 알루미늄 실리콘(Al-Si)막은 도전막(725~730)을 패터닝 할 때, 레지스트 베이킹에서의 힐록의 발생을 알루미늄막을 사용하는 경우보다 더욱 억제할 수 있다. 또한, 규소(Si) 대신에, 알루미늄막에 0.5% 정도의 Cu를 혼입시켜도 좋다.

[0327] 도전막(725~730)은, 예를 들어, 배리어막과 알루미늄 실리콘(Al-Si)막과 배리어막의 적층 구조, 배리어막과 알루미늄 실리콘(Al-Si)막과 질화티탄막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막이란, 티탄, 티탄의 질화물, 몰리브덴 또는 몰리브덴의 질화물을 사용하여 형성된 막이다. 알루미늄 실리콘(Al-Si)막을 사이에 끼우도록 배리어막을 형성하면, 알루미늄이나 알루미늄 실리콘의 힐록의 발생을 더욱 방지할 수 있다. 또한, 환원성이 높은 원소인 티탄을 사용하여 배리어막을 형성하면, 섬 형상의 반도체막(705~707) 위에 얇은 산화막이 생겼다 하더라도, 배리어막에 함유되는 티탄이 이 산화막을 환원시켜, 도전막(725~730)과 섬 형상의 반도체막(705~707)이 양호한 콘택트를 취할 수 있다. 또한, 배리어막을 다수 적층하도록 하여 사용하여도 좋다. 그 경우, 예를 들어, 도전막(725~730)을 하층으로부터 티탄, 질화티탄, 알루미늄 실리콘, 티탄, 질화티탄의 5층 구조로 할 수 있다.

[0328] 또한, 도전막(725, 726)은 n채널형 TFT(718)의 고농도 불순물 영역(717)에 접속되어 있다. 도전막(727, 728)은 p채널형 TFT(719)의 고농도 불순물 영역(713)에 접속되어 있다. 도전막(729, 730)은 n채널형 TFT(720)의 고농도 불순물 영역(717)에 접속되어 있다.

[0329] 다음에, 도 16(B)에 나타내는 바와 같이, 도전막(730)에 접하도록, 절연막(723) 위에 전극(731)을 형성한다. 도 16(B)에서는, 광을 반사시키기 쉬운 도전막을 사용하여 전극(731)을 형성하여, 반사형의 액정 소자를 제작하는 예를 나타내었지만, 본 발명은 이 구성에 한정되지 않는다. 화소 전극을 투명 도전막으로 형성함으로써, 투과형의 액정 소자를 형성할 수도 있다. 또한, 반사형의 액정 소자의 경우, 전극(731)을 굳이 형성하지 않고, 도전막(730)의 일부를 전극으로서 사용할 수도 있다. 또한, 액정 소자에 한정되지 않고, 메모리성을 가지는 표시 재료를 사용한 표시 소자, 유기 발광 소자(OLED)로 대표되는 발광 소자 등도 사용할 수 있다.

[0330] 전극(731)에 사용되는 투명 도전막에는, 예를 들어, 산화규소를 함유하는 산화인듐주석(ITSO), 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등을 사용할 수 있다.

[0331] 다음에, 도 16(C)에 나타내는 바와 같이, 도전막(725~730) 및 전극(731)을 덮도록, 절연막(723) 위에 보호층(736)을 형성한다. 보호층(736)은, 나중에 박리층(702)을 경계로 하여 기판(700)을 박리할 때, 절연막(723), 도전막(725~730) 및 전극(731)을 보호할 수 있는 재료를 사용한다. 예를 들어, 물 또는 알코올류에 사용할 수 있는 재료를 사용한다.

폭시계, 아크릴레이트계, 실리콘계 수지를 전면에 도포함으로써 보호층(736)을 형성할 수 있다.

[0332] 본 실시예에서는, 스펀 코팅법으로 수용성 수지(토아 합성 제조: VL-WSHL10)를 막 두께 30  $\mu\text{m}$ 가 되도록 도포하고, 가(假)경화시키기 위해 2분간의 노광을 행한 후, 자외선을 뒷면으로부터 2.5분, 표면으로부터 10분, 합계 12.5분의 노광을 행하여 본(本)경화시켜, 보호층(736)을 형성한다. 또한, 다수의 유기 수지를 적층하는 경우, 유기 수지끼리에서는 사용하고 있는 용매에 따라 도포 또는 소성 시에 일부 용해하거나, 밀착성이 지나치게 높아지거나 하는 등의 우려가 있다. 따라서, 절연막(723)과 보호층(736)을 함께 동시에 용매에 가용인 유기 수지를 사용하는 경우, 나중의 공정에서 보호층(736)의 제거가 원활하게 행해지도록, 절연막(723)을 덮도록, 무기 절연막(질화규소막, 질화산화규소막,  $\text{AlN}_x$ 막, 또는  $\text{AlN}_x\text{O}_y$ 막)을 형성해 두는 것이 바람직하다.

[0333] 다음에, 도 16(C)에 나타내는 바와 같이, 절연막(703)으로부터 절연막(723) 위에 형성된 도전막(725~730) 및 전극(731)까지의, TFT로 대표되는 반도체 소자나 각종 도전막을 포함하는 층(이하, 「소자 형성층(738)」이라고 기재한다)과, 보호층(736)을 기판(700)으로부터 박리한다. 본 실시예에서는, 제1 시트재(737)를 보호층(736)에 접합하고, 물리적인 힘을 사용하여 기판(700)으로부터 소자 형성층(738)과 보호층(736)을 박리한다. 박리층(702)은 모두 제거하지 않고, 일부가 잔존한 상태이어도 좋다.

[0334] 또한, 상기 박리는 박리층(702)의 에칭을 사용한 방법으로 행하여도 좋다. 이 경우, 박리층(702)이 일부 노출되도록 홈을 형성한다. 홈은 다이싱, 스크라이빙, UV광을 포함하는 레이저광을 사용한 가공, 포토리소그래피법 등에 의해 홈을 형성한다. 홈은 박리층(702)이 노출되는 정도의 깊이를 가지고 있으면 좋다. 그리고, 에칭 가스로서 불화 할로겐을 사용하고, 그 가스를 홈으로부터 도입한다. 본 실시예에서는, 예를 들어,  $\text{ClF}_3$ (3불화염소)를 사용하고, 온도: 350°C, 유량: 300 sccm, 기압: 800 Pa, 시간: 3 h의 조건에서 행한다. 또한,  $\text{ClF}_3$  가스에 질소를 혼합한 가스를 사용하여도 좋다.  $\text{ClF}_3$  등의 불화 할로겐을 사용함으로써, 박리층(702)이 선택적으로 에칭되어, 기판(700)을 소자 형성층(738)으로부터 박리할 수 있다. 또한, 불화 할로겐은 기체이어도 좋고 액체이어도 좋다.

[0335] 다음에, 도 17(A)에 나타내는 바와 같이, 소자 형성층(738)의 상기 박리에 의해 노출된 면에 제2 시트재(744)를 접합한다. 그리고, 소자 형성층(738) 및 보호층(736)을 제1 시트재(737)로부터 박리한 후, 보호층(736)을 제거한다.

[0336] 제2 시트재(744)로서, 예를 들어, 바륨붕규산 유리나 알루미노붕규산 유리 등의 유리 기판, 가요성을 가지는 종이 또는 플라스틱 등의 유기 재료를 사용할 수 있다. 또는, 제2 시트재(744)로서, 플렉서블한 무기 재료를 사용하여도 좋다. 플라스틱 기판은, 극성기가 붙은 폴리노르보르네오으로 이루어지는 ARTON(JSR 제조)을 사용할 수 있다. 또한, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스터, 폴리에테르술폰(PES), 폴리에틸렌 나프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르카톤(PEEK), 폴리술폰(PSF), 폴리에테르아미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT), 폴리아미드, 아크릴로니트릴-부타디엔-스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산 비닐, 아크릴 수지 등을 들 수 있다.

[0337] 또한, 기판(700) 위에 다수의 표시장치에 대응하는 반도체 소자를 형성하고 있는 경우에는, 소자 형성층(738)을 표시장치마다 분단한다. 분단은 레이저 조사 장치, 다이싱 장치, 스크라이브 장치 등을 사용할 수 있다.

[0338] 다음에, 도 17(B)에 나타내는 바와 같이, 도전막(730)과 전극(731)을 덮도록 배향막(750)을 형성하고, 러빙 처리를 행한다. 그리고, 액정을 봉지(封止)하기 위한 시일(seal)재(751)를 형성한다. 한편, 투명 도전막을 사용한 전극(752)과, 러빙 처리가 실시된 배향막(753)이 형성된 기판(754)을 준비한다. 그리고, 시일재(751)로 둘러싸인 영역에 액정(755)을 적하고, 별도로 준비해 둔 기판(754)을 전극(752)과 전극(731)이 서로 마주 보도록, 시일재(751)를 사용하여 접합한다. 또한, 시일재(751)에는 필러(filler)가 혼입되어 있어도 좋다.

[0339] 또한, 컬러 필터나, 디스크리네이션을 방지하기 위한 차폐막(블랙 매트릭스) 등이 형성되어 있어도 좋다. 또한, 기판(754)의 전극(752)이 형성되어 있는 면과는 반대의 면에 편광판(756)을 부착시켜 둔다.

[0340] 전극(731) 또는 전극(752)에 사용되는 투명 도전막에는, 예를 들어, 산화규소를 함유하는 산화인듐주석(ITSO), 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등을 사용할 수 있다. 전극(731)과 액정(755)과 전극(752)이 중첩됨으로써, 액정 셀(760)이 형성되어 있다. 또한, 본 실시예에서는, 전극(731)과 전극(752)이 액정(755)을 사이에 두고 겹쳐 있는 액정 셀(760)의 구성을 나타내고 있으나, 본 발명의 표시장치에 사용되는 액정 셀의 구성을 이것에 한정되지 않는다. 예를 들어, IPS 액정과 같이, 전극(731)과 전극(752)을 덮도록 액정(755)이 제공되어 있는 액정 셀을 사용하여도 좋다.

- [0341] 상기한 액정의 주입은 디스펜서식(적하식)을 사용하고 있지만, 본 발명은 이것에 한정되지 않는다. 기판(754)을 부착시키고 나서 액정을 주입하는 딥(dip)식(펌핑 방식)을 사용하야도 좋다.
- [0342] 또한, 본 실시예에서는 소자 형성층(738)을 기판(700)으로부터 박리하여 이용하는 예를 나타내고 있으나, 박리 층(702)을 형성하지 않고, 기판(700) 위에 상기한 소자 형성층(738)을 제작하여, 표시장치로서 이용하여도 좋다.
- [0343] 또한, 본 실시예에서는 모든 TFT(718, 719, 720)에서 게이트 절연막(714)의 막 두께를 모두 동일하게 하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 보다 고속의 구동이 요구되는 회로에서, 다른 회로보다 TFT가 가지는 게이트 절연막의 막 두께를 얇게 하도록 하여도 좋다.
- [0344] 또한, 본 실시예에서는 박막트랜지스터를 예로 들어 설명하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 박막트랜지스터 외에, 단결정 실리콘을 사용하여 형성된 트랜지스터, SOI를 이용하여 형성된 트랜지스터 등도 사용할 수 있다.
- [0345] 본 실시예는 상기 실시형태, 실시예와 적절히 조합하여 실시될 수 있다.
- [0346] [실시예 7]
- [0347] 본 실시예에서는, 본 발명의 표시장치의 하나인 액정 표시장치를 예로 들어, 그의 외관에 대하여 도 18을 사용하여 설명한다. 도 18(A)는 제1 기판 위에 형성된 트랜지스터 및 액정 셀을 제1 기판과 제2 기판 사이에 형성한 패널의 상면도이고, 도 18(B)는 도 18(A)의 A-A' 선에 있어서의 단면도에 상당한다.
- [0348] 제1 기판(4001) 위에 형성된 화소부(4002)와, 신호선 구동회로(4003)와, 주사선 구동회로(4004)를 둘러싸도록 시일재(4020)가 제공되어 있다. 또한, 화소부(4002), 신호선 구동회로(4003), 주사선 구동회로(4004) 위에 제2 기판(4006)이 제공되어 있다. 따라서, 화소부(4002), 신호선 구동회로(4003), 주사선 구동회로(4004)는 제1 기판(4001)과 제2 기판(4006) 사이에서 시일재(4020)에 의해 액정(4013)과 함께 밀봉되어 있다.
- [0349] 또한, 제1 기판(4001) 위에 형성된 화소부(4002), 신호선 구동회로(4003) 및 주사선 구동회로(4004)는 각각 트랜지스터를 다수 가지고 있다. 도 18(B)에서는, 신호선 구동회로(4003)에 포함되는 트랜지스터(4008, 4009)와, 화소부(4002)에 포함되는 트랜지스터(4010)를 예시하고 있다.
- [0350] 또한, 액정 셀(4011)은 트랜지스터(4010)의 소스 영역 또는 드레인 영역과, 배선(4017)을 통하여 접속되어 있는 화소 전극(4030)과, 제2 기판(4006)에 형성된 대향 전극(4012)과, 액정(4013)을 가지고 있다.
- [0351] 또한, 도시하고 있지 않지만, 본 실시예에 나타낸 액정 표시장치는 배향막, 편광판을 가지고, 추가로 컬러 필터나 차폐막을 가지고 있어도 좋다.
- [0352] 또한, 부호 4035는 구(球) 형상의 스페이서로서, 화소 전극(4030)과 대향 전극(4012) 사이의 거리(셀 캡)를 제어하기 위해 제공되어 있다. 또한, 절연막을 패터닝함으로써 얻어지는 스페이서를 사용하여도 좋다.
- [0353] 신호선 구동회로(4003), 주사선 구동회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전압은 배선(4014, 4015)을 통하여 접속 단자(4016)로부터 공급되어 있다. 접속 단자(4016)는 FPC(4018)가 가지는 단자에 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.
- [0354] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절히 조합하여 실시될 수 있다.
- [0355] [실시예 8]
- [0356] 본 발명의 표시장치를 사용할 수 있는 전자 기기로서, 휴대 전화기, 휴대형 게임기 또는 전자 책, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 오디오 콤보 등), 노트형 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하고, 그의 화상을 표시할 수 있는 디스플레이를 가지는 장치) 등을 들 수 있다. 이를 전자 기기의 구체예를 도 19에 나타낸다.
- [0357] 도 19(A)는 휴대 전화기로서, 본체(2101), 표시부(2102), 음성 입력부(2103), 음성 출력부(2104), 조작 키(2105)를 가진다. 표시부(2102)에 본 발명의 표시장치를 사용함으로써, 신뢰성이 높은 휴대 전화기가 얻어진다.
- [0358] 도 19(B)는 비디오 카메라로서, 본체(2601), 표시부(2602), 케이싱(2603), 외부 접속 포트(2604), 리모콘 수신

부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작 키(2609), 접안부(2610) 등을 가진다. 표시부(2602)에 본 발명의 표시장치를 사용함으로써, 신뢰성이 높은 비디오 카메라가 얻어진다.

[0359] 도 19(C)는 영상 표시장치로서, 케이싱(2401), 표시부(2402), 스피커부(2403) 등을 가진다. 표시부(2402)에 본 발명의 표시장치를 사용함으로써, 신뢰성이 높은 영상 표시장치가 얻어진다. 또한, 영상 표시장치에는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의, 영상을 표시하기 위한 모든 영상 표시장치가 포함된다.

[0360] 이상과 같이, 본 발명의 적용 범위는 매우 넓어, 모든 분야의 전자 기기에 사용할 수 있다.

[0361] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절히 조합하여 실시될 수 있다.

### 도면의 간단한 설명

[0362] 도 1은 본 발명의 구동방법을 나타내는 타이밍 차트.

[0363] 도 2는 신호선에 부여되는 전압의 시간 변화를 나타내는 도면.

[0364] 도 3은 소스와 드레인 사이의 전압의 시간 변화를 나타내는 도면.

[0365] 도 4는 본 발명의 구동방법을 나타내는 타이밍 차트.

[0366] 도 5는 신호선에 부여되는 전압의 시간 변화를 나타내는 도면.

[0367] 도 6은 소스와 드레인 사이의 전압의 시간 변화를 나타내는 도면.

[0368] 도 7은 본 발명의 표시장치의 구성을 나타내는 블록도.

[0369] 도 8은 본 발명의 표시장치의 구성을 나타내는 블록도.

[0370] 도 9는 본 발명의 표시장치의 화소부의 구성을 나타내는 도면.

[0371] 도 10은 본 발명의 표시장치의 화소부의 구성을 나타내는 도면.

[0372] 도 11은 본 발명의 표시장치가 가지는 신호선 구동회로의 구성을 나타내는 블록도.

[0373] 도 12는 본 발명의 표시장치가 가지는 신호선 구동회로의 구성을 나타내는 블록도.

[0374] 도 13은 기입 기간이 출현하는 타이밍을 나타내는 도면.

[0375] 도 14는 본 발명의 표시장치의 제작방법을 나타내는 도면.

[0376] 도 15는 본 발명의 표시장치의 제작방법을 나타내는 도면.

[0377] 도 16은 본 발명의 표시장치의 제작방법을 나타내는 도면.

[0378] 도 17은 본 발명의 표시장치의 제작방법을 나타내는 도면.

[0379] 도 18은 본 발명의 표시장치의 상면도 및 단면도.

[0380] 도 19는 본 발명의 표시장치를 사용한 전자 기기의 예를 나타내는 도면.

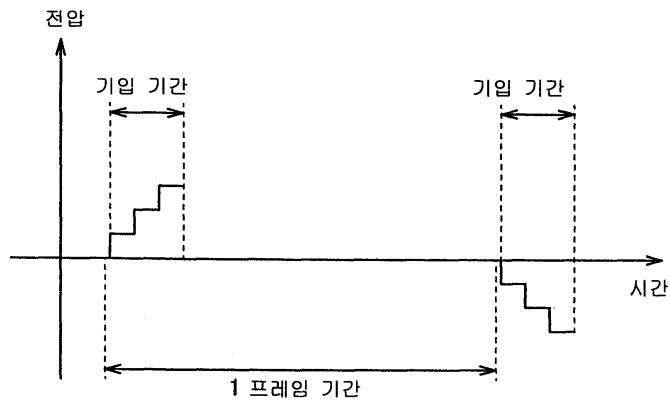
[0381] 도 20은 종래의 문제점을 설명하기 위한 회로도.

[0382] 도 21은 종래의 구동방법을 나타내는 타이밍 차트.

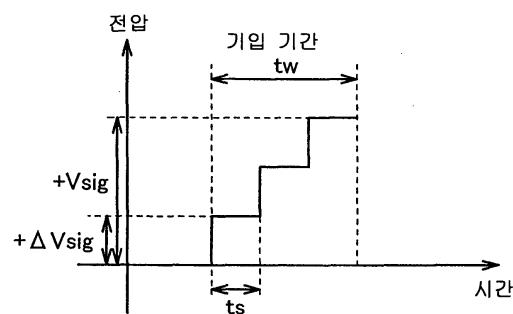
## 도면

## 도면1

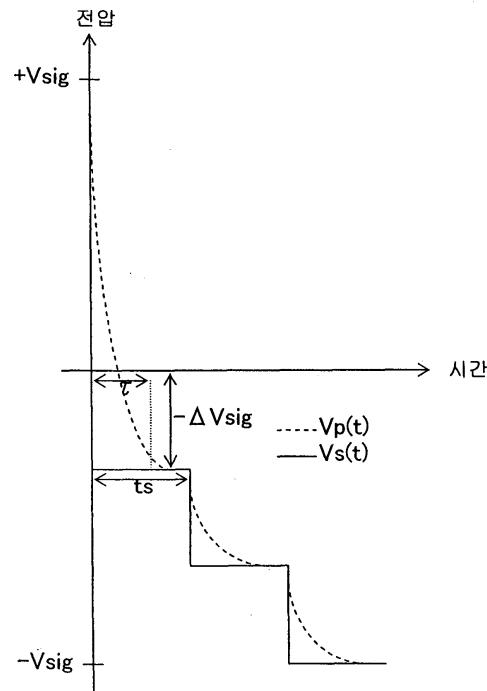
(A)



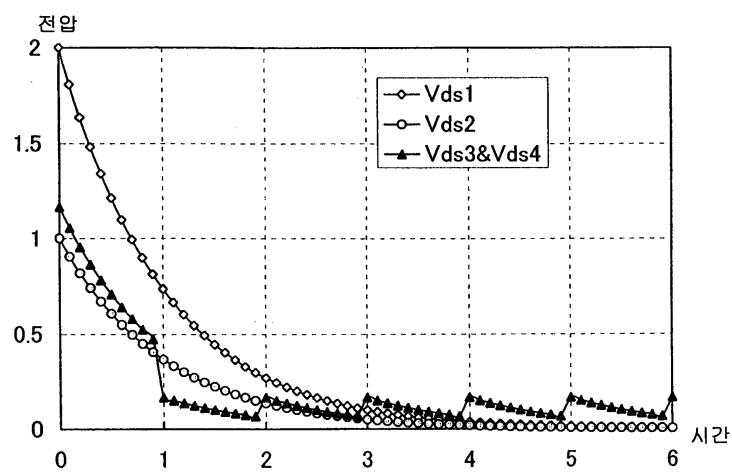
(B)



도면2

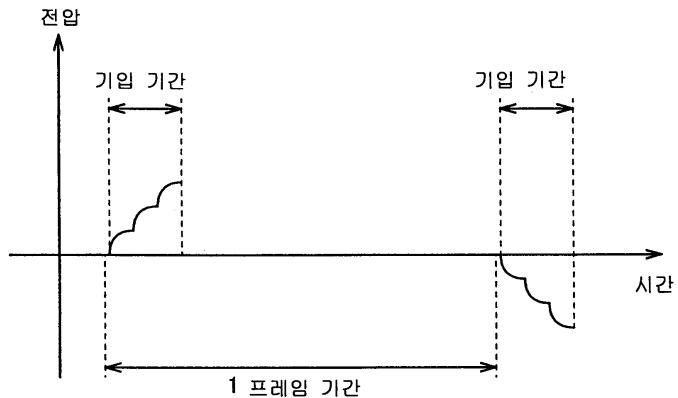


도면3

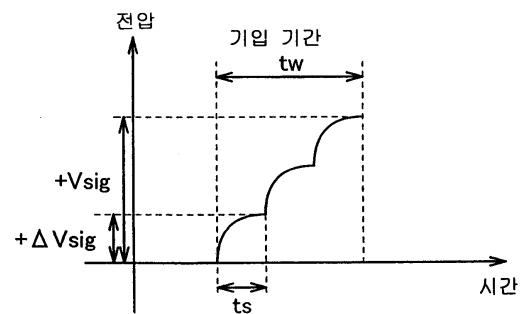


## 도면4

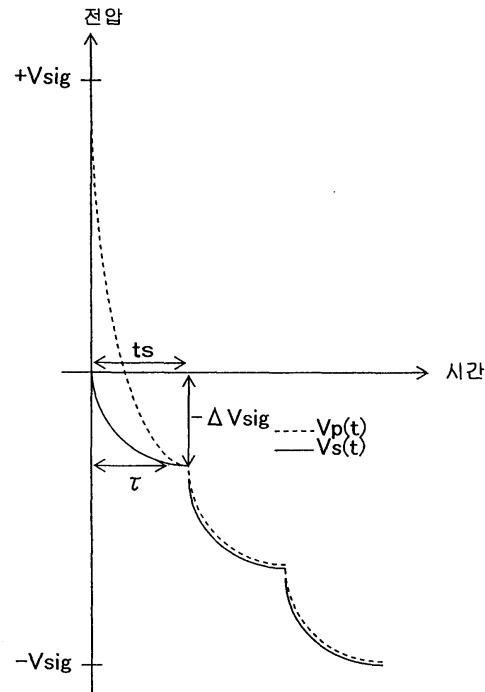
(A)



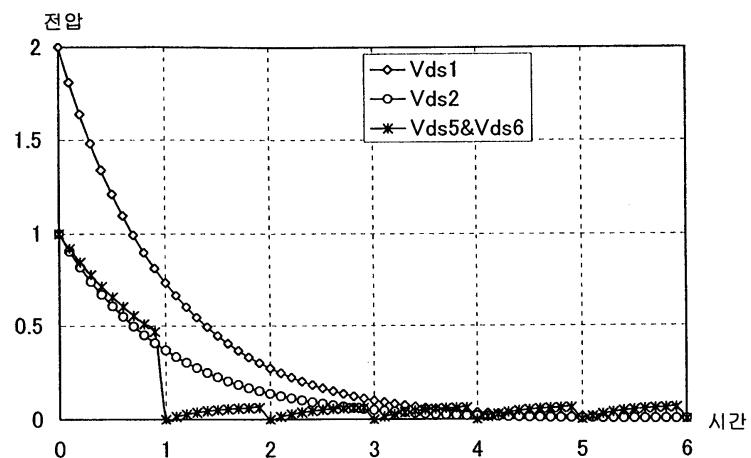
(B)



도면5

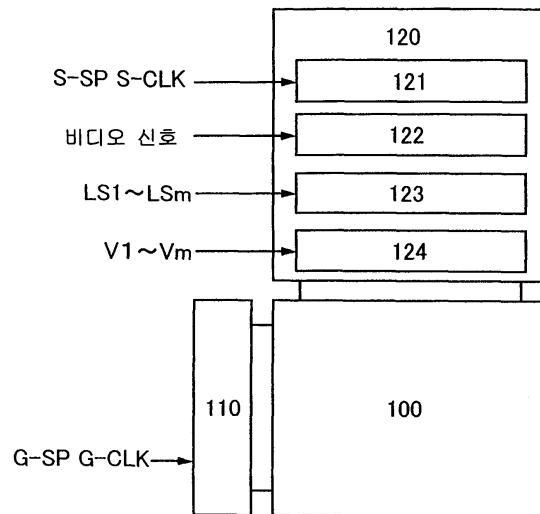


도면6

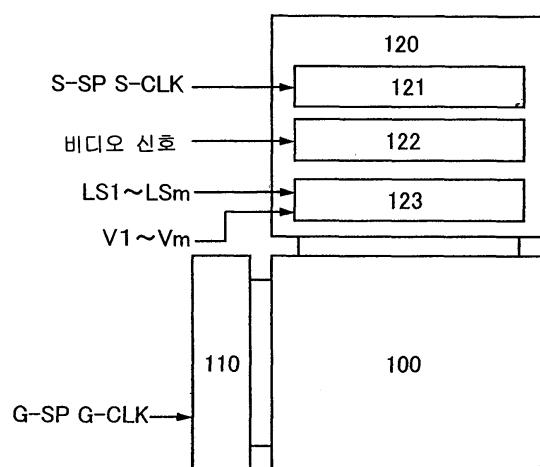


도면7

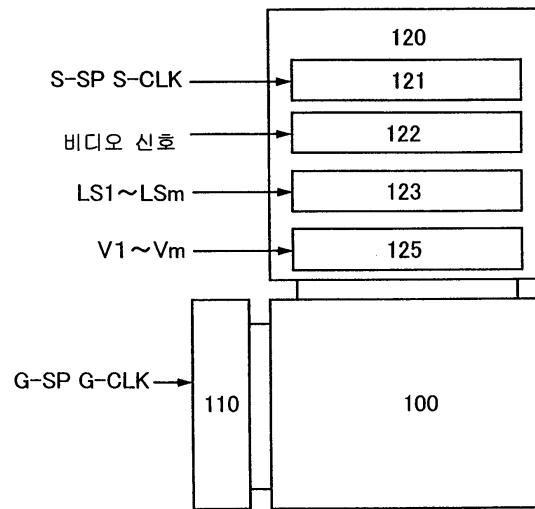
(A)



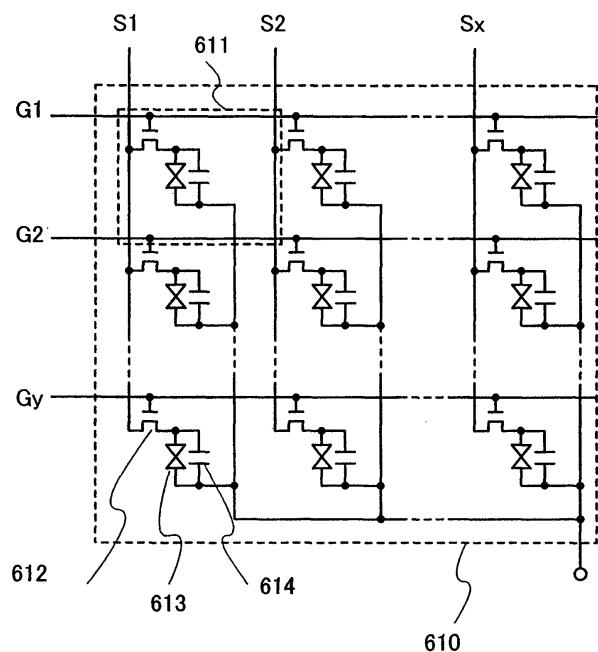
(B)



도면8

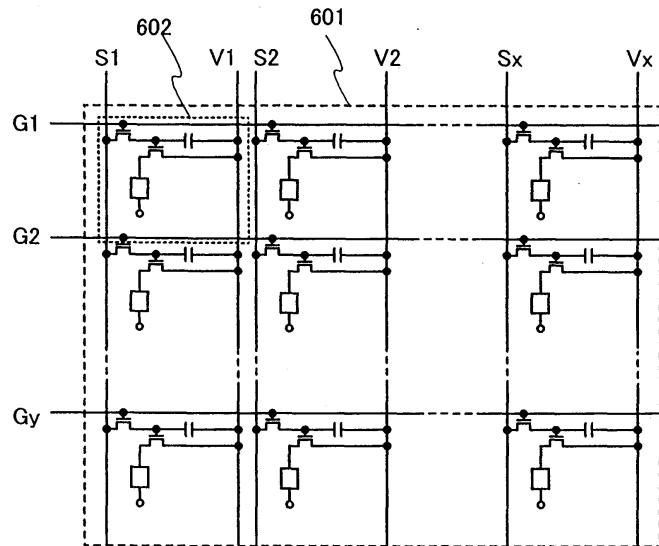


도면9

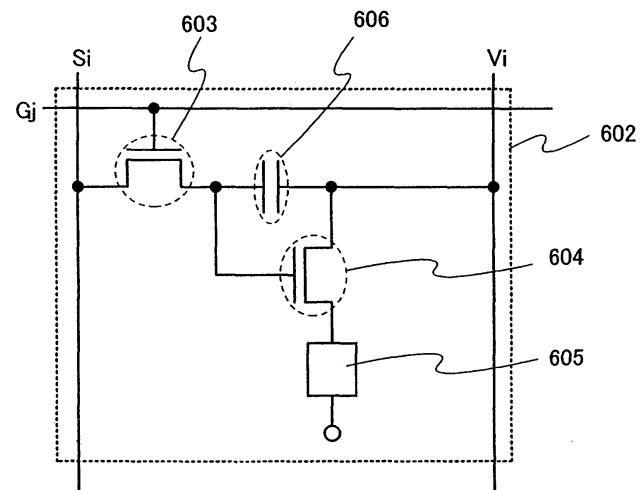


도면10

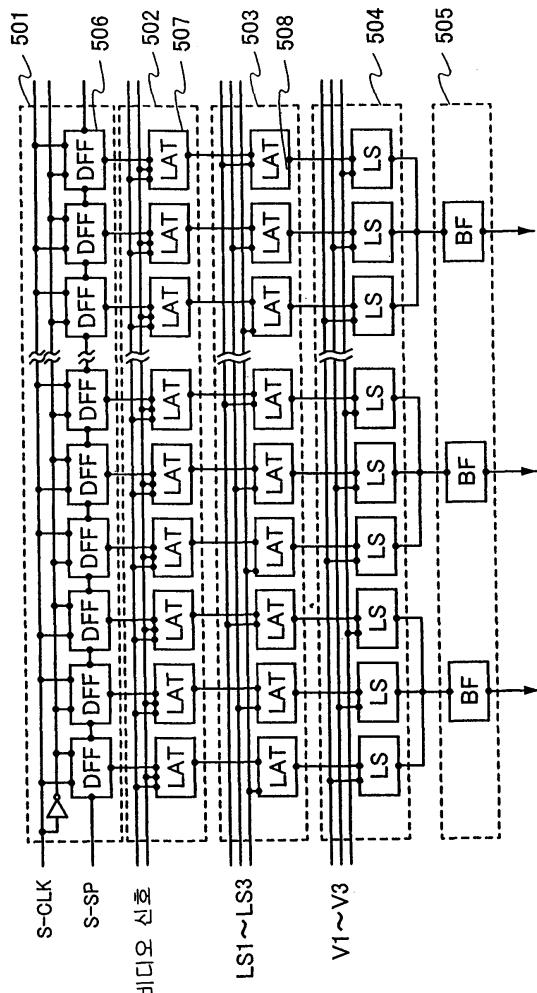
(A)



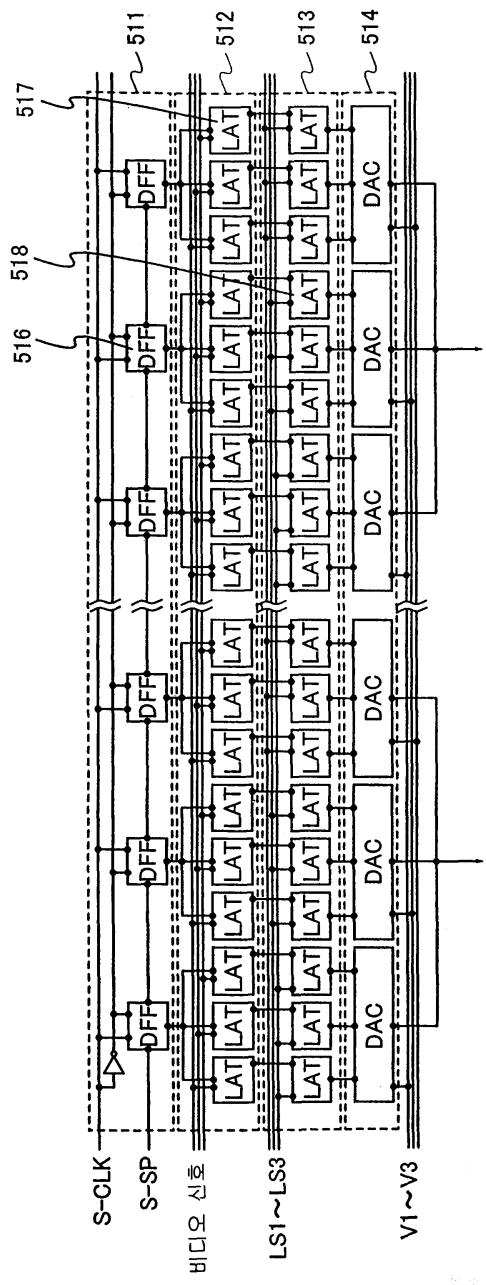
(B)



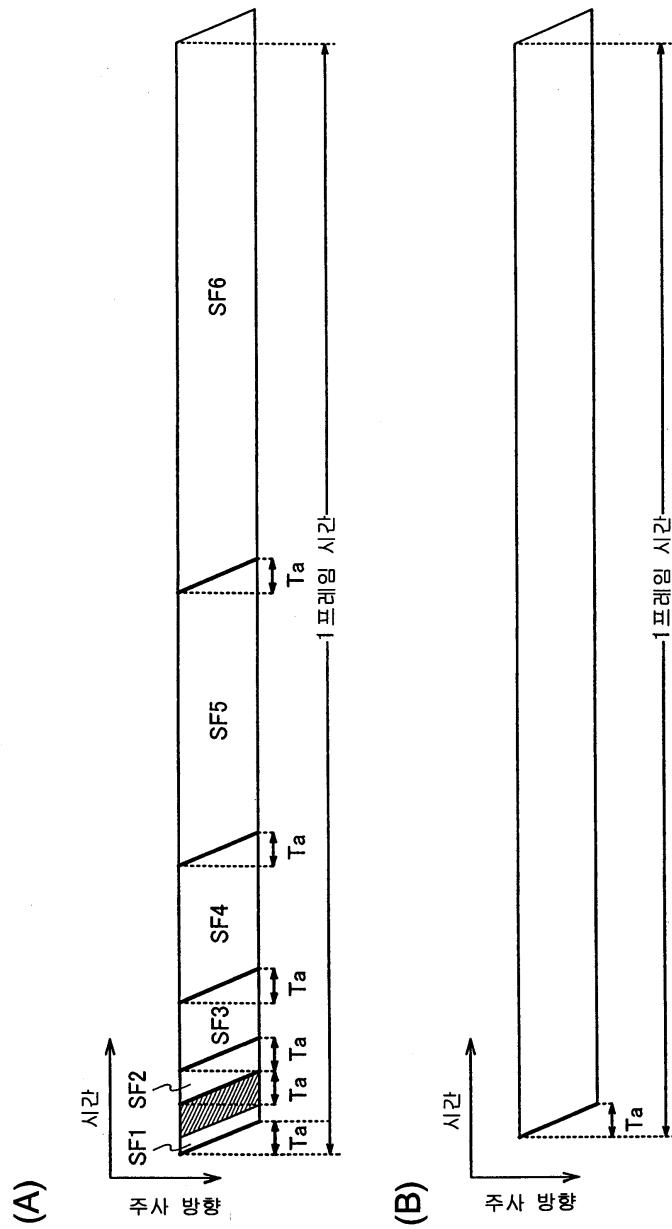
도면11



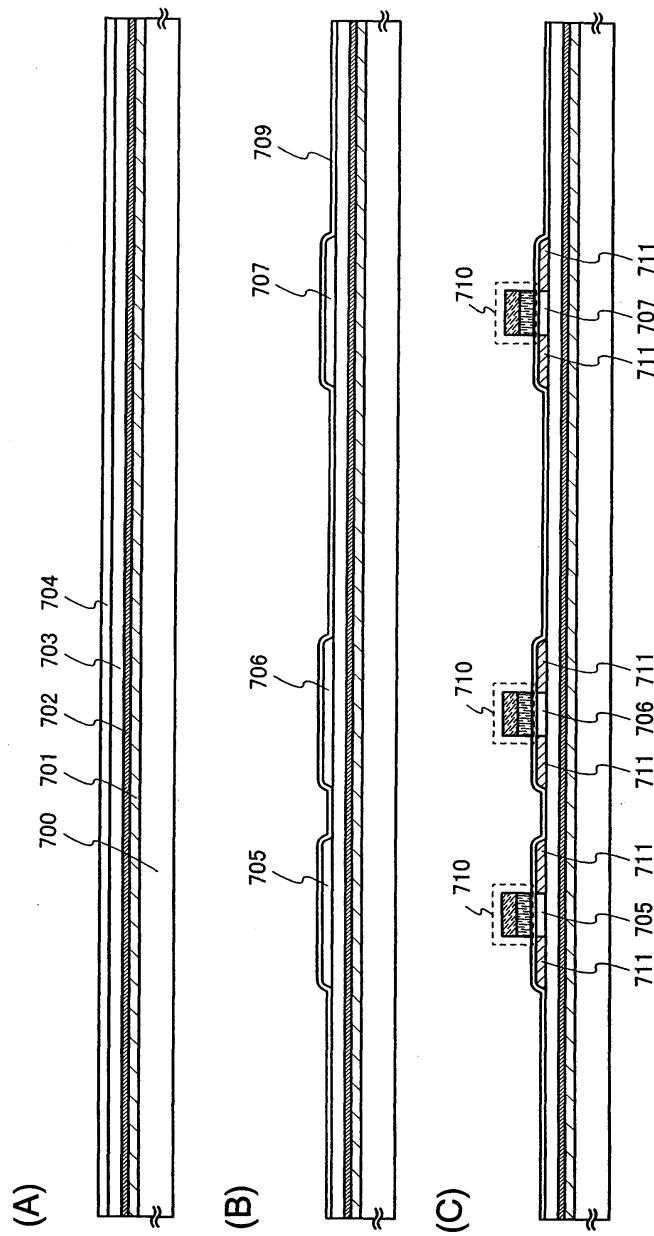
도면12



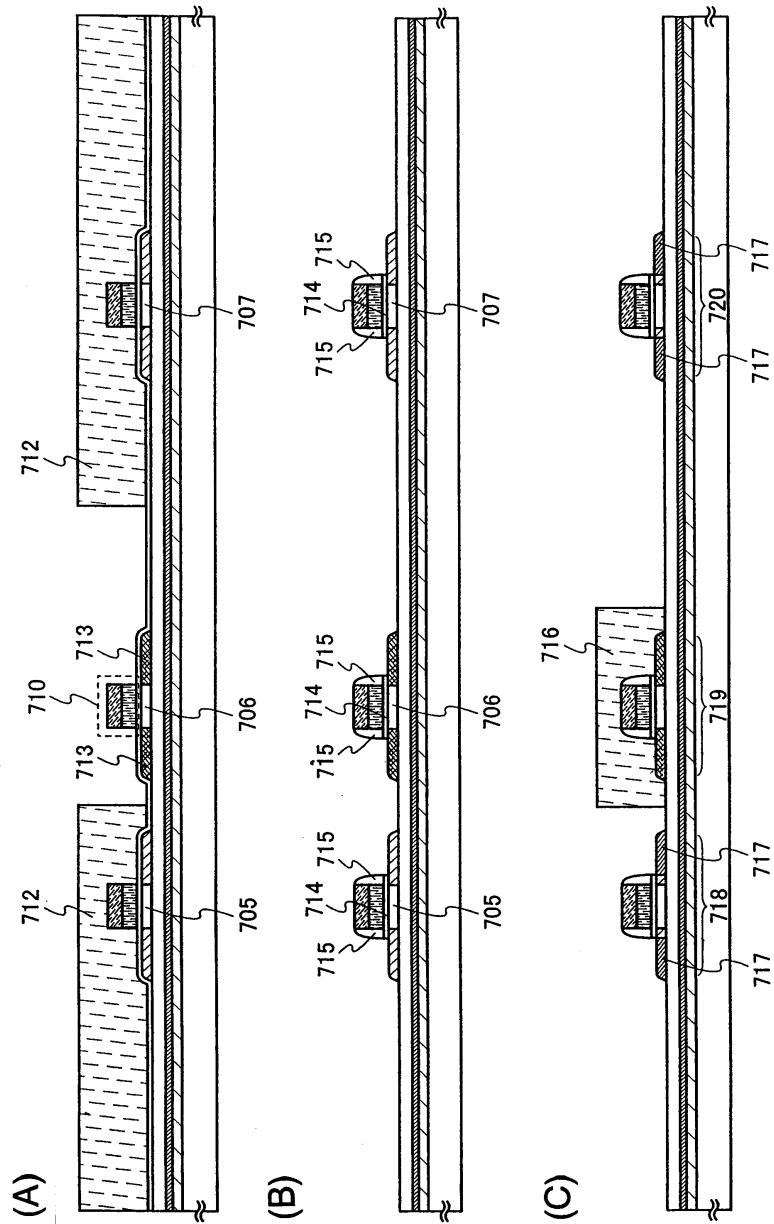
도면13



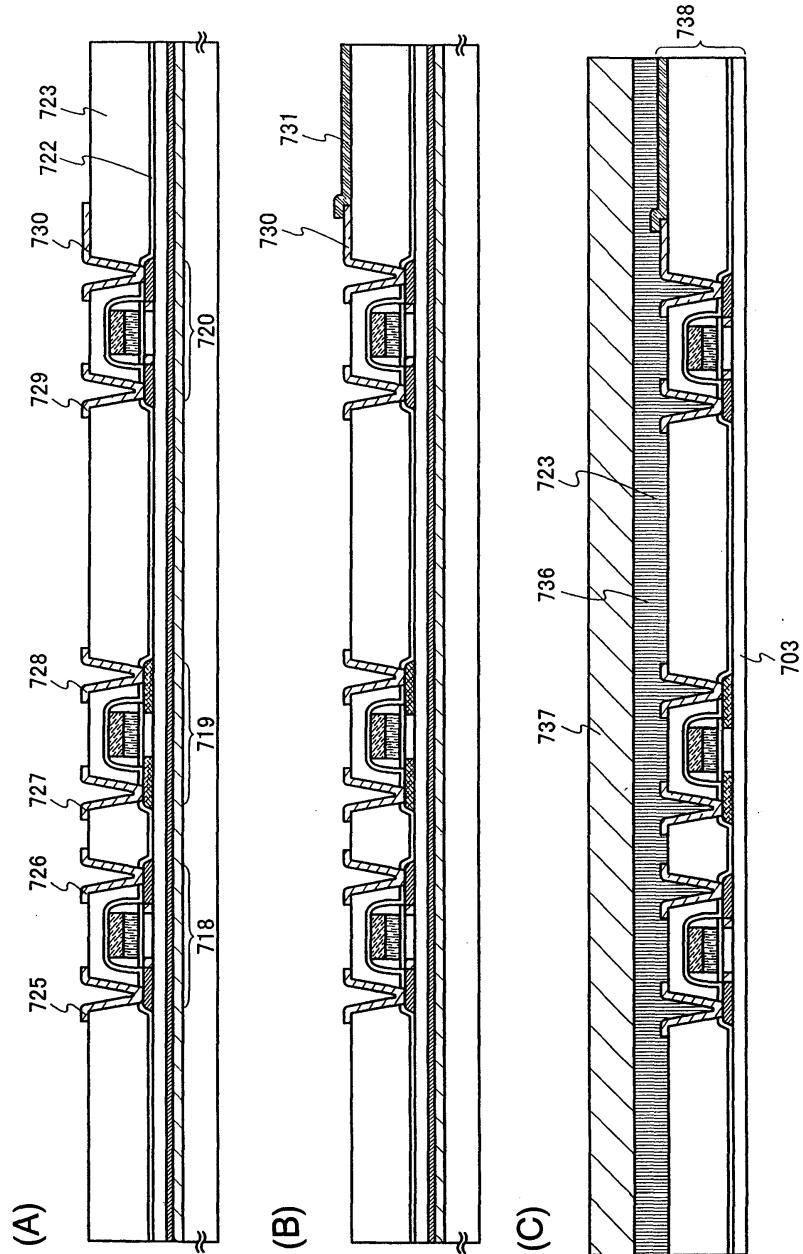
도면14



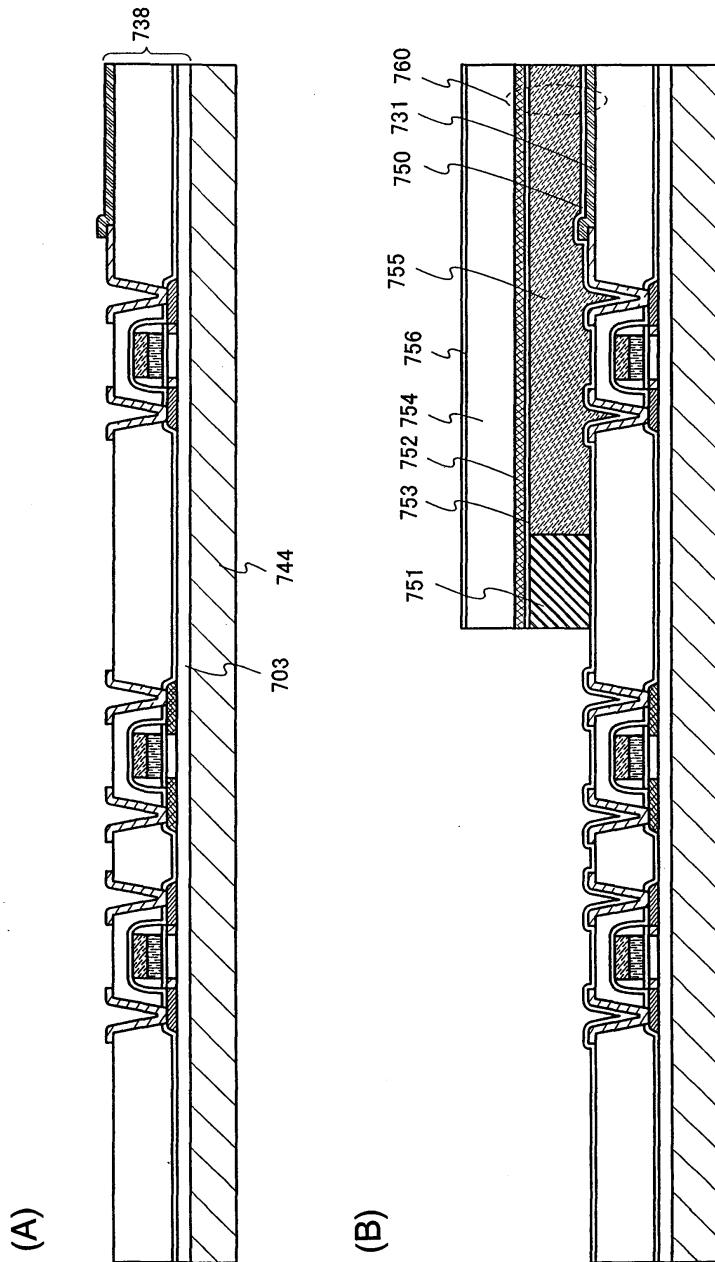
도면15



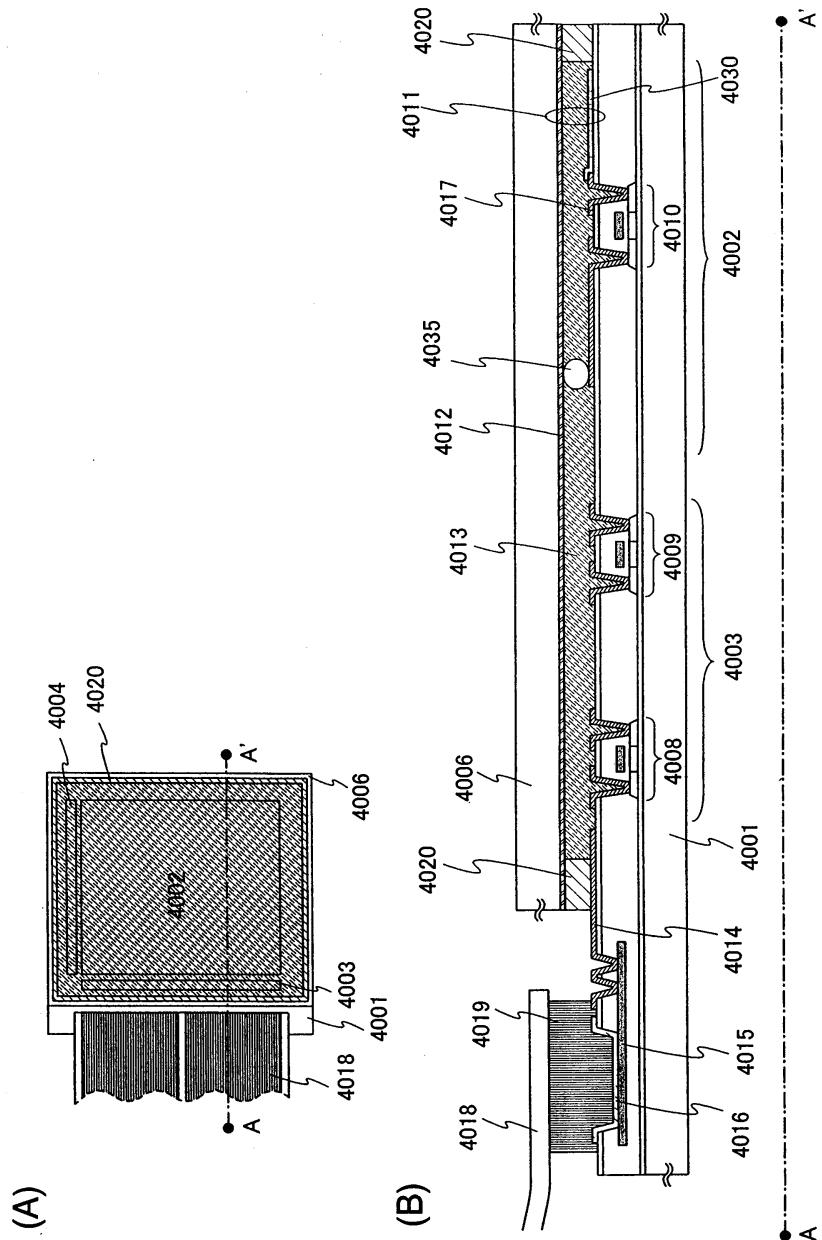
도면16



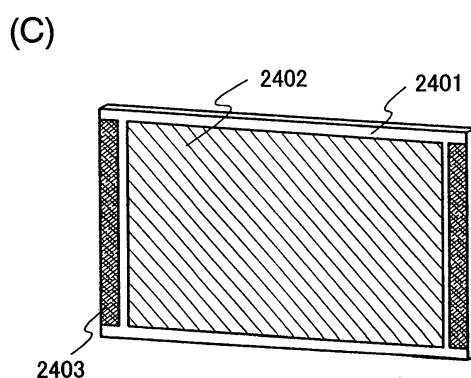
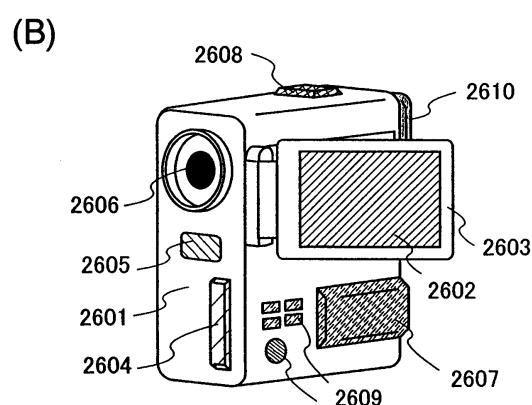
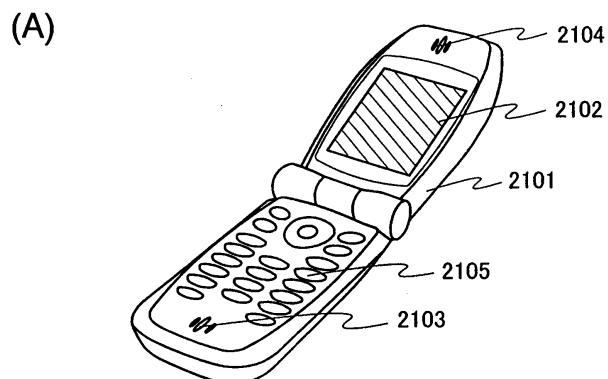
도면17



도면18

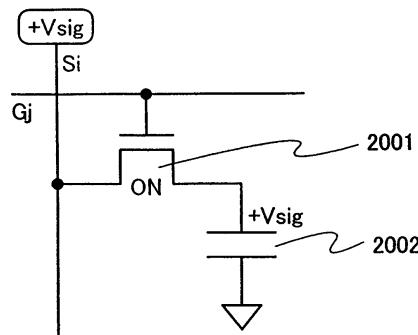


도면19

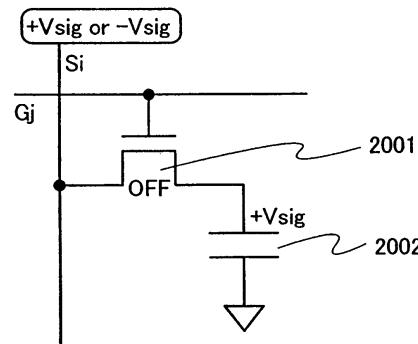


도면20

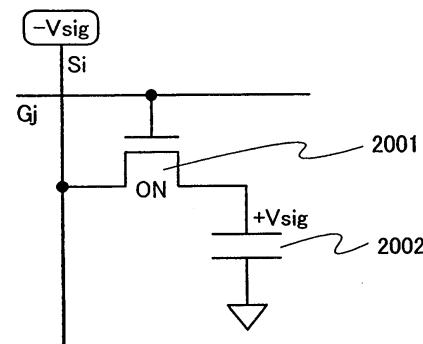
(A)



(B)



(C)



도면21

