

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



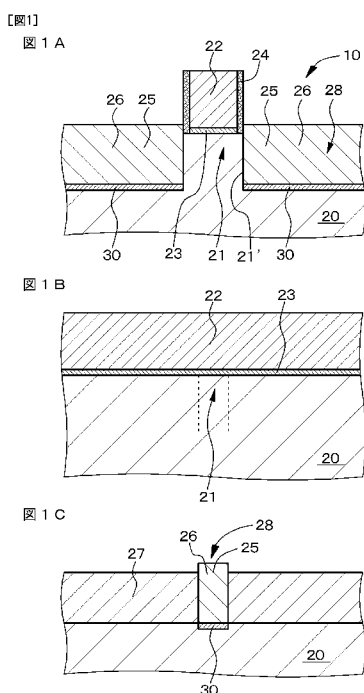
(10) 国際公開番号

WO 2020/045076 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2019/031826
- (22) 国際出願日: 2019年8月13日(13.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-159090 2018年8月28日(28.08.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).
- (72) 発明者: 富田 一行 (TOMIDA Kazuyuki); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: The semiconductor device according to the present disclosure is provided with: a channel portion 21; a gate electrode 22 that is disposed opposite to the channel portion 21 with a gate insulating film 23 therebetween; and source/drain regions 25 that are provided at both ends of the channel portion 22, wherein each of the source/drain regions 25 is provided with a semiconductor layer 26 of a first conductive type formed in a recess portion 28 provided in a base body 20. An impurity layer 30 of a second conductive type different from the first conductive type is formed between the bottom of the semiconductor layer 26 and the base body 20.

(57) 要約: 本開示の半導体装置は、チャネル部 21、ゲート絶縁膜 23 を介してチャネル部 21 と対向して設けられたゲート電極 22、並びに、チャネル部 22 の両端に設けられたソース/ドレイン領域 25 を備えており、ソース/ドレイン領域 25 は、第 1 の導電型を有し、基体 20 に設けられた凹部 28 内に形成された半導体層 26 を備えており、半導体層 26 の底部と基体 20 との間には、第 1 の導電型とは異なる第 2 の導電型を有する不純物層 30 が形成されている。

WO 2020/045076 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本開示は、半導体装置及びその製造方法に関する。

背景技術

[0002] 図23に模式的な一部断面図を示すような従来のプレーナ型半導体装置（具体的には、MOSFET）においては、逆バイアスp-n接合リーク電流（以下、単に、『リーク電流』と呼ぶ）の発生が大きな問題である。尚、図23において、このリーク電流を、白抜きの矢印で示す。そして、このようなリーク電流の発生の抑制には、イオン注入に基づく不純物プロファイル制御が有効である（例えば、特開2009-026940号公報参照）。ところで、イオン注入に基づく不純物プロファイル制御を行うと、ソース/ドレイン領域等に結晶欠陥が生じる。然るに、例えば、Fin構造を有する半導体装置においては、後述するように、生じた結晶欠陥の修復のために再結晶化を行うことが困難である。半導体装置の電源電圧 V_{dd} は低下する傾向にあり、低い電源電圧 V_{dd} ではこのようなリーク電流の発生は大きな問題とはなり難い。しかしながら、電源電圧 V_{dd} が、例えば、1.5ボルト乃至3.3ボルトと高い場合、このようなリーク電流の発生は、依然として大きな問題である。

[0003] また、このようなリーク電流の発生を抑制する技術が、例えば、特開2010-010587号公報からも周知である。即ち、この特許公開公報に開示された半導体素子は、

半導体基板、

半導体基板に設けられた凸領域、

凸領域上に設けられたゲート絶縁膜、

ゲート絶縁膜の下の凸領域内に位置するチャネル領域、

凸領域の両側に設けられ、チャネル領域の両側にエクステンションを有す

るソース／ドレイン領域、及び、

凸領域とソース／ドレイン領域との間に設けられ、凸領域と接触する部分に境界を有して設けられたh a l o層、

を備えている。そして、この半導体素子は、

半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

ゲート電極の側面にゲート側壁を形成する工程と、

ゲート側壁が形成されたゲート電極をマスクとして、半導体基板をエッチングする工程と、

半導体基板をエッチングする工程においてエッチングされた半導体基板上に、h a l o層をエピタキシャル成長させる工程と、

h a l o層上にソースドレイン領域をエピタキシャル成長させる工程、

とを備える半導体素子の製造方法によって製造される。エッチングされた半導体基板上にエピタキシャル成長法によってh a l o層を形成することができるので、リーク電流の発生を抑制することができるとされている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-026940号公報

特許文献2：特開2010-010587号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特開2010-010587号公報に開示された半導体素子の製造方法に基づき得られた半導体素子にあつては、h a l o層は、凸領域とソース／ドレイン領域との間の境界領域にも形成されてしまう。そして、このような境界領域に高濃度の不純物層が形成されると、チャンネル領域が高抵抗化してしまうといった問題が生じる。

[0006] 従つて、本開示の目的は、リーク電流の発生抑制、及び、チャンネル部の高抵抗化の抑制を図り得る構成、構造の半導体装置、及び、係る半導体装置の

製造方法を提供することにある。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示の半導体装置は、
チャンネル部、
ゲート絶縁膜を介してチャンネル部と対向して設けられたゲート電極、並び
に、
チャンネル部の両端に設けられたソース／ドレイン領域、
を備えており、
ソース／ドレイン領域は、第1の導電型を有し、基体に設けられた凹部内
に形成された半導体層を備えており、
半導体層の底部と基体との間には、第1の導電型とは異なる第2の導電型
を有する不純物層が形成されている。

[0008] 上記の目的を達成するための本開示の半導体装置の製造方法は、
チャンネル部、
ゲート絶縁膜を介してチャンネル部と対向して設けられたゲート電極、並び
に、
チャンネル部の両端に設けられたソース／ドレイン領域、
を備えた半導体装置の製造方法であって、
チャンネル部を形成した後、ゲート絶縁膜を介してチャンネル部に対向したゲ
ート電極を形成し、次いで、
ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去
し、ソース／ドレイン領域形成予定領域を得た後、
ソース／ドレイン領域形成予定領域に、第2導電型を有する不純物層を形
成し、次いで、
不純物層の上に、第2導電型とは異なる第1導電型を有する半導体層を備
えたソース／ドレイン領域を形成する、
各工程を有する。

図面の簡単な説明

[0009] [図1]図1 A、図1 B及び図1 Cは、図2の矢印A-A、矢印B-B及び矢印C-Cに沿った実施例1の半導体装置の模式的な一部断面図である。

[図2]図2は、実施例1の半導体装置の一部分を示す模式的な斜視図である。

[図3]図3 A、図3 B及び図3 Cは、実施例1の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図4]図4 A、図4 B及び図4 Cは、図3 A、図3 B及び図3 Cに引き続き、実施例1の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図5]図5 A、図5 B及び図5 Cは、図4 A、図4 B及び図4 Cに引き続き、実施例1の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部断面図、一部端面図及び一部端面図である。

[図6]図6 A、図6 B及び図6 Cは、図5 A、図5 B及び図5 Cに引き続き、実施例1の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図7]図7 A、図7 B及び図7 Cは、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の実施例2の半導体装置の模式的な一部断面図である。

[図8]図8 A、図8 B及び図8 Cは、実施例2の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図9]図9 A、図9 B及び図9 Cは、図8 A、図8 B及び図8 Cに引き続き、実施例2の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部断面図、一部端面図及び一部端面図である。

[図10]図10A、図10B及び図10Cは、図9A、図9B及び図9Cに引き続き、実施例2の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部断面図、一部端面図及び一部端面図である。

[図11]図11A、図11B及び図11Cは、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の実施例3の半導体装置の模式的な一部断面図である。

[図12]図12A、図12B及び図12Cは、実施例3の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図13]図13A、図13B及び図13Cは、図12A、図12B及び図12Cに引き続き、実施例3の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部断面図、一部端面図及び一部端面図である。

[図14]図14A、図14B及び図14Cは、図13A、図13B及び図13Cに引き続き、実施例3の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図15]図15A、図15B及び図15Cは、図14A、図14B及び図14Cに引き続き、実施例3の半導体装置の製造方法を説明するための、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

[図16]図16は、図17Aの矢印A-Aに沿った実施例4の半導体装置の模式的な一部端面図である。

[図17]図17A及び図17Bは、それぞれ、実施例4の半導体装置のチャンネル部及びソース／ドレイン領域の模式的な配置図、及び、図17Aの矢印B-Bに沿った実施例4の半導体装置の一部の構成要素の模式的な一部端面図である。

[図18]図18A、図18B及び図18Cは、実施例4の半導体装置の製造方法を説明するための、図17の矢印A-Aに沿ったと同様の基体等の模式的な一部端面図である。

[図19]図19A及び図19Bは、図18Cに引き続き、実施例4の半導体装置の製造方法を説明するための、図17の矢印A-Aに沿ったと同様の基体等の模式的な一部端面図である。

[図20]図20A及び図20Bは、図19Bに引き続き、実施例4の半導体装置の製造方法を説明するための、図17の矢印A-Aに沿ったと同様の基体等の模式的な一部端面図であり、図20Cは、図17の矢印B-Bに沿ったと同様に切断したときの基体等の模式的な一部端面図である。

[図21]図21A及び図21Bは、図20Cに引き続き、実施例4の半導体装置の製造方法を説明するための、図17の矢印B-Bに沿ったと同様の基体等の模式的な一部端面図である。

[図22]図22A及び図22Bは、図2の矢印A-Aに沿ったと同様の実施例1及び実施例2の半導体装置の別の例の模式的な一部断面図である。

[図23]図23は、従来のプレーナ型半導体装置の模式的な一部断面図である。

[図24]図24A及び図24Bは、従来のFin構造を有する半導体装置における問題点を説明するための、図2の矢印A-A及び矢印B-Bに沿ったと同様の基体等の模式的な一部端面図であり、図24C及び図24Dは、従来のFin構造を有する半導体装置における問題点を説明するための、図2の矢印C-Cに沿ったと同様の基体等の模式的な一部端面図である。

発明を実施するための形態

[0010] 以下、図面を参照して、実施例に基づき本開示を説明するが、本開示は実施例に限定されるものではなく、実施例における種々の数値や材料は例示である。尚、説明は、以下の順序で行う。

1. 本開示の半導体装置及びその製造方法、全般に関する説明
2. 実施例1（本開示の半導体装置及びその製造方法、Fin構造を有する

半導体装置)

3. 実施例 2 (実施例 1 の変形)

4. 実施例 3 (実施例 1 の別の変形)

5. 実施例 4 (実施例 1 の更に別の変形、ナノワイヤー構造を有する半導体装置)

6. その他

[0011] <本開示の半導体装置及びその製造方法、全般に関する説明>

本開示の半導体装置の製造方法において、

チャンネル部は基体の一部から構成されており、

チャンネル部の上方に、ゲート絶縁膜を介してゲート電極が形成されており、

ソース／ドレイン領域形成予定領域と対向するチャンネル部の側面の断面形状が鼓形状となるように、ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去する形態とすることができる。このようなチャンネル部の側面の鼓形状の断面形状は、基体の厚さ方向における部分的な除去を、RIE法等のドライエッチング法に基づき行った後、ウエットエッチング法を行うことで、得ることができる。

[0012] あるいは又、本開示の半導体装置の製造方法において、

チャンネル部は基体の一部から構成されており、

チャンネル部の上方に、ゲート絶縁膜を介してゲート電極が形成されており、

ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去した後、得られたソース／ドレイン領域形成予定領域及びチャンネル部の側面にオフセットスペーサー（保護層）を形成し、次いで、オフセットスペーサーを介して不純物層を形成し、その後、オフセットスペーサーを除去する形態とすることができる。オフセットスペーサー（保護層）を構成する材料として、例えば、SiN、SiON、SiOCNを挙げることができる。オフセットスペーサーの形成方法として、原子層堆積法（ALD法）を挙げるこ

とができる。

[0013] 更には、以上に説明した各種の好ましい形態を含む本開示の半導体装置の製造方法において、不純物層の上における半導体層の形成は、エピタキシャル成長法に基づく形態とすることができる。即ち、エピタキシャルCVD法を挙げることができるが、このような方法に限定するものではなく、その他、プラズマCVD法、原子層堆積法（ALD法）を挙げることができる。

[0014] 更には、以上に説明した各種の好ましい形態を含む本開示の半導体装置の製造方法において、ソース／ドレイン領域形成予定領域に、不純物層をイオン注入法に基づき形成する形態とすることができる。

[0015] 本開示の半導体装置、あるいは、以上に説明した各種の好ましい形態を含む本開示の半導体装置の製造方法に基づき得られた半導体装置（以下、これらの半導体装置を総称して、便宜上、『本開示の半導体装置等』と呼ぶ場合がある）において、

チャンネル部は基体の一部から構成されており、

チャンネル部の上方に、ゲート絶縁膜を介してゲート電極が形成されており、

半導体層の側面と対向するチャンネル部の側面の断面形状は鼓形状を有する構成とすることができる。そして、このような構成を含む本開示の半導体装置等において、

チャンネル部は基体の一部から構成されており、

チャンネル部の上方に、ゲート絶縁膜を介してゲート電極が形成されており、

チャンネル部を構成する基体の領域と半導体層との間に不純物層は形成されていない構成とすることができる。ここで、鼓形状とは、半導体層の側面と対向するチャンネル部の側面断面のゲート電極側に位置する上部の幅を W_{TP} 、側面断面の基体側に位置する下部の幅を W_{BT} 、側面断面の厚さ方向中央部の幅を W_{CT} としたとき、

$$W_{CT} < W_{TP}$$

$$W_{CT} < W_{BT}$$

を満足する形状を指す。

- [0016] あるいは又、本開示の半導体装置等において、
 チャンネル部は基体の一部から構成されており、
 チャンネル部の上方に、ゲート絶縁膜を介してゲート電極が形成されており、
 、
 チャンネル部を構成する基体の領域と半導体層との間には第2の不純物層が
 形成されており、

不純物層の平均厚さを T_1 、第2の不純物層の平均厚さを T_2 としたとき、

$$0 \leq T_2 / T_1 \leq 0.5$$

を満足する構成とすることができる。

- [0017] 以上に説明した各種の好ましい形態、構成を含む本開示の半導体装置等において、不純物層の不純物濃度 C_1 は、半導体層の不純物濃度 C_2 よりも高い形態とすることができ、あるいは又、

$$0.1 \leq C_2 / C_1 \leq 10$$

を満足することが好ましい。

- [0018] 以上に説明した各種の好ましい形態、構成を含む本開示の半導体装置等は、Fin構造を有する形態とすることができる。あるいは又、以上に説明した各種の好ましい形態を含む本開示の半導体装置等は、ナノワイヤー構造又はナノシート構造を有する形態とすることができ、この場合、ゲート電極は、チャンネル部の頂面から側面、更には、底面に互り形成されている形態とすることができる。尚、このような形態の半導体装置、即ち、チャンネル部の全外周がゲート電極で囲まれた半導体装置は、GAA (Gate-All-Around) 構造を有する半導体装置とも呼ばれる。但し、本開示の半導体装置等から、プレーナ型半導体装置（具体的には、MOSFET）を構成することもできる。

- [0019] 本開示の半導体装置等において、不純物層の存在は、二次イオン質量分析法 (SIMS)、エネルギー分散型X線分析法 (EDS)、走査型拡がり抵

抗頭微鏡法 (Scanning Spreading Resistance Microscopy, S S R M)、走査型キャパシタンス顕微鏡法 (Scanning Capacitance Microscopy, S C M) 等を用いて、あるいは、これらの分析法を適宜組み合わせることで検出することができる。

[0020] 本開示の半導体装置等のゲート電極に印加される電圧は、論理回路デバイスの通常の駆動電圧である 1.0 ボルト以下よりも高い、1.2 ボルト乃至 3.3 ボルトである形態とすることができるが、このような電圧に限定するものではない。

[0021] 以上に説明した各種の好ましい形態、構成を含む本開示の半導体装置等にあつては、基体として、シリコン半導体基板や、S O I (Si On Insulator) 基板、G O I (Ge On Insulator) 基板、S G O I (SiGe On Insulator) 基板を挙げることができる。半導体層は、結晶性を有することが好ましいが、多結晶から構成されていてもよいし、場合によっては非晶質から構成されていてもよい。本開示の半導体装置等において、第 1 の導電型を n 型とする場合、第 2 の導電型は p 型であり、第 1 の導電型を p 型とする場合、第 2 の導電型は n 型である。

[0022] 以下の説明において、チャンネル部、ゲート絶縁膜及びゲート電極を総称して、『チャンネル構造部』と呼ぶ場合がある。

[0023] ナノワイヤー構造又はナノシート構造を有する本開示の半導体装置等において、チャンネル部の外周は、周方向に沿って少なくとも部分的にゲート絶縁膜によって覆われており、ゲート絶縁膜上にゲート電極が形成されている。チャンネル構造部は、1 以上、設けられていればよい。チャンネル構造部が、複数、設けられている場合、チャンネル構造部を、半導体装置の厚さ方向及び／又は幅方向 (厚さ方向と直交する方向) において、相互に離間して配置すればよい。即ち、チャンネル部とチャンネル部との間には、ゲート絶縁膜及びゲート電極が形成されており、チャンネル部とチャンネル部との間は、ゲート絶縁膜及びゲート電極で埋め込まれている。ナノワイヤー構造にあつては、直径が、例えば、5 nm 乃至 10 nm の、例えば Si や SiGe 等から成るワイヤ

一状のチャンネル部の両端が、例えば、ソース／ドレイン領域によって支持されている。また、ナノシート構造にあつては、幅×厚さが、例えば、(10 nm乃至50 nm) × (5 nm乃至10 nm) の、例えばSiやSiGe等から成る断面形状が略矩形のチャンネル部の両端が、例えば、ソース／ドレイン領域によって支持されている。ナノワイヤー構造となるか、ナノシート構造となるかは、チャンネル部を構成する材料の厚さ、幅に依存する。

[0024] 本開示の半導体装置等がナノワイヤー構造又はナノシート構造を有する場合、ナノワイヤー構造やナノシート構造におけるチャンネル部を構成する材料として、SiやSiGe、Ge、InGaAsを挙げることができる。nチャンネル型の半導体装置におけるチャンネル部はSiから成り、pチャンネル型の半導体装置におけるチャンネル部はSiGe、Ge又はInGaAsから成る形態とすることができる。但し、これに限定するものではなく、

[A] nチャンネル型の半導体装置のチャンネル部は、シリコン-ゲルマニウム(SiGe)から成り、

pチャンネル型の半導体装置のチャンネル部は、シリコン(Si)、ゲルマニウム(Ge)又はInGaAsから成る形態とすることができるし、

[B] nチャンネル型の半導体装置のチャンネル部は、ゲルマニウム(Ge)から成り、

pチャンネル型の半導体装置のチャンネル部は、シリコン(Si)、シリコン-ゲルマニウム(SiGe)又はInGaAsから成る形態とすることができるし、

[C] nチャンネル型の半導体装置のチャンネル部は、InGaAsから成り、

pチャンネル型の半導体装置のチャンネル部は、シリコン(Si)、シリコン-ゲルマニウム(SiGe)又はゲルマニウム(Ge)から成る形態とすることができる。

[0025] また、本開示の半導体装置等がナノワイヤー構造又はナノシート構造を有する場合、半導体装置がnチャンネル型であるかpチャンネル型であるかは、専ら、ゲート電極を構成する材料の仕事関数の値によって決定される。チャネ

ル部をSiから構成する場合、半導体装置をnチャネル型とするためには、ゲート電極を構成する材料としてTiN、Ta₂N₅、Al、TiAl、Wを挙げることができる。一方、チャネル部をSiGeから構成する場合、半導体装置をpチャネル型とするためには、ゲート電極を構成する材料としてTiN、Wを挙げることができる。また、ゲート絶縁膜を構成する材料として、SiON、SiO₂を挙げることができるし、高誘電率材料（所謂High-k材料）、例えば、HfO₂、HfAlON、Y₂O₃を挙げることができる。

[0026] Fin構造を有する本開示の半導体装置等は、基体に形成された、断面形状が矩形のチャネル部と、チャネル部域の両端に形成されたソース／ドレイン領域と、チャネル部の少なくとも頂面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とから構成されている。ゲート絶縁膜はチャネル部の少なくとも頂面に形成されていればよく、チャネル部の頂面に形成されている形態、チャネル部の頂面及び側面に形成されている形態を挙げることができる。Fin構造を有する本開示の半導体装置等において、チャネル部の幅とソース／ドレイン領域の幅とは同じであってもよいし、ソース／ドレイン領域の幅はチャネル部の幅よりも広くてもよい。

[0027] 本開示の半導体装置等をどのように配置するかは、要求される半導体装置の仕様に依存するので、一概に規定することはできない。例えば、外部との信号等の授受を行うトランジスタを本開示の半導体装置等から構成する形態、アナログ・デジタルコンバータを構成するトランジスタ等の撮像装置における撮像素子（受光素子）の制御を本開示の半導体装置等によって行う形態、撮像装置における受光素子の制御を本開示の半導体装置等によって行う形態を例示することができる。但し、これらに限定するものではない。

実施例 1

[0028] 実施例 1 は、本開示の半導体装置及びその製造方法に関する。図 2 の矢印 A-A、矢印 B-B 及び矢印 C-C に沿った実施例 1 の半導体装置の模式的な一部断面図を図 1 A、図 1 B 及び図 1 C に示し、実施例 1 の半導体装置の一部分を示す模式的な斜視図を図 2 に示す。

- [0029] 実施例 1 あるいは後述する実施例 2～実施例 3 の半導体装置 10 は、
チャンネル部 21、
ゲート絶縁膜 23 を介してチャンネル部 21 と対向して設けられたゲート電極 22、並びに、
チャンネル部 21 の両端に設けられたソース／ドレイン領域 25、
を備えており、
ソース／ドレイン領域 25 は、第 1 の導電型（具体的には、例えば、 n^+ ）を有し、基体 20 に設けられた凹部 28 内に形成された半導体層 26 を備えており、
半導体層 26 の底部と基体 20 との間には、第 1 の導電型とは異なる第 2 の導電型（具体的には、例えば、 p^{++} ）を有する不純物層（高濃度不純物層）30 が形成されている。
- [0030] ここで、実施例 1 の半導体装置 10 において、
チャンネル部 21 は基体 20 の一部から構成されており、
チャンネル部 21 の上方に、ゲート絶縁膜 23 を介してゲート電極 22 が形成されており、
チャンネル部 21 を構成する基体 20 の領域と半導体層 26 との間には第 2 の不純物層 31 が形成されており、
不純物層 30 の平均厚さを T_1 、第 2 の不純物層 31 の平均厚さを T_2 としたとき、
 $0 \leq T_2 / T_1 \leq 0.5$
を満足する。具体的には、例えば、
 $T_2 / T_1 = 0.05$
である。尚、第 2 の不純物層 31 がこの程度の厚さである場合、チャンネル領域が高抵抗化してしまうことは殆ど無い。第 2 の不純物層 31 については後述する。
- [0031] また、実施例 1 あるいは実施例 2～実施例 4 の半導体装置 10、11 において、不純物層 30 の不純物濃度 C_1 は、半導体層 26 の不純物濃度 C_2 よりも

高い。あるいは又、

$$0.1 \leq C_2 / C_1 \leq 10$$

を満足する。具体的には、例えば、

$$C_2 / C_1 = 0.2$$

である。

[0032] 更には、実施例1あるいは実施例2～実施例3の半導体装置10は、Fin構造を有する。具体的には、Fin構造を有する実施例1あるいは実施例2～実施例3の半導体装置10は、基体20に形成された、断面形状が矩形のチャンネル部21と、チャンネル部21の両端に形成されたソース／ドレイン領域25と、チャンネル部21の少なくとも頂面に形成されたゲート絶縁膜23と、ゲート絶縁膜23上に形成されたゲート電極22とから構成されている。基体20は、シリコン半導体基板から成る。チャンネル部21の幅とソース／ドレイン領域25の幅とは同じであってもよいし、ソース／ドレイン領域25の幅はチャンネル部21の幅よりも広くてもよい。

[0033] 以下、図2の矢印A-A、矢印B-B及び矢印C-Cに沿ったと同様の基体等の模式的な一部端面図あるいは一部断面図である図3A、図3B、図3C、図4A、図4B、図4C、図5A、図5B、図5C、図6A、図6B及び図6Cを参照して、実施例1の半導体装置の製造方法を説明する。

[0034] [工程-100]

先ず、チャンネル部21を形成した後、ゲート絶縁膜23を介してチャンネル部21に対向したゲート電極22を形成する。具体的には、周知の方法で、図示しない素子分離領域を形成した後、必要に応じて、チャンネル部21を形成すべき基体20の部分にイオン注入を行い、チャンネル部21を形成する。次いで、基体20の表面を熱酸化することで、基体20の表面にゲート絶縁膜23を形成し、ゲート絶縁膜23の上に周知の方法でゲート電極22を形成する。そして、更に、周知の方法で、ゲート電極22の側壁にゲートサイドウォール24を形成する。こうして、図3A、図3B及び図3Cに示す構造を得ることができる。

[0035] [工程－１１０]

次に、ソース／ドレイン領域２５を形成すべき基体２０の領域を厚さ方向に部分的に除去し、ソース／ドレイン領域形成予定領域２８Ａを得る。具体的には、所望の領域に図示しないエッチング用マスクを形成して、周知の方法でソース／ドレイン領域２５を形成すべき基体２０の領域を厚さ方向に部分的に除去して基体２０に凹部２８を形成した後、エッチング用マスクを除去する。こうして、図４Ａ、図４Ｂ及び図４Ｃに示すように、ソース／ドレイン領域形成予定領域２８Ａを得ることができる。

[0036] [工程－１２０]

その後、ソース／ドレイン領域形成予定領域２８Ａ（凹部２８の底部）に、第２導電型を有する不純物層３０を形成する。具体的には、ソース／ドレイン領域形成予定領域２８Ａを除く基体２０の領域の上に絶縁層２７を周知の方法で形成する。絶縁層２７には凹部２８が設けられ、凹部２８の底部にソース／ドレイン領域形成予定領域２８Ａが露出する。こうして、図５Ａ、図５Ｂ及び図５Ｃに示す構造を得ることができる。次に、所望の領域をイオン注入用マスクで覆い、ソース／ドレイン領域形成予定領域２８Ａに相当する凹部２８の底部に、イオン注入法に基づき第２導電型（例えば、 p^{++})を有する不純物層３０を形成した後、活性化アニール処理を行い、次いで、イオン注入用マスクを除去する。こうして、図６Ａ、図６Ｂ及び図６Ｃに示す構造を得ることができる。

[0037] [工程－１３０]

次いで、不純物層３０の上に、第２導電型とは異なる第１導電型（例えば、 n^{+})を有する半導体層２６を備えたソース／ドレイン領域２５を形成する。不純物層３０の上における半導体層２６の形成は、エピタキシャル成長法に基づく。具体的には、シリコンから成る不純物層３０から、エピタキシャル成長法に基づき、第１導電型を有する不純物が含有されたシリコンから成る半導体層２６を成長させる。こうして、図１Ａ、図１Ｂ及び図１Ｃに示す構造を得ることができる。そして、更には、全面に層間絶縁層を形成した後

、ゲート電極 2 2、ソース／ドレイン領域 2 5 の上方に位置する層間絶縁層に開口部を形成し、開口部内から層間絶縁層上に互り、接続孔及び配線を形成すればよい。

[0038] 従来の F i n 構造を有する半導体装置にあっては、上記の [工程 - 1 1 0] において、基体 2 0 の所定の領域を厚さ方向に部分的に除去し、基体 2 0 から構成されたソース／ドレイン領域形成予定領域 2 8 A' を得る。こうして、図 2 4 A、図 2 4 B 及び図 2 4 C に示す構造を得ることができる。その後、基体 2 0 から構成されたソース／ドレイン領域形成予定領域 2 8 A' にイオン注入を施し、ソース／ドレイン領域 2 5' を形成する (図 2 4 D 参照)。このイオン注入においては、ソース／ドレイン領域 2 5' を構成する基体 2 0 の部分に結晶欠陥が生じる。そして、生じた結晶欠陥の修復のためにアニール処理を行うことで再結晶化を試みた場合、ソース／ドレイン領域 2 5' の底部 2 5'' は再結晶化によって結晶欠陥が修復されるが、底部 2 5'' の上に位置するソース／ドレイン領域 2 5' の部分は再結晶化が進行し難く、ソース／ドレイン領域 2 5' 全体の再結晶化は困難である。

[0039] 実施例 1 の半導体装置において、ソース／ドレイン領域は、第 1 の導電型を有し、基体に設けられた凹部内に形成された半導体層を備えており、半導体層の底部と基体との間には第 1 の導電型とは異なる第 2 の導電型を有する不純物層が形成されているので、即ち、ソース／ドレイン領域を構成する半導体層の底部と基体との間に不純物層が形成されているので、また、実施例 1 の半導体装置の製造方法にあっては、ソース／ドレイン領域形成予定領域に第 2 導電型を有する不純物層を形成し、次いで、不純物層の上に第 2 導電型とは異なる第 1 導電型を有する半導体層を備えたソース／ドレイン領域を形成するので、リーク電流の発生抑制を図ることができる。しかも、実施例 1 の半導体装置の製造方法にあっては、ソース／ドレイン領域形成予定領域に第 2 導電型を有する不純物層をイオン注入法で形成するので、チャンネル部とソース／ドレイン領域との間の境界領域に高濃度の不純物層が形成され難く、チャンネル領域が高抵抗化してしまうといった問題の発生を抑制すること

ができる。

実施例 2

[0040] 実施例 2 は、実施例 1 の変形である。実施例 1 の半導体装置にあっては、チャンネル部 2 1 とソース／ドレイン領域 2 5 との間の境界領域 2 1' に高濃度の不純物層が形成され難い。しかしながら、不純物層 3 0 の形成条件等に依っては、チャンネル部 2 1 とソース／ドレイン領域 2 5 との間の境界領域 2 1' に、僅かではあるが、高濃度の不純物層（第 2 の不純物層 3 1）が形成される場合がある（図 2 の矢印 A - A に沿ったと同様の実施例 1 の半導体装置の別の例の模式的な一部断面図である図 2 2 A を参照）。実施例 2 においては、半導体層 2 6 の側面と対向するチャンネル部 2 1 の側面 2 1 A の断面形状を鼓形状とすることで、チャンネル部 2 1 とソース／ドレイン領域 2 5 との間の境界領域 2 1' において、より確実に高濃度の不純物層の形成を抑制する。この鼓形状断面はソース／ドレイン領域の体積をより大きくするために採用されることがある形状である。

[0041] 具体的には、図 2 の矢印 A - A、矢印 B - B 及び矢印 C - C に沿ったと同様の実施例 2 の半導体装置の模式的な一部断面図を図 7 A、図 7 B 及び図 7 C に示すように、実施例 2 の半導体装置において、半導体層 2 6 の側面と対向するチャンネル部 2 1 の側面 2 1 A の断面形状は鼓形状を有する。実施例 2 の半導体装置にあっては、実施例 1 の半導体装置と同様に、チャンネル部 2 1 は基体 2 0 の一部から構成されており、チャンネル部 2 1 の上方に、ゲート絶縁膜 2 3 を介してゲート電極 2 2 が形成されている。そして、実施例 2 の半導体装置にあっては、更に、チャンネル部 2 1 を構成する基体 2 0 の領域と半導体層 2 6 との間には、不純物層（第 2 の不純物層 3 1）が形成されていない。ここで、鼓形状にあっては、

$$W_{CT} < W_{TP}$$

$$W_{CT} < W_{BT}$$

を満足する。

[0042] このような半導体層 2 6 の側面と対向するチャンネル部 2 1 の側面の断面形

状（鼓形状）は、実施例1の〔工程－100〕と同様の工程を実行した後、実施例1の〔工程－110〕と同様の工程において、ソース／ドレイン領域形成予定領域28Aと対向するチャンネル部21の側面21Aの断面形状が鼓形状となるように、ソース／ドレイン領域25を形成すべき基体20の領域を厚さ方向に部分的に除去すればよい。より具体的には、基体20の厚さ方向における部分的な除去を、先ず、RIE法等のドライエッチング法に基づき行った後、ウエットエッチング法を行えばよい。こうして、図8A、図8B及び図8Cに示すように、ソース／ドレイン領域形成予定領域28Aを得ることができる。尚、シリコン半導体基板から成る基体20の主面の面方位を、例えば{110}とすることで、エッチングによってチャンネル部21の側面21Aの断面形状を鼓形状とすることができる。尚、エッチングによって得られるチャンネル部21の断面形状は、基板20の面方位とチャンネル部21の延びる方向によって変化する。

[0043] その後、実施例1の〔工程－120〕と同様の工程を実行することで、図9A、図9B及び図9Cに示す構造を得ることができ、更に、実施例1の〔工程－120〕と同様の工程を実行することで、図10A、図10B及び図10Cに示す構造を得ることができ、更に、実施例1の〔工程－130〕と同様の工程を実行することで、図7A、図7B及び図7Cに示す構造を得ることができる。

実施例 3

[0044] 実施例3も、実施例1の変形である。実施例2の半導体装置にあっては、半導体層26の側面と対向するチャンネル部21の側面21Aの断面形状は鼓形状を有するので、チャンネル部21とソース／ドレイン領域25との間の境界領域21'に高濃度の不純物層が一層形成され難い。しかしながら、不純物層30の形成条件等に依っては、チャンネル部21とソース／ドレイン領域25との間の境界領域21'の下方部分に、僅かではあるが、高濃度の不純物層（第2の不純物層31）が形成される場合がある（図2の矢印A-Aに沿ったと同様の実施例2の半導体装置の別の例の模式的な一部断面図である

図22Bを参照)。実施例3においては、半導体装置の製造工程の途中において、チャンネル部21の側面にオフセットスペーサー（保護層）29を形成することで、チャンネル部21とソース／ドレイン領域25との間の境界領域21'において、より一層確実に高濃度の不純物層の形成を抑制する。

[0045] 具体的には、実施例3の半導体装置の製造方法にあつては、実施例1の〔工程-100〕～〔工程-110〕と同様の工程を実行した後、実施例1の〔工程-120〕と同様の工程を実行して、図5A、図5B及び図5Cに示す構造を得た後、得られたソース／ドレイン領域形成予定領域28A及びチャンネル部21の側面に、イオン注入に対するオフセットスペーサー（保護層）29を形成する。このオフセットスペーサー29はSiO₂、SiN等から成り、その厚さは1nm乃至5nm程度である。こうして、図12A、図12B及び図12Cに示す構造を得ることができる。次に、実施例1の〔工程-120〕と同様の工程を実行した後（図13A、図13B及び図13C参照）、所望の領域をイオン注入用マスクで覆い、ソース／ドレイン領域形成予定領域28Aに相当する凹部28の底部に、イオン注入法に基づき第2導電型（例えば、p⁺⁺）を有する不純物層（高濃度不純物層）30を形成した後、活性化アニール処理を行い、次いで、イオン注入用マスクを除去する。こうして、図14A、図14B及び図14Cに示す構造を得ることができる。その後、オフセットスペーサー（保護層）29を除去することで、図15A、図15B及び図15Cに示す構造を得ることができる。そして、更に、実施例1の〔工程-130〕と同様の工程を実行することで、図11A、図11B及び図11Cに示す構造を得ることができる。

実施例 4

[0046] 実施例4も実施例1の変形であるが、半導体装置は、ナノワイヤー構造又はナノシート構造、実施例4にあつては、具体的には、ナノワイヤー構造を有する。ゲート電極22は、チャンネル部21の頂面から側面、更には、底面に互り形成されており、GAA構造を有する。図17Aの矢印A-Aに沿った実施例4の半導体装置の模式的な一部端面図を図16に示し、図17Aの

矢印B-Bに沿った実施例4の半導体装置の模式的な一部端面図を図17Bに示し、実施例4の半導体装置のチャンネル部及びソース／ドレイン領域の模式的な配置図を図17Aに示す。尚、図17A、図17Bにおいては、ゲート電極及びゲート絶縁膜の図示を省略している。

- [0047] 実施例4の半導体装置11も、
- チャンネル部41、
 - ゲート絶縁膜43を介してチャンネル部41と対向して設けられたゲート電極42、並びに、
 - チャンネル部41の両端に設けられたソース／ドレイン領域45、
- を備えており、
- ソース／ドレイン領域45は、第1の導電型（具体的には、例えば、 n^+)を有し、シリコン半導体基板から成る基体20に設けられた凹部48内に形成された半導体層46を備えており、
 - 半導体層46の底部と基体20との間には、第1の導電型とは異なる第2の導電型（具体的には、例えば、 p^+)を有する不純物層（高濃度不純物層）50が形成されている。

- [0048] 具体的には、実施例4の半導体装置11は、ナノワイヤー構造40Aを有するチャンネル構造部40を少なくとも2つ（図示した例では、厚さ方向に2つ）有し、チャンネル構造部40は、半導体装置11の厚さ方向において、相互に離間して配置されている。また、図示した例では、幅方向に、3つのナノワイヤー構造40Aを有する。ここで、実施例4の半導体装置において、チャンネル構造部40は、シリコンから成るチャンネル部41、ゲート絶縁膜43及びゲート電極42から構成されている。そして、チャンネル部41とチャンネル部41との間には、ゲート絶縁膜43及びゲート電極42が形成されており、チャンネル部41とチャンネル部41との間は、ゲート絶縁膜43及びゲート電極42で埋め込まれている。半導体装置を、例えば、 n チャンネル型とする。ゲート電極42を構成する材料としてTiN、Ta₂N₅、Al、TiAl、Wを挙げることができる。また、ゲート絶縁膜43の一部を構成するゲ

ート絶縁膜43AはSiONから成り、ゲート絶縁膜43の残部を構成するゲート絶縁膜43Bは、高誘電率材料、具体的には、 HfO_2 から成る。

[0049] 以下、図18A、図18B、図18C、図19、図19B、図20A、図20B、図20C、図21A及び図21Bを参照して、実施例4の半導体装置の製造方法の概要を説明する。尚、図18A、図18B、図18C、図19、図19B、図20A及び図20Bは、図17Aの矢印A-Aに沿ったと同様の模式的な一部端面図であり、図20C、図21A及び図21Bは、図17Aの矢印B-Bに沿ったと同様の模式的な一部端面図である。

[0050] [工程-400]

先ず、基体20の所望の領域の上に、SiGeから成る第1犠牲層61を形成し、次いで、第1犠牲層61の上に、Siから成る第1半導体層62を形成する。

[0051] [工程-400A]

具体的には、先ず、基体20の全面にエピタキシャルCVD法に基づき、SiGeから成る第1犠牲層61を形成した後、第1犠牲層61上に所望のレジストパターンを有するエッチング用レジスト形成する。そして、第1犠牲層61をパターニングした後、エッチング用レジストを除去することで、所望の領域の上に第1犠牲層61を形成することができる。

[0052] [工程-400B]

次いで、エピタキシャルCVD法に基づきSiから成る第1半導体層62を全面に形成した後、第1半導体層62上に所望のレジストパターンを有するエッチング用レジストを形成する。そして、第1半導体層62をパターニングした後、エッチング用レジストを除去することで、第1犠牲層61の上に第1半導体層62を形成することができる。

[0053] [工程-410]

次に、第1半導体層62上に、SiGeから成る第2犠牲層63を形成し、次いで、第2犠牲層63の上に、Siから成る第2半導体層64を形成する。

[0054] [工程－４１０Ａ]

具体的には、エピタキシャルCVD法に基づき、SiGeから成る第2犠牲層63を全面に形成した後、第2犠牲層63上に所望のレジストパターンを有するエッチング用レジストを形成する。そして、第2犠牲層63をパターンニングした後、エッチング用レジストを除去することで、第1半導体層62上に第2犠牲層63を形成することができる。

[0055] [工程－４１０Ｂ]

次いで、エピタキシャルCVD法に基づきSiから成る第2半導体層64を全面に形成した後、第2半導体層64上に所望のレジストパターンを有するエッチング用レジストを形成する。そして、第2半導体層64をパターンニングした後、エッチング用レジストを除去することで、第2犠牲層63の上に、第2半導体層64を形成することができる。こうして、図18Aに示す構造を得ることができる。

[0056] [工程－４２０]

その後、第1犠牲層61、第1半導体層62、第2犠牲層63及び第2半導体層64から成る積層構造体40”を形成し、次いで、積層構造体40”における第2犠牲層63及び第1犠牲層61の一部を除去する。

[0057] [工程－４２０Ａ]

具体的には、全面に所望のレジストパターンを有するエッチング用レジスト81を形成する（図18B参照）。そして、第2半導体層64、第2犠牲層63、第1半導体層62及び第1犠牲層61をパターンニングし、更に、基体20の一部をエッチングする。エッチング用レジスト81の幅に依存して、ナノワイヤー構造40Aが得られ、あるいは又、ナノシート構造が得られる。こうして、図18Cに示す構造を得ることができる。

[0058] [工程－４２０Ｂ]

次いで、全面にSiO₂から成る絶縁材料層をCVD法に基づき形成した後、平坦化処理を行うことで、素子分離領域71を得ることができる（図19A参照）。

[0059] [工程-420C]

そして、第1半導体層62及び第2半導体層64を構成する材料(Si)に対してエッチング選択比を有するエッチャントを用いて、SiGeから成る第1犠牲層61及び第2犠牲層63を除去する。ナノワイヤー構造40Aから成るチャンネル部41の両端は、積層構造体40”から成る支持部によって支持されている。その後、エッチング用レジスト81を除去する。こうして、図19Bに示す構造を得ることができる。

[0060] [工程-430]

その後、チャンネル部41にゲート絶縁膜43A、43B及びゲート電極42を形成する。

[0061] [工程-430A]

具体的には、先ず、所望のレジストパターンを有するレジスト層(図示せず)を形成し、チャンネル部41に熱酸化処理を行うことで、SiONから成るゲート絶縁膜の一部43Aを形成する(図20A参照)。熱酸化処理を行うことで、ナノワイヤー構造から成るチャンネル部41の断面形状は円形となる。

[0062] [工程-430B]

次いで、ゲート絶縁膜43Aの上に、ALD法に基づき、HfO₂から成るゲート絶縁膜の残部43Bを形成する(図20B参照)。

[0063] [工程-430C]

その後、CVD法に基づきゲート電極を構成する材料層を全面に形成し、この材料層をパターニングすることで、ゲート電極42をゲート絶縁膜43の上に形成する(図20C参照)。

[0064] こうして、チャンネル部を形成した後、ゲート絶縁膜を介してチャンネル部41に対向したゲート電極42を形成することができる。

[0065] [工程-440]

次に、ソース/ドレイン領域45を形成すべき基体20の領域を厚さ方向に部分的に除去し、ソース/ドレイン領域形成予定領域48Aを得る(図2

1 A参照)。具体的には、チャンネル部41の両端を支持している積層構造体40”から成る支持部を除去し、基体20を露出させ、更に、基体20の領域を厚さ方向に部分的に除去することで、凹部48を得ることができる。凹部48がソース／ドレイン領域形成予定領域48Aに相当する。

[0066] [工程-450]

その後、ソース／ドレイン領域形成予定領域48A（凹部48の底部）に、第2導電型（具体的には、例えば、 p^{++} ）を有する不純物層50を形成する（図21B参照）。具体的には、所望の領域をイオン注入用マスクで覆い、ソース／ドレイン領域形成予定領域48Aに相当する凹部48の底部に、イオン注入法に基づき第2導電型を有する不純物層50を形成した後、活性化アニール処理を行い、次いで、イオン注入用マスクを除去する。そして、不純物層50の上に、第2導電型とは異なる第1導電型（具体的には、例えば、 n^{+} ）を有する半導体層46を備えたソース／ドレイン領域45を形成する。不純物層50の上における半導体層46の形成は、エピタキシャル成長法に基づく。具体的には、シリコンから成る不純物層50から、エピタキシャル成長法に基づき、第1導電型を有する不純物が含有されたシリコンから成る半導体層46を成長させる。こうして、図16、図17A及び図17Bに示したナノワイヤー構造を有する半導体装置を得ることができる。そして、更には、全面に層間絶縁層を形成し、ゲート電極42、ソース／ドレイン領域45の上方に位置する層間絶縁層に開口部を形成し、開口部内から層間絶縁層上に互り、接続孔及び配線を形成すればよい。

[0067] 以上、本開示を好ましい実施例に基づき説明したが、実施例において説明した半導体装置の構成、構造、半導体装置を構成する材料、半導体装置の製造方法は例示であり、適宜、変更することができる。また、各実施例における半導体装置の製造方法における工程順序は、所望に応じて、適宜、変更することができる。実施例4においては、チャンネル部を専らナノワイヤー構造に基づき説明したが、ナノシート構造とすることもできる。また、実施例4においては、チャンネル部が基体表面と平行に延びる形態を説明したが、代替

的に、チャネル部が基体表面に対して垂直に延びる形態とすることもできる。チャネル部が垂直に延びる場合、本開示の半導体装置の構成を、チャネル部の下方に位置するソース／ドレイン領域（ソース領域若しくはドレイン領域）に適用することが可能である。実施例においては、半導体装置をnチャネル型としたが、pチャネル型としてもよい。そして、この場合、半導体装置を構成する材料を、適宜、変更すればよい。基体として、シリコン半導体基板の代わりにSOI基板、GOI基板、SGOI基板を用いることもできる。

[0068] 尚、本開示は、以下のような構成を取ることにもできる。

[A01] 《半導体装置》

チャネル部、

ゲート絶縁膜を介してチャネル部と対向して設けられたゲート電極、並びに、

チャネル部の両端に設けられたソース／ドレイン領域、
を備えており、

ソース／ドレイン領域は、第1の導電性を有し、基体に設けられた凹部内に形成された半導体層を備えており、

半導体層の底部と基体との間には、第1の導電型とは異なる第2の導電性を有する不純物層が形成されている半導体装置。

[A02] チャネル部は基体の一部から構成されており、

半導体層の側面と対向するチャネル部の側面の断面形状は鼓形状を有する

[A01] に記載の半導体装置。

[A03] チャネル部は基体の一部から構成されており、

チャネル部を構成する基体の領域と半導体層との間には不純物層は形成されていない [A01] 又は [A02] に記載の半導体装置。

[A04] チャネル部は基体の一部から構成されており、

チャネル部を構成する基体の領域と半導体層との間には第2の不純物層が形成されており、

不純物層の平均厚さを T_1 、第2の不純物層の平均厚さを T_2 としたとき、

$$0 \leq T_2 / T_1 \leq 0.5$$

を満足する [A01] に記載の半導体装置。

[A05] 不純物層の不純物濃度 C_1 は、半導体層の不純物濃度 C_2 よりも高い [A01] 乃至 [A04] のいずれか1項に記載の半導体装置。

[A06] 不純物層の不純物濃度を C_1 、半導体層の不純物濃度を C_2 としたとき、

$$0.1 \leq C_2 / C_1 \leq 10$$

を満足する [A01] 乃至 [A04] のいずれか1項に記載の半導体装置。

[A07] Fin構造を有する [A01] 乃至 [A06] のいずれか1項に記載の半導体装置。

[A08] ナノワイヤー構造又はナノシート構造を有する [A01] 乃至 [A06] のいずれか1項に記載の半導体装置。

[A09] ゲート電極は、チャンネル部の頂面から側面、更には、底面に互り形成されている [A08] に記載の半導体装置。

[B01] 《半導体装置の製造方法》

チャンネル部、

ゲート絶縁膜を介してチャンネル部と対向して設けられたゲート電極、並びに、

チャンネル部の両端に設けられたソース／ドレイン領域、
を備えた半導体装置の製造方法であって、

チャンネル部を形成した後、ゲート絶縁膜を介してチャンネル部に対向したゲート電極を形成し、次いで、

ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去し、ソース／ドレイン領域形成予定領域を得た後、

ソース／ドレイン領域形成予定領域に、第2導電型を有する不純物層を形成し、次いで、

不純物層の上に、第2導電型とは異なる第1導電型を有する半導体層を備

えたソース／ドレイン領域を形成する、
各工程を有する半導体装置の製造方法。

[B02] チャネル部は基体の一部から構成されており、
ソース／ドレイン領域形成予定領域と対向するチャネル部の側面の断面形状が鼓形状となるように、ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去する [B01] に記載の半導体装置の製造方法。

[B03] チャネル部は基体の一部から構成されており、
ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去した後、得られたソース／ドレイン領域形成予定領域及びチャネル部の側面にオフセットスペーサーを形成し、次いで、オフセットスペーサーを介して不純物層を形成し、その後、オフセットスペーサーを除去する [B01] に記載の半導体装置の製造方法。

[B04] 不純物層の上における半導体層の形成は、エピタキシャル成長法に基づく [B01] 乃至 [B03] のいずれか1項に記載の半導体装置の製造方法。

[B05] ソース／ドレイン領域形成予定領域に、不純物層をイオン注入法に基づき形成する [B01] 乃至 [B04] のいずれか1項に記載の半導体装置の製造方法。

符号の説明

[0069] 10, 11・・・半導体装置、20・・・基体（シリコン半導体基板）、21・・・チャネル部、21'・・・境界領域、21A・・・チャネル部の側面、22・・・ゲート電極、23・・・ゲート絶縁膜、24・・・ゲートサイドウォール、25・・・ソース／ドレイン領域、26・・・半導体層、27・・・絶縁層、28・・・凹部、28A・・・ソース／ドレイン領域形成予定領域、29・・・オフセットスペーサー（保護層）、30・・・不純物層、31・・・第2の不純物層、40・・・チャネル構造部、40A・・・ナノワイヤー構造、40''・・・積層構造体、41・・・チャネル部、42・・・ゲート電極、43, 43A, 43B・・・ゲート絶縁膜、45・・・

ソース／ドレイン領域、46・・・半導体層、48・・・凹部、48A・・・
ソース／ドレイン領域形成予定領域、50・・・不純物層、61, 63・・・
犠牲層、62, 64・・・半導体層、71・・・素子分離領域、81・・・
エッチング用レジスト

を満足する請求項 1 に記載の半導体装置。

[請求項7] Fin構造を有する請求項 1 に記載の半導体装置。

[請求項8] ナノワイヤー構造又はナノシート構造を有する請求項 1 に記載の半導体装置。

[請求項9] ゲート電極は、チャンネル部の頂面から側面、更には、底面に互り形成されている請求項 8 に記載の半導体装置。

[請求項10] チャンネル部、
ゲート絶縁膜を介してチャンネル部と対向して設けられたゲート電極、並びに、
チャンネル部の両端に設けられたソース／ドレイン領域、
を備えた半導体装置の製造方法であって、
チャンネル部を形成した後、ゲート絶縁膜を介してチャンネル部に対向したゲート電極を形成し、次いで、
ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去し、ソース／ドレイン領域形成予定領域を得た後、
ソース／ドレイン領域形成予定領域に、第 2 導電型を有する不純物層を形成し、次いで、
不純物層の上に、第 2 導電型とは異なる第 1 導電型を有する半導体層を備えたソース／ドレイン領域を形成する、
各工程を有する半導体装置の製造方法。

[請求項11] チャンネル部は基体の一部から構成されており、
ソース／ドレイン領域形成予定領域と対向するチャンネル部の側面の断面形状が鼓形状となるように、ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去する請求項 10 に記載の半導体装置の製造方法。

[請求項12] チャンネル部は基体の一部から構成されており、
ソース／ドレイン領域を形成すべき基体の領域を厚さ方向に部分的に除去した後、得られたソース／ドレイン領域形成予定領域及びチャ

ネル部の側面にオフセットスペーサーを形成し、次いで、オフセットスペーサーを介して不純物層を形成し、その後、オフセットスペーサーを除去する請求項10に記載の半導体装置の製造方法。

[請求項13] 不純物層の上における半導体層の形成は、エピタキシャル成長法に基づく請求項10に記載の半導体装置の製造方法。

[請求項14] ソース／ドレイン領域形成予定領域に、不純物層をイオン注入法に基づき形成する請求項10に記載の半導体装置の製造方法。

[図1]

図 1 A

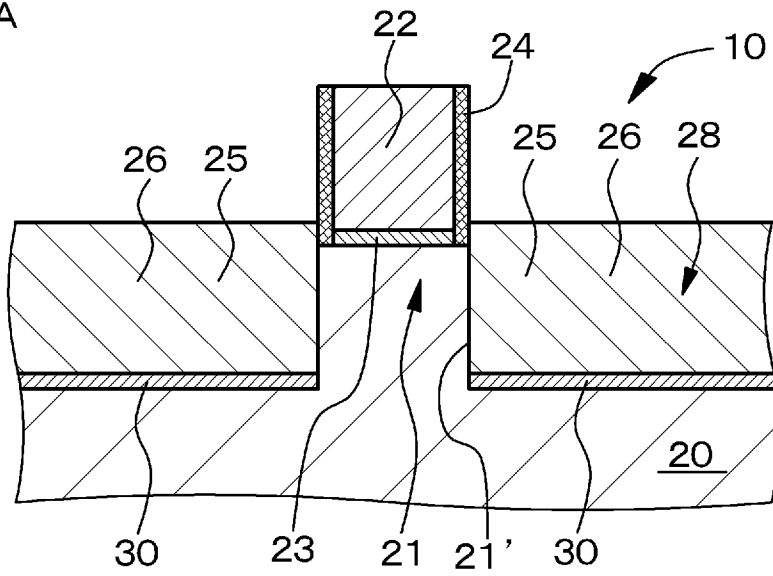


図 1 B

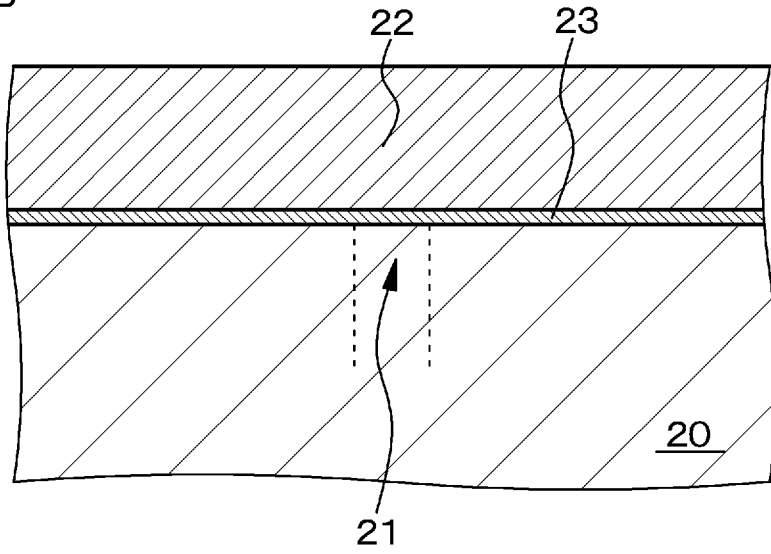
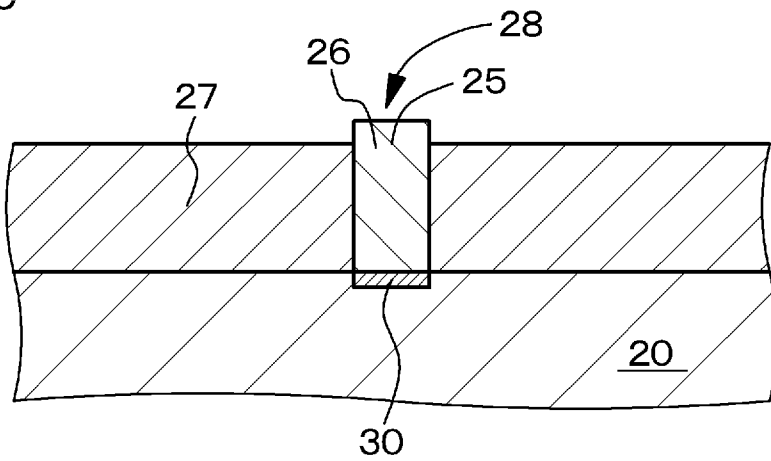
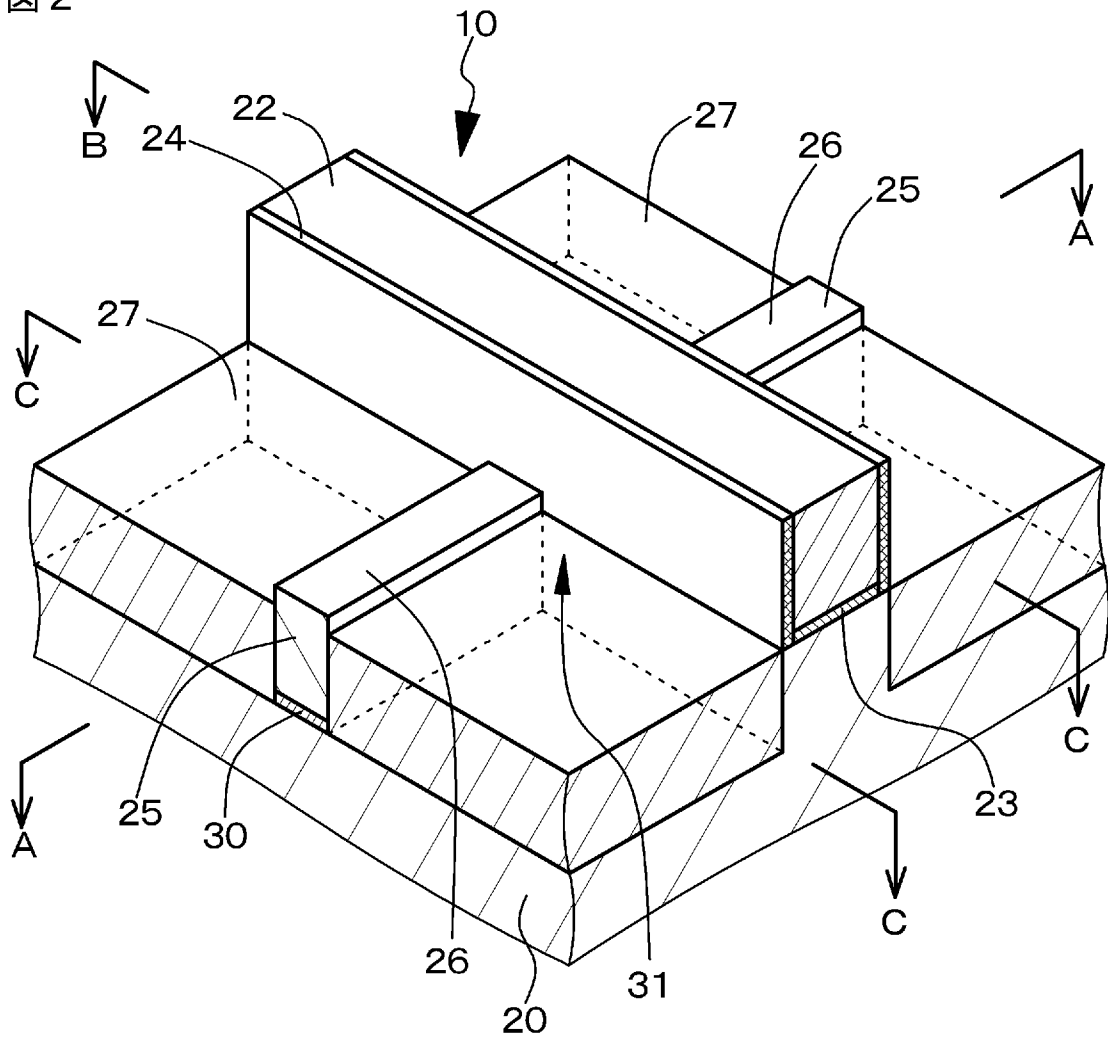


図 1 C



[図2]

図 2



[図3]

図 3 A

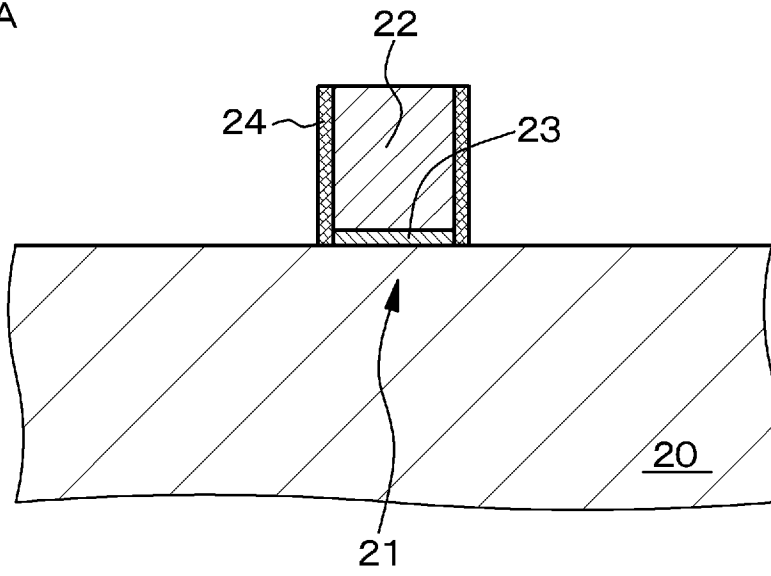


図 3 B

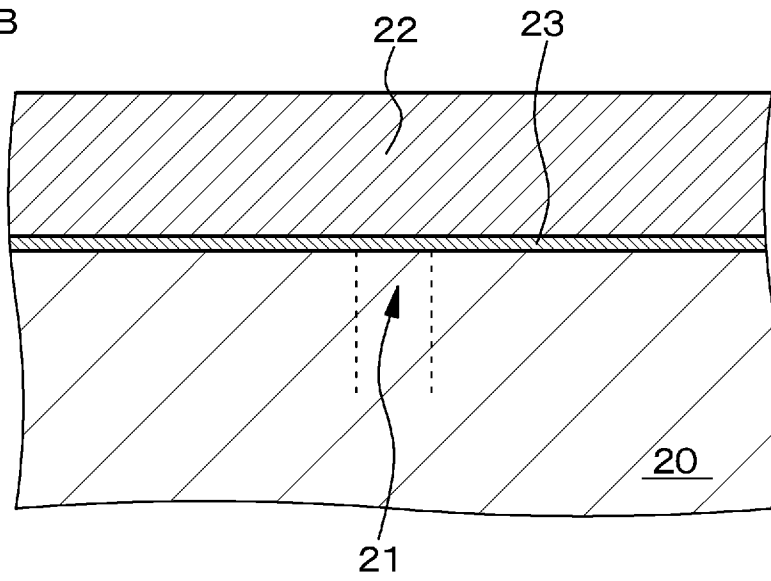
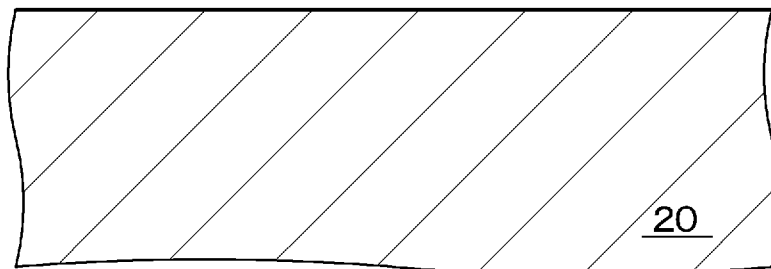


図 3 C



[図4]

図 4 A

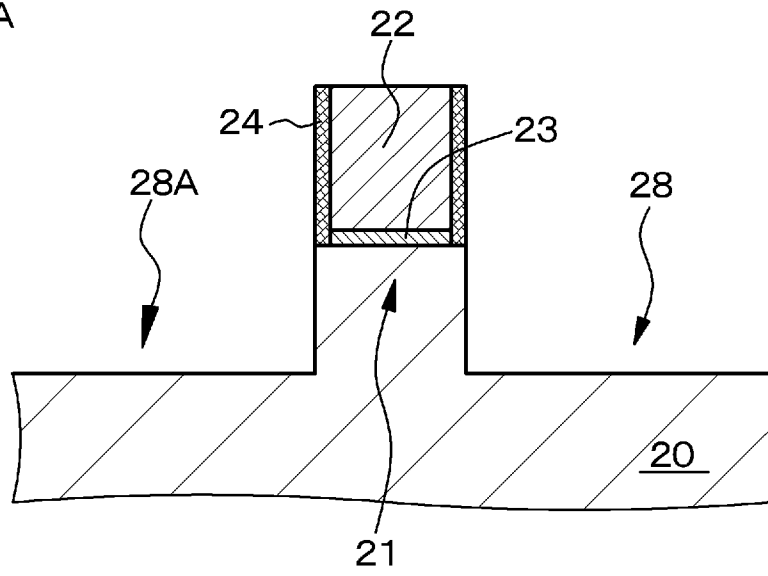


図 4 B

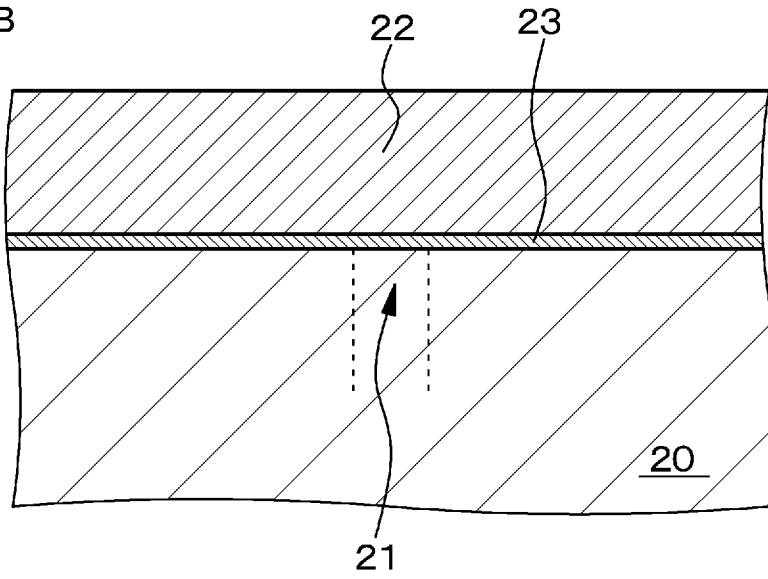
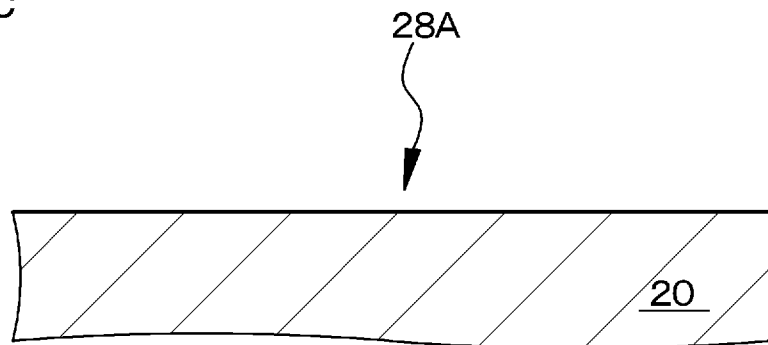


図 4 C



[図5]

図 5 A

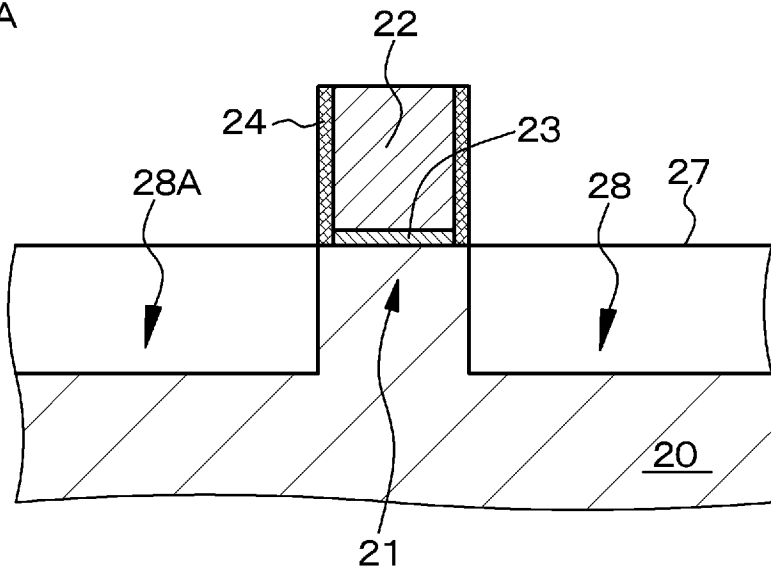


図 5 B

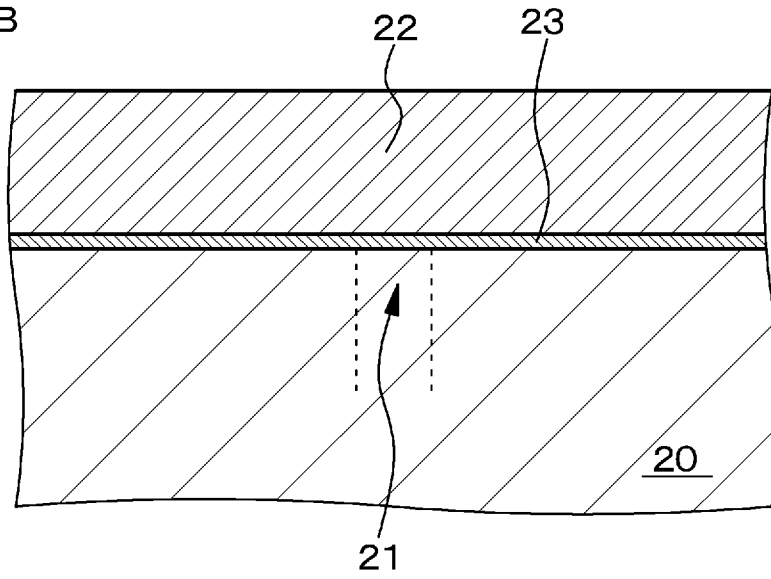
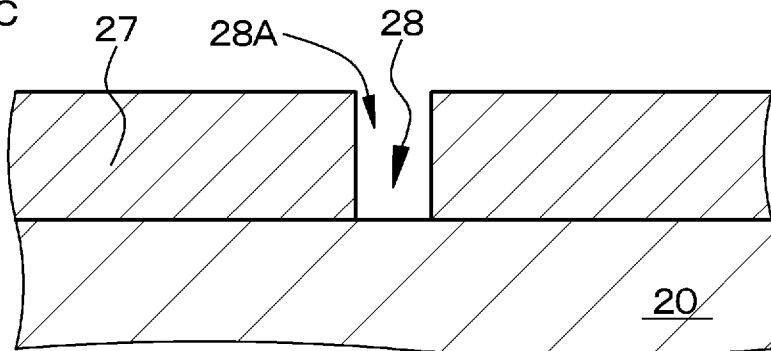


図 5 C



[図6]

図 6 A

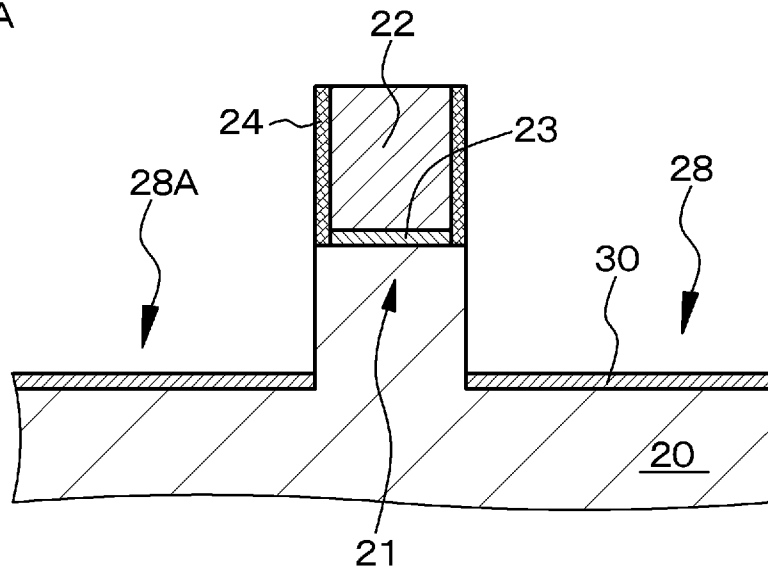


図 6 B

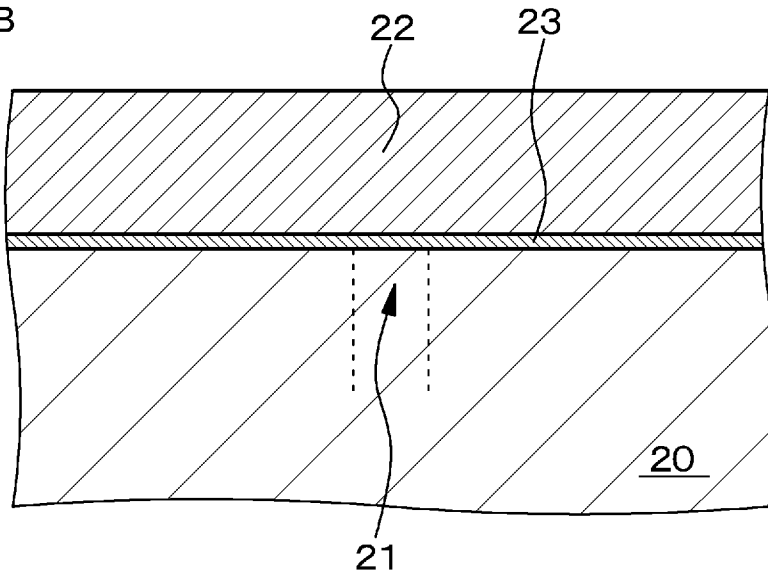
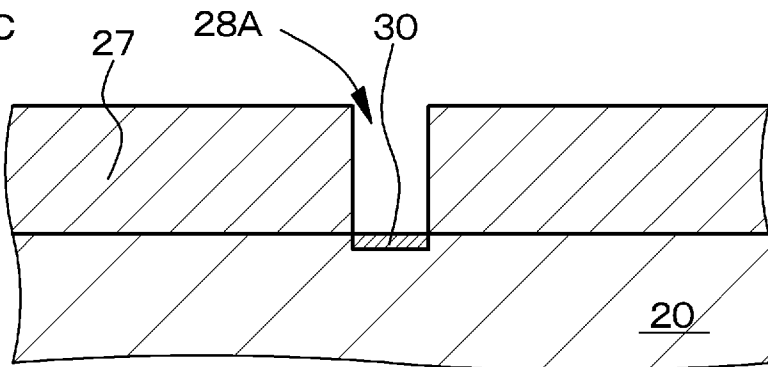


図 6 C



[図7]

図 7 A

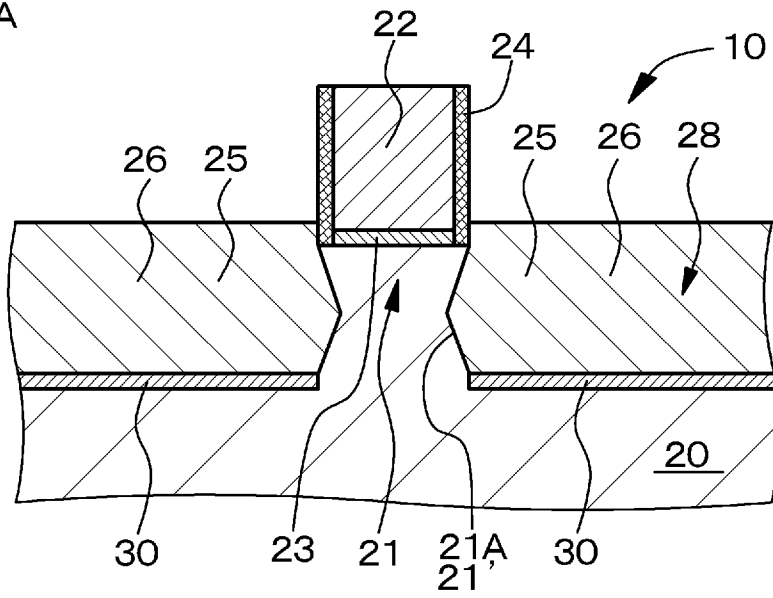


図 7 B

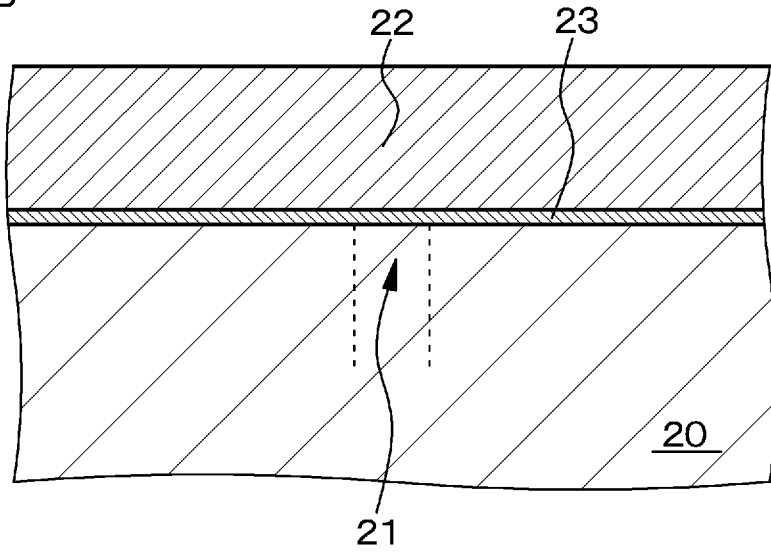
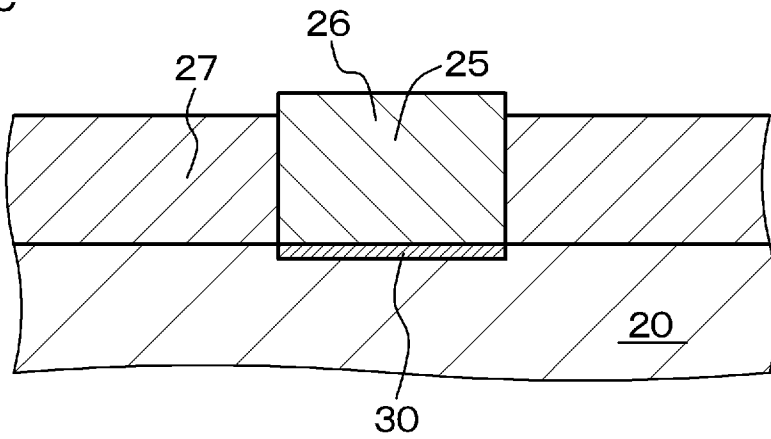


図 7 C



[図8]

図 8 A

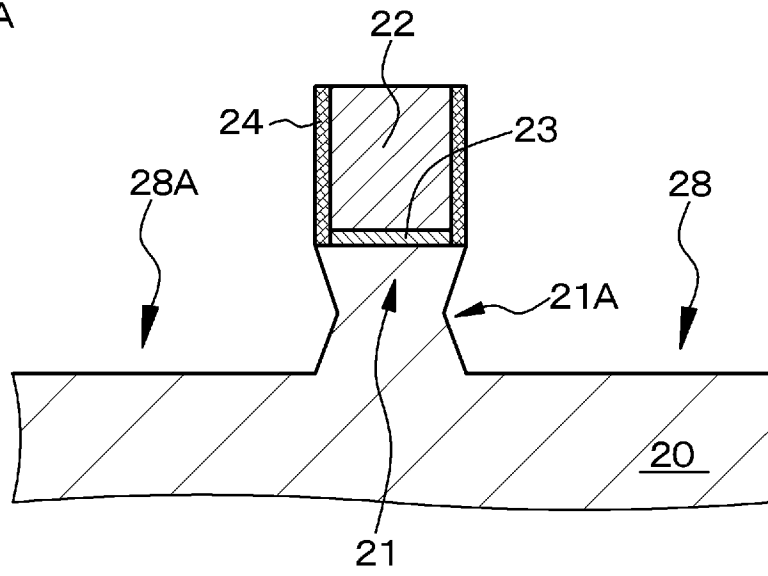


図 8 B

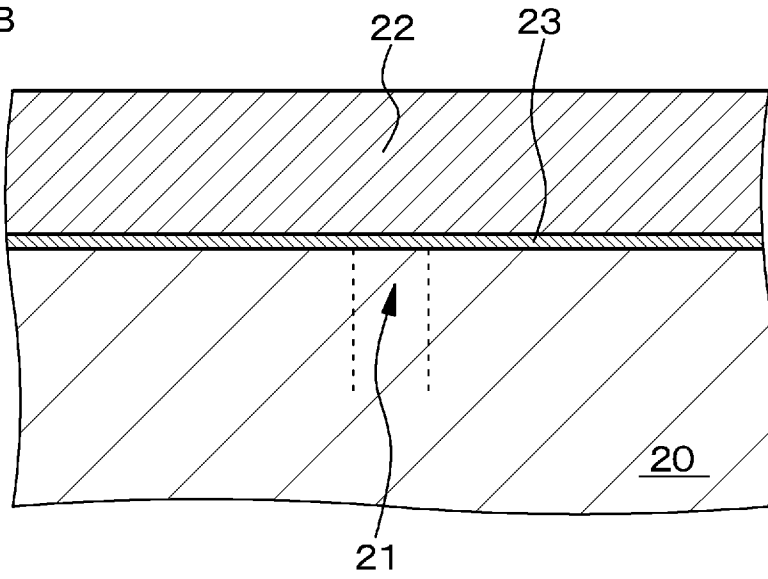
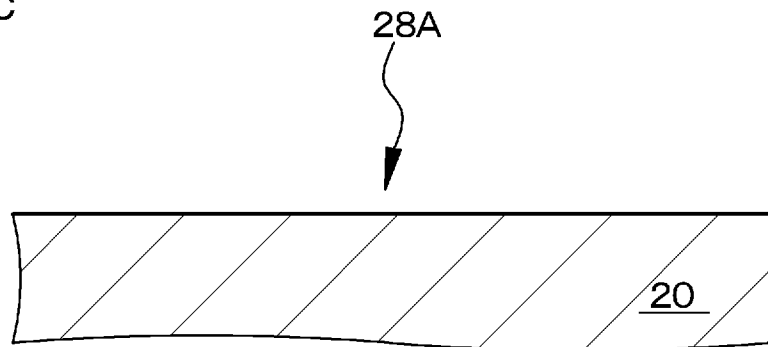


図 8 C



[図9]

図9A

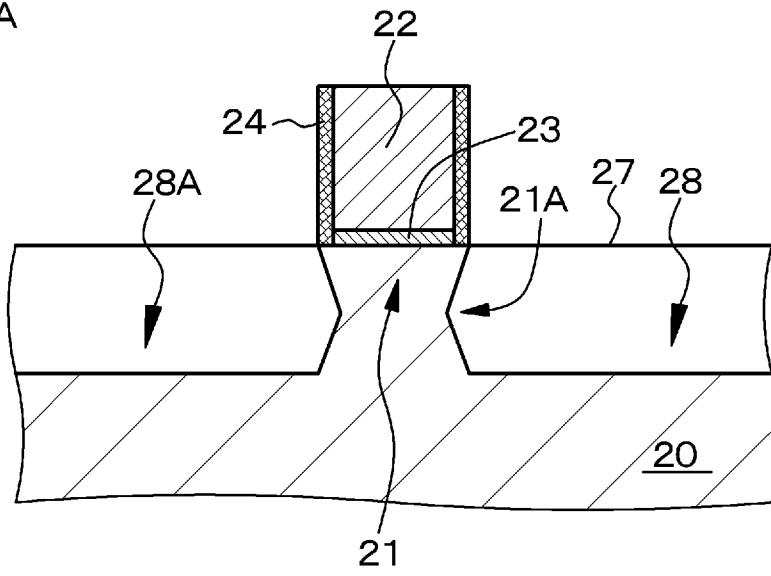


図9B

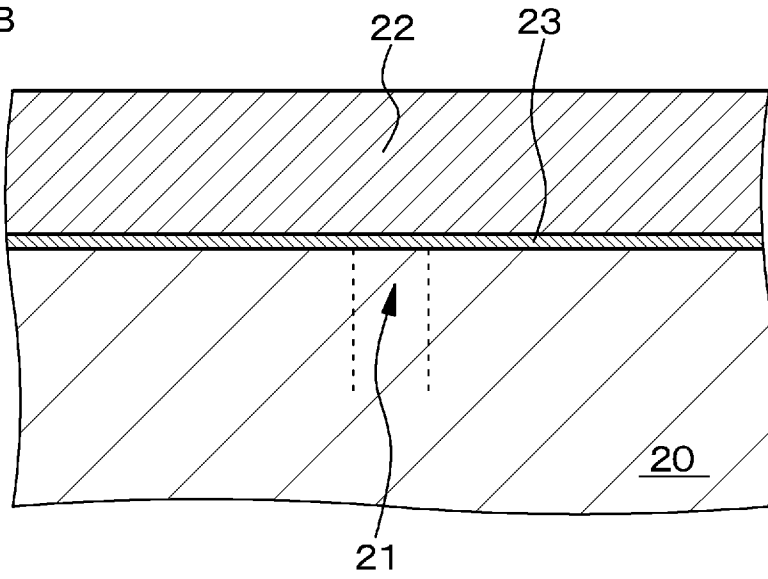
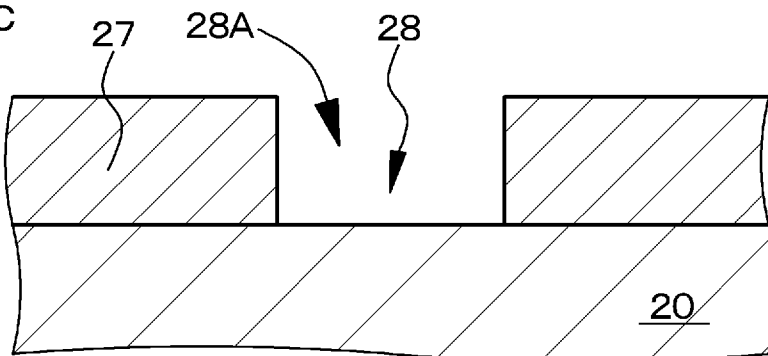


図9C



[図10]

図10A

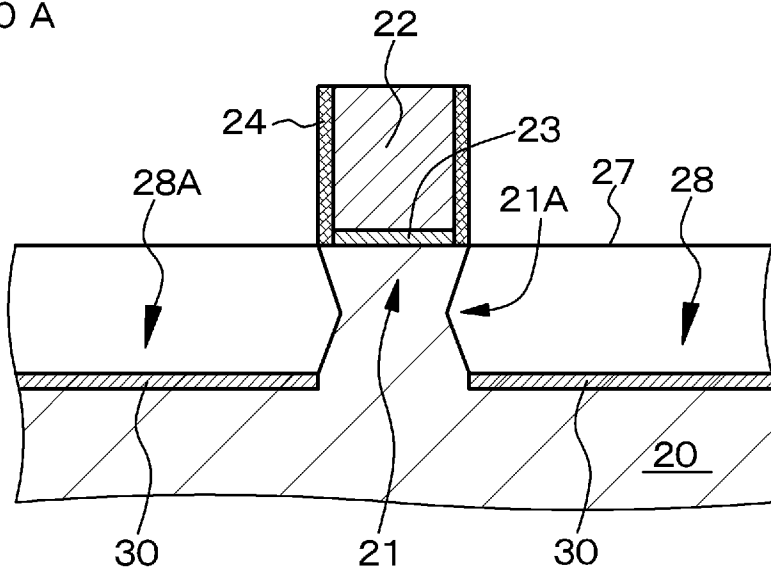


図10B

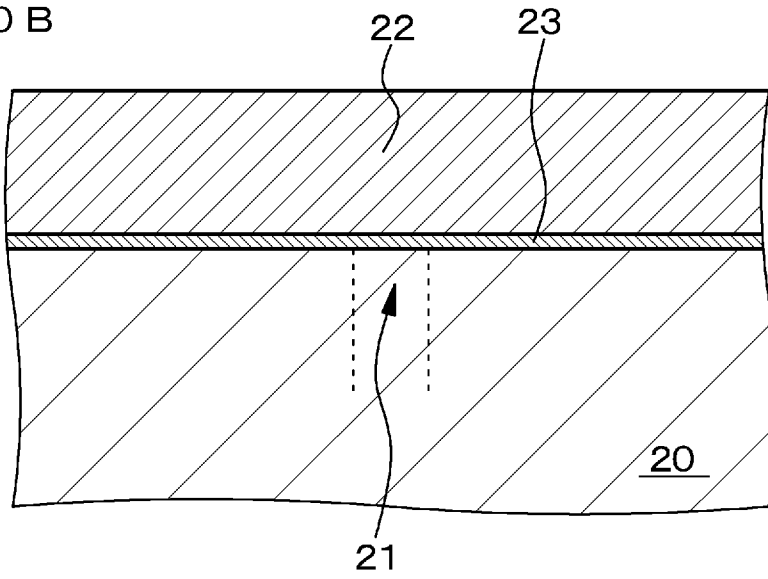
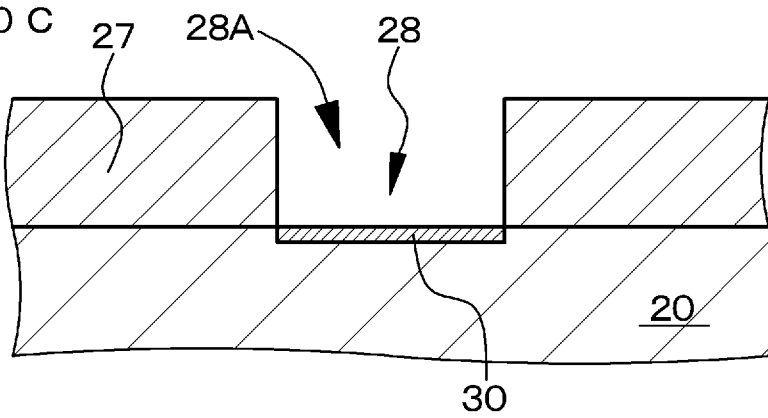


図10C



[図11]

図 1 1 A

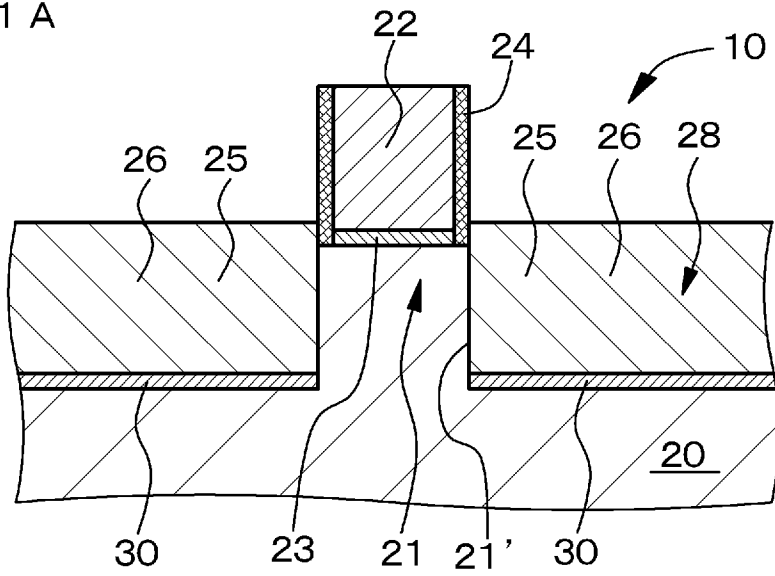


図 1 1 B

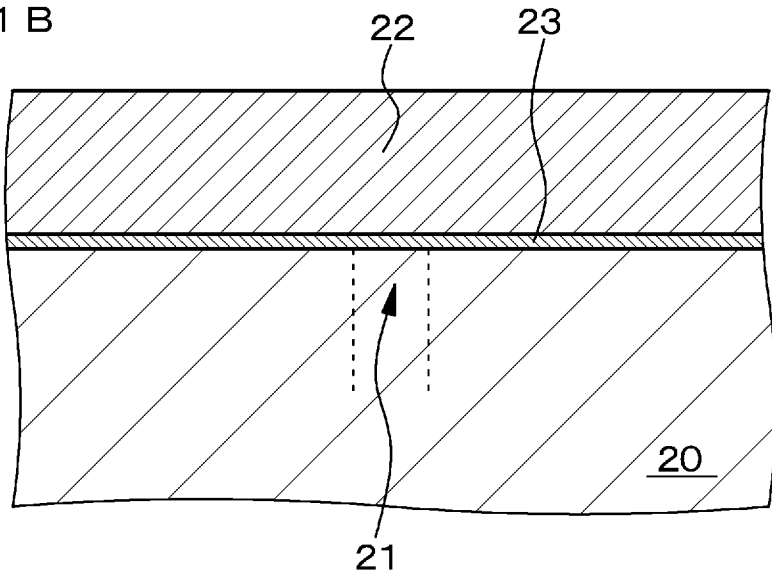
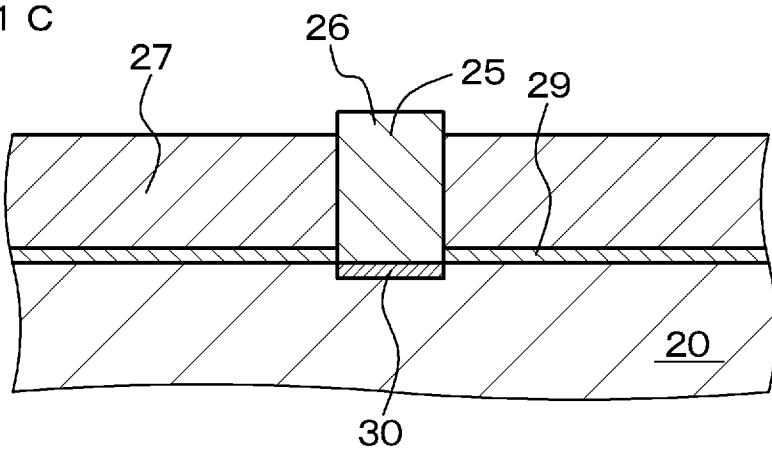


図 1 1 C



[図12]

図12A

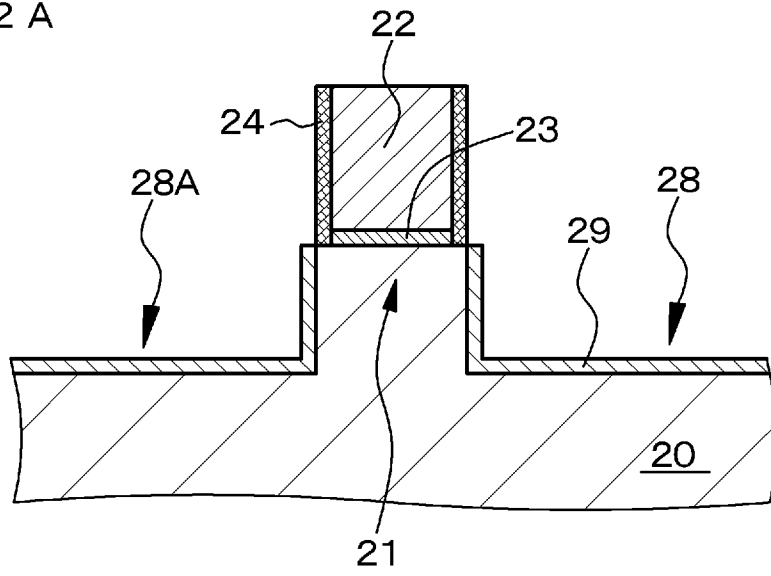


図12B

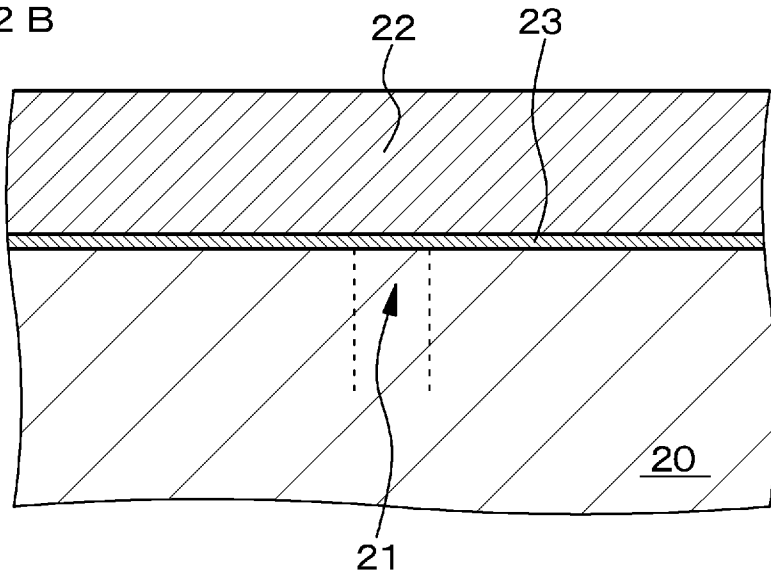
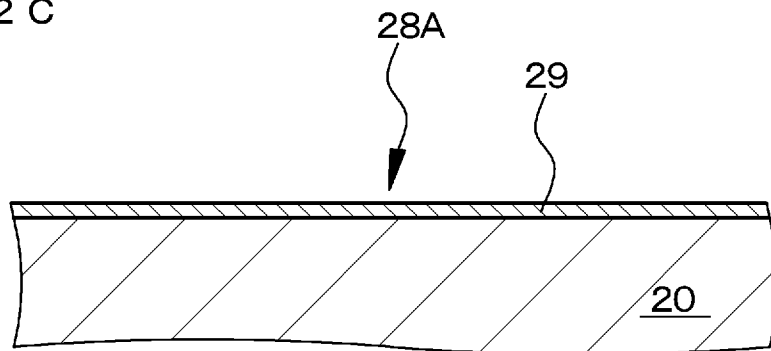


図12C



[図13]

図13A

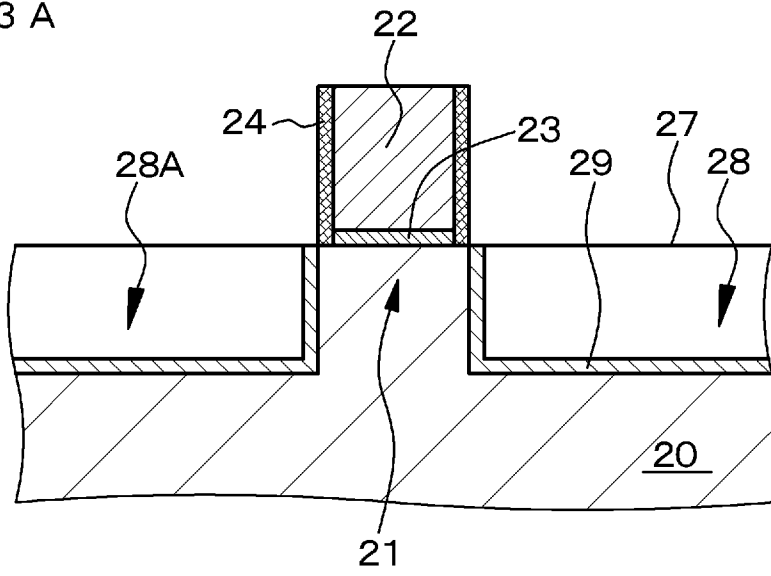


図13B

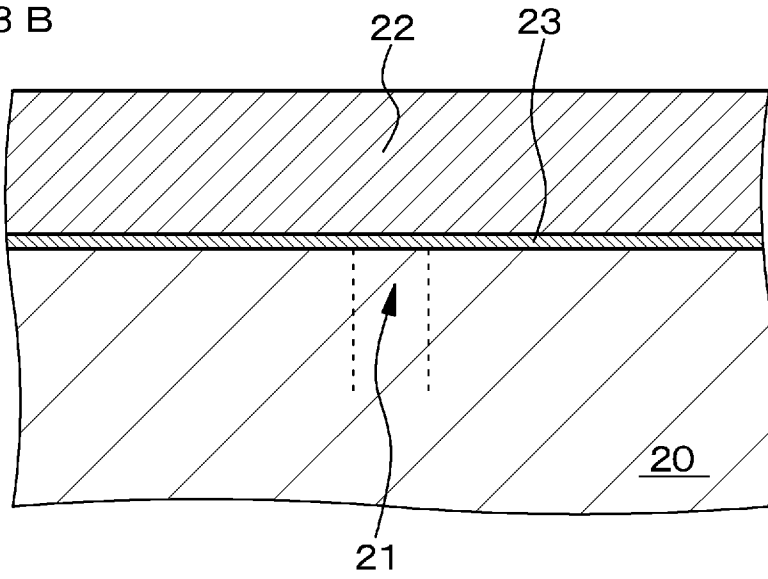
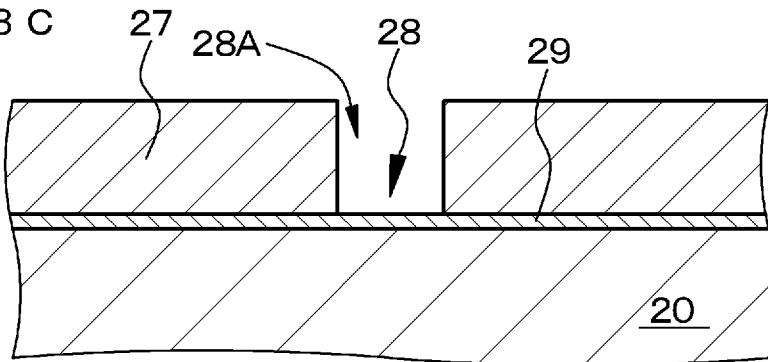


図13C



[図14]

図 1 4 A

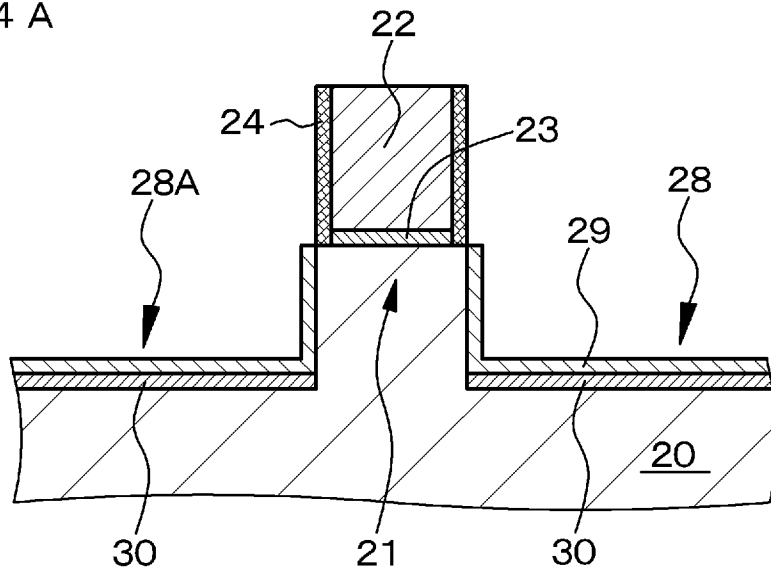


図 1 4 B

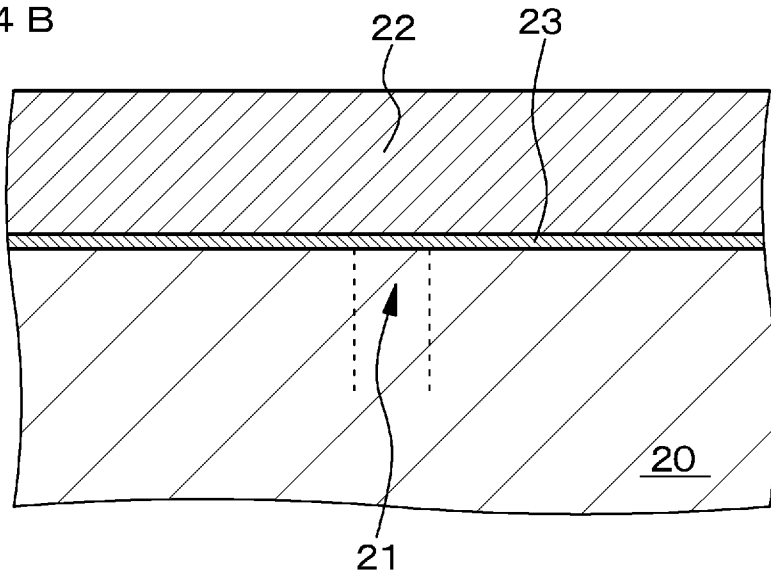
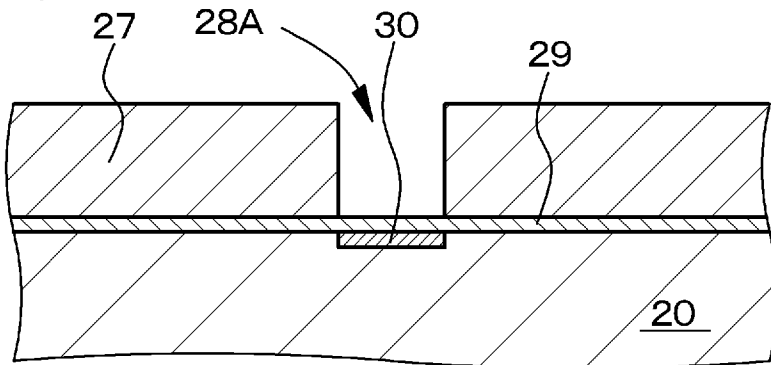


図 1 4 C



[図15]

図 15 A

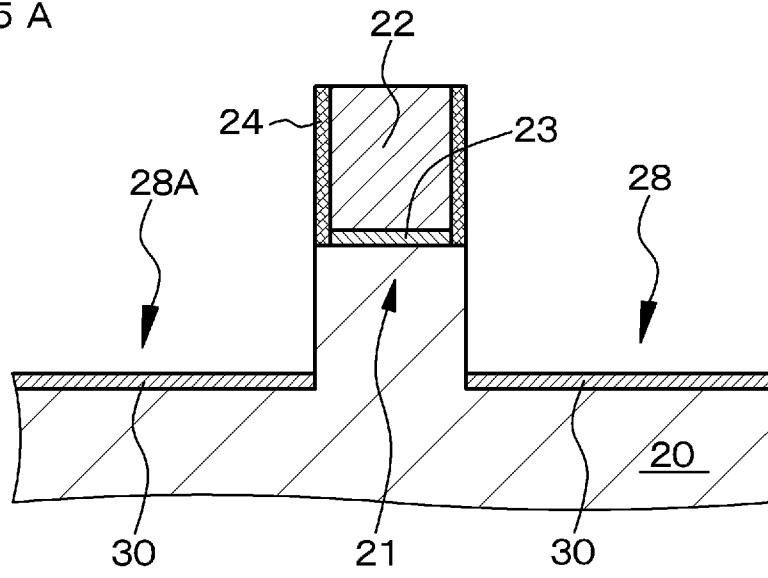


図 15 B

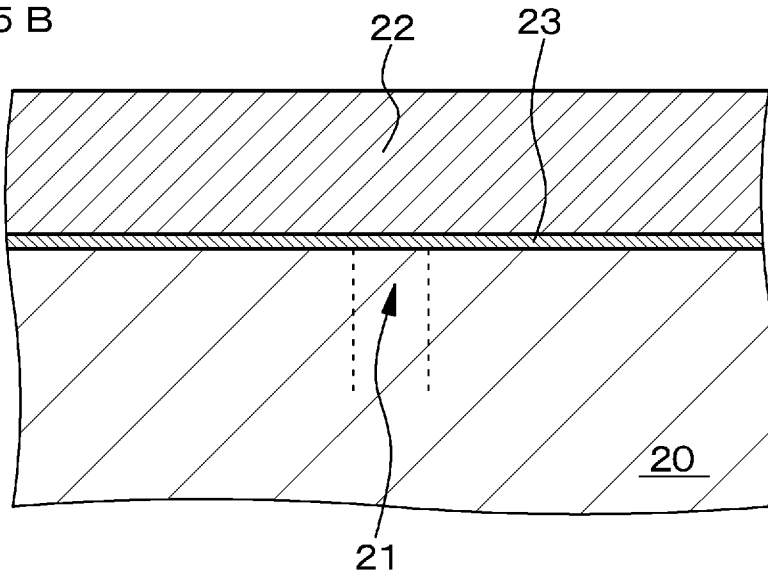
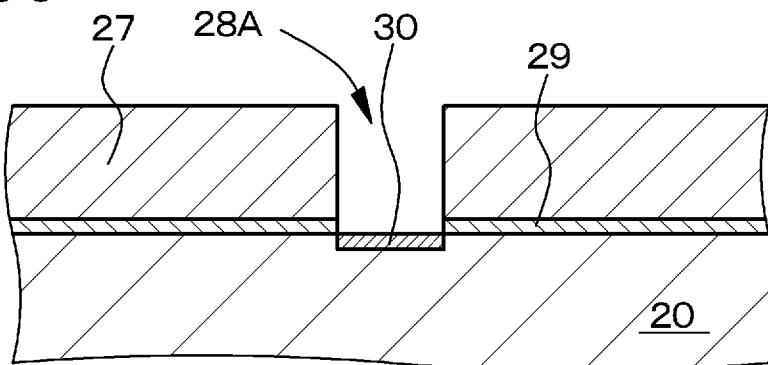
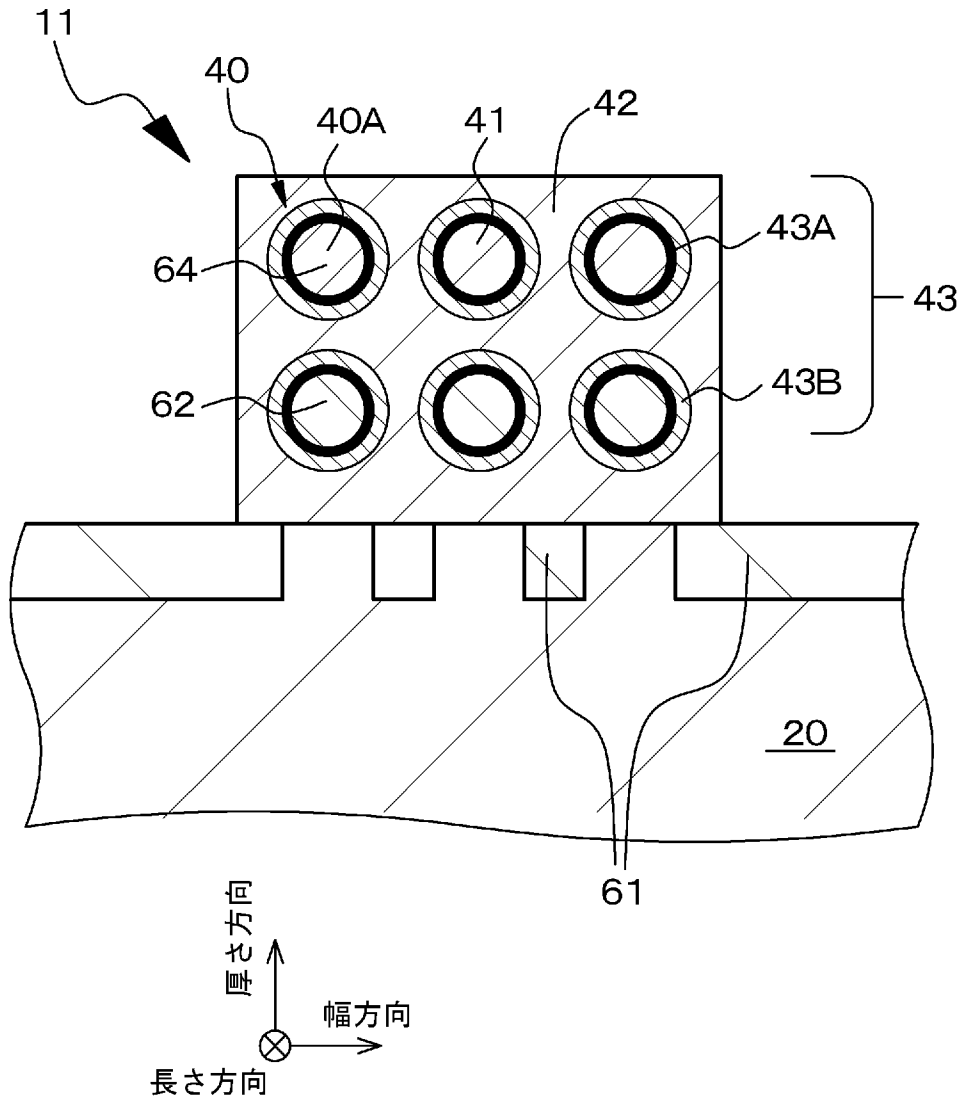


図 15 C



[図16]

図 16



[図17]

図17A

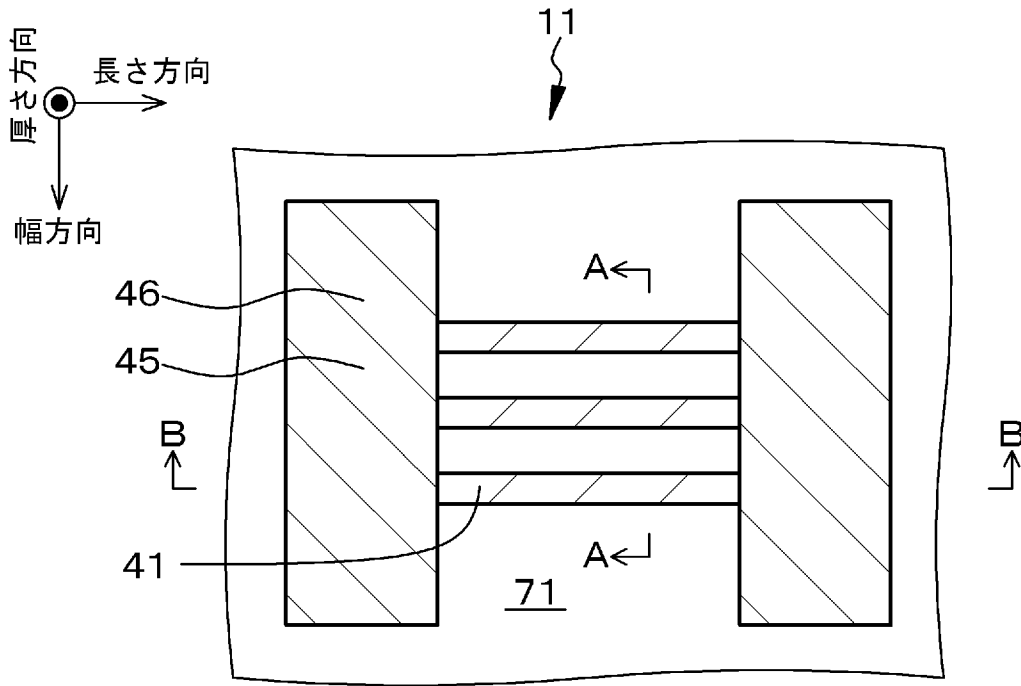
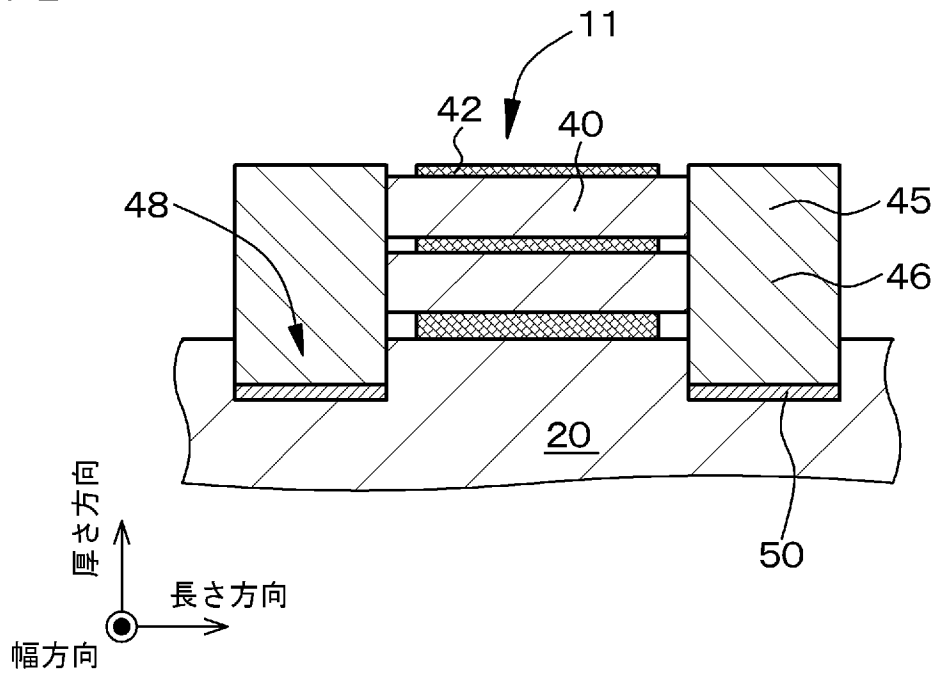


図17B



[図18]

図 1 8 A

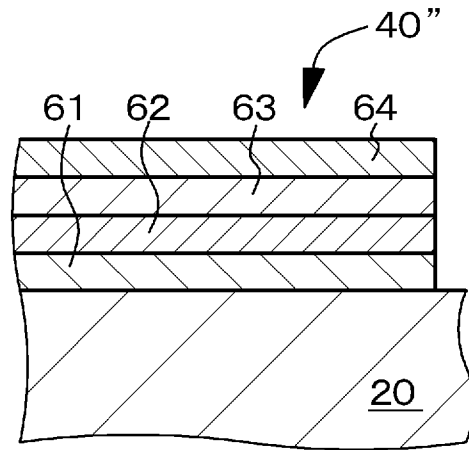


図 1 8 B

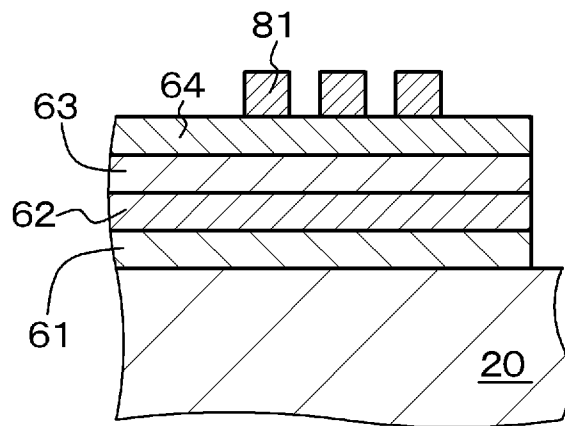
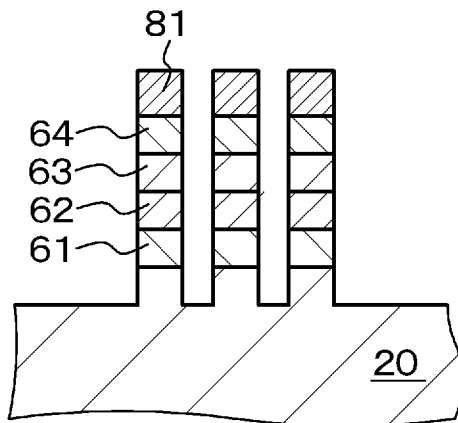


図 1 8 C



[図19]

図 19 A

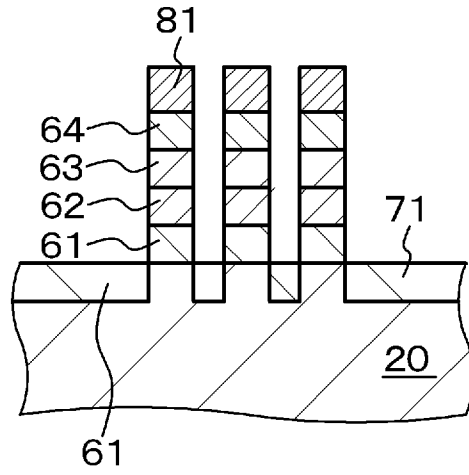
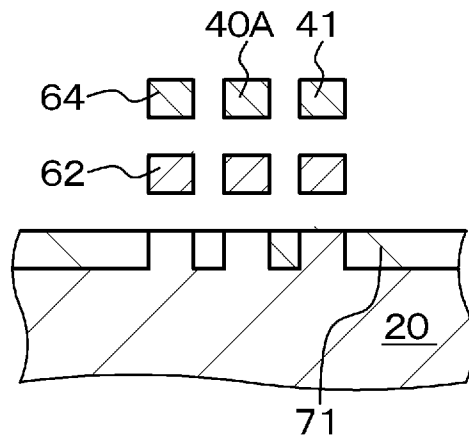


図 19 B



[図20]

図20A

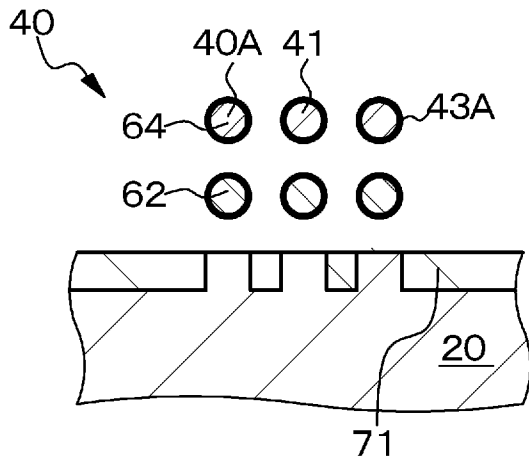


図20B

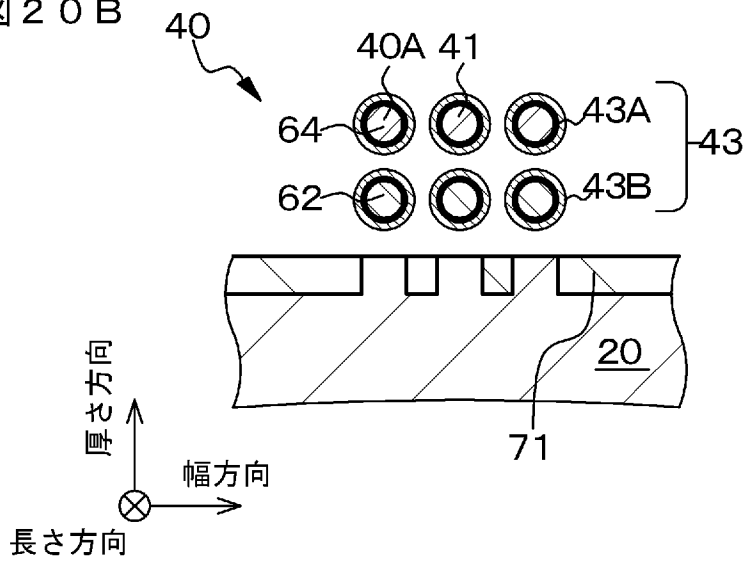
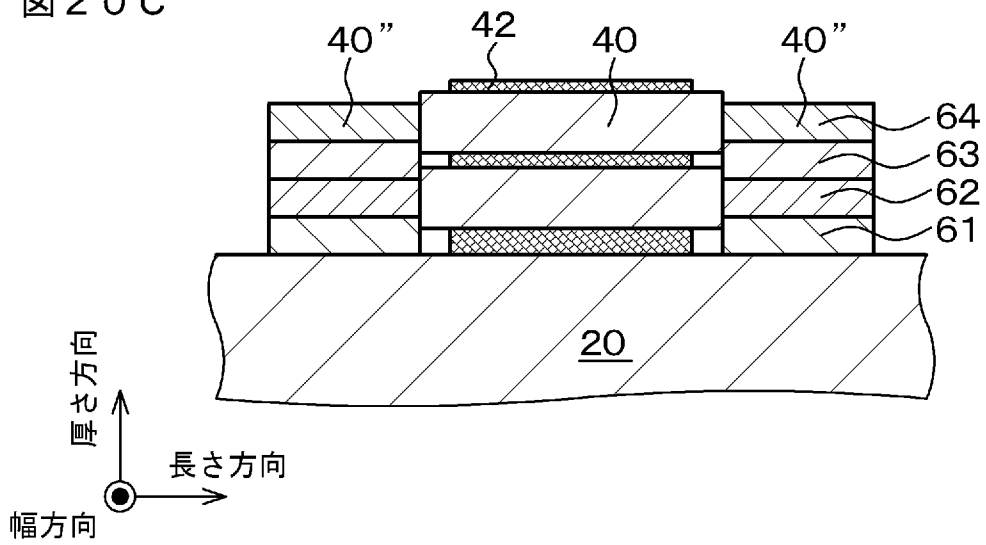


図20C



[図21]

図 2 1 A

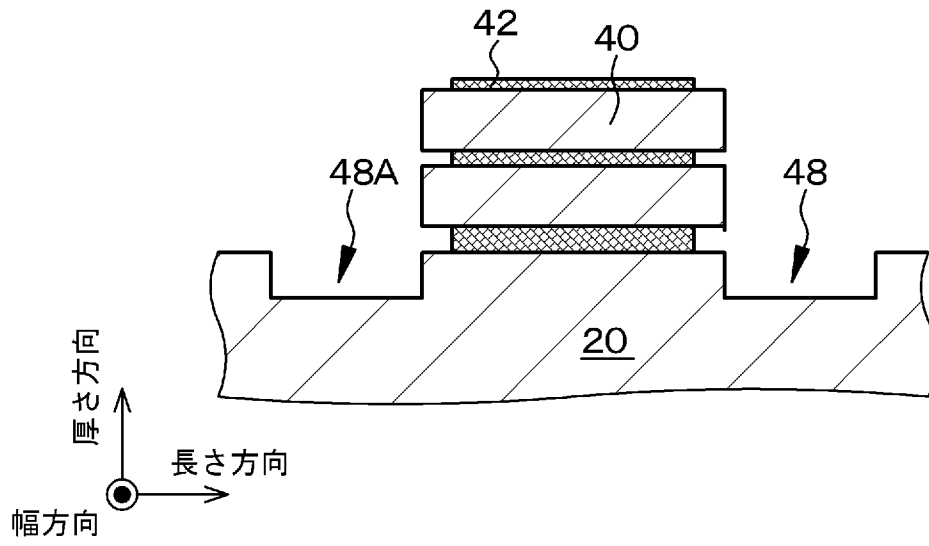
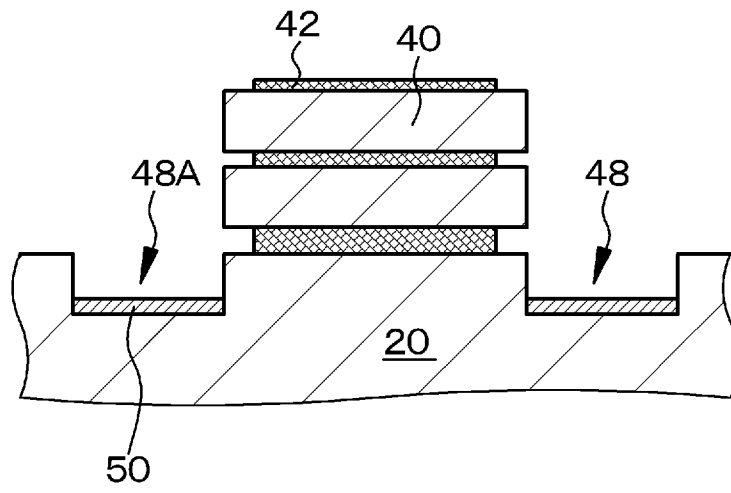
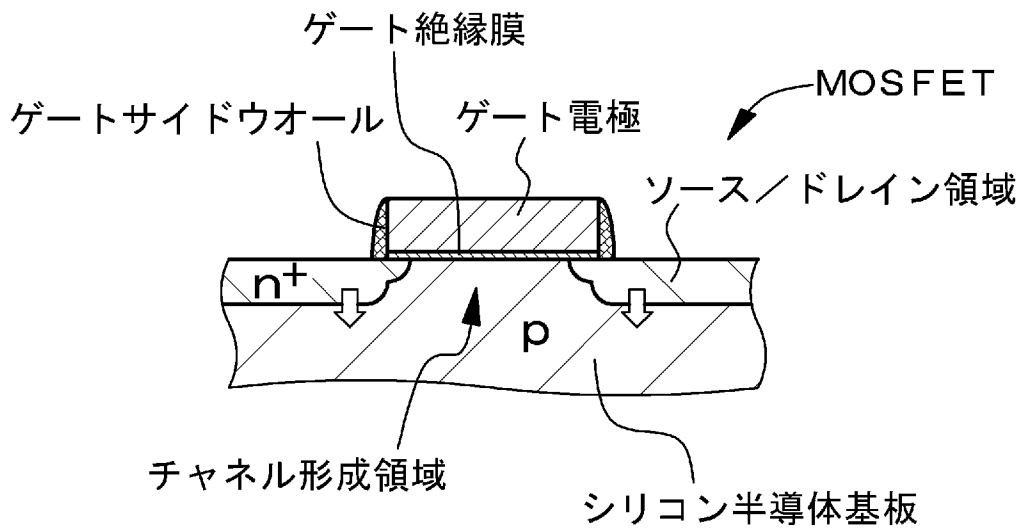


図 2 1 B



[図23]

図 2 3



[図24]

図 2 4 A

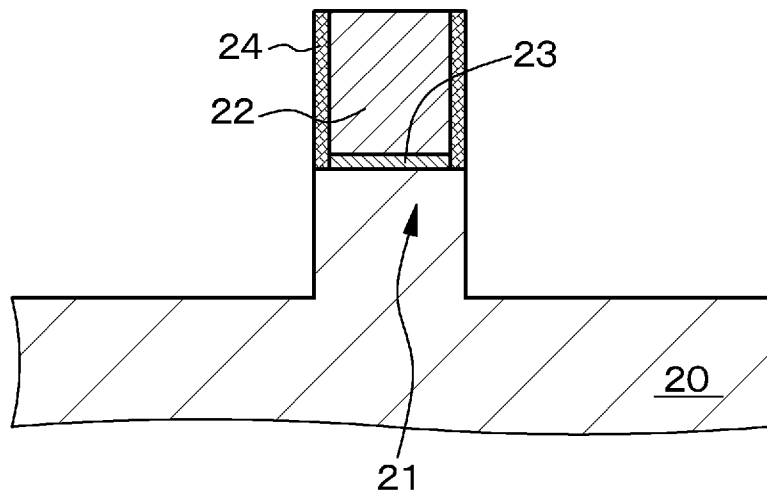


図 2 4 B

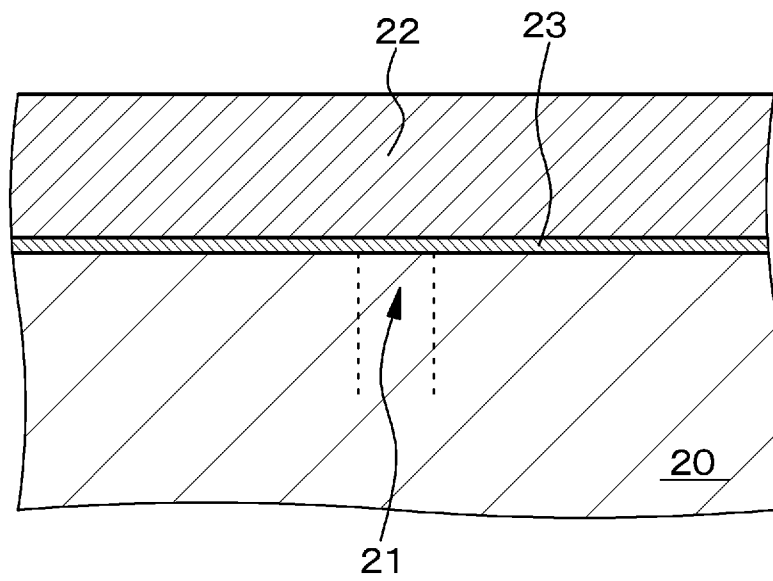


図 2 4 C

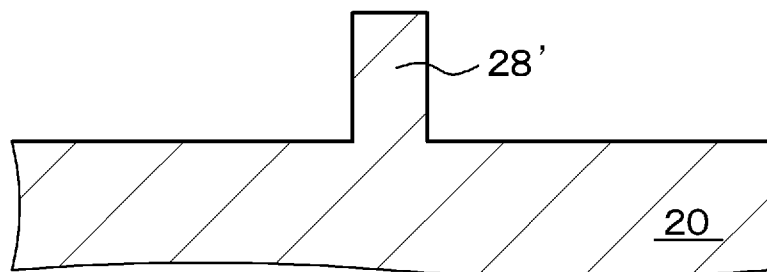
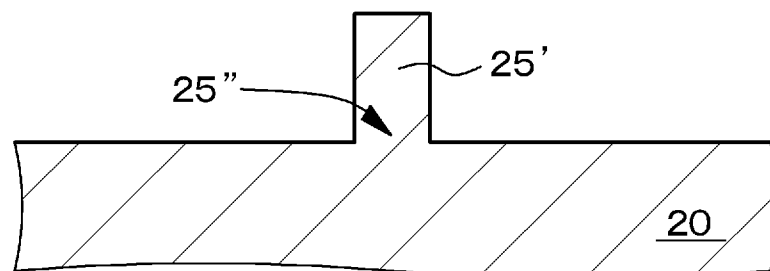


図 2 4 D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031826

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L21/336(2006.01) i, H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/0280875 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 24 October 2013, paragraphs [0005]-[0043], fig. 1-7 & CN 102832246	1, 2, 6, 10, 11, 13, 14
Y	A & TW 201251018 A	7-9
A		3-5, 12
Y	JP 2014-508396 A (INTEL CORP.) 03 April 2014, paragraphs [0015]-[0045], fig. 2-5B & US 2013/0264639 A1, paragraphs [0019]-[0051], fig. 2-5B & WO 2012/087403 A1 & EP 3361512 A1 & CN 103270598 A & KR 10-2013-0088188 A	7-9
A	JP 2003-502862 A (INFINEON TECHNOLOGIES NORTH AMERICA CORP.) 21 January 2003, entire text, all drawings & US 6194278 B1 & WO 2000/079581 A2 & EP 1188181 A2 & TW 463244 B	1-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
29.08.2019

Date of mailing of the international search report
10.09.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2019/031826

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-48089 A (FUJITSU LIMITED) 26 February 1993, entire text, all drawings (Family: none)	1-14
A	JP 6-275824 A (SHARP CORP.) 30 September 1994, entire text, all drawings & US 5449937 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2013/0280875 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.)	1, 2, 6, 10, 11, 13, 14
Y	2013. 10. 24, 段落[0005]-[0043], 図 1-7	7-9
A	& CN 102832246 A & TW 201251018 A	3-5, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

29.08.2019

国際調査報告の発送日

10.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

電話番号 03-3581-1101 内線 3516

5 F

4056

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-508396 A (インテル コーポレーション) 2014.04.03, 段落[0015]-[0045], 図 2-5B & US 2013/0264639 A1, 段落[0019]-[0051], 図 2-5B & WO 2012/087403 A1 & EP 3361512 A1 & CN 103270598 A & KR 10-2013-0088188 A	7-9
A	JP 2003-502862 A (インフィニオン テクノロジーズ ノース ア メリカ コーポレーション) 2003.01.21, 全文, 全図 & US 6194278 B1 & WO 2000/079581 A2 & EP 1188181 A2 & TW 463244 B	1-14
A	JP 5-48089 A (富士通株式会社) 1993.02.26, 全文, 全図 (ファミリーなし)	1-14
A	JP 6-275824 A (シャープ株式会社) 1994.09.30, 全文, 全図 & US 5449937 A	1-14