(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월17일
(11) 등록번호 10-2290002
(24) 등록일자 2021년08월10일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H03M 1/00* (2006.01)
H03M 1/20 (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2020-0032141
(22) 출원일자 2020년03월16일
심사청구일자 2020년03월16일
(56) 선행기술조사문헌
KR1020130048690 A
KR1020190118104 A
KR101644999 B1

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221 도곡렉슬아파트
송재근
서울특별시 동대문구 회기로19길 7
(74) 대리인
이기성

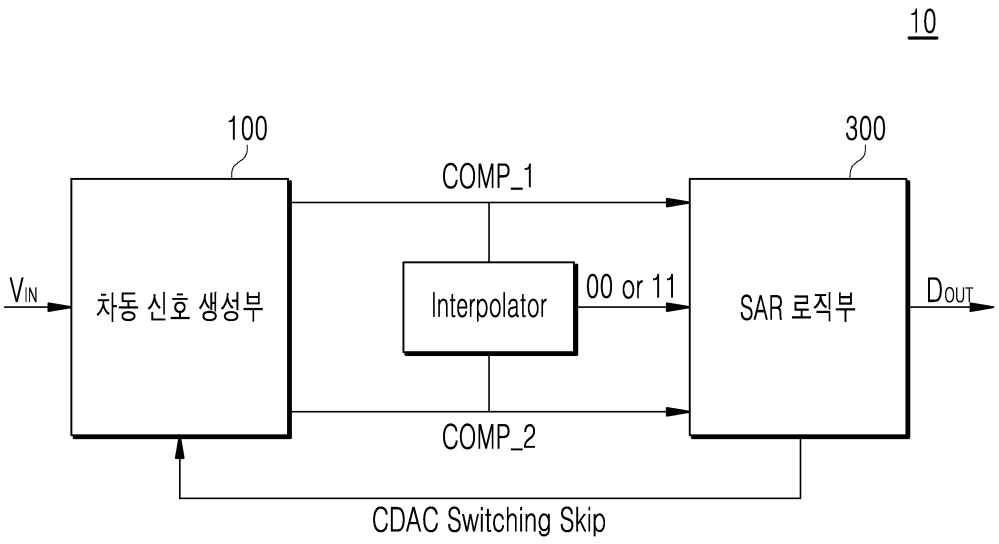
전체 청구항 수 : 총 19 항 심사관 : 조춘근

(54) 발명의 명칭 **오류에 둔감한 보간법을 이용한 축차 비교형 아날로그-디지털 변환기 및 그 동작 방법**

(57) 요 약

본 출원의 실시예에 따른 축차 비교형 아날로그-디지털 변환기는 아날로그 입력 전압에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호를 생성하는 차동 신호 생성부, 상기 한쌍의 차동 신호 간의 출력 시간 차에 기초하여, 스킵 신호를 출력하는 인터폴레이션부 및 상기 스킵 신호에 응답하여, 상기 한쌍의 차동 신호에 따라 결정되는 디지털 코드의 단위 비트 정보에 대한 출력을 보류하는 SAR 로직부를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H03M 1/202 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711097159
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.05.31

명 세 서

청구범위

청구항 1

아날로그 입력 전압에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호를 생성하는 차동 신호 생성부;

상기 한쌍의 차동 신호 간의 출력 시간 차에 기초하여, 스킵 신호를 출력하는 인터폴레이션부; 및

상기 스킵 신호에 응답하여, 상기 한쌍의 차동 신호에 따라 결정되는 디지털 코드의 단위 비트 정보에 대한 출력을 보류하는 SAR 로직부를 포함하고,

상기 단위 비트 동작 모드는,

상기 디지털 코드를 동작 사이클마다 상기 단위 비트 정보로 출력하기 위한 동작 모드이며,

상기 단위 비트 정보는 2BIT 마다의 비트 정보인, 축차 비교형 아날로그-디지털 변환기.

청구항 2

제1항에 있어서,

상기 SAR 로직부는 상기 디지털 코드의 나머지 비트 정보에 기초하여, 상기 출력이 보류된 단위 비트 정보를 결정하는, 축차 비교형 아날로그-디지털 변환기.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 차동 신호 생성부는, 상기 아날로그 입력 전압을 샘플링 신호에 따라 샘플링 전압으로 샘플링하는 샘플링 앤 홀드부;

상기 샘플링 전압을 각 비교 입력 전압으로 컨버팅하는 컨버터부; 및

상기 각 비교 입력 전압에 기초하여, 상기 한쌍의 차동 신호를 출력하는 비교부를 포함하는, 축차 비교형 아날로그-디지털 변환기.

청구항 5

제4항에 있어서,

상기 컨버터부는 상기 단위 비트 동작 모드에 따라, 상기 샘플링 전압의 샘플링 구간을 조절하기 위한 커패시터 스위칭 동작을 수행하는, 축차 비교형 아날로그-디지털 변환기.

청구항 6

제5항에 있어서,

상기 커패시터 스위칭 동작은 단위 비트 동작 모드에 따라 기설정된 연산 전압과 상기 샘플링 전압을 연산하는 동작이고,

상기 기설정된 연산 전압은,

상기 SAR 로직부를 통해 출력되는 상기 디지털 코드의 단위 비트 정보인, 축차 비교형 아날로그-디지털 변환기.

청구항 7

제5항에 있어서,

상기 샘플링 앤 홀드부는 상기 컨버터부와 제1 아날로그 입력 전압을 입력받는 제1 입력 노드를 스위칭 연결 및 차단하는 제1 스위치; 및

상기 컨버터부와 제2 아날로그 입력 전압을 입력받는 제2 입력 노드를 스위칭 연결 및 차단하는 제2 스위치를 포함하는, 축차 비교형 아날로그-디지털 변환기.

청구항 8

제7항에 있어서,

상기 컨버터부는 상기 제1 및 제2 스위치 중 어느 하나에 일측이 연결되고, 상기 비교부에 타측이 연결되는 제1 내지 제4 커패시터 컨버터를 포함하는, 축차 비교형 아날로그-디지털 변환기.

청구항 9

제8항에 있어서,

상기 비교부는 상기 제1 및 제2 커패시터 컨버터를 통해 컨버팅된 제1 및 제2 비교 입력 전압 간의 차이에 기초하여, 상기 한쌍의 차동 신호 중 제1 차동 신호를 출력하는 제1 비교기; 및

상기 제3 및 제4 커패시터 컨버터를 통해 컨버팅된 제3 및 제4 비교 입력 전압 간의 차이에 기초하여, 상기 한쌍의 차동 신호 중 제2 차동 신호를 출력하는 제2 비교기를 포함하는, 축차 비교형 아날로그-디지털 변환기.

청구항 10

제1항에 있어서,

상기 인터폴레이션부는, 상기 한쌍의 차동 신호 중 제1 차동 신호를 데이터로 입력받고, 제2 차동 신호를 클럭 데이터로 입력받는 제1 플립플롭; 및

상기 제1 차동 신호를 클럭 데이터로 입력받고, 상기 제2 차동 신호를 데이터로 입력받는 제2 플립플롭을 포함하는, 축차 비교형 아날로그-디지털 변환기.

청구항 11

제10항에 있어서,

상기 제1 및 제2 플립플롭은 상기 제1 및 제2 차동 신호를 입력받는 시간차에 기초하여, 상기 스킵 신호를 출력하고,

상기 스킵 신호는,

'00' 또는 '11'와 같은 서로 동일한 비트를 가진 데이터 신호인, 축차 비교형 아날로그-디지털 변환기.

청구항 12

제11항에 있어서,

상기 제1 및 제2 플립플롭은, 상기 제1 및 제2 차동 신호를 입력받는 시간차가 일정 크기 미만인 경우, 상기 스킵 신호에 대응되는 서로 동일한 비트 신호를 출력하는, 축차 비교형 아날로그-디지털 변환기.

청구항 13

제11항에 있어서,

상기 제1 및 제2 플립플롭은, 상기 제1 및 제2 차동 신호를 입력받는 시간차가 일정 크기 이상인 경우, 서로 다른 비트 신호를 출력하는, 축차 비교형 아날로그-디지털 변환기.

청구항 14

제5항에 있어서,

상기 SAR 로직부는 상기 스킵 신호에 응답하여, 상기 커패시터 스위칭 동작을 스킵시키기 위한 스위칭 스킵 신호를 상기 컨버터부로 피드백 출력하는, 축차 비교형 아날로그-디지털 변환기.

청구항 15

제9항에 있어서,

상기 인터폴레이션부는, 상기 제1 및 제3 비교 입력 전압에 대한 평균 전압과 커패시터 스위칭 동작을 수행하기 위한 연산 전압을 이용하여, 가상 전압을 설정하는, 축차 비교형 아날로그-디지털 변환기.

청구항 16

제15항에 있어서,

상기 인터폴레이션부는, 상기 가상 전압과 상기 단위 비트 동작 모드에 따라 조절된 상기 샘플링 전압을 기설정된 스킵 구간과 비교하는, 축차 비교형 아날로그-디지털 변환기.

청구항 17

제15항에 있어서,

상기 인터폴레이션부는, 상기 가상 전압이 상기 샘플링 구간에 포함된 경우, 상기 스킵 신호를 출력하는, 축차 비교형 아날로그-디지털 변환기.

청구항 18

제15항에 있어서,

상기 SAR 로직부는, 상기 가상 전압을 초기 전압 상태로 리턴시키는 리턴 전압에 따라 스킵된 연산 전압에 기초하여, 상기 디지털 코드를 보상하는 축차 비교형 아날로그-디지털 변환기.

청구항 19

축차 비교형 아날로그-디지털 변환기의 동작 방법으로,

차동 신호 생성부가 아날로그 입력 전압에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호를 생성하는 단계;

인터폴레이션부가 상기 한쌍의 차동 신호를 입력받는 시간차에 기초하여, 스킵 신호를 출력하는 단계;

SAR 로직부가 상기 스킵 신호에 응답하여, 상기 한쌍의 차동 신호에 따라 결정되는 디지털 코드의 단위 비트 정보에 대한 출력을 보류하는 단계; 및

상기 SAR 로직부가 상기 디지털 코드의 나머지 비트 정보에 기초하여, 상기 출력이 보류된 단위 비트 정보를 결정하는 단계를 포함하고,

상기 단위 비트 동작 모드는,

상기 디지털 코드를 동작 사이클마다 상기 단위 비트 정보로 출력하기 위한 동작 모드이며,

상기 단위 비트 정보는 2BIT 마다의 비트 정보인, 축차 비교형 아날로그-디지털 변환기의 동작 방법.

청구항 20

제19항에 있어서,

상기 SAR 로직부가 가상 전압을 초기 전압 상태로 리턴시키는 리턴 전압에 따라 스킵된 연산 전압에 기초하여, 상기 디지털 코드를 보상하는 단계를 더 포함하는, 축차 비교형 아날로그-디지털 변환기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 축차 비교형 아날로그-디지털 변환기 및 그 동작 방법에 관한 것으로, 특히, 오류에 둔감한 보간법을 이용하는 축차 비교형 아날로그-디지털 변환기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 데이터를 처리함에 있어 처리 속도가 높고, 환경 잡음에 둔감한 특성을 지니는 디지털 신호처리가 아날로그 신호처리에 비해 유리하다. 하지만 자연에 존재하는 대부분의 신호는 아날로그 형태이기 때문에, 집적회로에서 입력받은 아날로그 신호를 디지털 신호로 변환할 필요가 있다.

[0003] 아날로그 디지털 변환기는 파이프라인 아날로그 디지털 변환기, 축차 비교형 아날로그 디지털 변환기, 플래시 아날로그 디지털 변환기, 델타 시그마 아날로그 디지털 변환기로 크게 분류될 수 있으며, 샘플링 속도와 해상도에 따라 적합한 구조가 존재한다.

[0004] 이들 중 축차 비교형 아날로그 디지털 변환기(Successive Approximation Analog to Digital Converter)는 다른 구조의 아날로그 디지털 변환기에 비해 디지털 회로의 의존도가 높아 전력 소모가 현저하게 낮다는 장점이 있다. 그러나, 종래의 축차 비교형 아날로그 디지털 변환기는 커패시터 디지털 아날로그 변환기의 공정 변화에 따른 인접한 커패시터 값의 부정합과 비교기의 분해능 부족으로 일정 수준 이상의 해상도를 출력하는데 한계가 있다.

[0005] 이러한 문제들을 해결하기 위한 Time-Domain Latch Interpolation 기술이 적용된 축차 비교형 아날로그 디지털 변환기가 제안되고 있다. TDLI이 기술이 적용된 변환기는, 비교기의 개수를 감소시키고, 인접한 2개의 비교기의 출력을 latch를 이용해 시간 영역에서 비교하여 3개의 비교기를 사용하는 효과를 얻을 수 있다. 그러나, 잡음과 회로의 mismatch가 존재할 경우, 오류 발생 확률이 높은 단점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은, 오류에 둔감한 보간법을 이용하는 축차 비교형 아날로그-디지털 변환기 및 그 동작 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 출원의 실시예에 따른 축차 비교형 아날로그-디지털 변환기는 아날로그 입력 전압에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호를 생성하는 차동 신호 생성부, 상기 한쌍의 차동 신호 간의 출력 시간 차에 기초하여, 스킵 신호를 출력하는 인터폴레이션부 및 상기 스킵 신호에 응답하여, 상기 한쌍의 차동 신호에 따라 결정되는 디지털 코드의 단위 비트 정보에 대한 출력을 보류하는 SAR 로직부를 포함한다.

[0008] 실시예에 있어서, 상기 SAR 로직부는 상기 디지털 코드의 나머지 비트 정보에 기초하여, 상기 출력이 보류된 단위 비트 정보를 결정한다.

[0009] 실시예에 있어서, 상기 단위 비트 동작 모드는 상기 디지털 코드를 동작 사이클마다 2 bit인 단위로 비트 정보를 출력하기 위한 모드이다.

발명의 효과

[0010] 본 출원의 축차 비교형 아날로그-디지털 변환기 및 그 동작 방법은 한쌍의 차동 신호를 생성하기 위한 회로 구성을 감소시키고, 디지털 코드의 단위 비트 정보에 대한 결정을 보류시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 출원의 실시 예에 따른 축차 비교형 아날로그-디지털 변환기에 대한 블록도이다.

도 2는 도 1의 차동 신호 생성부에 대한 블록도이다.

도 3은 도 2의 샘플링 앤 홀드부를 구체적으로 보여주는 도이다.

도 4는 도 2의 컨버터부와 비교부를 구체적으로 보여주는 도이다.

도 5a는 인터폴레이션부를 구체적으로 보여주는 도이다.

도 5b는 도 5a의 제1 플립플롭에 대한 입출력 신호의 타이밍 도이다.

도 5c는 도 5a의 제2 플립플롭에 대한 입출력 신호의 타이밍 도이다.

도 6은 도 1의 SAR 로직부의 동작을 설명하기 위한 도이다.

도 7은 도 1의 축차 비교형 아날로그-디지털 변환기에 대한 동작 프로세스이다.

도 8은 도 1의 축차 비교형 아날로그-디지털 변환기를 구체적으로 보여주는 도이다.

도 9는 도 7의 인터폴레이션부에 대한 동작 프로세스이다.

도 10a와 도 10b는 도 8의 축차 비교형 아날로그-디지털 변환기의 2bit cycle for 5bit 동작 실시 예이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0013] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0014] 도 1은 본 출원의 실시 예에 따른 축차 비교형 아날로그-디지털 변환기(10)에 대한 블록도이다.

[0015] 도 1을 참조하면, 축차 비교형 아날로그-디지털 변환기(10)는 차동 신호 생성부(100), 인터폴레이션부(200) 및 SAR 로직부(300)를 포함할 수 있다.

[0016] 먼저, 차동 신호 생성부(100)는 아날로그 입력 전압(V_{IN})에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호(COMP_1, COMP_2)를 생성할 수 있다.

[0017] 여기서, 한쌍의 차동 신호(COMP_1, COMP_2) 각각은 서로 다른 레벨을 가진 디지털 코드를 포함할 수 있다. 예를 들면, 제1 차동 신호(COMP_1)는 서로 다른 레벨을 가진 양(+)의 출력(COMP_1P)과 음(-)의 출력(COMP_1N)을 포함할 수 있다. 구체적으로, 양(+)의 출력(COMP_1P)이 '1'과 같은 HIGH 레벨인 경우, 음(-)의 출력(COMP_1N)은 '0'과 같은 LOW 레벨일 수 있다.

[0018] 또한, 단위 비트 동작 모드는 디지털 코드(Dout)를 동작 사이클마다 2 bit인 단위 비트 정보(BIT_{OUT})로 출력하기 위한 축차 비교형 아날로그-디지털 변환기(10)의 동작 모드를 의미할 수 있다. 실시예에 따른 단위 비트 동작 모드는 2b/cycle 모드일 수 있다.

[0019] 예를 들면, 디지털 코드(Dout)가 10110인 경우, 단위 비트 동작 모드는 10110의 '10'을 출력하기 위한 제1 동작 사이클, 10110의 '11'을 출력하기 위한 제2 동작 사이클 및 10110의 '0'을 출력하기 위한 제3 동작 사이클을 포함할 수 있다.

[0020] 다음으로, 인터폴레이션부(200)는 한쌍의 차동 신호(COMP_1, COMP_2) 간의 출력 시간 차에 기초하여, 스킵 신호를 SAR 로직부(300)로 출력할 수 있다. 여기서, 스킵 신호는 '00' 또는 '11'와 같은 서로 동일한 비트를 가진 데이터 신호일 수 있다.

[0021] 구체적으로, 한쌍의 차동 신호(COMP_1, COMP_2) 간의 출력 시간 차가 기설정된 크기 미만인 경우, 인터폴레이션부(200)는 스킵 신호를 SAR 로직부(300)로 출력할 수 있다. 여기서, 스킵 신호는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 결정을 보류시키기 위한 신호일 수 있다.

[0022] 즉, 인터폴레이션부(200)는 한쌍의 차동 신호(COMP_1, COMP_2) 간의 작은 입력 전압 차이에서 빈번히 발생하는 단위 비트 정보(BIT_{OUT})에 대한 결정 오류를 감소시키기 위하여, 인터폴레이션부(200)는 스킵 신호를 SAR 로직부

(300)로 출력할 수 있다.

[0023] 또한, 한쌍의 차동 신호(COMP_1, COMP_2) 간의 출력 시간 차가 기설정된 크기 이상인 경우, 인터폴레이션부(200)는 스킵 신호를 출력하지 않을 수 있다.

[0024] 다음으로, SAR 로직부(300)는 스킵 신호에 응답하여, 한쌍의 차동 신호(COMP_1, COMP_2)에 따라 출력되는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 결정을 보류할 수 있다. 여기서, 디지털 코드(Dout)는 5BIT 데이터이고, 단위 비트 정보(BIT_{OUT})는 2BIT 마다의 비트 정보일 수 있다.

[0025] 예를 들면, 디지털 코드(Dout)가 10110인 경우, SAR 로직부(300)는 스킵 신호에 응답하여 한쌍의 차동 신호(COMP_1, COMP_2)에 따라 결정되는 10110의 '10'에 대한 출력을 보류할 수 있다.

[0026] 또한, SAR 로직부(300)는 디지털 코드(Dout)의 나머지 비트 정보에 기초하여, 출력이 보류된 단위 비트 정보(BIT_{OUT})를 결정할 수 있다. 이에 따라, SAR 로직부(300)는 한쌍의 차동 신호(COMP_1, COMP_2)에 따라 결정되는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 오류를 감소시킬 수 있다.

[0027] 본 출원의 실시예에 따른 축차 비교형 아날로그-디지털 변환기(10)는 인터폴레이션부(200)를 통해 단위 비트 동작 모드에 따라 생성된 한쌍의 차동 신호(COMP_1, COMP_2) 간의 출력 시간 차에 따라 스킵 신호를 생성할 수 있다. 이때, 축차 비교형 아날로그-디지털 변환기(10)는 스킵 신호에 응답하여, 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 결정을 보류시킬 수 있다. 이에 따라, 축차 비교형 아날로그-디지털 변환기(10)는 한쌍의 차동 신호(COMP_1, COMP_2)를 생성하기 위한 차동 신호 생성부(100)의 회로 구성을 감소시키는 동시에, 한쌍의 차동 신호(COMP_1, COMP_2)의 출력 시간 차 오류에 둔감한 보간법(error-tolerant interpolation)을 제공할 수 있다.

[0028] 도 2는 도 1의 차동 신호 생성부(100)에 대한 블록도이다.

[0029] 도 2를 참조하면, 차동 신호 생성부(100)는 샘플링 앤 홀드부(110), 컨버터부(120) 및 비교부(130)를 포함할 수 있다.

[0030] 먼저, 샘플링 앤 홀드부(110)는 아날로그 입력 전압(V_{IN})을 샘플링 신호에 따라 샘플링 전압(V_{SP}, V_{SN})으로 샘플링 할 수 있다. 여기서, 샘플링 전압(V_{SP}, V_{SN})은 최소 비교 입력 전압(0V)과 최대 비교 입력 전압(V_{REF}) 사이의 샘플링 구간(0~V_{REF})을 포함할 수 있다.

[0031] 다음으로, 컨버터부(120)는 샘플링 전압(V_{SP}, V_{SN})을 각 비교 입력 전압($V1_P$, $V1_N$, $V2_P$, $V2_N$)으로 컨버팅할 수 있다.

[0032] 실시예에 따라, 컨버터부(120)는 단위 비트 동작 모드에 따라, 샘플링 구간(0~V_{REF})을 조절하기 위한 커패시터 스위칭(Capacitor switching) 동작을 수행할 수 있다.

[0033] 여기서, 커패시터 스위칭 동작은 단위 비트 동작 모드에 따라 기설정된 연산 전압과 샘플링 전압(V_{SP}, V_{SN})을 연산하는 동작일 수 있다. 이때, 기설정된 연산 전압은 SAR 로직부(300)를 통해 출력되는 디지털 코드(D_{OUT})의 단위 비트 정보BIT_{OUT})에 대응될 수 있다.

[0034] 예를 들면, 디지털 코드(D_{OUT})의 단위 비트 정보(BIT_{OUT})가 "11" 인 경우, 디지털 코드(D_{OUT})의 제1 비트(MSB)에 기설정된 연산 전압은 -1/4 V_{REF}이고, 디지털 코드(D_{OUT})의 제2 비트(MSB-1)에 기설정된 연산 전압은 -1/8 V_{REF}일 수 있다. 또한, 단위 비트 정보(BIT_{OUT})가 "10" 인 경우, 디지털 코드(D_{OUT})의 제1 비트(MSB)에 기설정된 연산 전압 크기는 -1/4 V_{REF}이고, 디지털 코드(D_{OUT})의 제2 비트(MSB-1)에 기설정된 연산 전압 크기는 +1/8 V_{REF}일 수 있다.

[0035] 다음으로, 비교부(130)는 각 비교 입력 전압($V1_P$, $V1_N$, $V2_P$, $V2_N$)에 기초하여, 한쌍의 차동 신호(COMP_1, COMP_2)를 출력할 수 있다.

[0036] 구체적으로, 비교부(130)는 각 비교 입력 전압($V1_P$, $V1_N$, $V2_P$, $V2_N$) 중 제1 및 제2 비교 입력 전압($V1_P$, $V1_N$)을 비교하고, 비교 결과에 기초하여, 제1 차동 신호(COMP_1)를 출력할 수 있다. 또한, 비교부(130)는 각 비교 입력

전압($V1_P$, $V1_N$, $V2_P$, $V2_N$) 중 제3 및 제4 비교 입력 전압($V2_P$, $V2_N$)을 비교하고, 비교 결과에 기초하여, 제2 차동 신호(COMP_2)를 출력할 수 있다.

[0037] 예를 들면, 제1 비교 입력 전압($V1_P$)이 제2 비교 입력 전압($V1_N$)보다 큰 경우, 비교부(130)는 (1,0)의 값을 갖는 제1 차동 신호(COMP_1)를 출력할 수 있다. 또한, 제3 비교 입력 전압($V2_P$)이 제4 비교 입력 전압($V2_N$)보다 작은 경우, 비교부(130)는 (0,1)의 값을 갖는 제2 차동 신호(COMP_1)를 출력할 수 있다.

[0038] 도 3은 도 2의 샘플링 앤 홀드부(110)를 구체적으로 보여주는 도이다.

[0039] 도 1 내지 도 3을 참조하면, 샘플링 앤 홀드부(110)는 제1 및 제2 스위치(111, 112)를 포함할 수 있다.

[0040] 제1 및 제2 스위치(111, 112)는 기설정된 샘플링 신호(SAMP)에 따라, 아날로그 입력 전압(V_{INP}, V_{INM})을 입력받는 입력 노드(N_{INP}, N_{INM})와 컨버터부(120)를 스위칭 연결 및 차단시킬 수 있다.

[0041] 구체적으로, 제1 스위치(111)는 기설정된 샘플링 신호(SAMP)에 따라, 아날로그 입력 전압(V_{INP}, V_{INM}) 중 제1 아날로그 입력 전압(V_{INP})을 입력받는 제1 입력 노드(N_{INP})와 컨버터부(120)를 스위칭 연결 및 차단시킬 수 있다. 예를 들면, 기설정된 샘플링 신호(SAMP)가 HIGH 상태인 경우, 제1 및 제2 스위치(111, 112)는 입력 노드(N_{INP}, N_{INM})와 컨버터부(120)를 스위칭 연결시킬 수 있다.

[0042] 또한, 제2 스위치(112)는 기설정된 샘플링 신호(SAMP)에 따라, 아날로그 입력 전압(V_{INP}, V_{INM}) 중 제2 아날로그 입력 전압(V_{INM})을 입력받는 제2 입력 노드(N_{INM})와 컨버터부(120)를 스위칭 연결 및 차단시킬 수 있다. 예를 들면, 기설정된 샘플링 신호(SAMP)가 LOW 상태인 경우, 제1 및 제2 스위치(111, 112)는 입력 노드(N_{INP}, N_{INM})와 컨버터부(120)를 스위칭 차단시킬 수 있다.

[0043] 이하, 도 4를 참조하여,도 2의 컨버터부(120)와 비교부(130)에 대해 보다 구체적으로 설명될 것이다.

[0044] 도 4는 도 2의 컨버터부(120)와 비교부(130)를 구체적으로 보여주는 도이다.

[0045] 도 1 내지 도 4를 참조하면, 컨버터부(120)는 제1 내지 제4 커패시터 컨버터(121~124)를 포함할 수 있다.

[0046] 먼저, 제1 커패시터 컨버터(121)는 샘플링 전압(V_{SP}, V_{SN}) 중 제1 샘플링 전압(V_{SP})을 제1 비교 입력 전압($V1_P$)으로 컨버팅할 수 있다. 또한, 제2 커패시터 컨버터(122)는 샘플링 전압(V_{SP}, V_{SN}) 중 제2 샘플링 전압(V_{SN})을 제2 비교 입력 전압($V1_N$)으로 컨버팅할 수 있다. 또한, 제3 커패시터 컨버터(123)는 샘플링 전압(V_{SP}, V_{SN}) 중 제1 샘플링 전압(V_{SP})을 제3 비교 입력 전압($V2_P$)으로 컨버팅할 수 있다. 또한, 제4 커패시터 컨버터(124)는 샘플링 전압(V_{SP}, V_{SN}) 중 제2 샘플링 전압(V_{SN})을 제2 비교 입력 전압($V1_N$)으로 컨버팅할 수 있다.

[0047] 이러한 제1 내지 제4 커패시터 컨버터(121~124) 각각은 제1 및 제2 스위치(111, 112) 중 어느 하나에 일측이 연결되고, 비교부(130)에 타측이 연결될 수 있다. 또한, 제1 및 제3 커패시터 컨버터(121, 123)는 일측이 제1 스위치(111)에 대하여 병렬로 연결되고, 제2 및 제4 커패시터 컨버터(122, 124)는 일측이 제2 스위치(112)에 대하여 병렬로 연결될 수 있다. 또한, 제1 및 제2 커패시터 컨버터(121, 122)는 타측이 제1 비교기(131)에 연결되고, 제3 및 제4 커패시터 컨버터(123, 124)는 타측이 제2 비교기(132)에 연결될 수 있다.

[0048] 또한, 제1 내지 제4 커패시터 컨버터(121~124) 각각은 커패시터 스위칭 동작을 수행하는 CDAC(Capacitive Digital to Analog Converter)일 수 있다. 즉, 제1 내지 제4 커패시터 컨버터(121~124) 각각은 커패시터 스위칭 동작을 통해 단위 비트 동작 모드에 따라 한쌍의 샘플링 전압(V_{SP}, V_{SN})의 샘플링 구간을 조절할 수 있다.

[0049] 다음으로, 비교부(130)는 제1 및 제2 비교기(131, 132)를 포함할 수 있다.

[0050] 먼저, 제1 비교기(131)는 제1 및 제2 커패시터 컨버터(121, 122)를 통해 컨버팅된 제1 및 제2 비교 입력 전압($V1_P$, $V1_N$) 간의 차이에 기초하여, 제1 차동 신호(COMP_1)를 출력할 수 있다.

[0051] 구체적으로, 제1 비교기(131)는 제1 커패시터 컨버터(121)를 통해 컨버팅된 제1 비교 입력 전압($V1_P$)을 양(+)의 입력단으로 입력받고, 제2 커패시터 컨버터(122)를 통해 컨버팅된 제2 비교 입력 전압($V1_N$)을 음(-)의 입력단으로 입력받을 수 있다. 이때, 제1 비교기(131)는 제1 및 제2 비교 입력 전압($V1_P$, $V1_N$)을 비교하고, 비교 결과에

기초하여 제1 차동 신호(COMP_1)를 출력할 수 있다.

[0052] 다음으로, 제2 비교기(132)는 제3 및 제4 커패시터 컨버터(123, 124)를 통해 컨버팅된 제3 및 제4 비교 입력 전압($V2_P$, $V2_N$) 간의 차이에 기초하여, 제2 차동 신호(COMP_2)를 출력할 수 있다.

[0053] 구체적으로, 제2 비교기(132)는 제3 커패시터 컨버터(123)를 통해 컨버팅된 제3 비교 입력 전압($V2_P$)을 양(+)의 입력단으로 입력받고, 제4 커패시터 컨버터(124)를 통해 컨버팅된 제4 비교 입력 전압($V2_N$)을 음(-)의 입력단으로 입력받을 수 있다. 이때, 제2 비교기(132)는 제3 및 제4 비교 입력 전압($V2_P$, $V2_N$)을 비교하고, 비교 결과에 기초하여 제2 차동 신호(COMP_2)를 출력할 수 있다.

[0054] 실시예에 따른 비교부(130)는 한쌍의 차동 신호(COMP_1, COMP_2)만을 출력하도록 제1 및 제2 비교기(131, 132)만을 포함할 수 있으므로, 복수의 레벨 신호들을 출력하기 위한 종래의 비교기들의 개수를 감소시킬 수 있다.

[0055] 도 5a는 인터폴레이션부(200)를 구체적으로 보여주는 도이고, 도 5b는 도 5a의 제1 플립플롭(210)에 대한 입출력 신호의 타이밍 도이고, 도 5c는 도 5a의 제2 플립플롭(220)에 대한 입출력 신호의 타이밍 도이다.

[0056] 도 1 내지 도 5를 참조하면, 인터폴레이션부(200)는 제1 및 제2 플립플롭(210, 220)을 포함할 수 있다.

[0057] 먼저, 제1 플립플롭(210)은 차동 신호 생성부(100)를 통해 생성된 한쌍의 차동 신호(COMP_1, COMP_2) 중 제1 차동 신호((COMP_1)를 데이터(D)로 입력받고, 제2 차동 신호(COMP_2)를 클럭 데이터(CK)로 출력받을 수 있다.

[0058] 다음으로, 제2 플립플롭(220)은 차동 신호 생성부(100)를 통해 생성된 한쌍의 차동 신호(COMP_1, COMP_2) 중 제2 차동 신호((COMP_2)를 데이터(D)로 입력받고, 제1 차동 신호((COMP_1)를 클럭 데이터(CK)로 출력받을 수 있다.

[0059] 도 5b에 도시된 바와 같이, 한쌍의 차동 신호(COMP_1, COMP_2)를 입력받는 시간차(td)가 일정 시간 크기(t_{su}) 미만인 경우, 제1 및 제2 플립플롭(210, 220)은 서로 동일한 비트 신호(Q1=Q2)를 출력 신호((Q1, Q2)로 SAR 로직부(300)에 출력할 수 있다. 여기서, 서로 동일한 비트 신호(Q1, Q2)는 '00' 또는 '11'에 대응되는 스킵 신호(Q1=Q2)일 수 있다.

[0060] 도 5c에 도시된 바와 같이, 한쌍의 차동 신호(COMP_1, COMP_2)를 입력받는 시간차(td)가 일정 시간 크기(t_{su}) 미만인 경우, 제1 및 제2 플립플롭(210, 220)은 서로 다른 비트 신호(Q1≠Q2)를 출력 신호((Q1, Q2)로 SAR 로직부(300)에 출력할 수 있다. 여기서, 서로 다른 비트 신호(Q1, Q2)는 '10' 또는 '01'일 수 있다.

[0061] 도 6은 도 1의 SAR 로직부(300)의 동작을 설명하기 위한 도이다.

[0062] 도 1 내지 도 6을 참조하면, SAR 로직부(300)는 인터폴레이션부(200)를 통해 서로 다른 비트 신호(Q1≠Q2)를 입력받는 경우, 한쌍의 차동 신호(COMP_1, COMP_2)에 기초하여, 단위 비트 동작 모드에 따라 결정되는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})를 출력할 수 있다.

[0063] 또한, SAR 로직부(300)는 인터폴레이션부(200)를 통해 서로 동일한 비트 신호(Q1=Q2)를 입력받는 경우, 단위 비트 동작 모드에 따라 결정되는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 출력을 보류할 수 있다. 즉, SAR 로직부(300)는 인터폴레이션부(200)를 통해 입력받는 스킵 신호(Q1=Q2)에 응답하여, 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 출력을 보류할 수 있다.

[0064] 이때, SAR 로직부(300)는 스킵 신호(Q1=Q2)에 응답하여, 컨버터부(120)의 커패시터 스위칭 동작을 스킵시키기 위한 스위칭 스킵 신호(Switching Skip)를 컨버터부(120)로 피드백 출력할 수 있다.

[0065] 도 7은 도 1의 축차 비교형 아날로그-디지털 변환기(10)에 대한 동작 프로세스이다.

[0066] 도 7을 참조하면, 먼저, S110 단계에서, 차동 신호 생성부(100)는 아날로그 입력 전압(V_{IN})에 기초하여, 한쌍의 차동 신호(COMP_1, COMP_2)를 생성할 수 있다.

[0067] 그런 다음, S120 단계에서, 인터폴레이션부(200)는 한쌍의 차동 신호(COMP_1, COMP_2)를 입력받는 시간차에 기초하여, 스킵 신호를 출력할 수 있다.

[0068] 이때, S130 단계에서, SAR 로직부(300)는 인터폴레이션부(200)를 통해 입력받는 스킵 신호에 응답하여, 단위 비

트 동작 모드에 따라 결정되는 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})에 대한 출력을 보류할 수 있다.

[0069] 이후, S140 단계에서, SAR 로직부(300)는 디지털 코드(Dout)의 나머지 비트 정보에 기초하여, 단위 비트 정보(BIT_{OUT})를 결정할 수 있다.

[0070] 도 8은 도 1의 축차 비교형 아날로그-디지털 변환기(10)를 구체적으로 보여주는 도이고, 도 9는 도 7의 인터폴레이션부(200)에 대한 동작 프로세스이고, 도 10a와 도 10b는 도 8의 축차 비교형 아날로그-디지털 변환기(10)의 2bit cycle for 5bit 동작 예이다.

[0071] 도 8 내지 도 10을 참조하면, 축차 비교형 아날로그-디지털 변환기(10)는 2bit cycle에 대응되는 단위 비트 동작 모드로 동작하여, 5bit에 대응되는 디지털 코드(D_{OUT})를 출력할 수 있다.

[0072] 여기서, 단위 비트 동작 모드는 Phase 0 모드 내지 Phase 3 모드를 포함하고, 각 Phase 모드에서는 샘플링 전압(V_{SP}, V_{SN})의 샘플링 구간이 감소될 수 있다. 예를 들면, Phase 1 모드에 대응되는 샘플링 구간은 $0V_{REF}$~V_{REF}이고, Phase 2 모드에 대응되는 샘플링 구간은 $5/8V_{REF}$~$3/8V_{REF}$이며, Phase 3 모드에 대응되는 샘플링 구간은 $17/32V_{REF}$~$15/32V_{REF}$일 수 있다.

[0073] 먼저, S210 단계에서, 샘플링 앤 홀드부(110)가 단위 비트 동작 모드에 따라 샘플링 전압(V_{SP}, V_{SN})을 샘플링 구간(예컨대, $0V_{REF}$~V_{REF})으로 샘플링할 때, 인터폴레이션부(200)는 제1 및 제2 비교 입력 전압($V1_P$, $V2_P$)에 대응되는 초기 전압(V_{NT})을 결정할 수 있다.

[0074] 여기서, 초기 전압(V_{NT})은 도 10a에 도시된 바와 같이, Phase 0 모드의 빨강 실선을 의미할 수 있다.

[0075] 그런 다음, S220 단계에서, 인터폴레이션부(200)는 단위 비트 동작 모드에 따라 변화되는 연산 전압을 이용하여, 가상 전압(VI)을 결정할 수 있다. 여기서, 연산 전압은 커패시터 스위칭 동작을 통해 순차적으로 변화되는 제1 및 제3 비교 입력 전압에 대한 변화 값일 수 있다.

[0076] 예를 들면, 단위 비트 동작 모드의 Phase 0 모드에서는 제1 연산 전압(예컨대, $V1_P$: $+1/4V_{REF}$, $V2_P$: $-1/4V_{REF}$)이 이용될 수 있다. 또한, 단위 비트 동작 모드의 Phase 1 모드에서는 제2 연산 전압(예컨대, $V1_P$: $+1/8V_{REF}$, $V2_P$: $-1/8V_{REF}$)과 제3 연산 전압(예컨대, $V1_P$: $+1/16V_{REF}$, $V2_P$: $-1/16V_{REF}$)이 순차적으로 이용될 수 있다. 단위 비트 동작 모드의 Phase 2 모드에서는 제4 연산 전압(예컨대, $V1_P$: $+1/32V_{REF}$, $V2_P$: $-1/32V_{REF}$)이 이용될 수 있다.

[0077] 이때, 가상 전압(VI)은 제1 및 제3 비교 입력 전압($V1_P$, $V2_P$)에 대한 평균 값일 수 있다.

[0078] 도 10a에 도시된 바와 같이, 가상 전압(VI)은 빨강 점선을 의미하고, 제1 및 제3 비교 입력 전압($V1_P$, $V2_P$)은 빨강 점선에 대응되는 위치에 위치하는 한쌍의 빨강 실선을 의미할 수 있다.

[0079] 그런 다음, S230 단계에서, 인터폴레이션부(200)는 가상 전압(VI)과 샘플링 구간 별로 기설정된 스킵 구간을 비교할 수 있다. 예를 들면, 샘플링 구간이 $0V_{REF}$~V_{REF} 인 경우, 기설정된 스킵 구간은 $5/8V_{REF}$~$3/8V_{REF}$이고, 샘플링 전압(V_{SP}, V_{SN})의 샘플링 구간이 $5/8V_{REF}$~$3/8V_{REF}$인 경우, 기설정된 스킵 구간은 $17/32V_{REF}$~$15/32V_{REF}$일 수 있다.

[0080] 도 10a에 도시된 바와 같이, 기설정된 스킵 구간은 샘플링 구간 별로 기설정된 한쌍의 파랑 실선 사이의 영역을 의미할 수 있다.

[0081] 이때, S240 단계에서, 가상 전압(VI)이 스킵 구간에 포함된 경우, 인터폴레이션부(200)는 서로 동일한 비트 신호(Q1=Q2)에 대응되는 스킵 신호(No CDAC Switching)를 출력할 수 있다.

[0082] 그런 다음, S250 단계에서, 인터폴레이션부(200)는 샘플링 구간에 기설정된 리턴 전압을 이용하여, 가상 전압(VI)을 초기 전압(V_{NT})으로 리턴시킬 수 있다. 여기서, 리턴 전압은 해당 샘플링 구간에서 초기 상태(original state)의 연산 전압에 대응될 수 있다.

[0083] 도 10a에 도시된 바와 같이, 리턴 전압은 $0V_{REF}$~V_{REF} 인 샘플링 구간에서 초기 상태의 제1 연산 전압(예컨대, $V1_P$: $+1/4V_{REF}$, $V2_P$: $-1/4V_{REF}$)의 반대 부호를 가지고, $5/8V_{REF}$~$3/8V_{REF}$ 인 샘플링 구간에서 초기 상태의 제3 연산 전압

(예컨대, $V1_P$: $+1/16V_{REF}$, $V2_P$: $-1/16V_{REF}$)의 반대 부호를 가질 수 있다.

[0084] 그런 다음, 단위 비트 동작 모드가 Phase 3 모드에 대응되지 않는 경우, 인터폴레이션부(200)는 단위 비트 동작 모드의 Phase 2 모드에 따라 S220 내지 S250 단계를 반복 수행할 수 있다.

[0085] 한편, S260 단계에서, 가상 전압(VI)이 스킵 구간에 벗어난 경우, 인터폴레이션부(200)는 서로 다른 비트 신호(Q1≠Q2)를 출력할 수 있다.

[0086] 그런 다음, S270 단계에서, 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})가 결정될 때, 인터폴레이션부(200)는 단위 비트 동작 모드에 따라 변화되는 연산 전압을 이용하여, 가상 전압(VI)을 조절할 수 있다.

[0087] 도 10b에 도시된 바와 같이, Phase 1 모드의 가상 전압(예컨대, 빨강 점선)이 스킵 구간(파랑 실선)에 벗어나, Phase 2 모드에서 디지털 코드(Dout)의 단위 비트 정보(BIT_{OUT})가 결정될 때, 인터폴레이션부(200)는 Phase 2 모드에서 제4 연산 전압(예컨대, $V1_P$: $+1/32V_{REF}$, $V2_P$: $-1/32V_{REF}$)을 이용하여 가상 전압(VI)을 조절할 수 있다.

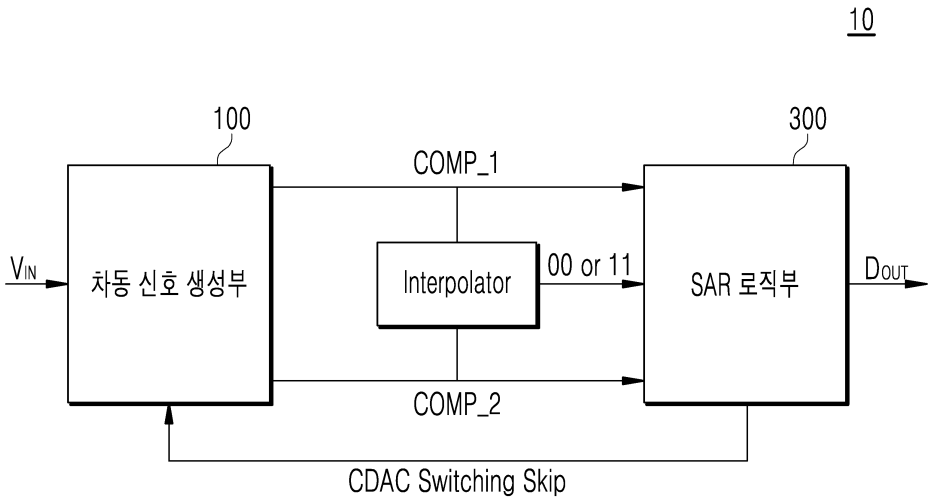
[0088] 이후, S280 단계에서, 단위 비트 동작 모드가 Phase 3에 대응되는 경우, 인터폴레이션부(200)는 초기 전압과 컨버터부(120)를 통해 Phase 3에서 조절된 샘플링 구간(예컨대, $17/32V_{REF}$~$15/32V_{REF}$)을 비교할 수 있다.

[0089] 즉, 도 10b에 도시된 바와 같이, 2bit cycle for 5bit로 동작하는 축차 비교형 아날로그-디지털 변환기(10)의 Phase 1 모드는 S210 내지 S250 단계와 S220 단계를 재수행하는 단계를 포함할 수 있다. 또한, Phase 2 모드는 S260 단계, S270 단계 및 S230 내지 S250 단계를 재수행하는 단계를 포함할 수 있다. 또한, Phase 3 모드는 S280 단계를 포함할 수 있다.

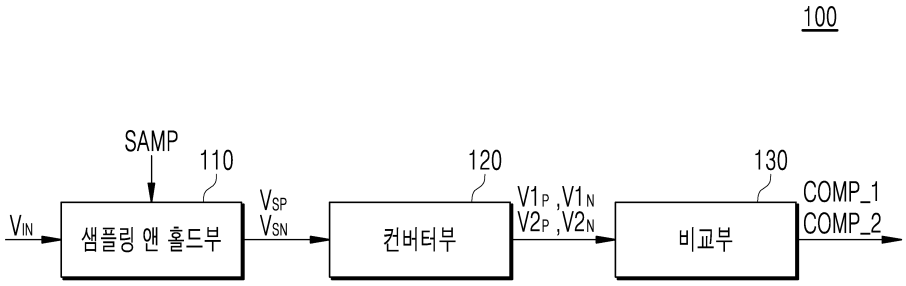
[0090] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

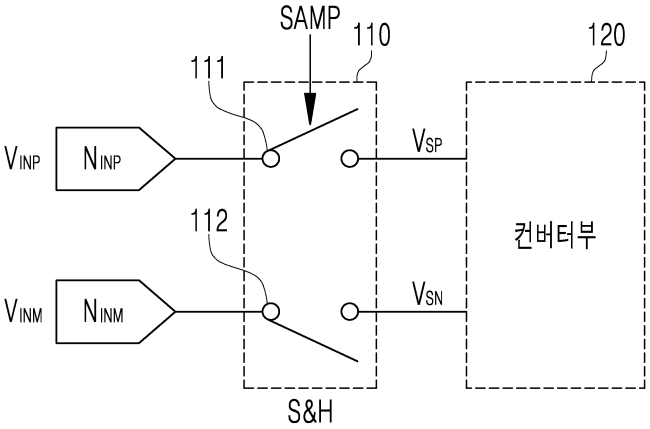
도면1



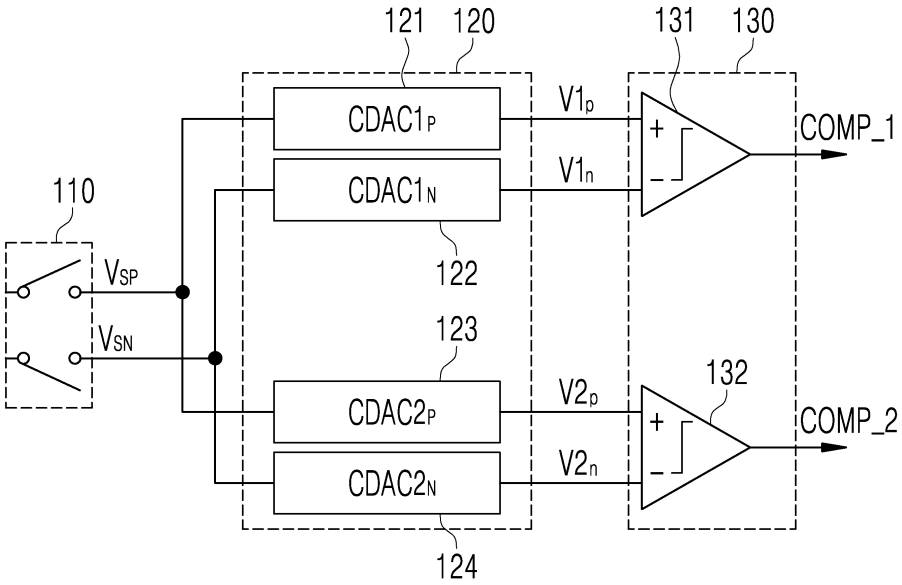
도면2


100
SAMP
110
120
130
VIN
샘플링 앤 홀드부
VSP
VSN
컨버터부
V1P ,V1N
V2P ,V2N
비교부
COMP_1
COMP_2

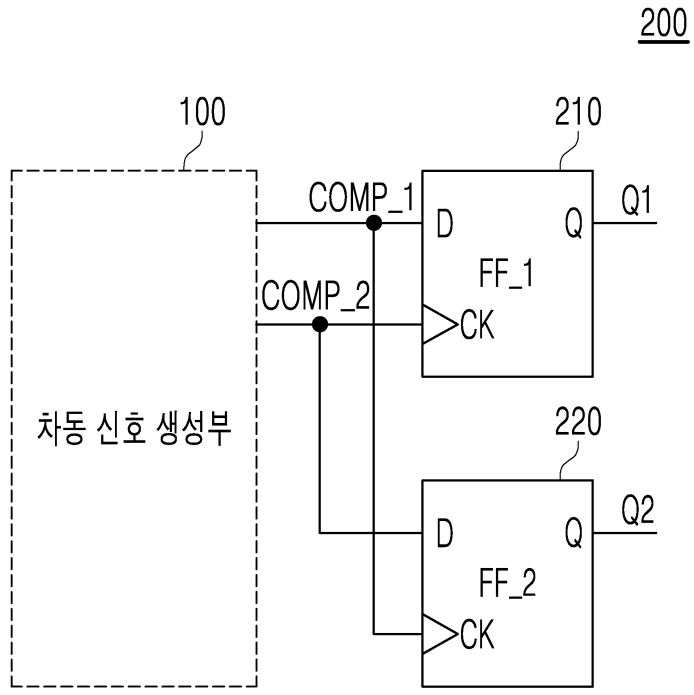
도면3


SAMP
110
120
111
VINP
NINP
VSP
112
컨버터부
VINM
NINM
VSN
S&H

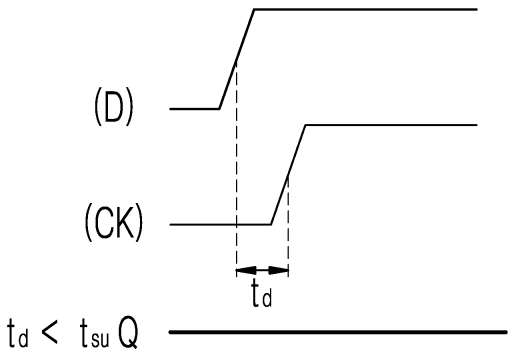
도면4


121
120
131
130
CDAC1P
V1p
COMP_1
CDAC1N
V1n
110
VSP
122
VSN
123
132
CDAC2P
V2p
COMP_2
CDAC2N
V2n
124

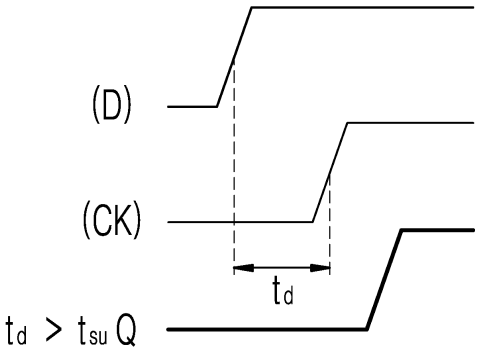
도면5a


200
100
210
COMP_1
D
Q
Q1
FF_1
COMP_2
CK
차동 신호 생성부
220
D
Q
Q2
FF_2
CK

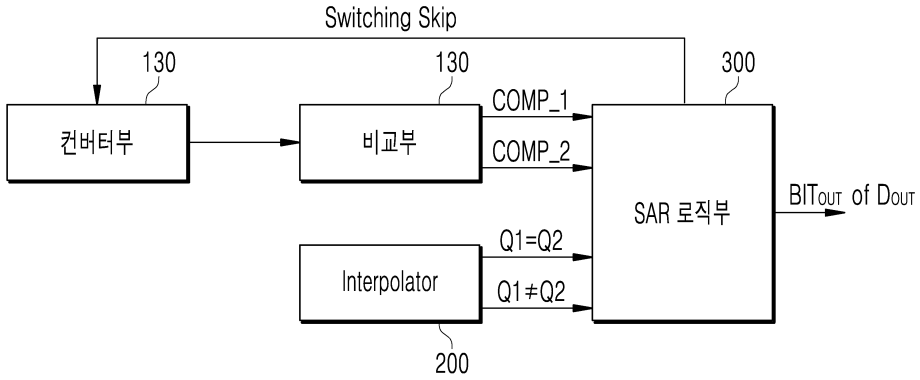
도면5b


(D)
(CK)
td
td < tsu Q

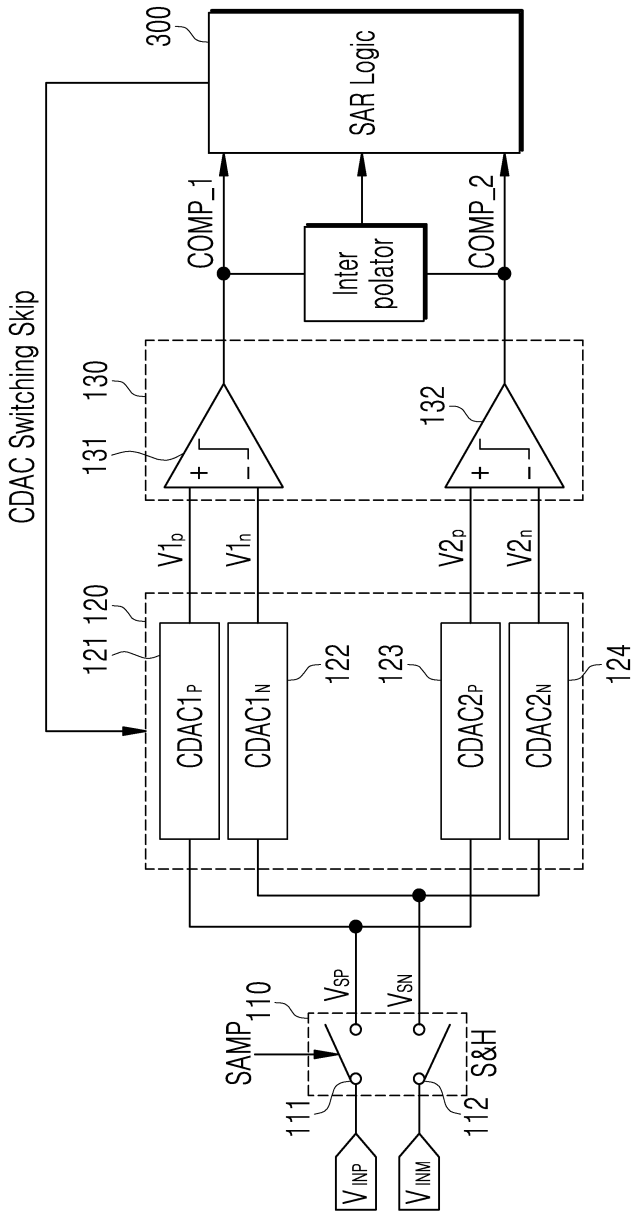
도면5c


(D)
(CK)
td
td > tsu Q

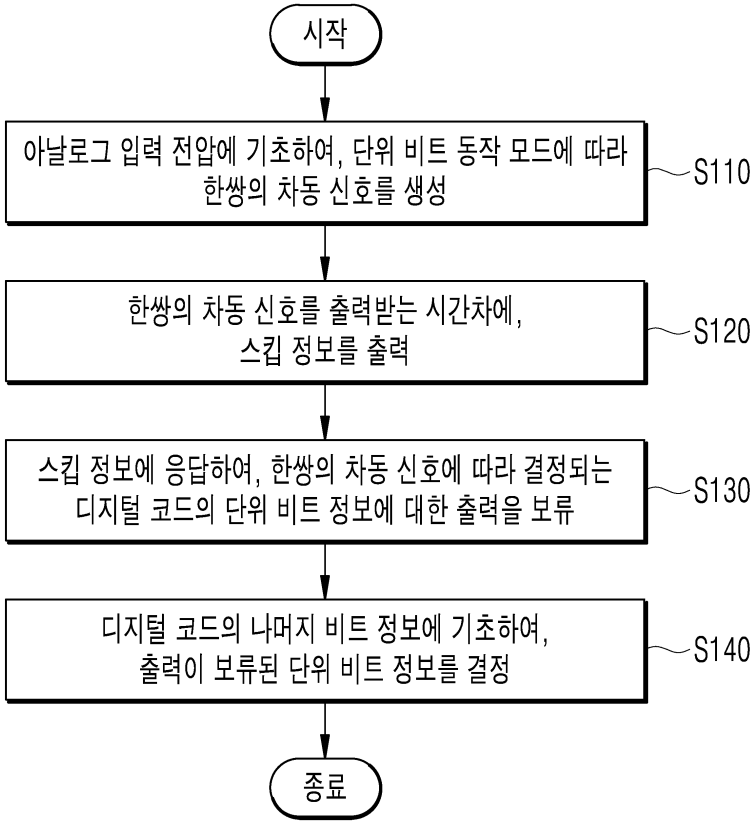
도면6


Switching Skip
130
130
300
컨버터부
비교부
COMP_1
COMP_2
SAR 로직부
BITOUT of DOUT
Q1=Q2
Q1≠Q2
Interpolator
200

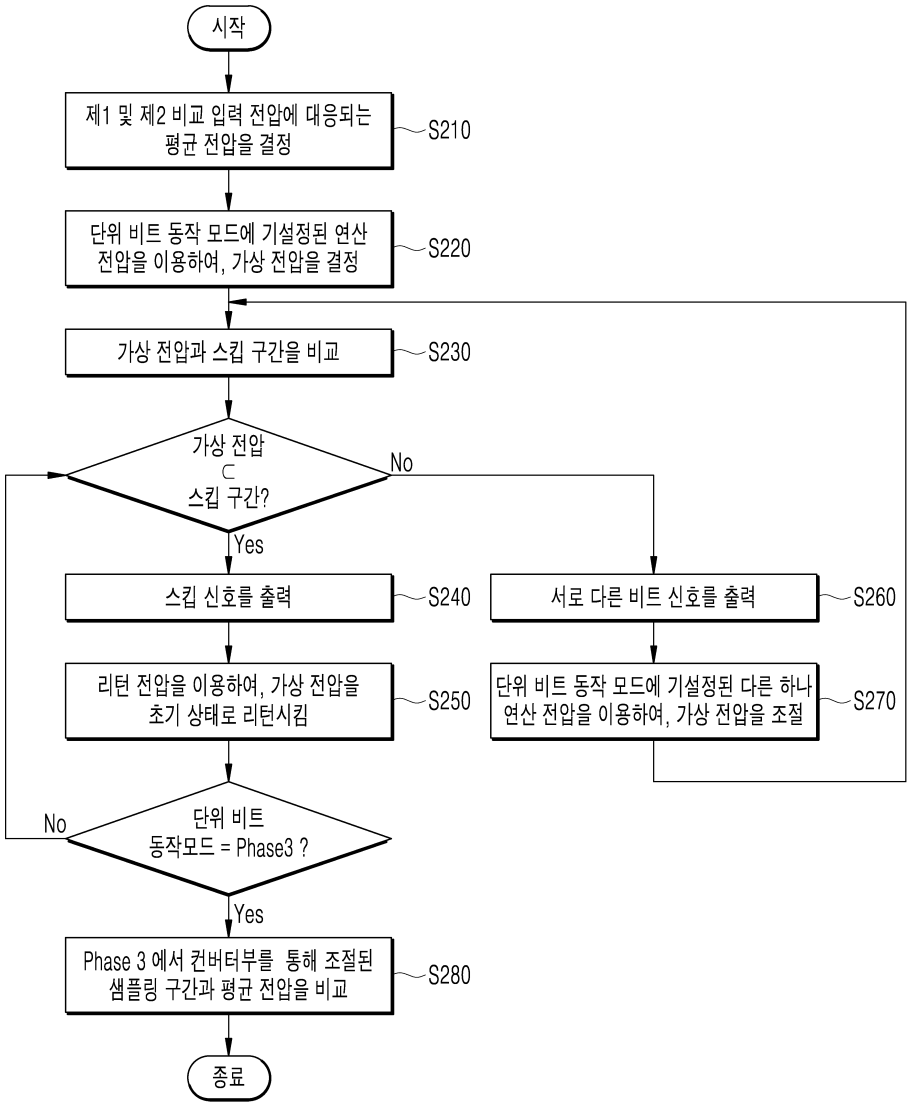
도면7


300
SAR Logic
COMP_1
COMP_2
Inter polator
CDAC Switching Skip
130
131
132
+
-
V1p
V1n
V2p
V2n
120
121
122
123
124
CDAC1P
CDAC1N
CDAC2P
CDAC2N
SAMP
110
VSP
VSN
S&H
111
112
VINP
VINM

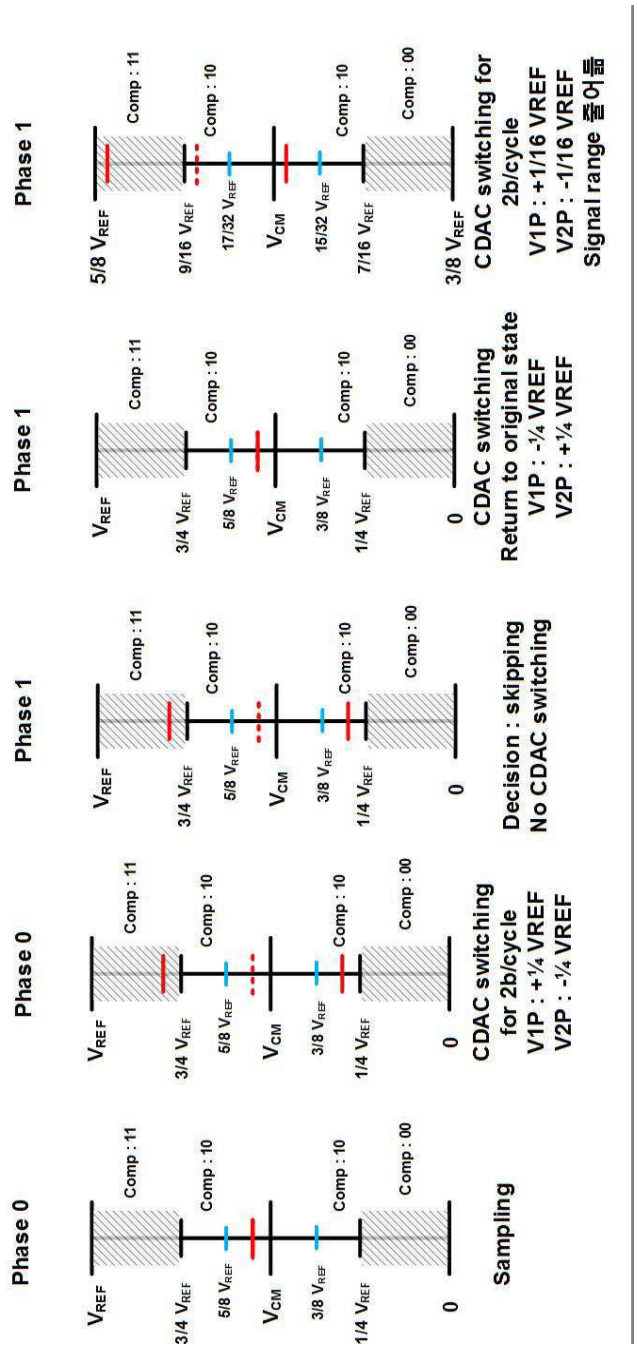
도면8


시작
아날로그 입력 전압에 기초하여, 단위 비트 동작 모드에 따라 한쌍의 차동 신호를 생성
S110
한쌍의 차동 신호를 출력받는 시간차에, 스킵 정보를 출력
S120
스킵 정보에 응답하여, 한쌍의 차동 신호에 따라 결정되는 디지털 코드의 단위 비트 정보에 대한 출력을 보류
S130
디지털 코드의 나머지 비트 정보에 기초하여, 출력이 보류된 단위 비트 정보를 결정
S140
종료

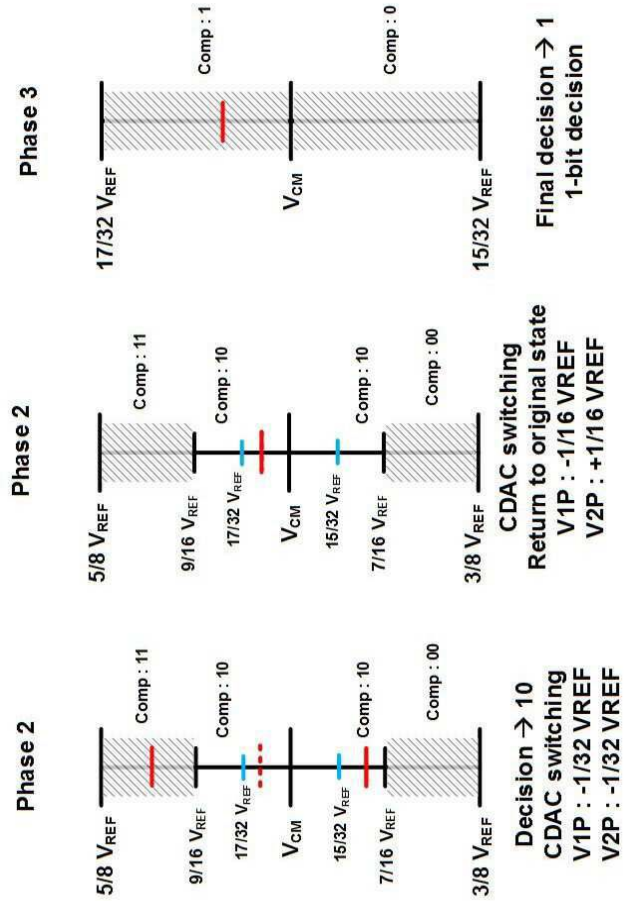
도면9


시작
제1 및 제2 비교 입력 전압에 대응되는 평균 전압을 결정
S210
단위 비트 동작 모드에 기설정된 연산 전압을 이용하여, 가상 전압을 결정
S220
가상 전압과 스킵 구간을 비교
S230
가상 전압 ⊂ 스킵 구간?
No
Yes
스킵 신호를 출력
S240
서로 다른 비트 신호를 출력
S260
리턴 전압을 이용하여, 가상 전압을 초기 상태로 리턴시킴
S250
단위 비트 동작 모드에 기설정된 다른 하나 연산 전압을 이용하여, 가상 전압을 조절
S270
No
단위 비트 동작모드 = Phase3 ?
Yes
Phase 3 에서 컨버터부를 통해 조절된 샘플링 구간과 평균 전압을 비교
S280
종료

도면10a


Phase 0
Phase 0
Phase 1
Phase 1
Phase 1
Sampling
CDAC switching for 2b/cycle
V1P : +¼ VREF
V2P : -¼ VREF
Decision : skipping
No CDAC switching
CDAC switching
Return to original state
V1P : -¼ VREF
V2P : +¼ VREF
CDAC switching for 2b/cycle
V1P : +1/16 VREF
V2P : -1/16 VREF
Signal range 줄어듦
VREF
3/4 VREF
5/8 VREF
VCM
3/8 VREF
1/4 VREF
0
9/16 VREF
17/32 VREF
15/32 VREF
7/16 VREF
3/8 VREF
Comp : 11
Comp : 10
Comp : 00

도면10b


Phase 2
5/8 VREF
9/16 VREF
17/32 VREF
VCM
15/32 VREF
7/16 VREF
3/8 VREF
Comp : 11
Comp : 10
Comp : 10
Comp : 00
Decision → 10
CDAC switching
V1P : -1/32 VREF
V2P : -1/32 VREF
Phase 2
5/8 VREF
9/16 VREF
17/32 VREF
VCM
15/32 VREF
7/16 VREF
3/8 VREF
Comp : 11
Comp : 10
Comp : 10
Comp : 00
CDAC switching
Return to original state
V1P : -1/16 VREF
V2P : +1/16 VREF
Phase 3
17/32 VREF
VCM
15/32 VREF
Comp : 1
Comp : 0
Final decision → 1
1-bit decision