



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt



(10) DE 102 23 763 B4 2009.07.23

(12)

## Patentschrift

(21) Aktenzeichen: 102 23 763.8

(22) Anmelddetag: 28.05.2002

(43) Offenlegungstag: 28.05.2003

(45) Veröffentlichungstag  
der Patenterteilung: 23.07.2009

(51) Int Cl.<sup>8</sup>: H01L 23/58 (2006.01)  
H03K 19/003 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2001-336161** 01.11.2001 JP

(73) Patentinhaber:  
**Mitsubishi Denki K.K., Tokyo, JP**

(74) Vertreter:  
**PRÜFER & PARTNER GbR, 81479 München**

(72) Erfinder:  
**Kajimoto, Takeshi, Tokio/Tokyo, JP**

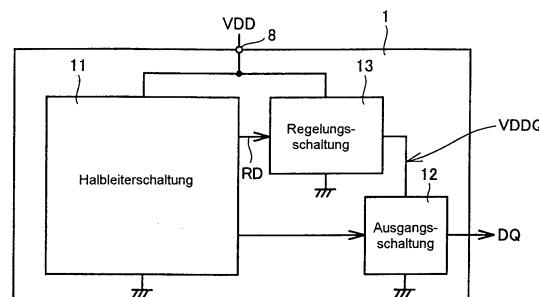
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE	43 34 918	C2
DE	42 33 947	C2
DE	196 08 477	A1
EP	07 18 977	B1
EP	06 47 946	B1
JP	59-1 60 219	A
JP	06-1 24 590	A
DE	41 24 427	A1

**M. Horiguchi [u.a.]: A Funable CMOS-DRAM Voltage Limiter In. IEEE J. Sol. Stat. Phys., Bd. 25, Nr. 5, 1990, S. 1129-1135**

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Hauptanspruch: Halbleitervorrichtung (1), die eine Ausgangsschaltung (12) enthält, mit:  
einer Halbleiterschaltung (11), die ausgebildet ist, der Ausgangsschaltung (12) ein Ausgangssteuersignal zuzuführen,  
einem Versorgungsanschluss (8), dem von außen eine an die Halbleiterschaltung (11) anzulegende externe Spannung (VDD) zugeführt werden kann, und  
einer Spannungseinstellschaltung (13), die einen Steuertransistor (Q21) enthält und ausgebildet ist, eine Ausgangsspannung (VDDQ) auszugeben;  
wobei die Spannungseinstellschaltung (13) ausgebildet ist, die dem Versorgungsanschluss (8) zugeführte externe Spannung (VDD) zu teilen und eine geteilte Spannung (VR1) zu erzeugen,  
den Durchlasswiderstand des Steuertransistors (Q21) unter Verwendung eines Spannungsunterschieds zwischen der geteilten Spannung (VR1) und der Ausgangsspannung (VDDQ) zu steuern und somit die Ausgangsspannung (VDDQ) auf einen vorgegebenen Wert einzustellen, der niedriger als die von außen zugeführte externe Spannung (VDD) ist, und  
die Ausgangsspannung (VDDQ) der Ausgangsschaltung (12) zuzuführen.



## Beschreibung

**[0001]** Die Erfindung betrifft das Gebiet der Halbleitervorrichtungen und insbesondere eine Halbleitervorrichtung, die dadurch, daß an eine Ausgangsschaltung eine Spannung angelegt wird, die niedriger als eine Quellspannung eines Halbleiterchips ist, einen Hochgeschwindigkeitsbetrieb mit niedrigem Leistungsverbrauch realisieren und eine Rauschunempfindlichkeit sicherstellen soll.

**[0002]** [Fig. 13](#) ist ein Blockschaltplan eines Halbleiterchips. In [Fig. 13](#) enthält ein Halbleiterchip **1** eine Halbleiterschaltung **11** wie etwa einen Halbleiterspeicher oder eine Halbleiterlogik und eine Ausgangsschaltung **12**. Von der Halbleiterschaltung **11** wird der Ausgangsschaltung **12** ein Ausgangssteuersignal zugeführt. Um einen Einfluß des im Zusammenhang mit einer Ausgabeoperation der Ausgangsschaltung **12** verursachten Rauschens zu vermeiden, ist in einem solchen Halbleiterchip **1** in vielen Fällen neben einem Spannungsversorgungsanschluß, dem eine Quellspannung VDD des Halbleiterchips **1** zugeführt wird, ein Spannungsversorgungsanschluß vorgesehen, dem eine für die Ausgangsschaltung **12** vorgesehene Quellspannung VDDQ zugeführt wird.

**[0003]** Wenn die Verarbeitungsgeschwindigkeit der Halbleitervorrichtung erhöht wird, um einen in den vergangenen Jahren entstandenen Bedarf an höherer Verarbeitungsgeschwindigkeit zu erfüllen, steigt die Anzahl der Umschaltungen zwischen dem H-Pegel und dem L-Pegel. Folglich steigt einer Beziehung "geänderte Spannung × Anzahl der Änderungen" zu folge der Leistungsverbrauch. Zur Senkung des Leistungsverbrauchs muß die Amplitude eines Ausgangssignals der Ausgangsschaltung **12** verringert werden. Aus diesem Grund muß von einem Spannungsversorgungsanschluß der Ausgangsschaltung **12** eine separate Quellspannung zugeführt werden, die von der Quellspannung einer Halbleiterschaltung **11** wie etwa einer Speicherschaltung oder Logikschaltung verschieden und kleiner als diese ist.

**[0004]** Allerdings ist der Spannungsversorgungsanschluß selbst dann, wenn beim Anbringen der Vorrichtung in einem System ein Spannungsversorgungsanschluß für die Ausgangsschaltung vorgesehen ist, wegen der Beschränkung der Anzahl der Spannungsquellschichten eines Anbringungsubstrats und dergleichen insbesondere in einem Halbleiterspeicher häufig mit der gleichen Spannungsquelle verbunden.

**[0005]** Auch wegen der Beschränkung der Anzahl der Schichten eines Anbringungsubstrats ist es schwierig, zur Verringerung der Ausgangsamplitude an den für die Ausgangsschaltung vorgesehenen Spannungsversorgungsanschluß eine Spannung anzulegen, die von einer Quellspannung des Körpers

eines Halbleiterchips **1** verschieden und kleiner als diese ist.

**[0006]** In der DE 43 34 918 C2 ist ein Absenkkonverter zum Absenken einer externen Versorgungsspannung und zum Ausgeben der abgesenkten Spannung an eine interne Schaltung als Versorgungsspannung offenbart. Er enthält eine Referenzspannungserzeugungseinrichtung, eine Teilereinrichtung zum Teilen der internen Versorgungsspannung, eine Vergleichseinrichtung zum Vergleichen der geteilten Spannung mit der Referenzspannung und eine Einstellschaltung zum Einstellen des Teilerverhältnisses der Teilereinrichtung.

**[0007]** Der Erfindung liegt daher die Aufgabe zugrunde, eine Halbleitervorrichtung zu schaffen, die einen Hochgeschwindigkeitsbetrieb ausführen und ein Ausgangssignal mit kleiner Amplitude ausgeben kann, ohne daß ein Spannungsversorgungsanschluß für eine Ausgangsschaltung vorgesehen ist.

**[0008]** Diese Aufgabe wird gelöst durch eine Halbleitervorrichtung nach einem der Ansprüche 1, 3, 5 oder 6. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

**[0009]** Dementsprechend kann das gemäß der Erfindung das im Zusammenhang mit dem Betrieb der Ausgangsschaltung verursachte Spannungsquellenrauschen durch den Regelkreis absorbiert werden, wobei eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden kann, ohne einen für die Ausgangsschaltung vorgesehenen externen Spannungsversorgungsanschluß hinzuzufügen.

**[0010]** Weitere Merkmale und Zweckmäßigkeitkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

**[0011]** [Fig. 1](#) einen Blockschaltplan der Konfiguration eines Halbleiterchips in einer ersten Ausführungsform der Erfindung;

**[0012]** [Fig. 2](#) einen konkreten Stromlaufplan eines in [Fig. 1](#) gezeigten Regelkreises **13**;

**[0013]** [Fig. 3](#) einen Blockschaltplan der Konfiguration eines Halbleiterchips in einer zweiten Ausführungsform der Erfindung;

**[0014]** [Fig. 4](#) einen konkreten Stromlaufplan eines in [Fig. 3](#) gezeigten Regelkreises **14**;

**[0015]** [Fig. 5](#) einen Blockschaltplan eines Halbleiterchips in einer dritten Ausführungsform der Erfindung;

**[0016]** [Fig. 6](#) einen konkreten Stromlaufplan einer

in [Fig. 5](#) gezeigten VDC-Schaltung **15**;

**[0017]** [Fig. 7](#) einen Blockschaltplan eines Halbleiterchips in einer vierten Ausführungsform der Erfindung;

**[0018]** [Fig. 8](#) einen konkreten Stromlaufplan einer in [Fig. 7](#) gezeigten VSSQ-Erzeugungsschaltung **16**;

**[0019]** [Fig. 9](#) einen Stromlaufplan der Konfiguration einer VDC-Schaltung und einer Ausgangsschaltung in einer fünften Ausführungsform der Erfindung;

**[0020]** [Fig. 10](#) einen Stromlaufplan der Konfiguration einer VDC-Schaltung und einer Ausgangsschaltung in einer sechsten Ausführungsform der Erfindung;

**[0021]** [Fig. 11](#) einen Blockschaltplan der Konfiguration eines Halbleiterspeichermoduls in einer siebten Ausführungsform der Erfindung;

**[0022]** [Fig. 12](#) einen Blockschaltplan der Konfiguration eines Halbleiterspeichermoduls in einer achten Ausführungsform der Erfindung; und

**[0023]** [Fig. 13](#) den bereits erwähnten Blockschaltplan eines Halbleiterchips.

**[0024]** [Fig. 1](#) ist ein Blockschaltplan der Konfiguration eines Halbleiterchips in einer ersten Ausführungsform der Erfindung. In [Fig. 1](#) enthält ein Halbleiterchip **1** einen Spannungsversorgungsanschluß **8**, eine Halbleiterschaltung **11**, eine Ausgangsschaltung **12** und einen Regelkreis **13**. Dem Spannungsversorgungsanschluß **8** wird eine externe Spannung VDD von beispielsweise 2,5 V zugeführt. Diese externe Spannung VDD wird an die Halbleiterschaltung **11** und an den Regelkreis **13** angelegt. Die Halbleiterschaltung **11** ist beispielsweise ein Halbleiterspeicher, wobei der Ausgangsschaltung **12** von der Halbleiterschaltung **11** ein Ausgangssteuersignal zugeführt wird.

**[0025]** Der Regelkreis **13** legt in Übereinstimmung mit einem von der Halbleiterschaltung **11** ausgegebenen Signal RD (Lesestartsignal) als Aktivierungssignal an die Ausgangsschaltung **12** eine durch Verringern der externen Spannung VDD auf 1,8 V erhaltene Ausgangsspannung VDDQ an. Das Signal RD wird aus folgenden Gründen als Steuersignal des Regelkreises **13** verwendet. Wenn ein Signal OE (Ausgabestartsignal) verwendet wird, ist eine Zeit bis zum Beginn der Ausgabe nicht ausreichend, wobei keine stabile Regelungsoperation erwartet wird. Wenn das Signal RD invertiert wird, wird die der Ausgangsschaltung **12** von dem Regelkreis **13** zugeführte Ausgangsspannung VDDQ unterbrochen, so daß verhindert werden kann, daß ein Leckstrom an die Ausgangsschaltung **12** übergeben wird.

**[0026]** [Fig. 2](#) ist ein konkreter Stromlaufplan, des in [Fig. 1](#) gezeigten Regelkreises **13**. In [Fig. 2](#) wird an die Source jedes der PMOS-Transistoren Q21 und Q24 eine externe Spannung VDD angelegt, während von der externen Spannung VDD ein Substratpotential an die PMOS-Transistoren Q21, Q22, Q23 und Q24 angelegt wird. Sowohl dem Gate des PMOS-Transistors Q24 als auch den Gates der NMOS-Transistoren Q25 und Q26 wird von der Halbleiterschaltung **11** das Signal RD zugeführt. Der Drain des PMOS-Transistors Q24, der Drain des NMOS-Transistors Q25 und das Gate des PMOS-Transistors Q23 sind an einen Knoten N22 angeschlossen. Die Source jedes der NMOS-Transistoren Q25 und Q26 ist an eine Leitung der Massespannung VSS angeschlossen.

**[0027]** Der Drain des PMOS-Transistors Q21 und die Sources der PMOS-Transistoren Q22 und Q23 sind an einen Knoten N21 angeschlossen. Zwischen den Knoten N21 und die Leitung der Massespannung VSS ist ein Kondensator C21 geschaltet und sind außerdem die Widerstände R21 und R22 und der NMOS-Transistor Q26 in Serie geschaltet. Zwischen den Drain des PMOS-Transistors Q22 und den Knoten N22 ist ein Widerstand R23 geschaltet. Dem Gate des PMOS-Transistors Q22 wird eine durch die Teilungswirkung der Widerstände R21 und R22 erhaltene Referenzspannung VR1 zugeführt, während an das Gate des PMOS-Transistors Q21 eine durch die Teilungswirkung des PMOS-Transistors Q22 und des Widerstands R23 erhaltene Gate-Spannung VG1 angelegt wird.

**[0028]** Im folgenden wird eine konkrete Operation des Regelkreises **13** beschrieben. Wenn das Signal RD auf den L-Pegel und ein Standby-Zustand eingestellt ist, ist der PMOS-Transistor Q24 eingeschaltet, während die NMOS-Transistoren Q25 und Q26 ausgeschaltet sind und der Knoten N22 und die Gate-Spannung VG1 den Pegel VDD erreichen, so daß die PMOS-Transistoren Q21 und Q23 ausgeschaltet sind. Auf diese Weise sind die externe Spannung VDD und eine vom Kondensator C21 ausgegebene Spannungsquelle unterbrochen. Der Grund dafür, daß der NMOS-Transistor Q26 getrennt von dem NMOS-Transistor Q25 vorgesehen ist, besteht darin, daß der Knoten N21 und die Referenzspannung VR1 durch den Knoten N22 nicht übermäßig geladen werden. Wenn eine Schwellenspannung des PMOS-Transistors Q22 VTH ist und VDDQ niedriger als VDD – VTH ist ( $VDDQ < VDD - VTH$ ), werden der Knoten N21 und die Referenzspannung VR1 über den PMOS-Transistor Q22 auf VDD – VTH geladen.

**[0029]** Wenn das Signal RD den H-Pegel erreicht und ein Betriebszustand erhalten wird, werden die NMOS-Transistoren Q25 und Q26 eingeschaltet, wobei der Knoten N22, die Gate-Spannung VG1 und die Referenzspannung VR1 auf ein vorgegebenes Po-

tential sinken, während die PMOS-Transistoren Q21 und Q23 eingeschaltet werden und ein Betrieb des Reglers begonnen wird. Da die durch Teilung der Ausgangsspannung VDDQ durch die Widerstände R21 und R22 erhaltene Referenzspannung VR1 an das Gate des PMOS-Transistors Q22 angelegt wird, steigt genauer, wenn die Ausgangsspannung VDDQ steigt, ebenfalls die Potentialdifferenz ( $|VGS|$ ) des PMOS-Transistors Q22) zwischen der Ausgangsspannung VDDQ und der Referenzspannung VR1, wobei der Durchlaßwiderstand des PMOS-Transistors Q22 sinkt und die Gate-Spannung VG1 des PMOS-Transistors Q21 steigt. Folglich steigt der Durchlaßwiderstand des PMOS-Transistors Q21, wobei die Ausgangsspannung VDDQ sinkt.

**[0030]** Ähnlich sinkt die  $|VGS|$  des PMOS-Transistors Q22, während der Durchlaßwiderstand des PMOS-Transistors steigt, wenn die Ausgangsspannung VDDQ sinkt. Folglich sinkt die Gate-Spannung VG1 des PMOS-Transistors Q21, sinkt der Durchlaßwiderstand des PMOS-Transistors Q21 und steigt die Ausgangsspannung VDDQ. Durch die Folge der Operationen wird der Betrieb des Spannungsreglers realisiert. Der Betrieb des Spannungsreglers ist beispielsweise in JP 59-160219 (1984) genauer beschrieben.

**[0031]** Dadurch, daß der Regelkreises **13** vorgesehen ist und die Ausgangsspannung VDDQ, die niedriger als die äußere Spannung VDD ist, an die Ausgangsschaltung **12** angelegt wird, kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** hervorgerufene Spannungsquellenrauschen durch den Regelkreis **13** absorbiert werden, wobei eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden kann, ohne einen für die Ausgangsschaltung **12** vorgesehenen externen Spannungsversorgungsanschluß hinzuzufügen.

**[0032]** [Fig. 3](#) ist ein Blockschaltplan der Konfiguration eines Halbleiterchips in einer zweiten Ausführungsform der Erfindung. In der in [Fig. 1](#) gezeigten Ausführungsform ist der Regelkreis **13** in dem Halbleiterchip **1** vorgesehen, um die Ausgangsspannung VDDQ durch Verringern der externen Spannung VDD zu erhalten. Demgegenüber ist in der in [Fig. 3](#) gezeigten Ausführungsform in dem Halbleiterchip **1** ein an die Leitung der Massespannung VSS des Spannungsversorgungsanschlusses **9** angeschlossener Regelkreis **14** vorgesehen, wobei der Ausgangsschaltung **12** die Ausgangsspannung VSSQ des Regelkreises **14** zugeführt wird.

**[0033]** [Fig. 4](#) ist ein konkreter Stromlaufplan des in [Fig. 3](#) gezeigten Regelkreises **14**. In [Fig. 4](#) wird eine externe Spannung VDD an die Source jedes der PMOS-Transistoren Q45 und Q46 angelegt. Dem Gate jedes der PMOS-Transistoren Q45 und Q46 und eines NMOS-Transistors Q44 wird ein invertier-

tes Signal eines Signals RD zugeführt. Die externe Spannung wird als Substratpotential an die PMOS-Transistoren Q45 und Q46 angelegt. Der Drain des PMOS-Transistors Q45, der Drain des NMOS-Transistors Q44 und das Gate eines NMOS-Transistors Q43 sind an einen Knoten N42 angeschlossen.

**[0034]** Die Source des NMOS-Transistors Q44 und die Source eines NMOS-Transistors Q41 sind an die Leitung der Massespannung VSS angeschlossen. Der Drain des NMOS-Transistors Q41 und die Source des NMOS-Transistors Q43 sind an einen Knoten N41 angeschlossen. Von dem Drain des NMOS-Transistors Q43 wird eine Ausgangsspannung VSSQ ausgegeben. Zwischen die externe Spannung VDD und den Knoten N41 ist ein Kondensator C41 geschaltet und sind der PMOS-Transistor Q46 und die Widerstände R42 und R41 in Serie geschaltet. An das Gate eines NMOS-Transistors Q42 wird eine durch die Teilungswirkung der Widerstände R41 und R42 erhaltene Referenzspannung VR2 angelegt. Zwischen den Knoten N42 und N41 sind ein Widerstand R43 und der NMOS-Transistor Q42 in Serie geschaltet. An das Gate des NMOS-Transistors Q41 wird eine Gate-Spannung VG2 am Verbindungspunkt der Knoten N42 und N41 angelegt.

**[0035]** Im folgenden werden die konkreten Operationen des in [Fig. 4](#) gezeigten Regelkreises **14** beschrieben. Wenn das invertierte Signal des Signals RD auf dem H-Pegel ist und der Standby-Zustand erhalten wird, sind die PMOS-Transistoren Q45 und Q46 ausgeschaltet und ist der NMOS-Transistor Q44 eingeschaltet. Folglich erreichen der Knoten N42 und die Gate-Spannung VG2 den Pegel VSS, wobei die NMOS-Transistoren Q41 und Q43 ausgeschaltet sind. Auf diese Weise werden die externe Spannung VSS und eine vom Kondensator C41 ausgegebener Strom unterbrochen.

**[0036]** Wenn das invertierte Signal des Signals RD den L-Pegel erreicht und ein Betriebszustand erhalten wird, werden die PMOS-Transistoren Q45 und Q46 eingeschaltet, steigen der Knoten N42, die Gate-Spannung VG2 und die Referenzspannung VR2 auf ein vorgegebenes Potential, werden die NMOS-Transistoren Q41 und Q43 eingeschaltet und werden die Operationen des Reglers begonnen. Das heißt, da die durch Teilung der Ausgangsspannung VSSQ durch die Widerstände R41 und R42 erhaltene Referenzspannung VR2 an das Gate des NMOS-Transistors Q42 angelegt wird, sinkt die Potentialdifferenz ( $|VGS|$ ) des NMOS-Transistors Q42) zwischen der Ausgangsspannung VSSQ und der Referenzspannung VR2, steigt der Durchlaßwiderstand des NMOS-Transistors Q42 und steigt die Gate-Spannung VG2 des NMOS-Transistors Q41, wenn die Ausgangsspannung VSSQ steigt. Folglich sinkt der Durchlaßwiderstand des NMOS-Transistors

Q41 und sinkt die Ausgangsspannung VSSQ.

**[0037]** Ähnlich steigt die  $|VGS|$  des NMOS-Transistors Q42 und fällt der Durchlaßwiderstand des NMOS-Transistors Q42, wenn die Ausgangsspannung VSSQ sinkt. Folglich sinkt die Gate-Spannung VG2 des NMOS-Transistors Q41, steigt der Durchlaßwiderstand des NMOS-Transistors Q41 und steigt die Ausgangsspannung VSSQ. Durch die Folge der Operationen wird der Betrieb des Spannungsreglers realisiert. Somit kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** verursachte VSS-Rauschen durch den Regelkreis **14** absorbiert werden, wobei eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden kann, ohne einen für die Ausgangsschaltung **12** vorgesehenen externen VSSQ-Anschluß hinzuzufügen.

**[0038]** Obgleich dies nicht gezeigt ist, kann unter Verwendung sowohl des in [Fig. 2](#) gezeigten Regelkreises **13** auf der VDD-Seite als auch des in [Fig. 4](#) gezeigten Regelkreises **14** auf der VSS-Seite dadurch, daß VDDQ und VSSQ erzeugt und der Ausgangsschaltung **12** zugeführt werden, das im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** verursachte Spannungsquellenrauschen und VSS-Rauschen durch die Regelkreise **13** und **14** absorbiert werden, wobei der Ausgangsschaltung **12** eine niedrigere Spannung als die Quellspannung VDD des Körpers des Halbleiterchips **1** und eine höhere Spannung als die Massespannung VSS zugeführt werden kann, ohne einen für die Ausgangsschaltung vorgesehenen Spannungsversorgungsanschluß und VSS-Anschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0039]** [Fig. 5](#) ist ein Blockschaltplan eines Halbleiterchips in einer dritten Ausführungsform der Erfindung. In der in [Fig. 1](#) gezeigten Ausführungsform wird die Ausgangsspannung VDDQ durch den Regelkreis **13** aus der externen Spannung VDD erzeugt. In der dritten Ausführungsform wird die Ausgangsspannung VDDQ aus der externen Spannung VDD unter Verwendung einer VDC-Schaltung (Spannungs-Abwärtsumsetzungsschaltung) **15** erzeugt. Die VDC-Schaltung **15** ist beispielsweise im IEEE Journal of Solid-State Circuits, Bd. 25, Oktober 1990, S. 1129 bis 1135, beschrieben.

**[0040]** [Fig. 6](#) ist ein konkreter Stromlaufplan der VDC-Schaltung **15** aus [Fig. 5](#). In [Fig. 6](#) wird die externe Spannung VDD an die Sources jedes der PMOS-Transistoren Q61, Q63, Q64 und Q68 angelegt und diesen PMOS-Transistoren als Substratpotential zugeführt. Außerdem wird das Substratpotential einem PMOS-Transistor Q62 zugeführt. Der PMOS-Transistor Q61 nimmt die Form eines Treibertransistors an.

**[0041]** Die PMOS-Transistoren Q63 und Q64 und die NMOS-Transistoren Q65 bis Q67 bilden einen Differenzverstärker. Die Gates der PMOS-Transistoren Q63 und Q64, der Drain des PMOS-Transistors Q64 und der Drain des NMOS-Transistors Q66 sind miteinander verbunden. Der Drain des PMOS-Transistors Q63 und der Drain des NMOS-Transistors Q65 sind miteinander verbunden. Die Sources der NMOS-Transistoren Q65 und Q66 und der Drain des NMOS-Transistors Q67 sind miteinander verbunden und die Source des NMOS-Transistors Q67 ist an die Spannung VSS angeschlossen.

**[0042]** Der Drain des PMOS-Transistors Q68, der Drain des NMOS-Transistors Q65 und das Gate des PMOS-Transistors Q61 sind miteinander verbunden, wobei den Gates des NMOS-Transistors Q67 und des PMOS-Transistors Q65 das Signal RD zugeführt wird. An das Gate des NMOS-Transistors Q65 wird eine vorgegebene Referenzspannung VR3 angelegt. Obgleich dies nicht gezeigt ist, wird die Referenzspannung VR3 durch Teilen einer Spannung durch Widerstände auf ähnliche Weise wie in [Fig. 2](#) erzeugt. Um den Stromverbrauch eines Differenzverstärkers zu unterdrücken, wird das Signal RD dem Gate des NMOS-Transistors Q67 zugeführt, wodurch der aktive/inaktive Zustand des Differenzverstärkers gesteuert wird.

**[0043]** Das Gate des NMOS-Transistors Q66 und die Source des PMOS-Transistors Q62 sind an einen Knoten N61 angeschlossen, während zwischen den Knoten N61 und die Leitung der Massespannung VSS ein Kondensator C61 geschaltet ist. An das Gate des PMOS-Transistors Q62 wird ein invertiertes Signal des Signals RD eingegeben. Die Drains der PMOS-Transistoren Q61 und Q62 sind miteinander verbunden, wobei eine Ausgangsspannung VDDQ ausgegeben wird.

**[0044]** Im folgenden wird eine konkrete Operation der in [Fig. 6](#) gezeigten VDC-Schaltung **15** beschrieben. Wenn das Signal RD auf dem L-Pegel ist, ist sein invertiertes Signal auf dem H-Pegel, wobei ein Standby-Zustand erhalten wird, der PMOS-Transistor Q68 eingeschaltet ist, eine Gate-Spannung VG3 den Pegel VDD erreicht, der PMOS-Transistor Q61 ausgeschaltet ist und das Ableiten der Ausgangsspannung VDDQ von der externen Spannung VDD unterbrochen ist. Gleichzeitig wird das invertierte Signal des Signals RD hoch (H-Pegel), so daß der PMOS-Transistor Q62 ebenfalls ausgeschaltet ist und das Entladen der im Kondensator C61 angesammelten Ladungen ebenfalls unterbrochen ist.

**[0045]** Wenn das Signal RD auf dem H-Pegel ist, ist das invertierte Signal des Signals RD auf dem L-Pegel, wobei ein Betriebszustand erhalten wird, der NMOS-Transistor Q67 eingeschaltet ist und der PMOS-Transistor Q62 ebenfalls eingeschaltet ist.

Durch den aus den PMOS-Transistoren Q63 und Q64 und den NMOS-Transistoren Q65 bis Q67 konstruierten Differenzverstärker werden eine vorgegebene Referenzspannung VR3 und die Ausgangsspannung VDDQ miteinander verglichen. Wenn die Ausgangsspannung VDDQ steigt, steigt die Gate-Spannung VG3 des PMOS-Transistors Q61. Wenn die Ausgangsspannung VDDQ sinkt, sinkt die Gate-Spannung VG3. Auf diese Weise wird eine Rückkopplungsoperation realisiert, so daß das ursprüngliche Potential, bei dem die Ausgangsspannung VDDQ immer gleich der Referenzspannung VR3 ist, aufrechterhalten wird.

**[0046]** Durch Konstruktion des Halbleiterchips **1** unter Verwendung der obenbeschriebenen VDC-Schaltung **15** kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** verursachte Spannungsquellenrauschen durch die Spannungshalte-Charakteristik der VDC-Schaltung **15** absorbiert werden, wobei der Ausgangsschaltung **12** eine niedrigere Spannung als die Quellspannung des Körpers des Halbleiterchips **1** zugeführt werden kann, ohne einen für die Ausgangsschaltung vorgesehenen externen Speisearschluß hinzuzufügen. Somit kann die Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0047]** [Fig. 7](#) ist ein Blockschaltplan eines Halbleiterchips in einer vierten Ausführungsform der Erfindung. In der in [Fig. 5](#) gezeigten Ausführungsform ist die VDC-Schaltung **15** in dem Halbleiterchip **1** vorgesehen, um durch Verringern der externen Spannung VDD die Ausgangsspannung VDDQ zu erhalten. Demgegenüber ist in der in [Fig. 7](#) gezeigten vierten Ausführungsform in dem Halbleiterchip **1** eine an die Leitung der Massespannung VSS angeschlossene VSSQ-Erzeugungsschaltung **16** vorgesehen, deren Ausgangsspannung VSSQ der Ausgangsschaltung **12** zugeführt wird.

**[0048]** [Fig. 8](#) ist ein konkreter Stromlaufplan der in [Fig. 7](#) gezeigten VSSQ-Erzeugungsschaltung **16**. In [Fig. 8](#) wird die externe Spannung VDD an einen Anschluß eines Kondensators C81 und an die Source eines PMOS-Transistors Q87 angelegt. Die externe Spannung VDD wird als Substratpotential an die PMOS-Transistoren Q85, Q86 und Q87 angelegt. Die NMOS-Transistoren Q83 und Q84 und die PMOS-Transistoren Q85, Q86 und Q87 bilden einen Differenzverstärker. Genauer ist der Drain des PMOS-Transistors Q87 an die Sources der PMOS-Transistoren Q85 und Q86 angeschlossen, während der Drain des PMOS-Transistors Q85 an die Drains des NMOS-Transistors Q83 und eines NMOS-Transistors Q88 und an das Gate eines NMOS-Transistors Q81 als Treibertransistor angeschlossen ist.

**[0049]** Der Drain des PMOS-Transistors Q86 ist an

den Drain des NMOS-Transistors Q84 und an die Gates der NMOS-Transistoren Q83 und Q84 angeschlossen. An das Gate des PMOS-Transistors Q85 wird eine Referenzspannung VR4 angelegt, während dem Gate jedes der PMOS-Transistoren Q87 und Q88 das invertierte Signal des Lesesignals RD zugeführt wird. Das Gate des PMOS-Transistors Q86 ist an den Drain eines NMOS-Transistors Q82 und an den anderen Anschluß des Kondensators C81 angeschlossen. Die Source des NMOS-Transistors Q82 ist an den Drain des NMOS-Transistors Q81 angeschlossen und gibt die Ausgangsspannung VSSQ aus. Die Sources jedes der NMOS-Transistoren Q81, Q83, Q84 und Q88 sind geerdet.

**[0050]** Im folgenden wird der Betrieb der in [Fig. 8](#) gezeigten VSSQ-Erzeugungsschaltung **16** beschrieben. Durch den aus den PMOS-Transistoren Q85 bis Q87 und den NMOS-Transistoren Q83 und Q84 konstruierten Differenzverstärker werden die vorgegebene Referenzspannung VR4 und die Ausgangsspannung VSSQ miteinander verglichen. Wenn die Ausgangsspannung VSSQ steigt, wird die Gate-Spannung VG4 des NMOS-Transistors Q81 erhöht. Wenn die Ausgangsspannung VSSQ sinkt, wird die Gate-Spannung VG4 verringert. Auf diese Weise wird eine Rückkopplungssteuerung zur Aufrechterhaltung des ursprünglichen Potentials, bei dem die Ausgangsspannung VSSQ immer gleich der Referenzspannung VR4 ist, ausgeführt.

**[0051]** Wie oben beschrieben wurde, kann in der Ausführungsform dadurch, daß der Ausgangsschaltung **12** die Ausgangsspannung VSSQ von der VS-SQ-Erzeugungsschaltung **16** zugeführt wird, ein im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** verursachtes VSS-Rauschen durch die Spannungshaltecharakteristik der VSSQ-Erzeugungsschaltung **16** absorbiert werden, wobei der Ausgangsschaltung **12** eine höhere Spannung als die Massespannung VSS des Körpers des Halbleiterchips **1** zugeführt werden kann, ohne einen für die Ausgangsschaltung **12** vorgesehenen externen VS-SQ-Anschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0052]** Obgleich dies nicht gezeigt ist, werden unter Verwendung sowohl der in [Fig. 6](#) gezeigten VDC-Schaltung **15** als auch der in [Fig. 8](#) gezeigten VSSQ-Erzeugungsschaltung **16** VDDQ und VSSQ erzeugt und der Ausgangsschaltung **12** zugeführt. Folglich kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung **12** verursachte Spannungsquellenrauschen und VSS-Rauschen durch die Spannungshaltecharakteristik der VDC-Schaltung **15** und der VSSQ-Erzeugungsschaltung **16** absorbiert werden, wobei der Ausgangsschaltung **12** eine niedrigere Spannung als die Quellspannung VDD des Körpers des Halbleiterchips **1** und eine höhere Span-

nung als die Massespannung zugeführt wird, ohne einen für die Ausgangsschaltung vorgesehenen Spannungsversorgungsanschluß und einen VSS-Anschluß hinzuzufügen. Somit kann die Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0053]** [Fig. 9](#) ist ein Stromlaufplan, der eine VDC-Schaltung und eine Ausgangsschaltung in einer fünften Ausführungsform der Erfindung zeigt. In der Ausführungsform ist die Konfiguration eines Halbleiterchips die gleiche wie aus [Fig. 5](#) in der dritten Ausführungsform, wobei sich die fünfte Ausführungsform aber von der dritten in bezug darauf unterscheidet, daß auf dem gleichen Halbleiterchip mehrere Ausgangsschaltungen **90a**, **90b**, ... und **90n** getrennt voneinander vorgesehen sind.

**[0054]** Die PMOS-Transistoren Q92 und Q93 und die NMOS-Transistoren Q94 bis Q96 bilden einen ähnlichen Differenzverstärker wie die in [Fig. 6](#) gezeigten PMOS-Transistoren Q63 und Q64 und NMOS-Transistoren Q65 bis Q67. Für die Ausgangsschaltungen **90a**, **90b**, ... und **90n** sind jeweils die PMOS-Transistoren Q91a, Q91b, ... und Q91n als Treibertransistoren vorgesehen. An die Gates der PMOS-Transistoren Q91a, Q91b, ... und Q91n wird jeweils über die Widerstände R91a, R91b, ... und R91n eine Gate-Spannung VG5 als Ausgangsspannung des Differenzverstärkers angelegt. Die Ausgangsspannungen VDDQa, VDDQb, und VDDQn der Treibertransistoren Q91a, Q91b, ... und Q91n werden jeweils über die Widerstände R92a, R92b, ... und R92n an einen der Eingänge des Differenzverstärkers angelegt, während an den anderen Eingang eine Referenzspannung VR5 angelegt wird. Zwischen einen der Eingänge des Differenzverstärkers und die Masseleitung ist ein Kondensator C91 geschaltet.

**[0055]** Zwischen die Gates und die Drains der Treibertransistoren Q91a, Q91b, ... und Q91n sind jeweils die Kondensatoren C91a, C91b, ... und C91n als Rückkopplungskondensatoren geschaltet, wobei sie so angeschlossen sind, daß sie Wechselstrom durchlassen. Die Widerstände R91a, R91b, ... und R91n sind Trennwiderstände, die die Kopplung durch die Kondensatoren C91a, C91b, ... und C91 auf sehr nahe Transistoren begrenzen. Die Widerstände R92a, R92b, ... und R92n sind Trennwiderstände, die Gleichstromkomponenten in den Änderungen in den Ausgangsspannungen VDDQa, VDDQb, ... und VDDQn zurückgeben.

**[0056]** Die Ausgangsschaltungen **90a**, **90b**, ... und **90n** sind durch die Ausgangssteuerschaltung **99a**, **99b**, ... und **99n**, durch die PMOS-Transistoren **97a**, **97b**, ... und **97n** und durch die NMOS-Transistoren **98a**, **98b**, ... und **98n**, die jeweils komplementär zu den PMOS-Transistoren **97a**, **97b**, ... und **97n** arbei-

ten, konstruiert. Die Ausgangsspannungen VDDQa, VDDQb, ... und VDDQn werden jeweils an die Sources der PMOS-Transistoren Q97a, Q97b, ... und Q97n angelegt.

**[0057]** Die Verbesserung des Betriebs der VDC-Schaltung durch die in [Fig. 9](#) gezeigte kapazitive Kopplung ist in JP 06-124590 A offenbart. Genauer fließt beispielsweise ein Laststrom vom PMOS-Transistor Q91a zum PMOS-Transistor Q97a, wenn der PMOS-Transistor Q97a als Antwort auf ein Steuersignal von der Ausgangssteuerschaltung **99a** eine Schaltoperation mit hoher Geschwindigkeit ausführt. Wegen der Änderung des Laststroms sinkt die Ausgangsspannung VDDQ schnell, wobei der Spannungsabfall über den Kondensator C91a an den PMOS-Transistor Q91a übertragen wird. Durch die kapazitive Kopplung des Kondensators C91a sinkt die Gate-Spannung VG5 mit hoher Geschwindigkeit, was dazu führt, daß ein durch den PMOS-Transistor Q91a zugeführter Strom steigt. Das heißt, der Spannungsabfall in der Ausgangsspannung VDDQ wird verzögerungsfrei momentan an das Gate des PMOS-Transistors Q91a übertragen, der Betrag des durch den PMOS-Transistors Q91a geleiteten Stroms wird verzögerungsfrei erhöht und die Ausgangsspannung VDDQ wird erhöht. Wenn demgegenüber die Ausgangsspannung VDDQ durch den Strom von dem PMOS-Transistor Q91a steigt, wird das Steigen der Ausgangsspannung VDDQ wieder über den Kondensator C91a an das Gate des PMOS-Transistors Q91a übertragen, wobei der Stromzufuhrbetrag des PMOS-Transistors Q91a sinkt.

**[0058]** Wie oben beschrieben wurde, wird durch den Kondensator C91a als Rückkopplungskondensator eine mögliche Fluktuation in der Ausgangsspannung VDDQ verzögerungsfrei an das Gate des PMOS-Transistors Q91a übertragen, so daß im Vergleich zur Steuerung durch den Differenzverstärker beim Übergang des Betriebs der VDC-Schaltung eine schnellere Antwort realisiert wird. Zum Zeitpunkt einer Antwort beim Übergang wird somit die Ausgangsspannung VDDQ durch den Kondensator C91a auf einen vorgegebenen Spannungspegel zurückgesetzt. Folglich wird die Steuerung durch den Differenzverstärker, dessen Antwort bei der Übergangsoperation verzögert ist, ignoriert.

**[0059]** Wie oben in [Fig. 9](#) beschrieben wurde, übt das im Zusammenhang mit dem Betrieb jeder der Ausgangsschaltungen **90a**, **90b**, ... und **90n** verursachte Spannungsquellenrauschen dadurch, daß die PMOS-Transistoren Q91a, Q91b, ... und Q91n als Treibertransistoren entsprechend den jeweiligen Ausgangsschaltungen **90a**, **90b**, ... und **90n** vorgesehen sind, keinen Einfluß auf die Spannungsquellen der anderen Ausgangsschaltungen aus, während es durch jeden der entsprechenden Treibertransistoren

verarbeitet wird.

**[0060]** Durch Verwendung einer solchen Konfiguration wird das im Zusammenhang mit dem Betrieb jeder der Ausgangsschaltungen **90a**, **90b**, ... und **90n** verursachte Spannungsquellenrauschen durch die Spannungshaltecharakteristik jedes der Treibertransistoren, die die VDC-Schaltung bilden, absorbiert, wobei die Spannung nicht nur dem Körper des Halbleiterchips, sondern auch den Ausgangsschaltungen zugeführt werden kann, ohne einen für eine Ausgangsschaltung vorgesehenen externen Spannungsversorgungsanschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und äußerst hoher Geschwindigkeit realisiert werden.

**[0061]** Obgleich dies nicht gezeigt ist, ist es ebenfalls möglich, unter Verwendung mehrerer Treibertransistoren auf ähnliche Weise wie in der fünften Ausführungsform für jede Ausgangsschaltung wie in der in [Fig. 8](#) gezeigten vierten Ausführungsform eine auf der VSS-Seite verwendete VSSQ-Erzeugungsschaltung **16** vorzusehen, wodurch eine Störung der Ausgangssignale durch VSS-Rauschen verhindert wird.

**[0062]** Ferner werden unter Verwendung sowohl der in dieser Ausführungsform gezeigten VDC-Schaltung für jede Ausgangsschaltung als auch der VSSQ-Erzeugungsschaltung für jede Ausgangsschaltung und dadurch, daß VDDQ und VSSQ jeder Ausgangsschaltung zugeführt werden, das im Zusammenhang mit dem Betrieb jeder Ausgangsschaltung verursachte Spannungsquellenrauschen und das VSS-Rauschen durch die Spannungshaltecharakteristik jeder der Treibertransistoren, die die VDC-Schaltung und die VSSQ-Erzeugungsschaltung bilden, absorbiert, wobei ein Einfluß nicht nur auf den Körper des Halbleiterchips, sondern auch auf die anderen Ausgangsschaltungen verringert wird, wobei den Ausgangsschaltungen eine niedrigere Spannung als die Quellspannung des Körpers des Halbleiterchips und eine höhere Spannung als die Massespannung zugeführt werden kann, ohne einen für die Ausgangsschaltungen vorgesehenen Spannungsversorgungsanschluß und VSS-Anschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und äußerst hoher Geschwindigkeit realisiert werden.

**[0063]** [Fig. 10](#) ist ein Stromlaufplan der Konfiguration einer VDC-Schaltung und einer Ausgangsschaltung in einer sechsten Ausführungsform der Erfindung. In der Ausführungsform ist eine Eingangsspannung des Differenzverstärkers in der in [Fig. 9](#) gezeigten fünften Ausführungsform auf eine einer Eingangsschaltung eines Halbleiterchips zuzuführende Referenzspannung *Vref* und auf eine Spannung =  $1/2(VDDQ + VSSQ)$  eingestellt, wodurch die Eingangs- und Ausgangsspannung gleich gemacht wird.

Genauer muß die Referenzspannung in der vorstehenden dritten, vierten und fünften Ausführungsform angelegt werden, um die Ausgangsspannung VDDQ oder VSSQ zu bestimmen. In der sechsten Ausführungsform wird unter der Annahme, daß der Mittelwert (*Vref*) einer Eingangsspannung des Halbleiterchips und der Mittelwert ( $1/2(VDDQ + VSSQ)$ ) einer Ausgangsspannung zueinander gleich sind, ein Einstellen einer Referenzspannung *VR* weggelassen. Zum Einstellen der Spannung von  $1/2(VDDQ + VSSQ)$  wird die Ausgangsspannung VDDQ durch die Spannungsteilerwiderstände R93 und R94 geteilt, wobei an das Gate des NMOS-Transistors Q95 die Spannung  $1/2(VDDQ + VSSQ)$  als Komponente des Differenzverstärkers angelegt wird. Die weitere Konfiguration ist die gleiche wie in [Fig. 9](#).

**[0064]** [Fig. 11](#) ist ein Blockschaltplan der Konfiguration eines Halbleiterspeichermoduls in einer siebenten Ausführungsform der Erfindung. In der siebenten Ausführungsform sind die Halbleiterchips **1a**, **1b**, ... und **1n** und der Regelkreis **13** in einem Halbleiterspeichermodul angeordnet. Die Halbleiterchips **1a**, **1b**, ... und **1n** sind jeweils durch die Speicherschaltungen **11a**, **11b**, ... und **11n** und durch die Ausgangsschaltungen **12a**, **12b**, ... und **12n** konstruiert.

**[0065]** Anders als in den vorstehenden Ausführungsformen liegt der Regelkreis **13** in der siebenten Ausführungsform außerhalb der Halbleiterchips **1a**, **1b**, ... und **1n**, so daß jeder der Halbleiterchips **1a**, **1b**, ... und **1n** einen für die Ausgangsschaltung vorgesehenen Spannungsversorgungsanschluß besitzen muß. Bei Betrachtung eines Falls, daß ein ganzes Speichermodul als eine Halbleitervorrichtung in einem System angebracht ist, ist allerdings kein für die Ausgangsschaltung vorgesehener Spannungsversorgungsanschluß erforderlich. Folglich kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltungen **12a**, **12b**, ... und **12n** verursachte Spannungsquellenrauschen durch die in den vorstehenden Ausführungsformen beschriebene Charakteristik, d. h. durch den Regelkreis **13**, absorbiert werden. Außerdem kann den Ausgangsschaltungen **12a**, **12b**, ... und **12n** eine niedrigere Spannung als die Quellspannung der Halbleiterchips **1a**, **1b**, ... und **1n** zugeführt werden, so daß auch in dieser Ausführungsform eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden kann.

**[0066]** [Fig. 12](#) ist ein Blockschaltplan der Konfiguration eines Halbleiterspeichermoduls in der achten Ausführungsform der Erfindung. Anstelle des in [Fig. 11](#) gezeigten Regelkreises **13** zur Ausgabe der Ausgangsspannung VDDQ ist in der Ausführungsform der in den [Fig. 3](#) und [Fig. 4](#) gezeigte Regelkreis **14** vorgesehen, wobei jedem der Halbleiterchips **1a**, **1b**, ... und **1n** die Massespannung VSSQ zugeführt wird. Auch in dieser Ausführungsform kann das im Zusammenhang mit dem Betrieb der Ausgangs-

schaltungen **12a**, **12b**, ... und **12n** verursachte VSS-Rauschen durch den Regelkreis **14** absorbiert werden. Außerdem kann den Ausgangsschaltungen **12a**, **12b**, ... und **12n** die Massespannung VSSQ zugeführt werden, die höher als die Massespannung VSS der Halbleiterchips **1a**, **1b**, ... und **1n** ist. Somit kann die Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0067]** In den in den [Fig. 11](#) und [Fig. 12](#) gezeigten Ausführungsformen ist auf ähnliche Weise wie in der ersten und zweiten Ausführungsform das Beispiel beschrieben worden, in dem der Regelkreis **13** auf der Spannungsquellenseite liegt oder in dem der Regelkreis **14** auf der Masseseite liegt. Allerdings ist die Erfindung nicht auf diese Konfigurationen beschränkt. Anstelle des Regelkreises **13** oder **14** kann die in [Fig. 5](#) gezeigte VDC-Schaltung **15** oder die in [Fig. 7](#) gezeigte VSSQ-Erzeugungsschaltung **16** verwendet werden. Wie in der in [Fig. 9](#) gezeigten fünften Ausführungsform beschrieben wurde, können ferner ähnliche Wirkungen durch Verteilen von Treibertransistoren auf Halbleiterchips erzeugt werden.

**[0068]** Wie oben beschrieben wurde, wird gemäß den Ausführungsformen der Erfindung die durch Verringern der von außen an den Spannungsversorgungsanschluß zugeführten Quellspannung erhaltene Ausgangsspannung geteilt, wobei die resultierende Spannung und die Ausgangsspannung miteinander verglichen werden und die Ausgangsspannung durch Steuern des Durchlaßwiderstands des Transistors auf ein vorgegebenes Quellpotential, das höher als die von außen zugeführte Quellspannung ist, eingestellt und der Ausgangsspannung zugeführt wird. Folglich kann durch die Spannungseinstellschaltung das im Zusammenhang mit dem Betrieb der Ausgangsschaltung verursachte Spannungsquellenrauschen absorbiert werden, wobei eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit erhalten werden kann, ohne einen für die Ausgangsschaltung vorgesehenen zusätzlichen Spannungsversorgungsanschluß hinzuzufügen.

**[0069]** Eine Spannung zwischen der dem Spannungsversorgungsanschluß von außen zugeführten Quellspannung und dem an das externe Massepotential angeschlossenen Massepotential wird geteilt, wobei die resultierende Spannung und ein Ausgangsmassepotential miteinander verglichen werden und das Ausgangsmassepotential durch Steuern eines Durchlaßwiderstands des Transistors auf ein vorgegebenes Massepotential, das höher als das externe Massepotential ist, eingestellt und der Ausgangsspannung zugeführt wird. Somit kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung verursachte Massepotentialrauschen durch die Spannungsquellenorschaltung absorbiert werden, wobei die Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden kann, ohne einen

für die Ausgangsschaltung vorgesehenen externen Masseanschluß hinzuzufügen.

**[0070]** Ferner sind ein Spannungsversorgungsanschluß, dem von außen eine Quellspannung, die an eine Halbleiterschaltung anzulegen ist, zugeführt wird, und ein Treibertransistor zum Vergleich eines einer Ausgangsschaltung zugeführten Ausgangspotentials mit einem vorgegebenen Referenzpotential und zum Steuern des Ausgangspotentials gemäß einem Vergleichsausgangssignal auf ein vorgegebenes Potential, das niedriger als die von außen an den Spannungsversorgungsanschluß angelegte Quellspannung ist, vorgesehen. Somit kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung verursachte Spannungsquellenrauschen durch die Spannungshaltecharakteristik einer Spannungseinstellschaltung absorbiert werden, wobei der Ausgangsschaltung eine niedrigere Spannung als die Quellspannung des Körpers des Halbleiterchips zugeführt werden kann, ohne einen für die Ausgangsschaltung vorgesehenen externen Spannungsquellenanschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0071]** Ferner wird in einer Ausgangsschaltung zuführendes Ausgangsmassepotential mit einem vorgegebenen Referenzpotential verglichen und ein Treibertransistor gemäß einem Vergleichsausgangsergebnis gesteuert, so daß das Ausgangsmassepotential zu einem vorgegebenen Potential wird, das höher als das Massepotential eines Masseanschlusses ist. Somit kann das im Zusammenhang mit dem Betrieb der Ausgangsschaltung verursachte Massepotentialrauschen durch eine Spannungshaltecharakteristik einer Spannungseinstellschaltung absorbiert werden, wobei der Ausgangsschaltung eine höhere Spannung als die Massespannung des Körpers des Halbleiterchips zugeführt werden kann, ohne einen für die Ausgangsschaltung vorgesehenen externen Masseanschluß hinzuzufügen. Somit kann eine Schnittstelle mit kleiner Amplitude und hoher Geschwindigkeit realisiert werden.

**[0072]** Ferner wird ein Schalttransistor in Übereinstimmung mit einem von einer Halbleiterschaltung zugeführten Aktiv-Signal, wenn dieses inaktiv ist, umgeschaltet, wobei einer Ausgangsschaltung von einer Spannungseinstellschaltung ein tieferes Potential als ein Spannungsquellenpotential oder ein höheres Potential als ein externes Massepotential zugeführt wird, so daß verhindert werden kann, daß ein Leckstrom von der Spannungseinstellschaltung in die Ausgangsschaltung fließt.

## Patentansprüche

1. Halbleitervorrichtung (**1**), die eine Ausgangsschaltung (**12**) enthält, mit:

einer Halbleiterschaltung (11), die ausgebildet ist, der Ausgangsschaltung (12) ein Ausgangssteuersignal zuzuführen,

einem Versorgungsanschluss (8), dem von außen eine an die Halbleiterschaltung (11) anzulegende externe Spannung (VDD) zugeführt werden kann, und einer Spannungseinstellschaltung (13), die einen Steuertransistor (Q21) enthält und ausgebildet ist, eine Ausgangsspannung (VDDQ) auszugeben; wobei die Spannungseinstellschaltung (13) ausgebildet ist,

die dem Versorgungsanschluss (8) zugeführte externe Spannung (VDD) zu teilen und eine geteilte Spannung (VR1) zu erzeugen,

den Durchlasswiderstand des Steuertransistors (Q21) unter Verwendung eines Spannungsunterschieds zwischen der geteilten Spannung (VR1) und der Ausgangsspannung (VDDQ) zu steuern und somit die Ausgangsspannung (VDDQ) auf einen vorgegebenen Wert einzustellen, der niedriger als die von außen zugeführte externe Spannung (VDD) ist, und die Ausgangsspannung (VDDQ) der Ausgangsschaltung (12) zuzuführen.

2. Halbleitervorrichtung (1) nach Anspruch 1, dadurch gekennzeichnet, dass die Spannungseinstellschaltung (13) weiter einen Schalttransistor (Q23) enthält, der ausgebildet ist, der Ausgangsschaltung (12) in Abhängigkeit von einem von der Halbleiterschaltung (11) zugeführten Aktiv-Signal die von dem Steuertransistor (Q21) ausgegebene Ausgangsspannung (VDDQ) zuzuführen.

3. Halbleitervorrichtung (1), die eine Ausgangsschaltung (12) enthält, mit:

einer Halbleiterschaltung (11), die ausgebildet ist, der Ausgangsschaltung (12) ein Ausgangssteuersignal zuzuführen,

einem Versorgungsanschluss (8), dem von außen eine an die Halbleiterschaltung (11) und an die Ausgangsschaltung (12) anzulegende externe Spannung zugeführt werden kann,

einem Masseanschluss (9), dem von außen eine externe Massespannung (VSS) zugeführt werden kann, und

einer Spannungseinstellschaltung (14), die einen Steuertransistor (Q41) enthält und ausgebildet ist, eine Ausgangsspannung (VSSQ) auszugeben; wobei die Spannungseinstellschaltung (14) ausgebildet ist,

aus der Differenz zwischen der externen Spannung (VDD) und der Ausgangsspannung (VSSQ) eine geteilte Spannung (VR2) zu erzeugen,

den Durchlasswiderstand des Steuertransistors (Q41) unter Verwendung eines Spannungsunterschieds zwischen der geteilten Spannung (VR2) und der Ausgangsspannung (VSSQ) zu regeln und somit die Ausgangsspannung (VSSQ) auf einen vorgegebenen Wert einzustellen, der höher als die externe Massespannung (VSS) ist, und

die Ausgangsspannung (VSSQ) der Ausgangsschaltung (12) zuzuführen.

4. Halbleitervorrichtung (1) nach Anspruch 3, dadurch gekennzeichnet, dass die Spannungseinstellschaltung (14) weiter einen Schalttransistor (Q43) enthält, der ausgebildet ist, der Ausgangsschaltung (12) entsprechend einem von der Halbleiterschaltung (11) zugeführten Aktiv-Signal die von dem Steuertransistor (Q41) ausgegebene Ausgangsspannung (VSSQ) zuzuführen.

5. Halbleitervorrichtung (1), die mindestens eine Ausgangsschaltung (12) enthält, mit:

einer Halbleiterschaltung (11), die ausgebildet ist, der Ausgangsschaltung (12) ein Ausgangssteuersignal zuzuführen,

einem Versorgungsanschluss (8), dem von außen eine an die Halbleiterschaltung (11) anzulegende externe Spannung (VDD) zugeführt werden kann, und einer Spannungseinstellschaltung (15), die eine Vergleichsschaltung (Q63 bis Q67) und einen Treibertransistor (Q61) enthält und ausgebildet ist, eine Ausgangsspannung (VDDQ) an die Ausgangsschaltung (12) auszugeben;

wobei die Vergleichsschaltung (Q63 bis Q67) ausgebildet ist, die Ausgangsspannung (VDDQ) mit einer vorgegebenen Referenzspannung (VR3) zu vergleichen,

der Treibertransistor (Q61) ausgebildet ist, die Ausgangsspannung (VDDQ) entsprechend einem Vergleichsausgangssignal der Vergleichsschaltung (Q63 bis Q67) auf einen vorgegebenen Wert zu steuern, der niedriger als die an den Versorgungsanschluss (8) angelegte externe Spannung (VDD) ist, und die Spannungseinstellschaltung (15) Schalttransistoren (Q62 und Q68) enthält, die ausgebildet sind, in Abhängigkeit von einem von der Halbleiterschaltung (11) zugeführten Aktiv-Signal die Zufuhr der Ausgangsspannung (VDDQ) zu der Ausgangsschaltung (12) zu unterbrechen.

6. Halbleitervorrichtung (1), die eine Ausgangsschaltung (12) enthält, mit:

einer Halbleiterschaltung (11), die ausgebildet ist, der Ausgangsschaltung (12) ein Ausgangssteuersignal zuzuführen,

einem Versorgungsanschluss (8), dem von außen eine an die Halbleiterschaltung (11) und an die Ausgangsschaltung (12) anzulegende externe Spannung (VDD) zugeführt werden kann,

einem Masseanschluss (9), dem von außen eine externe Massespannung (VSS) zugeführt werden kann, und

einer Spannungseinstellschaltung (16), die eine Vergleichsschaltung (Q83 bis Q87) und einen Treibertransistor (Q81) enthält und ausgebildet ist, eine Ausgangsspannung (VSSQ) an die Ausgangsschaltung (12) auszugeben;

wobei die Vergleichsschaltung (Q83 bis Q87) ausge-

bildet ist, die Ausgangsspannung (VSSQ) mit einer vorgegebenen Referenzspannung (VR4) zu vergleichen,  
der Treibertransistor (Q81) ausgebildet ist, die Ausgangsspannung (VSSQ) entsprechend einem Vergleichsausgangssignal der Vergleichsschaltung (Q83 bis Q87) auf einen vorgegebenen Wert zu steuern, der höher als die an den Masseanschluss (**9**) angelegte Massespannung (VSS) ist, und  
die Spannungseinstellschaltung (**16**) Schaltransistoren (Q82 und Q88) enthält, die ausgebildet sind, in Abhängigkeit von einem von der Halbleiterschaltung (**11**) zugeführten Aktiv-Signal die Zufuhr der Ausgangsspannung (VSSQ) zu der Ausgangsschaltung (**12**) unterbrechen.

7. Halbleitervorrichtung (**1**) nach Anspruch 5, dadurch gekennzeichnet, dass mehrere der Ausgangsschaltungen (**90a** bis **90n**) vorgesehen sind, und jeweils Treibertransistoren (Q91a bis Q91n) der Spannungseinstellschaltung (**15**) entsprechend den Ausgangsschaltungen (**90a** bis **90n**) vorgesehen sind.

8. Halbleitervorrichtung (**1**) nach Anspruch 7, dadurch gekennzeichnet, dass das Vergleichsausgangssignal jeweils einer Eingangselektrode der Treibertransistoren (Q91a bis Q91n) zugeführt wird, die externe Spannung (VDD) jeweils an eine erste Elektrode der Treibertransistoren (Q91a bis Q91n) angelegt wird, und die Ausgangsspannung (VDDQa bis VDDQn) jeweils von einer zweiten Elektrode der Treibertransistoren (Q91a bis Q91n) ausgegeben und an die jeweilige Ausgangsschaltung (**90a** bis **90n**) angelegt wird, wobei die Halbleitervorrichtung (**1**) ferner umfasst: Rückkopplungskondensatoren (C91a bis C91n), die jeweils zwischen die Eingangselektrode und die zweite Elektrode der Treibertransistoren (Q91a bis Q91n) geschaltet sind; erste Widerstände (R91a bis R91n), die jeweils zwischen die Eingangselektrode der Treibertransistoren (Q91a bis Q91n) und einen Vergleichsausgang der Vergleichsschaltung geschaltet sind; und zweite Widerstände (R92a bis R92n), die jeweils zwischen die zweite Elektrode der Treibertransistoren (Q91a bis Q91n) und einen Vergleichseingang der Vergleichsschaltung (Q63 bis Q67) geschaltet sind.

9. Halbleitervorrichtung (**1**) nach einem der Ansprüche 5 bis 8, gekennzeichnet durch einen Spannungsteilerwiderstand zum Teilen eines Signals, das einem Vergleichseingang der Vergleichsschaltung (Q63 bis Q67; G83 bis Q87) zuzuführen ist.

10. Halbleitervorrichtung (**1**) nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass sie mehrere der Halbleiterchips (**1a** bis **1n**) aufweist,

die jeweils die Halbleiterschaltungen (**11a** bis **11n**) und die Ausgangsschaltungen (**12a** bis **12n**) enthalten, und die Spannungseinstellschaltung (**13, 14, 15, 16**) für die mehreren Halbleiterchips gemeinsam vorgesehen ist.

Es folgen 9 Blatt Zeichnungen

## Anhängende Zeichnungen

FIG.1

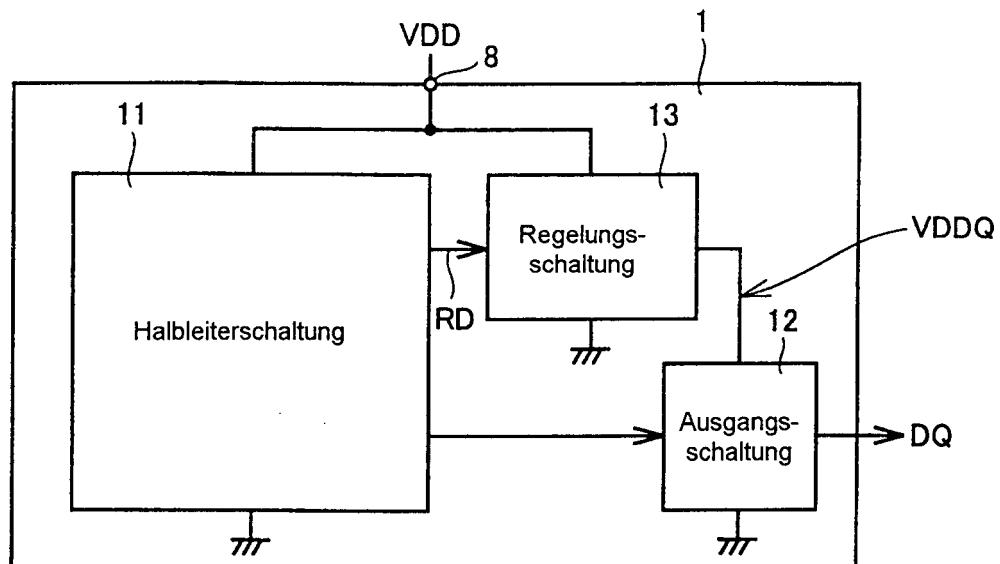


FIG.2

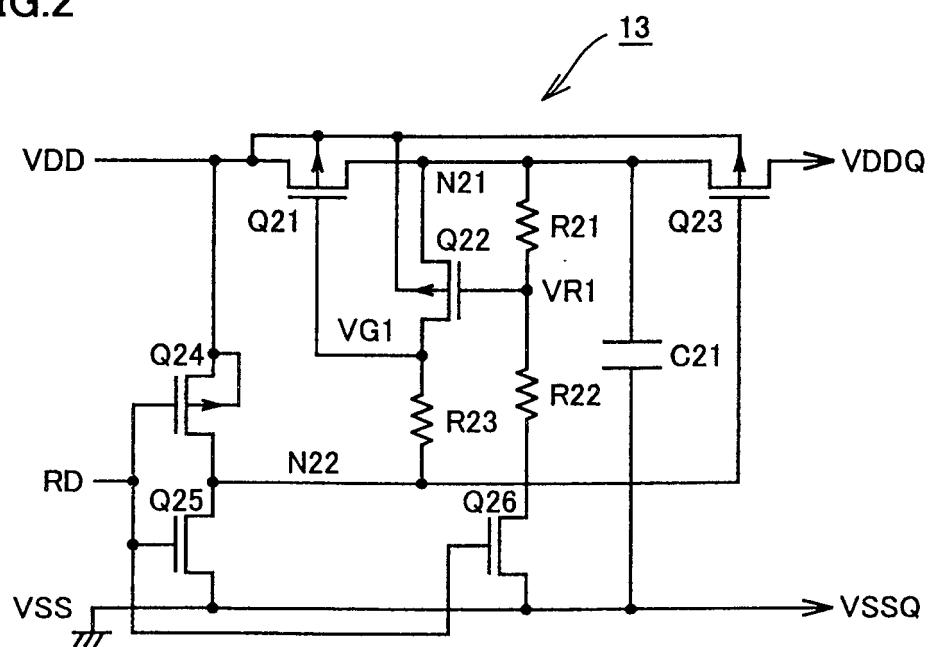


FIG.3

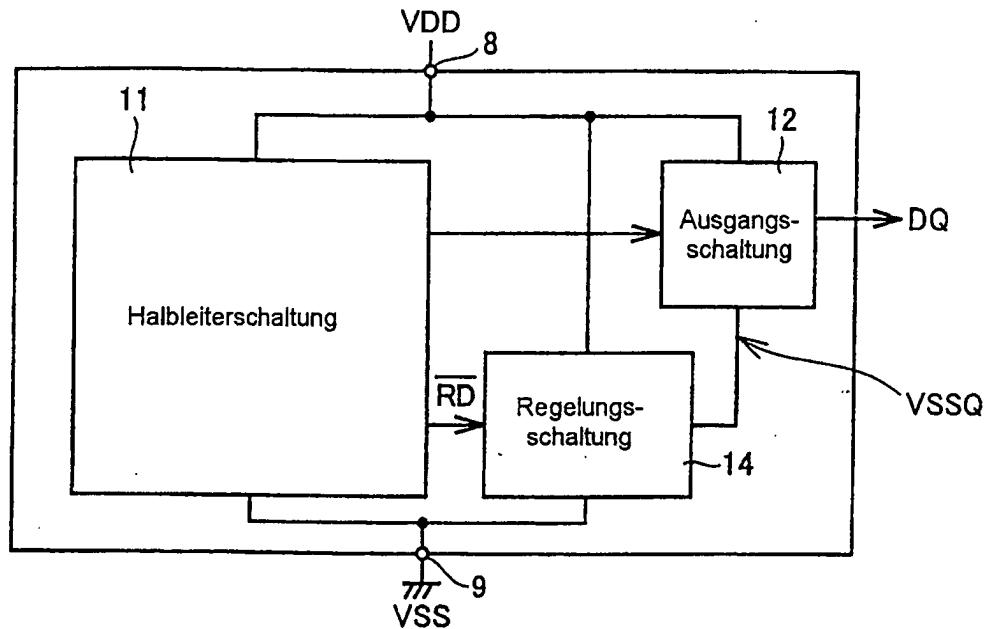


FIG.4

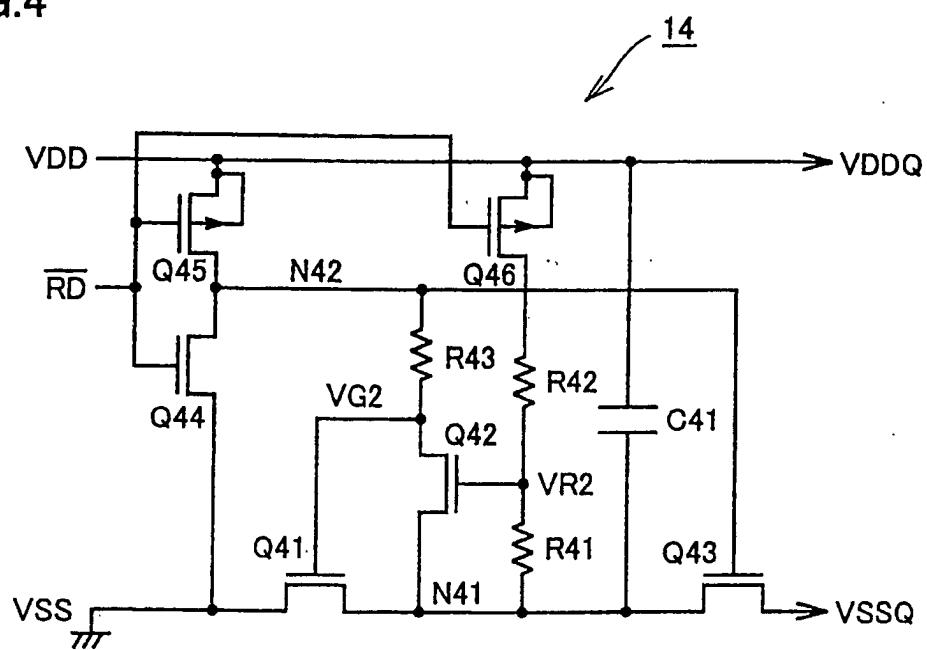


FIG.5

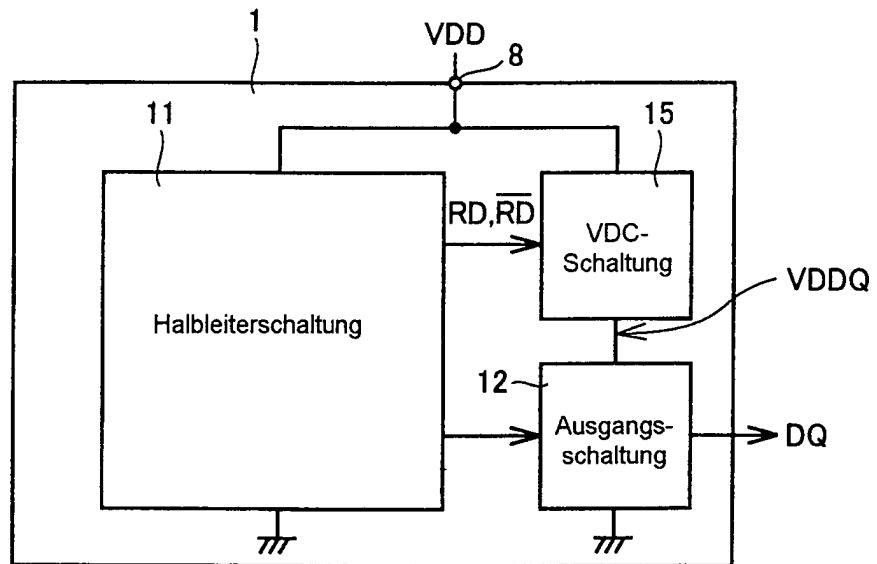


FIG.6

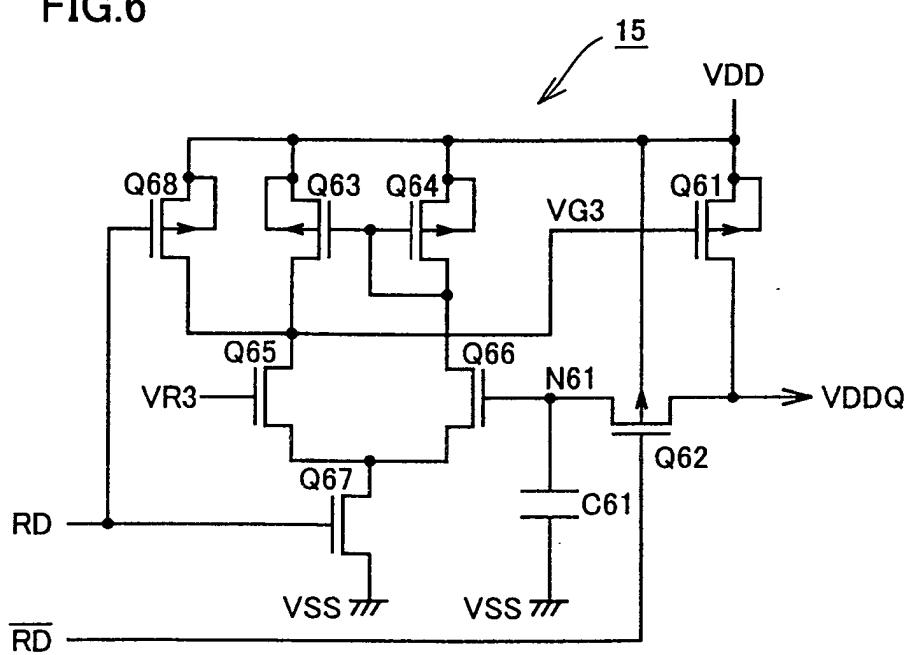


FIG.7

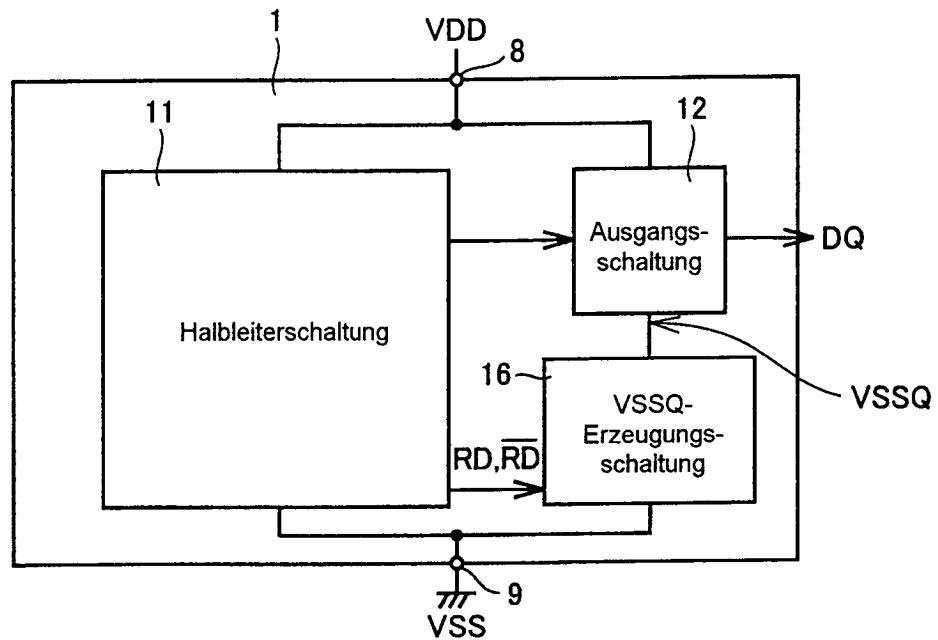


FIG.8

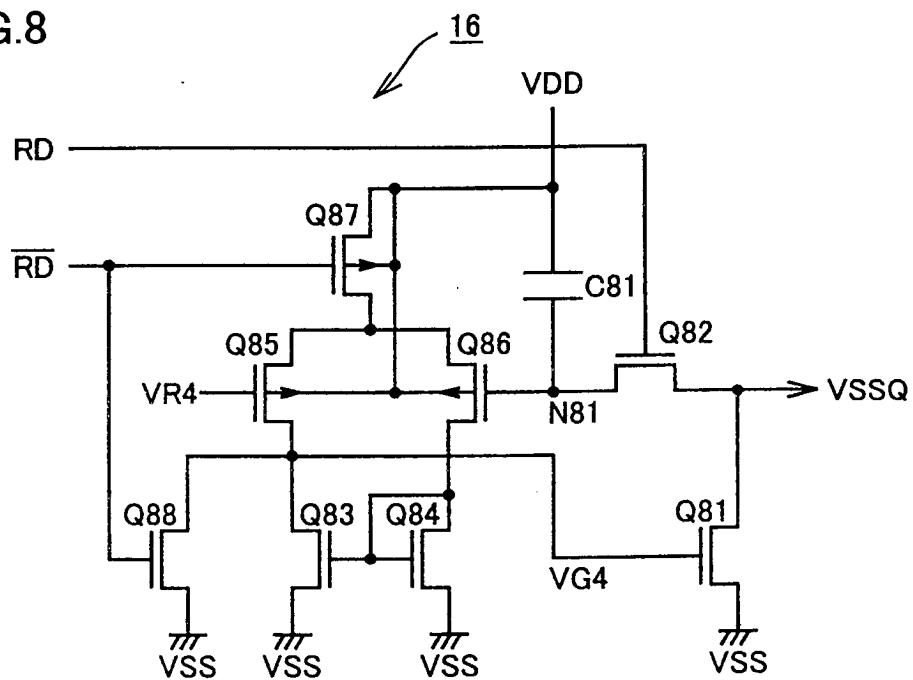


FIG.9

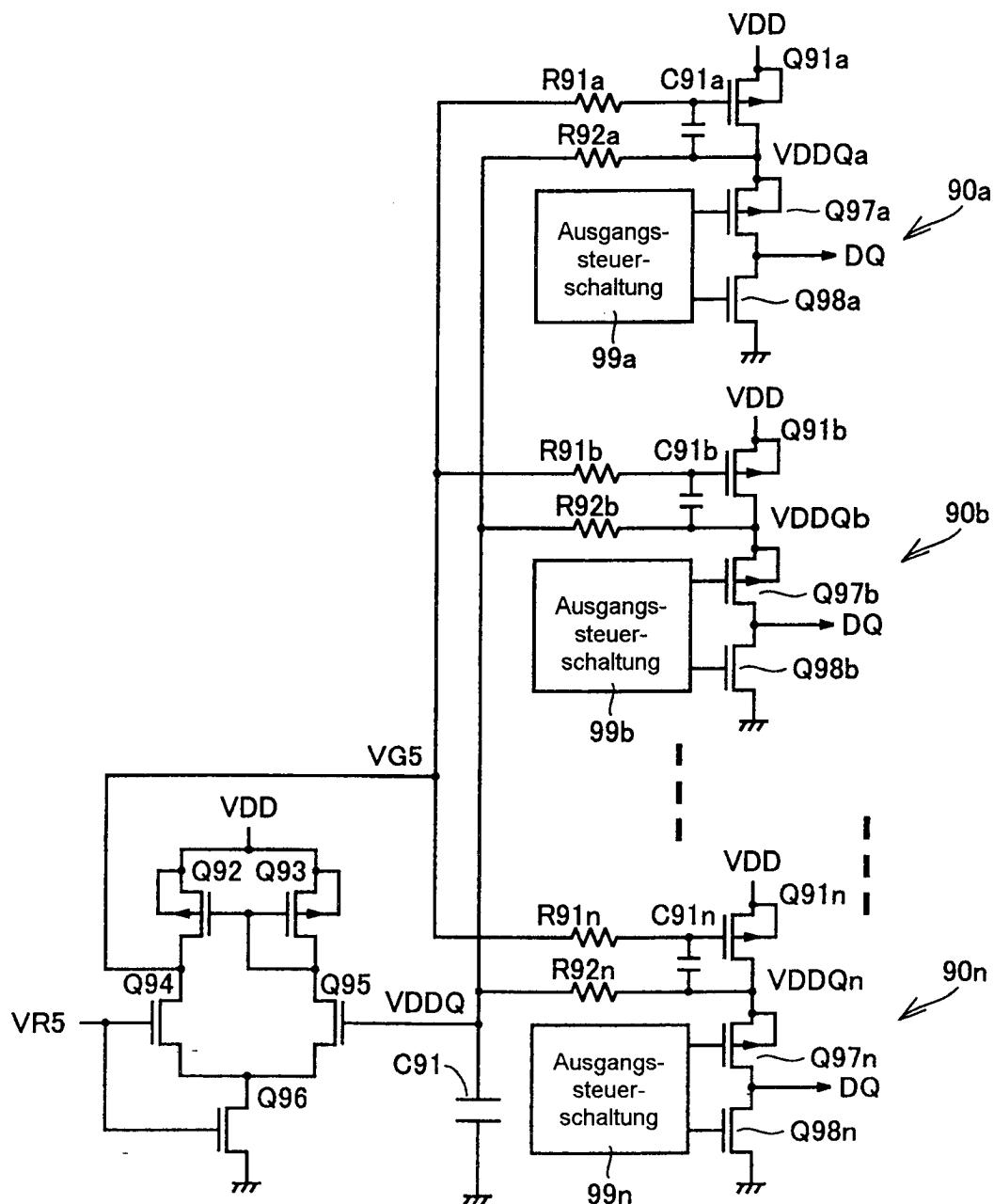
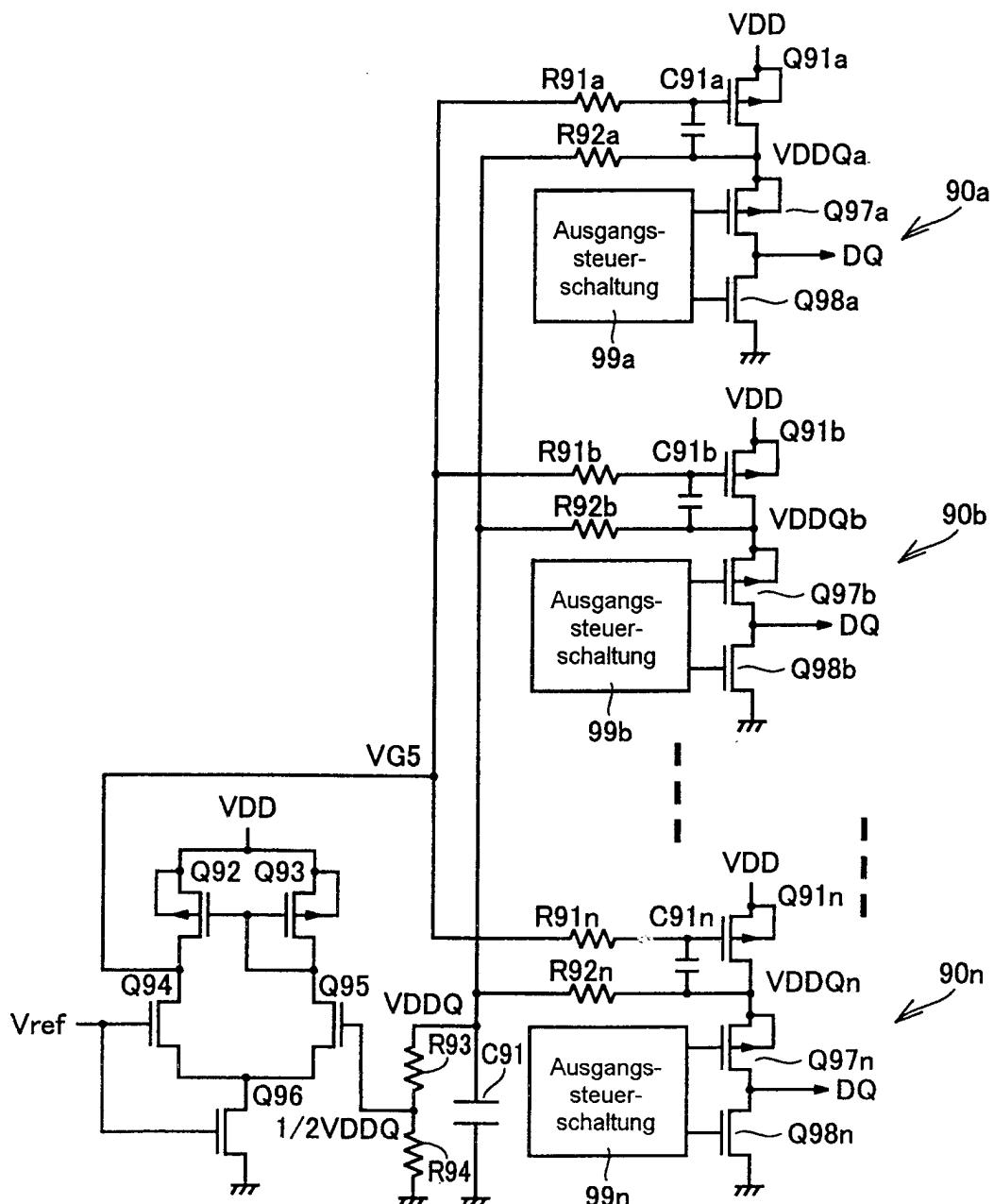


FIG.10



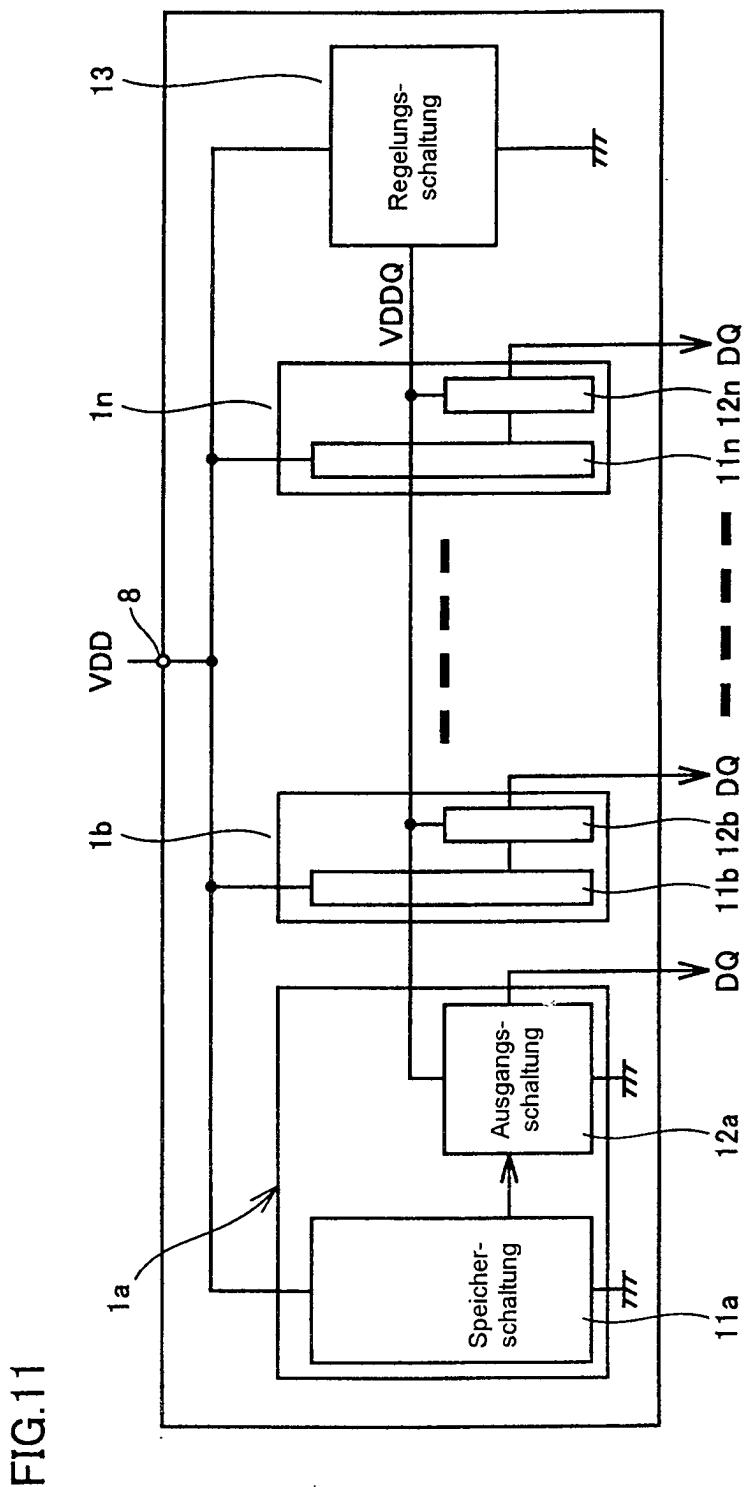


FIG.11

FIG.12

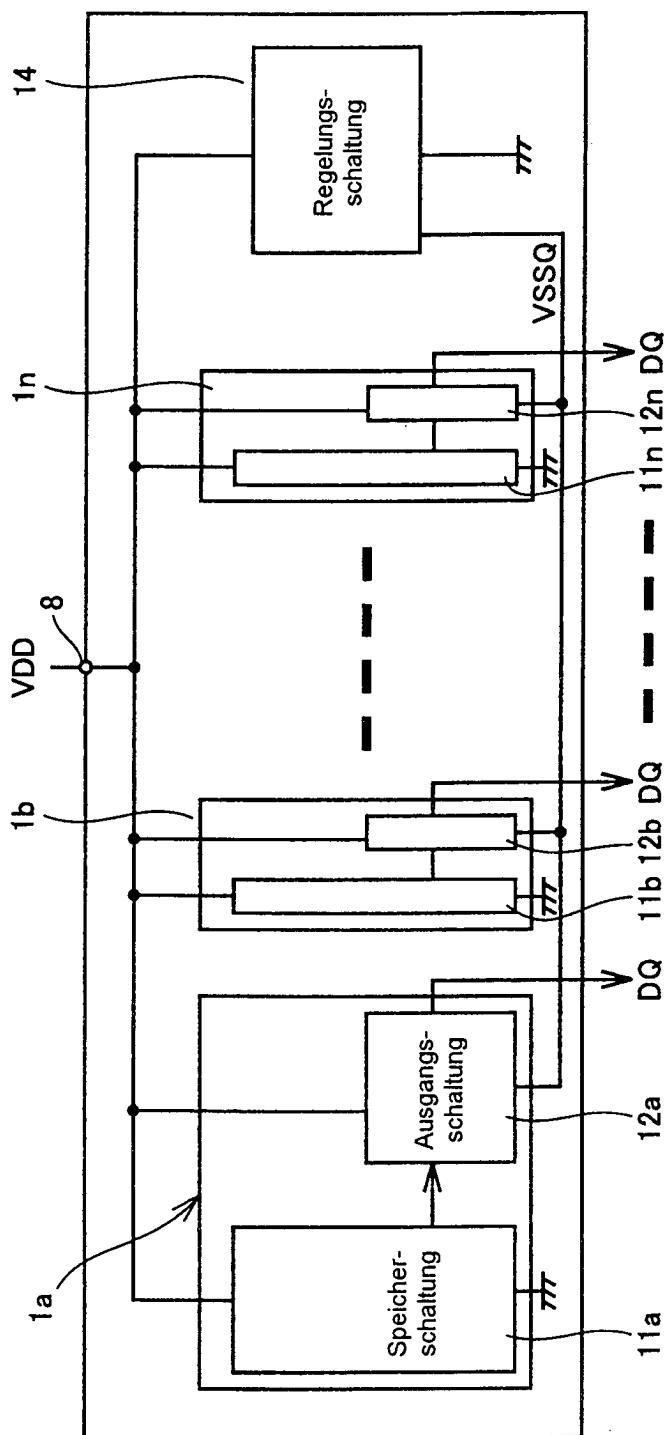


FIG.13

