

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/09/27；60/414,216

2. 美國；2003/08/05；10/635,790

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

[相關申請案之交互參照]

本案請求美國臨時申請案第60/414,216號，申請日2002年9月27日之權益，該案揭示以引用方式併入此處。

### 5      **【發明所屬之技術領域】**

發明領域

本發明概略言之係有關積體電路(IC)以及半導體元件及其製造方法，其中該積體電路及半導體元件採用偽裝技術，因而讓還原工程師難以確定該半導體元件係如何運作  
10      發揮功能。

### **【先前技術】**

發明背景

本發明係有關本發明之部分相同發明人所擁有之下列美國專利案：

15      (1)美國專利第5,886,933；5,783,375及6,294,816號教示於CMOS電路之電晶體如何經由修改p+及n+源/汲遮罩，而藉植入於電晶體間之線(因而為隱藏之埋置線)連結。此等植入之互連裝置用來讓3-輸入之AND電路或OR電路對還原工程師而言實質上為完全相同。此外埋置之互連裝置迫使  
20      還原工程師查核IC至更深的深度，嘗試理解出各電晶體間之連結以及其功能。

(2)美國專利第5,783,846；5,930,663及6,064,110號教示源/汲植入遮罩之又另一種修改，讓電晶體間之植入連接線中插入間隙，間隙長度約略為CMOS技術採用之最小特徵結

構大小。若此間隙以一種植入物「填補」，則該線為導通；但若該間隙係以另一種植入物「填補」，則該線非導通。蓄意加入之間隙稱作為「通道阻擋」。還原工程師被迫基於解析所用CMOS方法之最小特徵結構尺寸之植入物類型來測定其連接情況。

(3)美國專利第6,117,762號教示一種保護半導體積體電路不受還原工程之方法及裝置。半導體活性區形成於基材上，矽化物層形成於半導體活性區之至少一活性區、以及一選定基材區，供透過形成於該選定基材區之矽化物區而互連至少一活性區與另一活性區。

複雜積體電路及半導體元件之形成是一項極為昂貴的工作，需要耗費複雜的工程技巧大量小時數來設計此種裝置。此外，積體電路包括唯讀記憶體及/或EEPROMS，其中編碼成韌體形式之軟體。此外，積體電路常用於涉及資訊加密之應用用途，因此為了防止此等資訊的外洩，需要保持此種裝置不會受到還原工程的還原。如此，迫切需要保護積體電路及其它半導體元件不會受到還原工程的還原。

為了困住還原工程師，業界已知多種不同技術來讓積體電路更難以受到還原工程處理。其中一項技術係讓電晶體間之連結難以確定，迫使還原工程師審慎分析各個電晶體(特別為CMOS裝置之各個CMOS電晶體對)，試圖使用自動電路及圖案辨識技術來還原工程積體電路受挫。由於積體電路可能有數十萬個或甚至數百萬個電晶體，迫使還原

工程師對一裝置中的每個電晶體小心分析，則可有效阻撓還原工程師成功地將裝置還原工程。

傳導層例如矽化物常於半導體元件製造期間使用。近代CMOS裝置，特別具有特徵結構小於0.5微米之CMOS裝置，矽化物層用來改良閘、源及汲電接點之傳導性。根據一般設計法則，任何使用源/汲植入物之植入區皆採用矽化物。

一向常見之還原工程技術涉及利用化學機械研磨(CMP)可將完整的IC各層脫層。於某些情況下，CMP處理可能洩漏出矽化物形成區以及矽化物未形成區，換言之，由矽化物區塊遮罩步驟之界定區。此等區會暴露出的原因在於，某些化學蝕刻情況下，由於矽化區相對於純矽區的蝕刻速率不同，因此於凹凸地形之拓樸學上仍然可觀察到差異。還原工程師藉由注意矽化區相對於非矽化區的差異，可合理地假設該裝置功能。然後將此資訊儲存於資料庫供自動規類其它類似的裝置。

某些對抗還原工程之保護方法可能於某些還原工程技術如CMP容易被發現。例如第1A及1B圖說明根據美國專利第5,783,846；5,930,663；及6,064,110號所做電晶體CMP處理後之假象。美國專利第5,783,846；5,930,663；及6,064,110號揭示一電傳導摻雜植入物23-25於基材而隱藏經過摻雜之電路元件26、22(亦即源/汲區)等傳導的連結，如第1A圖所示。於基材之導電摻雜植入物23-25可於源/汲區之相同處理步驟提供，如此具有相同的摻雜程度以及類似的矽化程

度。此外，如第1B圖所示，為了進一步混淆還原工程師，導電摻雜植入物被選擇性摻雜不同的傳導類型，形成一種通道阻擋結構27，其可防止由一摻雜電路元件連結至另一摻雜電路元件。為了防止透過矽化物而由一摻雜電路元件26連結至另一摻雜電路元件22，矽化物阻擋遮罩經修改。並非允許矽化物層出現於使用源/汲植入物之任何植入區，矽化物阻擋遮罩係修改成可阻止通道阻擋結構27上方的矽化物層。

第1A及1B圖以虛線顯示矽化物之異物邊緣28。第1A圖中，由於全部摻雜區22-26皆摻雜類似的傳導類型摻雜劑，故允許矽化物覆蓋摻雜區22-26的全區。第1B圖中，使用矽化物阻擋遮罩來避免矽化物覆蓋摻雜區27。還原工程師於裸矽表面上經過適當染色/蝕刻之後，可觀視到此區，且偵測到矽化物之異物邊緣28，該異物邊緣28係產生於矽化區相對於非矽化區之介面。用於第1B圖所示結構，還原工程師獲得結論，如此顯示出異物邊緣28時，二矽化部間有個障礙物30，且此種障礙物30將表示下方之傳導植入物包括一非傳導通道阻擋結構27。此項資訊隨後被載入資料庫，自動圖案辨識技術使用該資料，辨識圖案有個障礙物30指示非傳導性通道阻擋結構27。結果此種電路偽裝技術的效果降低。

因此需要提供一種半導體元件及半導體元件之製造方法，其使用異物邊緣來混淆還原工程師。提供並非指示實際形成裝置之異物邊緣將進一步混淆還原工程師，結果導

致對裝置之實際組成、因而對裝置之功能獲得不正確結論。

## 【發明內容】

### 發明概要

本發明之一目的係讓還原工程變成更加困難，特別係  
5 於還原工程處理期間顯示出異物來混淆還原工程師的研究，係經由提供異物，該異物並非指示相同潛在加工處理結構之電路結構，因而還原工程師懷疑典型結論的有效性。相信如此將讓還原工程師的努力倍增困難，讓還原工程師還原採用本發明之晶片時極為耗時，或許極為不實際  
10 (即使並非完全不可能)來還原工程採用本發明之晶片。經由混淆還原工程師對異物的研究，還原工程師被迫檢驗每個植入的通道，因而讓還原工程師的工作極為耗時。

本發明之主要方面為本發明並非仰賴修改或添加欲保護不受還原工程之電路功能，本發明也無需任何額外加工  
15 處理步驟或設備。反而可以流線化之方法達成對還原工程的高度有效遏止，既未增加加工處理時間也未增加基礎電路的複雜程度。

本發明人先前已經提出多個專利申請案，且已經在此項技術領域獲得多項專利，亦即有關偽裝積體電路裝置來  
20 讓裝置更難以被還原工程之相關技術領域。本發明可與先前美國專利案揭示之各項技術協力用來進一步混淆還原工程師。

注意本發明只需用在晶片上之千分之一個元件，但還原工程師卻必需審慎研究各個電晶體或連結，完整徹底了

解各個搜尋的電晶體或連結，而該電晶體或連結受到本發明修改之機率極低。還原工程師面對俗話所說的大海撈針的工作。本發明也可應用多次，換言之，在每個CMOS對應用，如此還原工程師被迫研究每個通道，因而讓還原工程  
5 變得極為不合實際。

簡言之，以概略性術語說明，本發明包含一種半導體元件以及一種製造半導體元件之方法，其中傳導層阻擋遮罩經過修改，結果產生還原工程異物，該異物可誤導而非指示裝置之真實結構。

10 於另一方面，本發明提供偽裝一積體電路結構，積體電路結構係經由複數層具有經控制之佈局之材料形成，一層矽化物設置於多層具有經控制之佈局層間。該矽化物層係用來混淆還原工程師以為該半導體具有一種結構而實質上該半導體係具有另一種結構。

#### 15 圖式簡單說明

第1A圖顯示先前技術於全部金屬層及氧化物層由一傳導通道去除之後還原工程師將看到矽化物層之異物邊緣；

第1B圖顯示先前技術於全部金屬層及氧化物層由一包括通道阻擋之傳導通道去除之後還原工程師將看到矽化物  
20 層之異物邊緣；以及

第2圖顯示根據本發明之具體實施例，於全部金屬層及氧化物層被去除後，還原工程師將看到矽化物層之異物邊緣。

#### 【實施方式】

較佳實施例之詳細說明

現在於後文將參照附圖更完整說明本發明，附圖顯示本發明之較佳具體實施例。本發明可以多種不同形式具體實施，而非解譯為囿限於此處陳述之具體實施例。

5        業界眾所周知有多種製造半導體元件之方法。以下討論並未包括有關半導體元件之製造細節。反而討論焦點係集中在修改半導體元件製造過程中使用之傳導層阻擋遮罩，俾進一步混淆還原工程。

10        本發明使用矽化物層異物邊緣，還原工程師於還原工程使用其它還原工程偵測防止技術製造的半導體元件時將看到此種異物邊緣。

15        如前文說明，一種還原工程偵測防止技術中，通道阻擋結構用來混淆還原工程師。如第1B圖所示，通道阻擋結構27具有與通道區23、25不同的摻雜劑類型，且於緊鄰其上鋪設之矽化物具有障礙物30。於使用還原工程處理例如CMP之後，矽化物層之異物邊緣28將對還原工程師顯示使用通道阻擋結構27來中斷二通道區23、25間的電連結，如由比較第1A圖及第1B圖可知。通道區及通道阻擋結構之摻雜劑類型對還原工程師而言於大部分還原工程處理期間不易得知。如此，還原工程師被迫仰賴其它方法例如矽化物層及異物邊緣28，來判定傳導通道是否有通道阻擋。

20

第2圖說明根據本發明製造之半導體元件之矽化物層之異物邊緣28。矽化物阻擋遮罩較佳經修改而避免矽化物層完全覆蓋一虛擬通道阻擋結構29。該虛擬通道阻擋結構



29具有通道區23、25之相同傳導類型；因此是否存在有上方矽化物層連結至通道區23、25，對經由該通道之電傳導性不會造成影響。但藉由修改矽化物阻擋遮罩，避免矽化物層完全覆蓋該虛擬通道阻擋結構29，具有障礙物30之異物邊緣28對還原工程師而言顯然指示該通道並非電連結，換言之，第2圖之異物邊緣28與第1B圖之異物邊緣28相同。如此當還原工程師觀視異物邊緣28時將對下方通道的連結性跳到一種不正確的假設，換言之，還原工程師將假設存在有個通道阻擋(若該還原工程師不熟諳本發明)，或還原工程師將被迫(i)測試是否存在有通道阻擋27或(ii)假設通道阻擋27係存在(若其熟諳本發明)。

為了進一步偽裝電路，通道阻擋結構29使用的摻雜劑類型可於輕度摻雜汲(LDD)或輕度摻雜密度(LDD)源形成之同時產生。如此即使使用染色法及蝕刻法，還原工程師面對遠更高的源/汲植入物22、26劑量時分辨兩種類型植入物，亦即N型相對於P型的差異將遭遇遠更高的困難。此外，經由使用LDD法形成虛擬通道阻擋結構29，由於崩潰上考量，虛擬通道阻擋結構29之尺寸可製作成較小。

於本發明之較佳製造方法，半導體晶片製造商之設計法則經修改來允許植入區未經矽化。換言之，設計法則也經修改來允許通道阻擋結構29之尺寸縮小且輕度摻雜(透過使用LDD植入物輕度摻雜)俾進一步防止被還原工程師偵測出。

於修改設計法則時，重要地需確保如第2圖所示實際傳

導通道之異物邊緣係匹配第1B圖所示非傳導通道之異物邊緣。供舉例說明之用，第1B圖之異物邊緣28係匹配第2圖之異物邊緣28。熟諳技藝人士了解，異物邊緣28無需特別位在如第1B圖或第2圖所示位置。反而異物邊緣可出現於通道沿線的幾乎任何位置。但重要地(1)矽化物層未提供電連結(換言之，矽化物層並未完全覆蓋通道而其中含有蓄意的阻擋或虛擬阻擋)；以及(2)電連結(亦即真連結)之異物邊緣28係與非電連結(亦即假連結)之異物邊緣28相同。如此雖然建議含括第1A、1B及2圖所示之非傳導通道類型於單一積體電路元件上，但也可使用參照第1B圖及第2圖所示及所述通道類型之混合來困住還原工程師。

熟諳技藝人士了解雖然第1A、1B及2圖係使用N-型摻雜區22-25、29及P-型通道阻擋結構27，但前文說明對P-型摻雜區而帶有N-型通道阻擋結構亦為真。

此外，本發明較佳並未完全去能多數電晶體電路，反而讓電路係以出乎意外的方式或非直覺方式發揮功能。例如顯然為OR閘，相反地實際上係作為AND閘。或顯然為反相輸入，注意反相輸入，但實際上為非反相。可利用之可能實際上有無限種可能，幾乎可確定將造成還原工程師相當沮喪而放棄對抗找出如何還原工程採用本技術之積體電路元件。

此外希望對單一積體電路(IC)使用第1B及2圖之技術多次。藉此方式當還原工程師遭遇前文參照第1B圖及2圖討論之矽化物異物於傳導通道上方時，還原工程師不了解是

否有個通道阻擋。還原工程師必需假設存在有通道阻擋，  
 或使用更複雜且更耗時的技術來測試於矽化物開口處的通  
 道傳導類型。若第1B圖及第2圖結構於某個IC上出現數百次  
 則無論還原工程師假設何種情況或進行複雜耗時的技術來  
 5 測試於矽化物開口的通道傳導類型，還原工程師於嘗試確  
 定各個位置或每個可能的位置是否利用通道阻擋上將遭遇  
 令人氣餒的問題。

最後，本發明揭示之方法及裝置可與其它用來保護積  
 體電路元件不會受到還原工程之偽裝技術相容。如此，可  
 10 有多項技術用於某個指令積體電路元件來保護該IC不會被  
 成功地還原工程。

已經就某些較佳具體實施例說明本發明，熟諳技藝人  
 士顯然易知多項修改。除非隨附之申請專利範圍特別要  
 求，否則本發明並非限於所揭示之具體實施例。

## 15 【圖式簡單說明】

第1A圖顯示先前技術於全部金屬層及氧化物層由一傳  
 導通道去除之後還原工程師將看到矽化物層之異物邊緣；

第1B圖顯示先前技術於全部金屬層及氧化物層由一包  
 括通道阻擋之傳導通道去除之後還原工程師將看到矽化物  
 20 層之異物邊緣；以及

第2圖顯示根據本發明之具體實施例，於全部金屬層及  
 氧化物層被去除後，還原工程師將看到矽化物層之異物邊  
 緣。

## 【圖式之主要元件代表符號表】

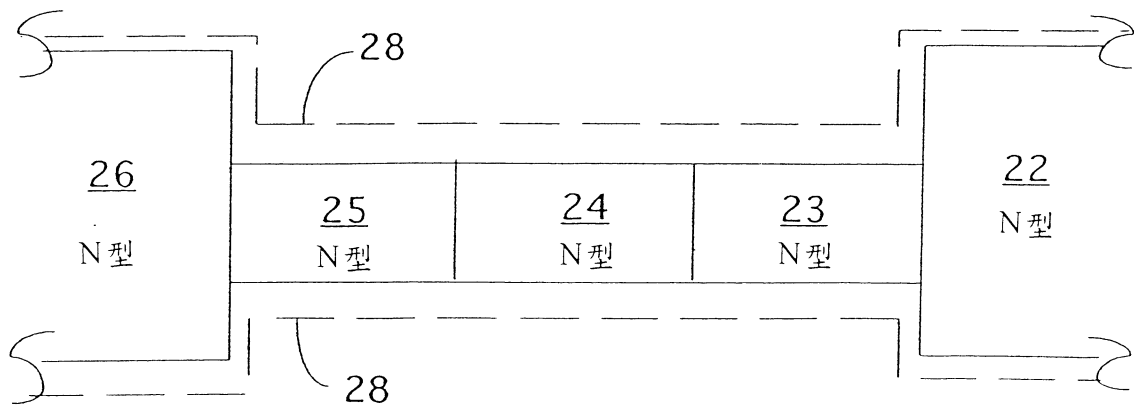
- 22...摻雜電路元件
- 23...通道區，導電摻雜植入物
- 25...通道區，導電摻雜植入物
- 26...摻雜電路元件
- 27...通道阻擋結構
- 28...異物邊緣
- 29...虛擬通道阻擋結構
- 30...障礙物

### 伍、中文發明摘要：

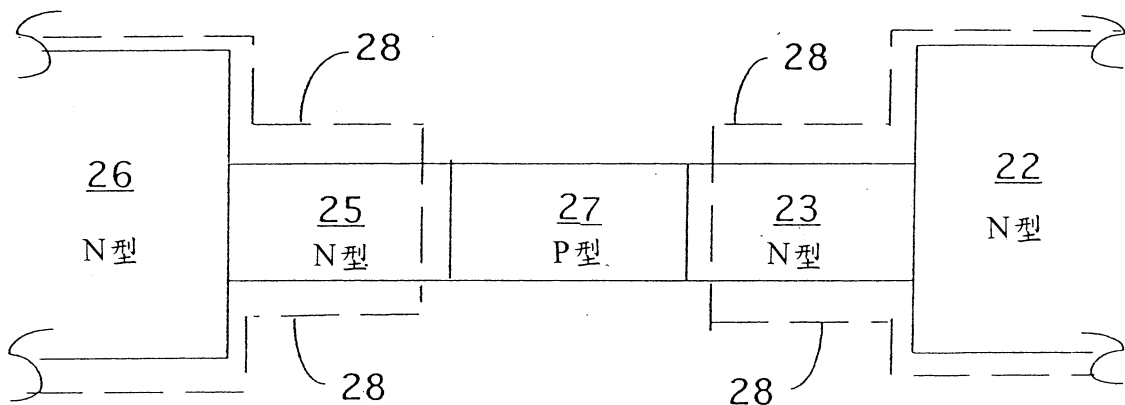
一種偽裝積體電路結構用之技術及其結構。該積體電路結構係由複數層具有經控制之佈局之材料層組成。一層具有經控制之佈局之傳導性材料層係設置於該多層材料間，來提供模擬一型電晶體(可操作相對於非可操作)之傳導性材料之異物邊緣，而實際上係使用另一型電晶體。

### 陸、英文發明摘要：

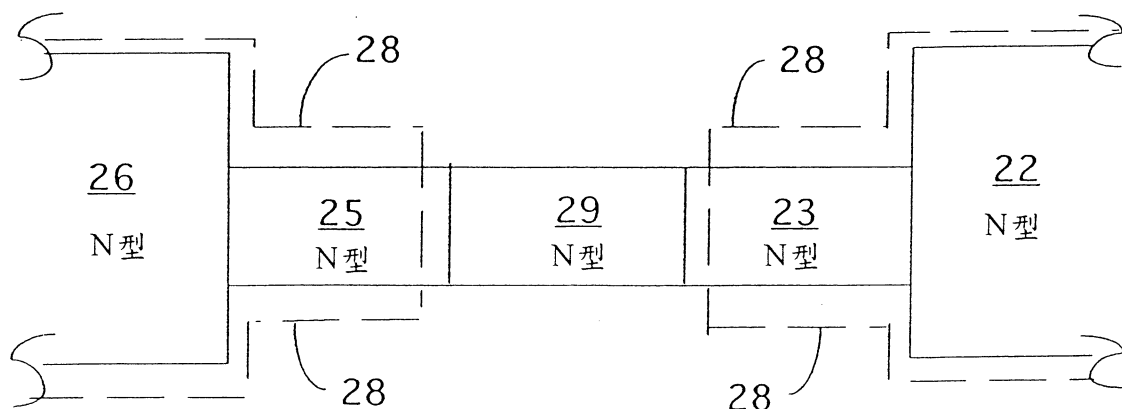
A technique for and structures for camouflaging an integrated circuit structure. The integrated circuit structure is formed by a plurality of layers of material having a controlled outline. A layer of conductive material having a controlled outline is disposed among said plurality of layers to provide artifact edges of the conductive material that resemble one type of transistor (operable vs. non-operable), when in fact another type of transistor was used.



第1A 圖



第1B 圖



第 2 圖

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

22...摻雜電路元件

23...通道區

25...通道區

26...摻雜電路元件

28...異物邊緣

29...虛擬通道阻擋結構

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

公告本

94年3月30日  
修正本

I251282

第 92126686 號申請案

# 發明專利說明書

修正本

94.03.30.

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92126686

※ 申請日期：92.9.26

※IPC 分類：H01L 21/4763

## 壹、發明名稱：(中文/英文)

抑制還原工程之傳導通道虛擬阻擋方法與電路

A CONDUCTIVE CHANNEL PSEUDO BLOCK PROCESS AND CIRCUIT TO  
INHIBIT REVERSE ENGINEERING

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

HRL 實驗有限公司 / HRL LABORATORIES, LLC

代表人：(中文/英文)

艾利米爾 丹尼爾 R. / ALLEMEIER, DANIEL R.

住居所或營業所地址：(中文/英文)

美國加州馬里布·馬里布峽谷路 3011 號

3011 MALIBU CANYON ROAD, MALIBU, CA 90265, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

## 參、發明人：(共 4 人)

姓名：(中文/英文)

1. 周立偉 / CHOW, LAP-WAI

2. 克拉克 小威廉 M. / CLARK, JR., WILLIAM M.

3. 哈比森 蓋文 J. / HARBISON, GAVIN J.

4. 巴庫斯 詹姆斯 P. / BAUKUS, JAMES P.

住居所地址：(中文/英文)

1. 美國加州南巴薩登納·喀米諾林多 1684 號 / 1684 CAMINO LINDO, SOUTH PASADENA, CA, U.S.A.

2. 美國加州卡馬里洛·帕奎達街 1137 號 / 1137 PAQUITA STREET, CAMARILLO, CA, U.S.A.

3. 美國加州瑪麗娜德雷·瑪麗娜 4127 號 #415 / 4127 VIAMARINA, #415, MARINA DEL REY, CA, U.S.A.

4. 美國加州威斯拉克鄉村杜姆里夫街 1718 號 / 1718 DRUMCLIFF COURT, WESTLAKE VILLAGE, CA, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.



## 拾、申請專利範圍：

1. 一種半導體連接體，其包含：

至少二活性區；

一導電摻雜通道，其提供該等至少二活性區之間之

5 一電連接；

一第一傳導層，其係設置於該導電摻雜通道之一第一部份上方；以及

一第二傳導層，其係設置於該導電摻雜通道之一第二部份上方，其中該等第一傳導層與第二傳導層係彼此  
10 隔開，且該第一傳導層及該第二傳導層間之該導電摻雜通道係為未覆蓋。

2. 如申請專利範圍第1項之半導體連接體，其中該等第一傳導層及第二傳導層係為矽化物層。

3. 如申請專利範圍第1項之半導體連接體，其中該導電摻  
15 雜通道包含：

一第一摻雜通道區，其係毗鄰於該等至少二活性區中之一第一者；

一第二摻雜通道區，其係毗鄰於該等至少二活性區中之一第二者；以及

20 一通道阻擋結構，其係設置於該第一摻雜通道區與該第二摻雜通道區之間。

4. 如申請專利範圍第3項之半導體連接體，其中該第一摻雜通道區、該第二摻雜通道區及該通道阻擋結構具有一相同之導電類型，因此該通道阻擋結構為一虛擬通道阻

擋結構。

5. 如申請專利範圍第3項之半導體連接體，其中該等至少二活性區具有一第一摻雜濃度，以及該通道阻擋結構具有一第二摻雜濃度，該第二摻雜濃度係低於該第一摻雜濃度。

6. 一種積體電路，其具有複數個傳導通道形成於其中，且該等複數個傳導通道中之每一經選定者皆具有一相關通道阻擋結構，該相關通道阻擋結構可阻止一相關通道與該等複數個傳導通道中之其他者產生傳導，該等複數個傳導通道中之其他者皆具有一相關虛擬通道阻擋結構，該相關虛擬通道阻擋結構並不會阻止一相關虛擬通道阻擋傳導通道產生傳導，當該積體電路於還原工程技術應用期間係於一平面圖觀之時，該等通道阻擋通道係藉由異物邊緣之存在而模擬該等虛擬通道阻擋傳導通道，且該等異物邊緣間並未覆蓋任何材料。

7. 一種讓還原工程變困難之方法，其包含：

於至少二活性區之間形成一導電摻雜通道；

於該導電摻雜通道之一第一部份上方設置一第一傳導層；

- 20 於該導電摻雜通道之一第二部份上方設置一第二傳導層，其中該第一傳導層與第二傳導層係彼此隔開；以及

修改一矽化物阻擋遮罩以防止該第一傳導層與該第二傳導層電氣連接。

8. 如申請專利範圍第7項之方法，其中形成一導電摻雜通道之該步驟包括於該導電摻雜通道內部產生一通道阻擋結構影像，藉此該導電摻雜通道對一還原工程師而言顯然為或可能為通道被阻擋，但實際上該導電摻雜通道並未被通道阻擋。
9. 如申請專利範圍第8項之方法，其中該通道阻擋結構係使用一比用來產生該等至少二活性區之一摻雜劑濃度更低的摻雜劑濃度產生。
10. 如申請專利範圍第7項之方法，其中該第一傳導層及第二傳導層係為矽化物層。
11. 一種用以保護積體電路設計之方法，其包含下列步驟：  
界定與一非傳導之經通道阻擋之通道相關之傳導層邊緣；以及  
藉由修改一矽化物阻擋遮罩以防止該等邊緣彼此電氣連接，將與一虛擬通道阻擋傳導通道相關之傳導層邊緣設置於與供該非傳導之經通道阻擋之通道用的該等邊緣相同之相對位置。
12. 如申請專利範圍第11項之方法，其中該傳導層係為矽化物。