(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H03H 9/48

(45) 공고일자 2003년09월02일
(11) 등록번호 10-0396409
(24) 등록일자 2003년08월20일

(21) 출원번호 10-2000-7004628
(22) 출원일자 2000년04월28일
번역문 제출일자 2000년04월28일
(86) 국제출원번호 PCT/JP1999/03113
(86) 국제출원출원일자 1999년06월10일
(65) 공개번호 특2001-0031580
(43) 공개일자 2001년04월16일
(87) 국제공개번호 WO 2000/13315
(87) 국제공개일자 2000년03월09일

(81) 지정국 국내특허 : 캐나다, 중국, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드,

(30) 우선권주장 98-243989 1998년08월28일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 오시마타케시
일본국100-8310도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤(내)

우치다히로미츄
일본국100-8310도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤(내)

이토야수시
일본국100-8310도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤(내)

(74) 대리인 이병호

심사관 : 김재문

(54) 2주파수 임피던스 정합 회로

요약

본 발명의 임피던스 정합 회로는 부하가 접속되는 출력 단자와, 해당 부하에 대한 입력 신호가 입력되는 입력 단자와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하 및 상기 직렬 공진 회로의 전체와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비한 것이다. 이 구성에 의해, 임의의 2개의 주파수에 있어서의 임피던스의 정합을 취할 수 없다고 하는 종래의 임피던스 정합 회로에서의 문제점은 해결되고, 또한, 전송 선로를 사용하지 않으므로, 저주파수 대역에 적용한 경우에 회로의 소형화가 가능하게 된다.

대표도

도 1

색인어

전계 효과 트랜지스터, 입력 단자, 출력 단자, 전송 선로, 부하 레지스턴스, 부하 캐패시터

명세서

기술분야

본 발명은 2개의 다른 주파수에 있어서 동시에 임피던스 매칭을 취할 수 있는 2주파수 임피던스 정합 회로에 관련된 것으로, 특히 마이크로파 대역에서 적합하게 이용할 수 있는 임피던스 정합 회로의 개량에 관한 것이다.

배경기술

도 9는「H. NAKAJIMA, M. MURAGUCHI: "Dual-Frequency Matching Technique and Its Application to an Octave-Band(30-60GHz) MMIC Amplifier", IEICE Trans. Electron, VOL. E80-C, Sep., 1997.」에 게재되어 있는 종래의 2주파수 임피던스 정합 회로 및 전계 효과 트랜지스터이다. 도면에서, 1은 임피던스 정합 회로의 입력 단자, 2는 임피던스 정합 회로의 출력 단자, 47은 입력 단자(1)와 출력 단자(2) 사이에 접속된 전송 선로, 48은 입력 단자(1)와 전송 선로(47) 사이에 배설되어, 높은 각 주파수의 ω_H의 λ/4의 길이를 갖는 선단 단락형 스터브, 49는 입력 단자(1)와 전송 선로(47) 사이에 배설된 선단 개방형 스터브이다. 또한 50은 출력 단자(2)에 게이트 전극이 접속된 전계 효과 트랜지스터이다.
도 10은 종래의 2주파수 임피던스 정합 회로에서의 정합 방법을 설명하기 위한 스미스챠트이다. 도면에서, 51은 전계 효과 트랜지스터(50)에 대하여 낮은 주파수(f_L)의 신호를 인가한 경우의 부하 임피던스이고, 52는 전계 효과 트랜지스터(50)에 대하여 높은 주파수(f_H)의 신호를 인가한 경우의 부하 임피던스이며, 53은 정 콘덕턴스 원(예를 들면 0.02S의 정 콘덕턴스 원)이다.
그리고, 전송 선로(47)를 소정의 길이로 설정함으로써, 상기 2개의 전계 효과 트랜지스터(50)의 부하 임피던스를 상기 정 콘덕턴스 원(53)상에 설정한다. 54는 이와 같이 하여 얻어진, 낮은 주파수(f_L)의 신호를 인가한 경우의 변환 임피던스이고, 55는 높은 주파수(f_H)의 신호를 인가한 경우의 변환 임피던스이다.
다음에, 선단 개방형 스터브(49)의 길이를 소정의 길이로 설정함으로써, 상기 2개의 임피던스를 상기 정 콘덕턴스 원(53)상에서 이동시켜, 정합을 취한다. 56은 이 정합에 의해 얻어진 정합점이다. 이상과 같이 하여, 이 종래의 임피던스 정합 회로는 2개의 주파수(f_L, f_H)에 있어서의 임피던스의 정합을 취할 수 있다.
다음에 동작에 대해서 설명한다.
상기 입력 단자(1)로부터 전계 효과 트랜지스터(50)에 대한 신호는 상기 2개의 정합 주파수(f_L, f_H)에 있어서는 적어도 입력 신호에 근거한 반사파가 생성되지 않고 입력된다.
종래의 2주파수 임피던스 정합 회로는 이상과 같이 구성되어 있으므로, 상기 전송 선로(47)의 길이만으로 다른 2개의 주파수에 있어서의 전계 효과 트랜지스터(50)의 입력 임피던스를 정 콘덕턴스 원(53)상에서 변환하게 되며, 한편 주파수에 있어서의 임피던스를 정 콘덕턴스 원상에 이동시키도록 전송 선로(47)를 결정하면, 이 정 콘덕턴스 원(53)상에 임피던스를 이동시킬 수 있는 다른쪽의 주파수는 저절로 결정됨으로써, 임의의 2개의 주파수에 있어서의 임피던스 정합은 얻을 수 없다고 하는 과제가 있었다.
또한, 상기 종래의 임피던스 정합 회로에서는 전송 선로(47)를 사용하고 있기 때문에 저주파 대역에서 정합을 취하고자 하면, 긴 전송 선로가 필요하게 되어, 임피던스 정합 회로 자체의 길이가 커지게 된다고 하는 문제도 있다.

발명의 상세한 설명

본 발명은 상기와 같은 과제를 해결하기 위해 이루어진 것으로, 임의의 2개의 주파수에 있어서 임피던스의 정합을 취할 수 있는 2주파수 임피던스 정합 회로를 얻는 것을 목적으로 한다.
본 발명의 제 1 국면에 따른 2주파수 임피던스 정합 회로는 부하가 접속되는 출력 단자와, 해당 부하에 대한 입력 신호가 입력되는 입력 단자와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하 및 상기 직렬 공진 회로의 전체와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비한 것이다.
상기 구성의 2주파수 임피던스 정합 회로에 있어서, 상기 부하는 서로 직렬로 접속되는 부하 레지스터와 부하 캐패시터로 이루어진 것으로 하고, 당해 부하 레지스터의 레지스턴스를 R_i, 부하 캐패시터의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_O로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식 1을 만족하는 것이다.
[수학식 1] $L_1 = X_g/(\omega_H - \omega_L)$

$C_1=(\omega_H-\omega_L)*C_{gs}$
$/(C_{gs}*\omega_H*\omega_L*X_g-(\omega_H-\omega_L))$
$L_2=(\omega_H-\omega_L)*R_i/(\omega_H*\omega_L*Y_o*X_g)$
$C_2=Y_o*X_g/((\omega_H-\omega_L)*R_i)$
$X_g=(R_i/Y_O-R_i*R_i)^{1/2}$

본 발명의 제 2 국면에 따른 2주파수 임피던스 정합 회로는 부하가 접속되는 출력 단자와, 해당 부하에 대한 입력 신호가 입력되는 입력 단자와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지며, 상기 입력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비한 것이다.

상기 구성의 2주파수 임피던스 정합 회로에 있어서, 상기 부하는 서로 직렬로 접속되는 부하 레지스터와 부하 캐패시터로 이루어진 것으로 하고, 해당 부하 레지스터의 레지스턴스를 R_i, 부하 캐패시터의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식 2을 만족하는 것이다.

[수학식 2] $L_1=(\omega_H*(\beta_L-B_{gL})-\omega_L*(\beta_H+B_{gH}))$
$/((\omega_H*\omega_H-\omega_L*\omega_L)(\beta_L-B_{gL})(\beta_H+B_{gH}))$
$C_1=(\omega_H*\omega_H-\omega_L*\omega_L)(\beta_L-B_{gL})(\beta_H+B_{gH})$
$/(\omega_H*\omega_L*(\omega_L*(\beta_L-B_{gL})-\omega_H*(\beta_H+B_{gH})))$
$L_2=Z_o*(\omega_H*\omega_H-\omega_L*\omega_L)*B_{gH}*B_{gL}$
$/(\omega_H*\omega_L*(\omega_H*\alpha_L*B_{gH}+\omega_L*\alpha_H*B_{gL}))$
$C_2=(\omega_L*\alpha_L*B_{gH}+\omega_H*\alpha_H*B_{gL})$
$/(Z_o*(\omega_H*\omega_H-\omega_L*\omega_L)*B_{gH}*B_{gL})$
$\alpha=R_i/(R_i*R_i+1/(\omega*\omega*C_{gs}*C_{gs}))$
$\beta=(1/(\omega*C_{gs}))$
$/(R_i*R_i+1/(\omega*\omega*C_{gs}*C_{gs}))$
$B_g=(\alpha/Z_o-\alpha*\alpha)^{1/2}$

본 발명의 제 3 국면에 따른 2주파수 임피던스 정합 회로는 부하가 접속되는 입력 단자와, 해당 부하에 근거한 출력 신호를 출력하는 출력 단자와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비한 것이다.

상기 구성의 2주파수 임피던스 정합 회로에 있어서, 상기 부하는 서로 병렬로 접속된 각각의 일단이 상기 입력 단자와 직렬로 접속된 부하 캐패시터 및 부하 레지스터로 이루어진 것으로 하고, 부하 레지스터의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식 3을 만족하는 것이다.

[수학식 3] $L_1=R_{ds}*Z_o*B_d/(\omega_H-\omega_L)$
$C_1=(\omega_H-\omega_L)/(\omega_H*\omega_L*R_{ds}*Z_o*B_d)$
$L_2=(\omega_H-\omega_L)/(\omega_H*(\omega_L*B_d)$
$C_2=B_d/(\omega_H-\omega_L)-C_{ds}$
$B_d=(1/(Z_o*R_{ds})-1/(R_{ds}*R_{ds}))^{1/2}$

본 발명의 제 4 국면에 따른 임피던스 정합 회로는 부하가 접속되는 입력 단자와, 해당 부하에 근거한 출력 신호를 출력하는 출력 단자와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하 및 상기병렬 공진 회로의 전체와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비한 것이다.

상기 구성의 2주파수 임피던스 정합 회로에 있어서, 상기 부하는 서로 병렬로 접속된 각각의 일단이 상기 입력 단자와 직렬로 접속된 부하 캐패시터 및 부하 레지스터로 이루어진 것으로 하고, 부하 레지스터의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 규격화 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식 4를 만족하는 것이다.

[수학식 4] $L_1=(\omega_L*\alpha_L*X_{dH}+\omega_H*\alpha_H*X_{dL})$
$/(Y_o*(\omega_H*\omega_H-\omega_L*\omega_L)*X_{dH}*X_{dL})$
$C_1=Y_o*(\omega_H*\omega_H-\omega_L*\omega_L)*X_{dH}*X_{dL}$
$/(\omega_H*\omega_L*(\omega_H*\alpha_L*X_{dH}+\omega_L*\alpha_H*X_{dL}))$
$L_2=(\omega_H*\omega_H-\omega_L*\omega_L)$
$/(\omega_H*\omega_L*(\omega_L/(X_{dH}-\beta_H)+\omega_H/(X_{dL}+\beta_L)))$
$C_2=(\omega_H*(X_{dH}-\beta_H)+\omega_L/(X_{dL}+\beta_L))$

$/(\omega_H*\omega_H-\omega_L*\omega_L)$
$\alpha=(1/R_{ds})/(1/(R_{ds}*R_{ds})$
$+\omega*\omega*C_{ds}*C_{ds})$
$\beta=\omega*C_{ds}/(1/(R_{ds}R_{ds})+\omega*\omega*C_{ds}*C_{ds}))$
$X_d=(\alpha/Y_o-\alpha*\alpha)^{1/2}$

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 의한 2주파수 임피던스 정합 회로 및 부하를 도시한 블록도.
도 2는 본 발명의 실시예 1에 의한 2주파수 임피던스 정합 회로에 있어서 2개의 각 주파수 ω_H, ω_L에 있어서 정합을 취했을 때의 각 소자의 역할을 설명하기 위한 스미스챠트.
도 3은 본 발명의 실시예 2에 의한 2주파수 임피던스 정합 회로 및 부하를 도시한 블록도.
도 4는 본 발명의 실시예 2에 의한 2주파수 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 정합을 취했을 때의 각 소자의 역할을 설명하기 위한 스미스챠트.
도 5는 본 발명의 실시예 3에 의한 2주파수 임피던스 정합 회로 및 부하를 도시한 블록도.
도 6은 본 발명의 실시예 3에 의한 2주파수 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 정합을 취했을 때의 각 소자의 역할을 설명하기 위한 스미스챠트.
도 7은 본 발명의 실시예 4에 의한 2주파수 임피던스 정합 회로 및 부하를 도시한 블록도.
도 8은 본 발명의 실시예 4에 의한 2주파수 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 정합을 취했을 때의 각 소자의 역할을 설명하기 위한 스미스챠트.
도 9는 종래의 2주파수 임피던스 정합 회로 및 전계 효과 트랜지스터.
도 10은 종래의 2주파수 임피던스 정합 회로에서의 정합 방법을 설명하기 위한 스미스챠트.

실시예

이하, 본 발명을 보다 상세히 설명하기 위해, 본 발명을 실시하기 위한 최선 의 형태에 관해서, 첨부 도면을 참조하여 설명한다.
실시예 1
도 1은 본 발명의 실시예 1에 의한 2주파수 임피던스 정합 회로 및 그것에 접속된 부하를 도시한 블록도이다. 도면에 있어서, 1은 임피던스 정합 회로의 입력 단자, 2는 임피던스 정합 회로의 출력 단자, 3은 이 입력 단자(1)와 출력 단자(2) 사이에 접속된 직렬 인덕터, 4는 이 직렬 인덕터(3)와 입력 단자(1) 사이에 배설된 직렬 캐패시터, 5는 이 직렬 캐패시터(4)와 입력 단자(1) 사이에 일단이 접속되고, 다른 단이 접지 전위에 접지된 병렬 인덕터, 6은 이 직렬 캐패시터(4)와 입력 단자(1) 사이에 일단이 접속되고, 다른 단이 접지 전위에 접지된 병렬 캐패시터이다.
또한, 7은 그 일단이 출력 단자(2)에 접속된 부하 캐패시터, 8은 일단이 부하 캐패시터(7)의 다른 단에 접속되고, 다른 단이 접지 전위에 접지된 부하 레지스턴스이다. 또한, 이하에 있어서는 부하 레지스턴스(8)는 정합 임피던스(예를 들면 마이크로파의 전송 경로에 일반적으로 사용되는 50Ω 등)와 동일하거나 또는 그것 보다도 작은 것을 전제로 하여 설명한다. 또한, 이러한 부하 캐패시터(7)와 부하 레지스턴스(8)가 직렬로 접속된 회로를 등가로 나타낼 수 있는 회로로서는 예를 들면, 소스 전극을 접지한 전계 효과 트랜지스터를 마이크로파 대역에서 사용한 경우의 게이트 전극에서 본 회로를 들 수 있다.
도 2는 본 발명의 실시예 1에 의한 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 임피던스의 정합을 취했을 때의 직렬 인덕터(3), 직렬 캐패시터(4), 병렬 인덕터(5), 병렬 캐패시터(6) 등, 도 1에 도시된 소자군의 각각의 역할을 설명하기 위한 스미스챠트이다. 도 2에 있어서, 9는 부하 레지스턴스(8) 및 부하 캐패시터(7)에 대하여 상기 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_L)$이고, 10은 부하 레지스턴스(8) 및 부하 캐패시터(7)에 대하여 상기 높은 각 주파수(ω_H)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_H)$이고, 11은 상기 정합 임피던스에 의해 규격화된 정 콘덕턴스 원(예를 들면 0.02S의 정 콘덕턴스 원)이다.
그리고, 직렬 인덕터(3)와 직렬 캐패시터(4)로 이루어진 직렬 공진 회로를 2개의 각 주파수에 있어서 모두 유도성을 나타내도록 하고, 그것에 의해 이 직렬 공진 회로(3, 4)와 부하(7, 8)를 상기 2개의 각 주파수(ω_H, ω_L) 하에서 입력 단자(1)측에서 본 경우에 얻어진 어드미턴스의 콘덕턴스 성분을 상기 정 콘덕턴스 원(11) 상으로 이동시킨다. 12는 이로써 얻어진, 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 변환 임피던스이고, 13은 높은 각 주파수(ω_H)의 신호를 인가한 경우의 변환 임피던스이다. 또한, 이 경우의 직렬 인덕터의 인덕턴스(L_1)와 직렬 캐패시터의 캐패시턴스(C_1)의 값을 아래의 수학식 5에 나타낸다.
다음에, 병렬 인덕터(5)와 병렬 캐패시터(6)로 이루어진 병렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 유도성을, 높은 각 주파수(ω_H)에서는 용량성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 콘덕턴스 원(11)상에서 이동시켜, 정합을 취한다. 14는 이 정합에 의해 얻어진 정합점이다. 또한, 이 경우의 병렬 인덕터의 인덕턴스(L_2)와 병렬 캐패시터의 캐패시턴스(C_2)의 값을 아래의 수학식 5에 나타낸다.
[수학식 5] $L_1=X_g/(\omega_H-\omega_L)$
$C_1=(\omega_H-\omega_L)*C_{gs}$
$/(C_{gs}*\omega_H*\omega_L*X_g-(\omega_H-\omega_L))$
$L_2=(\omega_H-\omega_L)*R_i/(\omega_H*\omega_L*Y_o*X_g)$

$C_2 = Y_o * X_g / ((\omega_H - \omega_L) * R_i)$
$X_g = (R_i / Y_o - R_i * R_i)^{1/2}$
또한, 상기 수학식 5에서도 분명히 알 수 있는 바와 같이, 2개의 정합 각 주파수(ω_L, ω_H)는 서로 독립한 각 주파수로서 설정할 수 있다.
다음에 동작에 대해 설명한다.
상기 입력 단자(1)로부터 부하에 대한 신호는 상기 2개의 정합 각 주파수(ω_L, ω_H)에서는 적어도 입력 신호에 근거한 반사파가 생성되지 않고 입력된다.
이상과 같이, 이 실시예 1에 의하면, 부하(7, 8)가 접속되는 출력 단자(2)와, 해당 부하(7, 8)에 대한 입력 신호가 입력되는 입력 단자(1)와, 직렬 캐패시터(4) 및 이 직렬 캐패시터(4)에 직렬로 접속된 직렬 인덕터(3)로 이루어지고, 상기 입력 단자(1)에서 보아서 상기 부하(7, 8)와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터(6) 및 이 병렬 캐패시터(6)에 병렬로 접속된 병렬 인덕터(5)로 이루어지고, 상기 입력 단자(1)에서 보아서 상기 부하(7, 8) 및 상기 직렬 캐패시터(3) 및 직렬 인덕터(4)로 이루어진 직렬 공진 회로의 전체와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비한 2주파수 임피던스 정합 회로에 의해 임피던스의 정합을 행하고 있으므로, 정합 임피던스보다도 작은 부하(7, 8)의 입력 레지스턴스(R_l)에 있어서, 임의로 선출한 2개의 주파수에 있어서 정합을 취할 수 있는 효과가 있다.
특히, 부하 레지스턴스(8)의 레지스턴스를 R_i, 부하 캐패시터(7)의 캐피시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 5을 만족하도록 설정하고 있으므로, 목표로 하는 정합 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.
또한, 정합 소자군의 하나로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.
실시예 2
도 3은 본 발명의 실시예 2에 의한 임피던스 정합 회로 및 그것에 접속된 부하를 도시한 블록도이다. 도면에서, 15는 입력 단자(1)와 출력 단자(2) 사이에 배설된 병렬 인덕터, 16은 입력 단자(1)와 출력 단자(2) 사이에 배설된 병렬 캐패시터, 17은 출력 단자(2)와 병렬 인덕터(15) 사이에 일단이 접속된 직렬 인덕터, 18은 일단이 직렬 인덕터(17)의 다른 단에 접속되고, 다른 단이 접지 전위에 접지된 직렬 캐패시터이다. 이외에는 실시예 1와 동일하여 동일한 부호를 붙이고 설명을 생략한다.
또한, 이하에 있어서는 부하 레지스턴스(8)는 정합 임피던스(예를 들면 마이크로파의 전송 경로에 일반적으로 사용되는 50Ω 등)보다도 큰 것을 전제로 하여 설명한다.
도 4는 본 발명의 실시예 1에 의한 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 임피던스의 정합을 취했을 때의 직렬 인덕터(17), 직렬 캐패시터(18), 병렬 인덕터(15), 병렬 캐패시터(16) 등의 도 3에 도시된 소자군의 각각의 역할을 설명하기 위한 스미스챠트이다. 도 4에 있어서, 19는 부하 레지스턴스(8) 및 부하 캐패시터(7)에 대하여 상기 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_H)$이고, 20은 부하 레지스턴스(8) 및 부하 캐패시터(7)에 대하여 상기 높은 각 주파수(ω_H)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_H)$이고, 21은 상기 정합 임피던스에 의해 규격화된 정 레지스턴스 원(예를 들면 50Ω의 정 레지스턴스 원)이다.
그리고, 직렬 인덕터(17)와 직렬 캐패시터(18)로 이루어진 직렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 용량성에, 높은 각 주파수(ω_H)에서는 유도성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 레지스턴스 원(21) 상에 이동시킨다. 22는 이것에 의해 얻어진 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 변환 임피던스이고, 23은 높은 각 주파수(ω_H)의 신호를 인가한 경우의 변환 인덕턴스이다. 또한 이 경우의 직렬 인덕터의 인덕턴스(L_1)와 직렬 캐패시터의 캐패시턴스(C_1)의 값을 아래의 수학식 6에 나타낸다.
다음에 병렬 인덕터(15)와 병렬 캐패시터(16)로 이루어진 병렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 유도성에, 높은 각 주파수(ω_H)에서는 용량성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 레지스턴스 원(21) 상에서 이동시켜, 정합을 취한다. 24는 이 정합에 의해 얻어진 정합점이다. 또한, 이 경우의 병렬 인덕터의 인덕턴스(L_2)와 병렬 캐패시터의 캐패시턴스(C_2)의 값을 아래의 수학식 6에 나타낸다.
[수학식 6] $L_1 = (\omega_H * (\beta_L - B_{gL}) - \omega_L * (\beta_H + B_{gH}))$
$/((\omega_H * \omega_H - \omega_L * \omega_L)(\beta_L - B_{gL})(\beta_H + B_{gH}))$
$C_1 = (\omega_H * \omega_H - \omega_L * \omega_L)(\beta_L - B_{gL})(\beta_H + B_{gH})$
$/(\omega_H * \omega_L * (\omega_L * (\beta_L - B_{gL}) - \omega_H * (\beta_H + B_{gH})))$
$L_2 = Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL}$
$/(\omega_H * \omega_L * (\omega_H * \alpha_L * B_{gH} + \omega_L * \alpha_H * B_{gL}))$
$C_2 = (\omega_L * \alpha_L * B_{gH} + \omega_H * \alpha_H * B_{gL})$
$/(Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL})$
$\alpha = R_i / (R_i * R_i + 1/(\omega * \omega * C_{gs} * C_{gs}))$
$\beta = (1/(\omega * C_{gs}))$
$/(R_i * R_i + 1/(\omega * \omega * C_{gs} * C_{gs}))$
$B_g = (\alpha / Z_o - \alpha * \alpha)^{1/2}$
또한, 상기 수학식 6에서도 분명히 알 수 있는 바와 같이, 2개의 정합 각 주파수(ω_L, ω_H)는 서로 독립한 각 주파수로서 설정할 수 있다.
또한, 동작은 실시예 1와 동일하므로 설명을 생략한다.

이상과 같이, 이 실시예 2에 의하면, 부하(7, 8)가 접속되는 출력 단자(2)와, 해당 부하(7, 8)에 대한 입력 신호가 입력되는 입력 단자(1)와, 병렬 캐패시터(16) 및 이 병렬 캐패시터(16)에 병렬로 접속된 병렬 인덕터(15)로 이루어지고, 상기 입력 단자(1)에서 보아서 상기 부하(7, 8)와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터(18) 및 이 직렬 캐패시터(18)에 직렬로 접속된 직렬 인덕터(17)로 이루어지고, 상기 입력 단자(1)에서 보아서 상기 부하(7, 8)와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비한 2주파수 임피던스 정합 회로에 의해 임피던스의 정합을 행하고 있으므로, 정합 임피던스보다도 큰 부하(7, 8)의 입력 레지스턴스(R_i)에 있어서, 임의로 선출한 2개의 주파수에서 정합을 취할 수 있는 효과가 있다.

특히, 부하 레지스턴스(8)의 레지스턴스를 R_i, 부하 캐패시터(7)의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 규격화 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 6을 만족하도록 설정함으로써, 목표로 하는 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.

또한, 각 인덕터(15, 17)로서 전송 선로를 사용할 필요가 없기 때문에, 정합을 취하는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.

실시예 3

도 5는 본 발명의 실시예 3에 의한 임피던스 정합 회로 및 그것에 접속된 부하를 도시한 블록도이다. 도면에 있어서, 25는 입력 단자(1)와 출력 단자(2) 사이에 접속된 직렬 인덕터, 26은 이 직렬 인덕터(25)와 입력 단자(1) 사이에 배설된 직렬 캐패시터, 27은 이 직렬 캐패시터(26)와 입력 단자(1) 사이에 일단이 접속되고, 다른 단이 접지 전위에 접지된 병렬 인덕터, 28은 이 직렬 캐패시터(26)와 입력 단자(1) 사이에 일단이 접속되고, 다른 단이 접지 전위에 접지된 병렬 캐패시터이다.

또한, 29는 일단이 입력 단자(1)에 접속되고, 다른 단이 접지 전위에 접지된 부하 캐패시터, 30은 일단이 입력 단자(1)에 접속되고, 다른 단이 접지 전위에 접지된 부하 레지스턴스이다. 또한, 이하에 있어서는 부하 레지스턴스(30)는 규격화 임피던스(예를 들면 마이크로파의 전송 경로에 일반적으로 사용되는 50Ω 등)보다도 큰 것을 전제로 하여 설명한다. 또한, 이러한 부하 캐패시터(29)와 부하 레지스턴스(30)가 병렬로 접속된 회로를 등가로 나타낼 수 있는 회로로서는 예를 들면, 소스 접지한 전계 효과 트랜지스터를 마이크로파 대역에서 사용한 경우의 드레인 전극에서 본 회로를 들 수 있다.

이 외에는 실시예 1와 동일하므로 동일 부호를 붙이고 설명을 생략한다.

도 6은 본 발명의 실시예 3에 의한 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 임피던스의 정합을 취했을 때의, 직렬 인덕터(25), 직렬 캐패시터(26), 병렬 인덕터(27), 병렬 캐패시터(28) 등의 도 5에 도시된 소자군의 각각의 역할을 설명하기 위한 스미스 챠트이다. 도 6에 있어서, 31은 부하 레지스턴스(30) 및 부하 캐패시터(29)에 대하여 상기 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_L)$이고, 32는 부하 레지스턴스(30) 및 부하 캐패시터(29)에 대하여 상기 높은 각 주파수(ω_H)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_H)$이고, 33은 상기 정합 임피던스에 의해 규격화된 정 레지스턴스 원(예를 들면 50Ω의 정 레지스턴스 원)이다.

그리고, 병렬 인덕터(27)와 병렬 캐패시터(28)로 이루어진 병렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 유도성에, 높은 각 주파수(ω_H)에서는 용량성을 나타내도록 하고, 그것에 의해 상기 2개의 각 주파수(ω_H, ω_L)에서의 상기 병렬 공진 회로와 부하를 출력 단자(2)측에서 본 어드미턴스를 상기 정 레지스턴스 원(33)상에 이동시킨다. 34는 이것에 의해 얻어진, 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 변환 임피던스이고, 35는 높은 각 주파수(ω_H)의 신호를 인가한 경우의 변환 임피던스이다. 또한, 이 경우의 병렬 인덕터의 인덕턴스(L_2)와 병렬 캐패시터의 캐패시턴스(C_2)의 값을 아래의 수학식 7에 나타낸다.

다음에, 직렬 인덕터(25)와 직렬 캐패시터(26)로 이루어진 직렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 용량성에, 높은 각 주파수(ω_H)에서는 유도성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 레지스턴스 원(33)상에서 이동시켜, 정합을 취한다. 36은 이 정합에 의해 얻어진 정합점이다. 또한, 이 경우의 직렬 인덕터의 인덕턴스(L_1)와 직렬 캐패시터의 캐패시턴스(C_1)의 값을 아래의 수학식 7에 나타낸다.

[수학식 7]

$$L_1 = R_{ds} * Z_o * B_d / (\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) / (\omega_H * \omega_L * R_{ds} * Z_o * B_d)$$

$$L_2 = (\omega_H - \omega_L) / (\omega_H * \omega_L * B_d)$$

$$C_2 = B_d / (\omega_H - \omega_L) - C_{ds}$$

$$B_d = (1/(Z_o * R_{ds}) - 1/(R_{ds} * R_{ds}))^{1/2}$$

또한, 상기 수학식에서도 분명히 알 수 있는 바와 같이, 2개의 정합 각 주파수(ω_L, ω_H)는 서로 독립한 각 주파수로서 설정할 수 있다.

다음에 동작에 대해서 설명한다.

상기 출력 단자(2)로부터 전계 효과 트랜지스터 등으로부터의 출력 신호를 출력하면, 상기 2개의 정합 각 주파수에 있어서는 적어도 출력 신호에 근거한 반사파가 생성되지 않고 신호의 출력이 행하여진다.

이상과 같이, 상기 실시예 3에 의하면, 부하(29, 30)가 접속되는 입력 단자(1)와, 해당 부하(29, 30)에 근거한 출력 신호를 출력하는 출력 단자(2)와, 직렬 캐패시터(26) 및 이 직렬 캐패시터(26)에 직렬로 접속된 직렬 인덕터(25)로 이루어지고, 상기 출력 단자(2)에서 보아서 상기 부하(29, 30)와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터(28) 및 이 병렬 캐패시터(28)에 병렬로 접속된 병렬 인덕터(27)로 이루어지고, 상기 출력 단자(2)에서 보아서 상기 부하(29, 30)와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비한 2주파수 임피던스 정합 회로에 의해 임피던스의 정합을 행하고 있으므로, 정합 임피던스보다도 큰 부하(29, 30)의 출력 레지스턴스(R_{ds})에 있어서, 임의로 선출

한 2개의 주파수에서 정합을 취할 수 있는 효과가 있다.
특히, 부하 레지스턴스(30)의 레지스턴스를 R_{ds}, 부하 캐패시터(29)의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 7을 만족하도록 설정함으로써, 목표로 하는 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.
또한, 각 인덕터(25, 27)에서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.
실시예 4
도 7은 본 발명의 실시예 4에 의한 임피던스 정합 회로 및 그것에 접속된 부하를 도시한 블록도이다. 도면에 있어서, 37은 입력 단자(1)와 출력 단자(2) 사이에 배설된 병렬 인덕터, 38은 입력 단자(1)와 출력 단자(2) 사이에 배설된 병렬 캐패시터, 39는 출력 단자(2)와 병렬 인덕터(37) 사이에 일단이 접속된 직렬 인덕터, 40은 일단이 직렬 인덕터(39)의 다른 단에 접속되고, 다른 단이 접지 전위에 접지된 직렬 캐패시터이다. 이 외에는 실시예 3과 동일하여 동일의 부호를 붙이고 설명을 생략한다.
또한, 이하에서는 부하 레지스턴스(30)는 규격화 임피던스(예를 들면 마이크로파의 전송 경로에 일반적으로 사용되는 50Ω 등)보다도 작은 것을 전제로하여 설명한다.
도 8은 본 발명의 실시예 4에 의한 임피던스 정합 회로에 있어서 2개의 각 주파수(ω_H, ω_L)에서 임피던스의 정합을 취했을 때의, 직렬 인덕터(39), 직렬 캐패시터(40), 병렬 인덕터(37), 병렬 캐패시터(38) 등의 도 7에 도시된 소자군의 각각의 역할을 설명하기 위한 스미스챠트이다. 도 8에 있어서, 41은 부하 레지스턴스(30) 및 부하 캐패시터(29)에 대하여 상기 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_L)$이고, 42는 부하 레지스턴스(30) 및 부하 캐패시터(29)에 대하여 상기 높은 각 주파수(ω_H)의 신호를 인가한 경우의 부하 임피던스 $Z_L(\omega_H)$이고, 43은 상기 정합 임피던스에 의해 규격화된 정 콘덕턴스 원(예를 들면 0.02S의 정 콘덕턴스 원)이다.
그리고, 병렬 인덕터(37)와 병렬 캐패시터(38)로 이루어진 병렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 유도성에, 높은 각 주파수(ω_H)에서는 용량성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 콘덕턴스 원(43)상에 이동시킨다. 44는 이것에 의해 얻어진 낮은 각 주파수(ω_L)의 신호를 인가한 경우의 변 환 임피던스이고, 45는 높은 각 주파수(ω_H)의 신호를 인가한 경우의 변환 임피던스이다. 또한, 이 경우의 병렬 인덕터의 인덕턴스(L_2)와 병렬 캐패시터의 캐패시턴스(C_2)의 값을 아래의 수학식 8에 나타낸다.
다음에 직렬 인덕터(39)와 직렬 캐패시터(40)로 이루어진 직렬 공진 회로를, 낮은 각 주파수(ω_L)에서는 용량성, 높은 각 주파수(ω_H)에서는 유도성을 나타내도록 하고, 그것에 의해 2개의 임피던스를 상기 정 콘덕턴스 원(43)상으로 이동시켜, 정합을 취한다. 46은 이 정합에 의해 얻어진 정압 전류이다. 또한, 이 경우의 직렬 인덕터의 인덕턴스(L_1)와 직렬 캐패시터의 캐패시턴스(C_1)의 값을 아래의 수학식 8에 나타낸다.
[수학식 8]
$$L_1=(\omega_L*\alpha_L*X_{dH}+\omega_H*\alpha_H*X_{dL})/(Y_o*(\omega_H*\omega_H-\omega_L*\omega_L)*X_{dH}*X_{dL})$$
$$C_1=Y_o*(\omega_H*\omega_H-\omega_L*\omega_L)*X_{dH}*X_{dL}/(\omega_H*\omega_L*(\omega_H*\alpha_L*X_{dH}+\omega_L*\alpha_H*X_{dL}))$$
$$L_2=(\omega_H*\omega_H-\omega_L*\omega_L)/(\omega_H*\omega_L*(\omega_L/(X_{dH}-\beta_H)+\omega_H/(X_{dL}+\beta_L)))$$
$$C_2=(\omega_H*(X_{dH}-\beta_H)+\omega_L/(X_{dL}+\beta_L))/(\omega_H*\omega_H-\omega_L*\omega_L)$$
$$\alpha=(1/R_{ds})/(1/(R_{ds}*R_{ds})+\omega*\omega*C_{ds}*C_{ds})$$
$$\beta=\omega*C_{ds}/(1/(R_{ds}R_{ds})+\omega*\omega*C_{ds}*C_{ds}))$$
$$X_d=(\alpha/Y_o-\alpha*\alpha)^{1/2}$$
또한, 상기 수학식 8에서도 분명히 알 수 있는 바와 같이, 2개의 정합 각 주파수(ω_L, ω_H)는 서로 독립한 각 주파수로서 설정할 수 있다.
또한, 동작은 실시예 3과 동일하여 설명을 생략한다.
이상과 같이, 이 실시예 4에 의하면, 부하(29, 30)가 접속되는 입력 단자(1)와, 해당 부하(29, 30)에 근거한 출력 신호를 출력하는 출력 단자(2)와, 병렬 캐패시터(38) 및 이 병렬 캐패시터(38)에 병렬로 접속된 병렬 인덕터(37)로 이루어지고, 상기 출력 단자(2)에서 보아서 상기 부하(29, 30)와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터(40) 및 이 직렬 캐패시터(40)에 직렬로 접속된 직렬 인덕터(39)로 이루어지고, 상기 출력 단자(2)에서 보아서 상기 부하(29, 30)및 상기 병렬 공진 회로의 전체(37, 38)와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비한 2주파수 임피던스 정합 회로에 의해 임피던스의 정합을 행하고 있으므로, 정합 임피던스보다도 작은 부하(29, 30)의 출력 레지스턴스(R_{ds})에 있어서, 임의로 선출한 2개의 주파수에서 정합을 취할 수 있는 효과가 있다.
특히, 부하 레지스턴스(30)의 레지스턴스를 R_{ds}, 부하 캐패시터(29)의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스를 L_1,직렬 캐패시터의 캐패시턴스를 C_1, 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 8을 만족하도록 설정함으로서, 목표로 하는 정합 임피던스에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.
또한, 각 인덕터(37, 39)로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.

이상과 같이, 본 발명의 2주파수 임피던스 정합 회로는 부하가 접속되는 출력 단자와, 해당 부하에 대한 입력 신호가 입력되는 입력 단자와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하 및 상기 직렬 공진 회로의 전체와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비하고 있으므로, 정합 임피던스보다도 작은 부하의 입력 레지스턴스(R_i)에 있어서, 임의의 2개의 주파수에서 정합을 취할 수 있는 효과가 있다. 또한, 정합 소자군의 하나로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서의 회로의 소형화의 효과도 있다.

특히, 부하 레지스턴스의 레지스턴스를 R_i, 부하 캐패시터의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를(ω_L, ω_H), 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 5를 만족하도록 설정함으로써, 목표로 하는 정합 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.

본 발명에 의한 2주파수 임피던스 정합 회로는 부하가 접속되는 출력 단자와, 해당 부하에 대한 입력 신호가 입력되는 입력 단자와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비하고 있으므로, 정합 임피던스보다도 큰 부하의 입력 레지스턴스(Ri)에 있어서, 임의로 선출된 2개의 주파수에 있어서 정합을 취할 수 있는 효과가 있다. 또한, 정합 소자군의 하나로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.

특히, 부하 레지스턴스의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 6을 만족하도록 설정함으로써, 목표로 하는 정합 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.

본 발명에 의한 2주파수 임피던스 정합 회로는 부하가 접속되는 입력 단자와, 해당 부하에 근거한 출력 신호를 출력하는 출력 단자와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 직렬 공진 회로와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배설된 병렬 공진 회로를 구비하였으므로, 정합 임피던스보다도 큰 부하의 출력 레지스턴스(R_{ds})에 있어서, 임의로 선출한 2개의 주파수에서 정합을 취할 수 있는 효과가 있다. 또한, 정합 소자군의 하나로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.

특히, 부하 레지스턴스의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕 터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 7을 만족하도록 설정함으로써, 목표로 하는 정합 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.

본 발명에 의한 2주파수 임피던스 정합 회로는 부하가 접속되는 입력 단자와, 해당 부하에 근거한 출력 신호를 출력하는 출력 단자와, 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배설된 병렬 공진 회로와, 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하 및 상기 병렬 공진 회로의 전체와 병렬로 접속되도록 배설된 직렬 공진 회로를 구비하고 있으므로, 정합 임피던스보다도 작은 부하의 출력 레지스턴스(R_{ds})에 있어서, 임의로 선출한 2개의 주파수에서 정합을 취할 수 있는 효과가 있다.

또한, 정합 소자군의 하나로서 전송 선로를 사용할 필요가 없으므로, 정합을 갖는 주파수를 저주파수 대역에 설정하였다고 해도 긴 선로를 필요로 하지 않게 되어, 저주파수 대역에 적용한 경우에 있어서도 회로의 소형화의 효과가 있다.

특히, 부하 레지스턴스의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)를 상기 수학식 8을 만족하도록 설정함으로써, 목표로 하는 정합 임피던스 값에 있어서 가장 적합하게 정합을 취할 수 있는 효과가 있다.

산업상 이용 가능성

이와 같이, 본 발명에 따른 2주파수 임피던스 정합 회로는 2개의 다른 주파수에 있어서 동시에 임피던스 매칭을 취할 수 있으며, 따라서, 마이크로파 대역에서 적합하게 이용할 수 있다.

(57) 청구의 범위

청구항 1.

다른 임의로 선택된 2개의 주파수의 입력 신호에 대한 동일한 임피던스를 나타내기 위한 2주파 임피던스 정합 회로로서, 상기 정합 회로는
부하가 접속되는 출력 단자와,
상기 부하에 대한 입력 신호가 입력되는 입력 단자와,
상기 입력 단자와 상기 입력 신호가 부하측으로 출력되는 상기 출력 단자와의 사이에 접속된, 직렬 공진 LC 회로 및 병렬 공진 LC 회로를 구비하고,
이들 LC 회로군의 인덕터와 캐패시터의 값은 낮은 각주파수(ω_L)의 제 1 입력 신호에서 본 상기 정합 회로의 임피던스가 높은 각 주파수(ω_H)의 제 2 입력 신호에서 본 상기 정합 회로의 임피던스와 같아지도록 선택되는 것을 특징으로 하는, 임피던스 정합회로.

청구항 2.

제 1 항에 있어서,
상기 직렬 공진 LC 회로는 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배치되고,
상기 병렬 공진 LC 회로는 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하 및 상기 직렬 공진 LC 회로의 전체와 병렬로 접속되도록 배치된 것을 특징으로 하는, 임피던스 정합 회로.

청구항 3.

제 2 항에 있어서,
상기 부하는 서로 직렬로 접속되는 부하 레지스터와 부하 캐패시터로 이루어진 것으로 하고, 해당 부하 레지스터의 레지스턴스를 R_i, 부하 캐패시터의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식을 만족하는 것을 특징으로 하는, 임피던스 정합 회로.

$$L_1 = X_g/(\omega_H - \omega_L)$$

$$C_1 = (\omega_H - \omega_L) * C_{gs} / (C_{gs} * \omega_H * \omega_L * X_g - (\omega_H - \omega_L))$$

$$L_2 = (\omega_H - \omega_L) * R_i / (\omega_H * \omega_L * Y_o * X_g)$$

$$C_2 = Y_o * X_g / ((\omega_H - \omega_L) * R_i)$$

$$X_g = (R_i / Y_o - R_i * R_i)^{1/2}$$

청구항 4.

제 1 항에 있어서,
상기 병렬 공진 LC 회로는 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인더터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배치되고,
상기 직렬 공진 LC 회로는 직렬 캐패시터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 입력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배치된 것을 특징으로 하는, 임피던스 정합회로.

청구항 5.

제 4 항에 있어서,
상기 부하는 서로 직렬로 접속되는 부하 레지스터와 부하 캐패시터로 이루어진 것으로 하고, 해당 부하 레지스터의 레지스턴스를 R_i, 부하 캐패시터의 캐패시턴스를 C_{gs}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식을 만족하는 것을 특징으로 하는, 임피던스 정합 회로.

$$L_1 = (\omega_H * (\beta_L - B_{gL}) - \omega_L * (\beta_H + B_{gH})) / ((\omega_H * \omega_H - \omega_L * \omega_L)(\beta_L - B_{gL})(\beta_H + B_{gH}))$$

$$C_1 = (\omega_H * \omega_H - \omega_L * \omega_L)(\beta_L - B_{gL})(\beta_H + B_{gH}) / (\omega_H * \omega_L * (\omega_L * (\beta_L - B_{gL}) - \omega_H * (\beta_H + B_{gH})))$$

$$L_2 = Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL} / (\omega_H * \omega_L * (\omega_H * \alpha_L * B_{gH} + \omega_L * \alpha_H * B_{gL}))$$

$$C_2 = (\omega_L * \alpha_L * B_{gH} + \omega_H * \alpha_H * B_{gL}) / (Z_o * (\omega_H * \omega_H - \omega_L * \omega_L) * B_{gH} * B_{gL})$$

$$\alpha = R_i / (R_i * R_i + 1/(\omega * \omega * C_{gs} * C_{gs}))$$

$$\beta = (1/(\omega * C_{gs})) / (R_i * R_i + 1/(\omega * \omega * C_{gs} * C_{gs}))$$

$$B_g = (\alpha / Z_o - \alpha * \alpha)^{1/2}$$

청구항 6.

제 1 항에 있어서,
상기 직렬 공진 LC 회로는 직렬 커패서터 및 이 직렬 캐패시터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배치되고,
상기 병렬 공진 LC 회로는 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 병렬로 접속되도록 배치된 것을 특징으로 하는, 임피던스 정합 회로.

청구항 7.

제 6 항에 있어서,

상기 부하는 서로 병렬로 접속된 각각의 일단이 상기 입력 단자와 직렬로 접속된 부하 캐패시터 및 부하 레지스터로 이루어진 것으로 하고, 부하 레지스턴스의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{dS}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 임피던스를 Z_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식을 만족하는 것을 특징으로 하는, 임피던스 정합 회로.

$L_1 = R_{ds} * Z_o * B_d / (\omega_H - \omega_L)$

$C_1 = (\omega_H - \omega_L) / (\omega s * \omega_L * R_{ds} * Z_o * B_d)$

$L_2 = (\omega_H - \omega_L) / (\omega s * \omega_L * B_d)$

$C_2 = B_d / (\omega_H - \omega_L) - C_{ds}$

$B_d = (1/(Z_o * R_{ds}) - 1/(R_{ds} * R_{ds}))^{1/2}$

청구항 8.

제 1 항에 있어서,

상기 병렬 공진 LC 회로는 병렬 캐패시터 및 이 병렬 캐패시터에 병렬로 접속된 병렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하와 직렬로 접속되도록 배치되고,

상기 직렬 공진 LC 회로는 직렬 캐패시터 및 이 직렬 커패시커터에 직렬로 접속된 직렬 인덕터로 이루어지고, 상기 출력 단자에서 보아서 상기 부하 및 상기 병렬 공진 LC 회로의 전체와 병렬로 접속되도록 배치된 것을 특징으로 하는, 임피던스 정합 회로.

청구항 9.

제 8 항에 있어서,

상기 부하는 서로 병렬로 접속된 각각의 일단이 상기 입력 단자와 직렬로 접속된 부하 캐패시터 및 부하 레지스터로 이루어진 것으로 하고, 부하 레지스턴스의 레지스턴스를 R_{ds}, 부하 캐패시터의 캐패시턴스를 C_{ds}, 2개의 정합 각 주파수를 ω_L, ω_H, 정합 어드미턴스를 Y_o로 했을 때에, 직렬 인덕터의 인덕턴스(L_1), 직렬 캐패시터의 캐패시턴스(C_1), 병렬 인덕터의 인덕턴스(L_2) 및 병렬 캐패시터의 캐패시턴스(C_2)는 아래의 수학식을 만족하는 것을 특징으로 하는, 임피던스 정합 회로.

$L_1 = (\omega_L * \alpha_L * X_{dH} + \omega_H * \alpha_H * X_{dL}) / (Y_o * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL})$

$C_1 = Y_o * (\omega_H * \omega_H - \omega_L * \omega_L) * X_{dH} * X_{dL} / (\omega_H * \omega_L * (\omega_H * \alpha_L * X_{dH} + \omega_L * \alpha_H * X_{dL}))$

$L_2 = (\omega_H * \omega_H - \omega_L * \omega_L) / \omega_H * \omega_L * (\omega_L / (X_{dL} - \beta_H) + \omega_H / (X_{dL} + \beta_L)))$

$C_2 = (\omega_H * (X_{dH} - \beta_H) + \omega_L / (X_{dL} + \beta_L) / (\omega_H * \omega_H - \omega_L * \omega_L)$

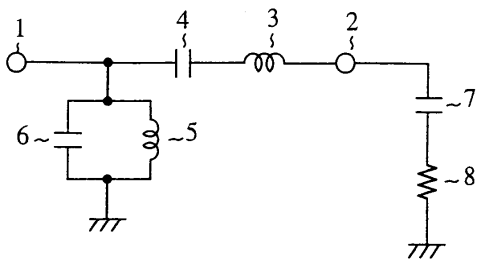
$\alpha = (1/R_{ds}) / (1/(R_{ds} * R_{ds}) + \omega * \omega * C_{ds} * C_{ds})$

$\beta = \omega * C_{ds} / (1/(R_{ds} R_{ds}) + \omega * \omega * C_{ds} * C_{ds}))$

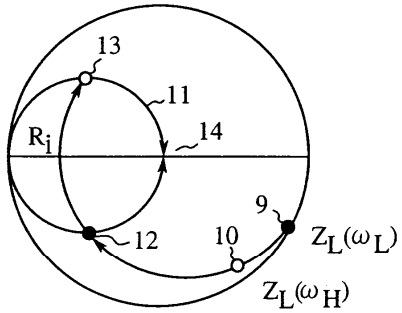
$X_d = (\alpha / Y_o - \alpha * \alpha)^{1/2}$

도면

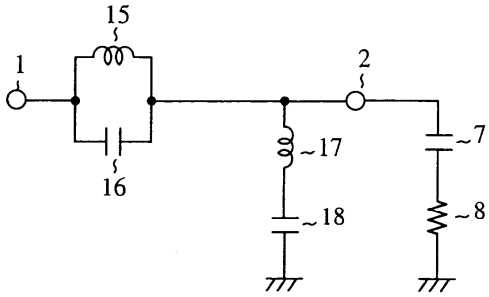
도면1



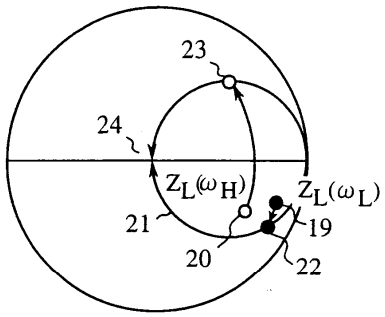
도면2



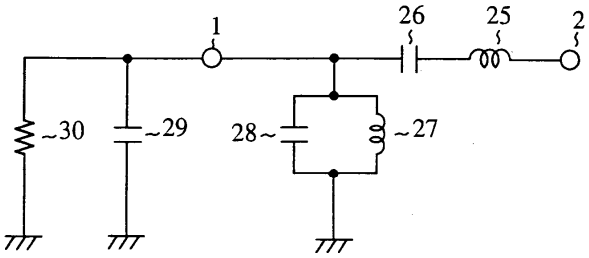
도면3



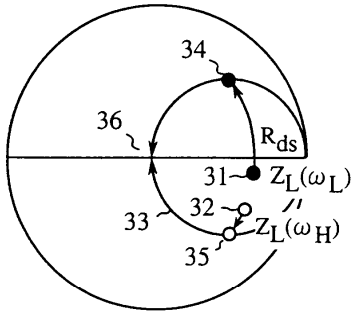
도면4



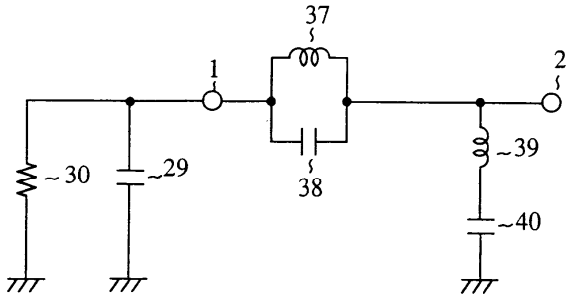
도면5



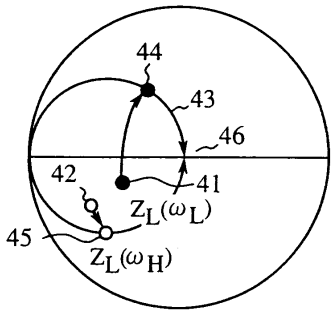
도면6



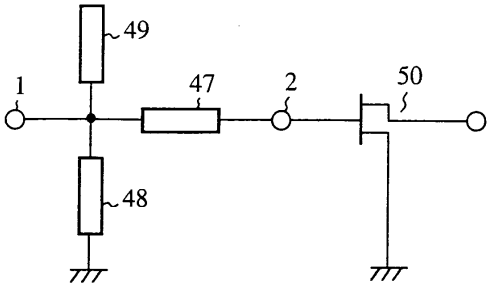
도면7



도면8



도면9



도면10

